



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0100611
(43) 공개일자 2017년09월04일

- (51) 국제특허분류(Int. Cl.)
H01L 33/14 (2010.01) *H01L 33/06* (2010.01)
- (52) CPC특허분류
H01L 33/14 (2013.01)
H01L 33/0008 (2013.01)
- (21) 출원번호 10-2017-7020694
- (22) 출원일자(국제) 2015년12월07일
심사청구일자 2017년07월24일
- (85) 번역문제출일자 2017년07월24일
- (86) 국제출원번호 PCT/US2015/064295
- (87) 국제공개번호 WO 2016/111789
국제공개일자 2016년07월14일
- (30) 우선권주장
62/100,348 2015년01월06일 미국(US)
14/853,614 2015년09월14일 미국(US)

- (71) 출원인
애플 인크.
미합중국 95014 캘리포니아 쿠퍼티노 인피니트 루프 1
- (72) 발명자
보어, 데이비드 피.
미국 95014 캘리포니아주 쿠퍼티노 메일 스톰 991-에스비01 인피니트 루프 1
맥그로디, 켈리
미국 95014 캘리포니아주 쿠퍼티노 메일 스톰 991-에스비01 인피니트 루프 1
(뒷면에 계속)
- (74) 대리인
장덕순, 백만기

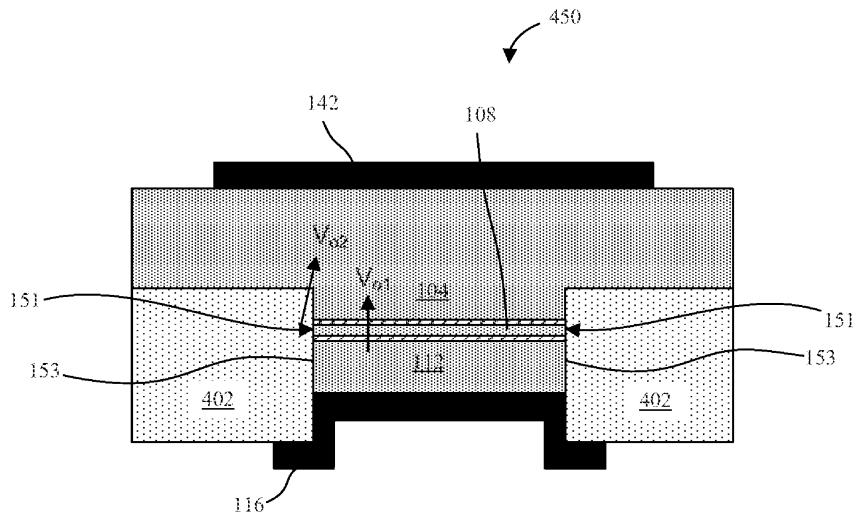
전체 청구항 수 : 총 17 항

(54) 발명의 명칭 비방사 측벽 재결합 감소를 위한 LED 구조체

(57) 요 약

상부 전류 확산층, 하부 전류 확산층, 및 상부 전류 확산층과 하부 전류 확산층 사이의 활성층에 걸쳐있는 p-n 다이오드 측벽들을 포함하는 수직 LED들의 측벽을 따라 생성되는 비방사 측벽 재결합을 감소시키기 위한 LED 구조체들이 개시된다.

대 표 도 - 도4f



(52) CPC특허분류

H01L 33/0075 (2013.01)

H01L 33/06 (2013.01)

(72) 발명자

헤이거, 다니엘 아서

미국 95014 캘리포니아주 쿠퍼티노 메일 스톱 991
-에스비01 인피니트 루프 1

페킨스, 제임스 마이클

미국 95014 캘리포니아주 쿠퍼티노 메일 스톱 991
-에스비01 인피니트 루프 1

차크라보르티, 아르판

미국 95014 캘리포니아주 쿠퍼티노 메일 스톱 991
-에스비01 인피니트 루프 1

드룰레, 장-자크 피.

미국 95014 캘리포니아주 쿠퍼티노 메일 스톱 991
-에스비01 인피니트 루프 1

명세서

청구범위

청구항 1

발광 다이오드(LED)로서,

p-n 다이오드 층

을 포함하며, 상기 p-n 다이오드 층은

상부 전류 확산부;

하부 전류 확산층;

상부 전류 확산층과 상기 하부 전류 확산층 사이의 활성층; 및

상기 상부 전류 확산층, 상기 활성층, 및 상기 하부 전류 확산층에 걸쳐있는 p-n 다이오드 층 측벽들

을 포함하는, 발광 다이오드.

청구항 2

제1항에 있어서, 상기 활성층의 측방향 에지들은 상기 p-n 다이오드 층 측벽들 내측에 내부적으로 제한된, 발광 다이오드.

청구항 3

제1항에 있어서, 상기 p-n 다이오드 층 측벽들을 둘러싼 인시츄(in-situ) 에피택셜 재성장된 패시베이션 층을 추가로 포함하는, 발광 다이오드.

청구항 4

제1항에 있어서, 상기 p-n 다이오드 층 측벽들을 둘러싸고, 상기 하부 전류 확산층 아래에 있는 엑스시츄(ex-situ) 에피택셜 재성장된 패시베이션 층을 추가로 포함하는, 발광 다이오드.

청구항 5

제1항에 있어서, 상기 p-n 다이오드 층 측벽들 내에 확산된 패시베이션 층을 추가로 포함하는, 발광 다이오드.

청구항 6

제1항에 있어서, 상기 하부 전류 확산층에 의해 측방향으로 둘러싸인 확산된 p-도핑된 영역을 추가로 포함하는, 발광 다이오드.

청구항 7

제1항에 있어서, 상기 LED의 내부 내에 횡방향 p-n 접합부를 추가로 포함하는, 발광 다이오드.

청구항 8

제1항에 있어서, 상기 활성층은 인 계열(phosphorus based)이고, 상기 발광 다이오드는 상기 p-n 다이오드 층 측벽들을 측방향으로 둘러싸는 AlInP 패시베이션 층을 추가로 포함하는, 발광 다이오드.

청구항 9

제1항에 있어서, 상기 활성층은 질화물 계열(nitride based)이고, 상기 발광 다이오드는 상기 p-n 다이오드 층 측벽들을 측방향으로 둘러싸는 GaN 패시베이션 층을 추가로 포함하는, 발광 다이오드.

청구항 10

제1항에 있어서, 상기 활성층은 (100) 영역들 및 상기 (100) 영역들로부터 벗어나게 배향된(misoriented) 경사진 영역들을 포함하는, 발광 다이오드.

청구항 11

제10항에 있어서, 활성 p-n 접합부는 상기 경사진 영역 상에 형성된, 발광 다이오드.

청구항 12

제2항에 있어서, 상기 활성층의 상기 측방향 에지들은, 노칭에 이어서 상기 둘러싸는 충들의 물질 전달(mass transport)에 의해 상기 LED의 상기 내부 내로 변위되는, 발광 다이오드.

청구항 13

제2항에 있어서, 상기 활성층의 상기 측방향 에지들은 표면 변환에 의해 상기 LED의 상기 내부 내로 변위되는, 발광 다이오드.

청구항 14

제1항에 있어서, 상기 활성층은 분리된 양자점 덩어리들(quantum dot clumps)을 포함하는, 발광 다이오드.

청구항 15

제1항에 있어서, 상기 활성층은 내장된 나노필라들을 포함하는, 발광 다이오드.

청구항 16

제2항에 있어서, 상기 활성층을 둘러싸는 혼합된 패시베이션 영역을 추가로 포함하는, 발광 다이오드.

청구항 17

제1항에 있어서, 상기 p-n 다이오드 층 측벽들을 둘러싸는 Al₂O₃ 측벽 패시베이션 층을 추가로 포함하는, 발광 다이오드.

발명의 설명

기술 분야

[0001] 관련 출원

본 출원은 2015년 1월 6일자로 출원된 미국 가특허 출원 제62/100,348호의 우선권의 이익을 주장하며, 그 전체 개시 내용은 본 명세서에 참고로 포함된다.

[0003] 기술분야

본 명세서에 기재된 실시예들은 LED에 관한 것이다. 더욱 상세하게는, 실시예들은 마이크로 LED에 관한 것이다.

배경 기술

[0005] 발광 다이오드(LED)들이 기존 광원들에 대한 대체 기술로서 점차 많이 고려되고 있다. 예를 들어, LED는 사이니지, 교통 신호, 자동차 후미등, 모바일 전자 디스플레이, 및 텔레비전에서 볼 수 있다. 종래의 광원들에 비교하여 LED의 다양한 이익들은 효율 증가, 수명 연장, 방출 스펙트럼 다양화, 및 다양한 품 팩터에 적절되는 능력을 포함할 수 있다.

[0006] 일 유형의 LED는 다이오드의 방출층이 유기 화합물로 형성되는 유기 발광 다이오드(OLED)이다. OLED의 한가지 장점은 유기 방출층을 가요성 기판 상에 인쇄할 수 있는 것이다. OLED는 얇은 가요성 디스플레이에 적합되어, 종종 모바일 폰 및 디지털 카메라와 같은 휴대용 전자 디바이스의 디스플레이를 만드는 데 사용된다.

[0007] 다른 유형의 LED는 무기 반도체 기반 LED이며, 다이오드의 방출층에는 더 두꺼운 반도체 기반 클래딩 층 사이에 개재된 하나 이상의 반도체 기반 양자 우물 층을 포함한다. OLED에 비교하여 반도체 기반 LED의 일부 장점은

효율 증가 및 수명 연장을 포함할 수 있다. 와트당 루멘($1\text{m}/\text{W}$)으로 표현되는, 높은 발광효율은 반도체 기반 LED 조명의 주요 장점 중 하나이고, 다른 광원에 비교하여 에너지 또는 전력 사용이 낮다. 휘도(밝기)는 주어진 방향에서 광원의 단위 면적당 방출되는 광의 양이고, 제곱 미터당 칸델라(cd/m^2)로 측정되고, 보통 니트(Nit, nt)로 지칭되기도 한다. 휘도는 동작 전류가 증가하면 증가하지만, 발광효율은 전류 밀도(A/cm^2)에 의존하여, 초기에 전류 밀도가 증가함에 따라 증가하고, 최댓값에 도달한 뒤, "효율 저하"로 알려진 현상으로 인해 감소한다. 내부 양자 효율(IQE)로 알려진, 내부에서 광자를 생성할 수 있는 능력을 비롯하여 많은 인자들이 LED 디바이스의 발광효율에 기여한다. 내부 양자 효율은 LED 디바이스의 품질과 구조의 함수이다. 외부 양자 효율(EQE)은 방출된 광자의 수를 주입된 전자의 수로 나눈 것으로 정의된다. EQE는 LED 디바이스의 IQE와 광추출 효율의 함수이다. 낮은 동작 전류 밀도(주입 전류 밀도, 또는 순방향 전류 밀도라고도 불림)에서, LED 디바이스의 IQE 및 EQE는 초기에 동작 전류 밀도가 증가됨에 따라 증가하고, 효율 저하로 알려진 현상에서 동작 전류 밀도가 증가함에 따라 감소하기 시작한다. 낮은 전류 밀도에서는 효율이 낮은데, 그 이유는 비방사 재결합으로 불리는, 광의 생성 없이 전자와 정공이 재결합하는 결함 또는 다른 프로세스의 영향이 강하기 때문이다. 이러한 결함들이 포화됨으로써, 방사 재결합이 주를 이루고 효율이 증가한다. "효율 저하" 또는 효율의 점진적 감소는 주입전류 밀도가 LED 디바이스에 대한 특성 값을 초과함에 따라 시작된다.

도면의 간단한 설명

[0008]

도 1a는 실시예에 따른 별크 LED 기판을 예시한 측단면도이다.

도 1b 내지 도 1f는 실시예들에 따른 LED들의 어레이를 제조하기 위한 단면 프로세스 순서를 예시한 측단면도들이다.

도 2는 LED의 측벽 중간에 활성층 에지를 포함하는 LED를 예시한 측단면도이다.

도 3은 실시예에 따른 활성층에 비하여 폭이 감소된 하부 전류 확산층 기둥 구조체를 갖는 LED를 예시한 측단면도이다.

도 4a 내지 도 4e는 실시예에 따른 인시츄(in-situ) 재성장 p-n 접합부 측벽 패시베이션 층을 갖는 LED를 형성하는 방법을 예시한 측단면도들이다.

도 4f는 실시예에 따른 인시츄 재성장 p-n 접합부 측벽 패시베이션 층을 갖는 LED를 예시한 측단면도이다.

도 5a 내지 도 5h는 실시예에 따른 증기 애칭된 측벽 및 재성장 측벽 패시베이션 층을 갖는 LED를 형성하는 방법을 예시한 측단면도들이다.

도 5i는 실시예에 따른 재성장 측벽 패시베이션 층을 갖는 LED를 예시한 측단면도이다.

도 6a 내지 도 6e는 실시예에 따른 확산된 측벽 패시베이션 층을 갖는 LED를 형성하는 방법을 예시한 측단면도들이다.

도 6f는 실시예에 따른 확산된 측벽 패시베이션 층을 갖는 LED를 예시한 측단면도이다.

도 7a 내지 도 7e는 실시예에 따른 선택적 확산에 의해 LED 내의 p-n 접합부를 형성하는 방법을 예시한 측단면도들이다.

도 7f는 실시예에 따른 선택적으로 확산된 p-n 접합부를 갖는 LED를 예시한 측단면도이다.

도 8a 내지 도 8e는 실시예에 따른 확산된 횡방향 접합부를 갖는 LED를 형성하는 방법을 예시한 측단면도들이다.

도 8f는 실시예에 따른 확산된 횡방향 접합부를 갖는 LED를 예시한 측단면도이다.

도 9a 내지 도 9e는 실시예에 따른 선택 영역 성장 및 측벽 패시베이션 층의 인시츄 성장을 이용하여 LED를 형성하는 방법을 예시한 측단면도들이다.

도 9f는 실시예에 따른 인시츄 성장된 측벽 패시베이션 층을 갖는 선택적으로 성장된 LED의 x방향 (111) 평면을 따라 예시한 측단면도이다.

도 9g는 실시예에 따른 인시츄 성장된 측벽 패시베이션 층을 갖는 선택적으로 성장된 LED의 y방향 (111) 평면을 따라 예시한 측단면도이다.

도 10a 내지 도 10d는 실시예에 따른 재성장 측벽 패시베이션 층을 갖는 LED를 형성하는 방법을 예시한 측단면도들이다.

도 10e는 실시예에 따른 재성장 측벽 패시베이션 층을 갖는 LED의 x방향 (111) 평면을 따라 예시한 측단면도이다.

도 10f는 실시예에 따른 재성장 측벽 패시베이션 층을 갖는 LED의 y방향 (111) 평면을 따라 예시한 측단면도이다.

도 10g는 실시예에 따른 재성장 측벽 패시베이션 층 및 넓은 상부 전류 확산층을 갖는 LED의 x방향 (111) 평면을 따라 예시한 측단면도이다.

도 10h는 실시예에 따른 재성장 측벽 패시베이션 층 및 넓은 상부 전류 확산층을 갖는 LED의 y방향 (111) 평면을 따라 예시한 측단면도이다.

도 11a는 실시예에 따른 패터닝된 기판 상에 형성되고 배향 의존적 도핑을 포함하는 p-n 다이오드 층의 확대 단면도이다.

도 11b 내지 도 11d는 실시예에 따른 배향 의존적 도핑을 갖는 LED p-n 접합부를 형성하는 방법을 예시한 측단면도들이다.

도 11e 및 도 11f는 실시예들에 따른 배향 의존적 도핑을 갖는 LED p-n 접합부를 예시한 측단면도들이다.

도 12a 내지 도 12f는 실시예에 따른 선택적 에칭 및 물질 전달로 LED를 형성하는 방법을 예시한 측단면도들이다.

도 12g 및 도 12h는 실시예에 따른 노칭된 활성층을 포함하는 LED를 예시한 측단면도들이다.

도 13a 내지 도 13c는 실시예에 따른 표면 변환을 갖는 LED의 측벽들을 부동태화하는 방법을 예시한 측단면도들이다.

도 14a는 실시예에 따른 활성층 내의 양자점들을 갖는 LED를 예시한 측단면도이다.

도 14b는 실시예에 따른 양자점들을 갖는 LED 활성층을 도시한 개략적 평면도이다.

도 15a 내지 도 15c는 실시예에 따른 활성층 내의 나노필라들을 갖는 LED를 형성하는 방법을 예시한 측단면도들이다.

도 15d는 실시예에 따른 활성층 내의 나노필라들을 갖는 LED를 예시한 측단면도이다.

도 15e는 실시예에 따른 활성층 내의 나노필라들 및 상부 모자형 구성을 갖는 LED를 예시한 측단면도이다.

도 16a 내지 도 16d는 실시예에 따른 p-n 다이오드 층 측벽들에서 헤테로구조 혼합을 갖는 LED를 형성하는 방법을 예시한 측단면도들이다.

도 16e는 실시예에 따른 혼합된 LED 헤�테로구조를 예시한 측단면도이다.

도 16f는 실시예에 따른 혼합된 LED 헤�테로구조 및 양자우물 도핀트 층들을 예시한 측단면도이다.

도 17a 내지 도 17f는 실시예에 따른 측벽 패시베이션 층을 갖는 LED를 형성하는 방법을 예시한 측단면도들이다.

도 18a는 실시예에 따른 회로들이 내장된 디스플레이 패널 내에 통합된 LED를 도시한 측면도이다.

도 18b는 실시예에 따른 마이크로칩들을 갖는 디스플레이 패널 내에 통합된 LED를 도시한 측면도이다.

도 19는 실시예에 따른 디스플레이 시스템을 도시한 개략도이다.

도 20은 실시예에 따른 조명 시스템을 도시한 개략도이다.

발명을 실시하기 위한 구체적인 내용

[0009] 실시예들은 LED 측벽에서의 비방사 재결합을 완화하기 위한 다양한 구조적 구성을 갖는 LED 및 LED를 형성하는 방법을 기술한다. 예를 들어, 다양한 구조체들은 측벽 패시베이션 기술들, 전류 제한 기술들, 및 이들의 조합을 포함할 수 있다. 그렇지만, 소정 실시예들은 이러한 특정 세부 사항들 중 하나 이상 없이, 또는 다른 알

려진 방법들 및 구성들과 조합되어 실시될 수 있다. 하기의 설명에서, 실시예들의 완전한 이해를 제공하기 위해 특정 구성들, 치수들 및 프로세스들 등과 같은 많은 특정 세부 사항들이 기재된다. 다른 경우에, 잘 알려진 반도체 프로세스들 및 제조 기법들은 실시예들을 불필요하게 불명료하게 하지 않기 위해 특별히 상세히 기술되지 않았다. 본 명세서 전반에 걸쳐 "일 실시예"에 대한 언급은 그 실시예와 관련되어 기술되는 특정한 특징, 구조, 구성 또는 특성이 적어도 하나의 실시예에 포함된다는 것을 의미한다. 따라서, 본 명세서 전반에 걸쳐 다양한 곳에서 나오는 문구 "일 실시예에서"는 반드시 동일한 실시예를 가리키지는 않는다. 또한, 특정 특징들, 구조들, 구성들 또는 특성들은 하나 이상의 실시예들에서 임의의 적합한 방식으로 조합될 수 있다.

[0010] 본 명세서에 사용되는 바와 같은 용어 "위쪽에", "위에", "~에", "사이에", "걸쳐 이어지는" 및 "상에"는 하나의 층의 다른 층에 대한 상대 위치를 가리킬 수 있다. 다른 층 "위쪽에", "위에", "걸쳐 이어지는" 또는 그 "상에" 또는 다른 층 "에" 접합되거나 그와 "접촉"하는 하나의 층은 다른 층과 직접 접촉할 수 있거나, 하나 이상의 개재하는 층을 가질 수 있다. 층들 "사이의" 하나의 층은 그 층들과 직접 접촉할 수 있거나, 하나 이상의 개재하는 층들을 가질 수 있다.

[0011] 일 양태에서, 실시예들은 LED 측벽에서의 비방사 재결합을 완화하기 위한 특정 구조적 구성을 포함하는 LED를 기술하며, 이 LED는 마이크로 LED일 수 있다. 발광형 LED의 측벽들은 주입된 캐리어에 대하여 비방사 재결합 싱크를 나타낼 수 있다는 사실이 관찰되었다. 충족되지 않은 결합, 화학적 오염, 및 구조적 손상(특히 건식 에칭된 경우)이 특징적으로 나타나는 측벽들로 인한 것일 수 있다. 주입된 캐리어들이 이러한 결함들과 연관된 상태에서 비방사적으로 재결합한다. 따라서, LED의 주변부는 광학적으로 사각지대일 수 있고, LED의 전체 효율은 감소된다. 이 비방사 재결합은 또한 표면에서의 밴드 구부러짐의 결과일 수 있으며, 밴드 구부러짐은 전자와 정공이 비방사적으로 결합될 때까지 제한될 수 있는 상태들의 밀집을 야기한다. 측벽 표면 효과가 일어나는 특성 거리는 캐리어 확산 길이와 관련되는데, 이는 실시예들에 따른 일부 응용예들에서 통상적으로 1 내지 $10 \mu\text{m}$ 일 수 있다. 따라서, 효율 저하는 LED 측방향 치수가 캐리어 확산 길이에 가까운 마이크로 LED에서 특히 심각하다.

[0012] 그러한 비방사 재결합은 LED 디바이스 효율에 현저한 영향을 줄 수 있는데, 특히 LED 디바이스의 특징적인 내부 양자 효율(IQE) 곡선 중 전류가 결함을 포화시킬 수 없는 사전 저하 영역(pre-droop region)에서 LED가 낮은 전류 밀도로 구동될 때 영향을 줄 수 있다. 실시예들에 따른, 활성층의 외부 또는 측면 인근의 비방사 재결합의 양이 감소되어 LED 디바이스의 효율이 증가될 수 있는 측벽 패시베이션 기술, 전류 제한 구조체, 및 이들의 조합이 기술된다.

[0013] 일부 실시예들에서, 본 명세서에 사용되는 바와 같이 용어 "마이크로" LED는 LED의 기술적 크기, 예컨대 길이 또는 폭을 지칭할 수 있다. 일부 실시예들에서, "마이크로" LED는 많은 응용예들에서 $1 \mu\text{m}$ 내지 대략 $300 \mu\text{m}$, 또는 $100 \mu\text{m}$ 이하의 스케일일 수 있다. 더욱 상세하게는, 일부 실시예들에서, "마이크로" LED는 LED 측방향 치수가 캐리어 확산 길이에 가까운 $10 \mu\text{m}$ 또는 $5 \mu\text{m}$ 와 같은 $1 \mu\text{m}$ 내지 $20 \mu\text{m}$ 의 스케일일 수 있다. 그러나, 실시예들이 반드시 그렇게 제한되는 것은 아니고, 특정 양태들의 실시예들은 더 크고, 그리고 가능한 경우 더 작은 크기 스케일에 적용될 수 있음이 인식되어야 한다.

[0014] 실시예에서, 적어도 활성층을 포함하는 LED의 측벽 표면은 LED의 방사 효율을 회복하기 위하여 부동태화된다. 다양한 재성장 및 확산 기술들을 포함하는 측벽 패시베이션을 위한 다양하고 상이한 구조적 구성을 개시된다. 그러한 측벽 패시베이션은 특정 패시베이션 기술에 따라 여러가지 효과를 나타낼 수 있다. 한가지 효과는 LED 측벽들 및/또는 활성층 에지들에서 격자 구조를 보호하고 결함을 최소화함으로써, LED 측벽들 및/또는 활성층 에지들에서의 비방사 결합의 효과를 완화시키는 것일 수 있다. 다른 효과는 LED 측벽들 및/또는 활성층 에지를 p-n 다이오드 층의 내부로 이동시키게 되어, 결함이 존재할 수도 있는 p-n 다이오드 층 측벽들로부터 p-n 다이오드 층이 멀리 있도록 전류 주입 경로가 내부적으로 제한되는 것일 수 있다.

[0015] 실시예에서, 인시츄 에칭을 수행하여 활성층에 인접한 LED 측벽들을 형성한다. 예를 들어, 이는 MOCVD 에피택셜 성장 반응기에서 수행된다. 이 방식으로, 순수 화학적 에칭은 ICP/RIE와 같은 건식 에칭 기술들에 비해 최소한의 구조적 손상을 야기한다. 인시츄 에칭을 한 뒤 곧바로 새롭게 생성된 표면 상에 측벽 패시베이션 층의 인시츄 에피택셜 재성장을 수행한다. 공기 노출이 없기 때문에, 측벽의 산화는 무시된다. 패시베이션 층의 LED 측벽들 상에서 에피택셜한 방식으로 성장되기 때문에, 자유 표면(재성장 이전)의 임의의 댕글링 본드들은 충족된다. 따라서, LED 측벽들에서 격자 구조는 보존되고 결함들은 최소화된다. 이 방식으로, LED 측벽에서의 표면 재결합이 완화될 수 있다.

[0016] 일부 실시예들에서, 확산 기술들로 인해 활성층(예컨대 하나 이상의 양자우물을 포함)의 LED 측벽 및/또는 측방

향 에지를 p-n 다이오드 층의 내부로 이동시키게 된다. 따라서, p-n 다이오드 층 내에 그리고 내부적으로 제한된 활성층의 측방향 둘레에 패시베이션 층을 형성함으로써, 활성층으로부터의 측방향 캐리어 확산에 대하여 장벽이 생성된다. 그와 같은 장벽은 활성층 에지로부터 결합들이 존재할 수도 있는 인접한 p-n 다이오드 층 측벽으로의 측방향 캐리어 확산을 방지할 수 있다. 따라서, 일부 실시예들에서 패시베이션 층은 위에서 언급한 1내지 10 μm 의 캐리어 확산 길이보다 좁을 수 있다.

[0017] LED 측벽들을 부동태화하고, 표면 재결합을 감소시키기 위한 다양한 다른 구조적 구성들이 기재된다. 실시예에서, 측벽 패시베이션 층의 에피택셜 성장은 엑스시츄(ex-situ)로 수행된다. 예를 들어, 이는 GaN 계열 LED에 대하여 LED 측벽들을 증기 에칭한 이후에 수행될 수 있다.

[0018] 실시예에서, 측벽 패시베이션은 노출된 p-n 다이오드 층 측벽들 안으로의 확산에 의해 획득되어, 활성층의 에지를 p-n 다이오드 층의 내부 안으로 변위시킨다.

[0019] 실시예에서, 활성층은 확산에 의해 LED의 내부에 형성된다. 이 방식으로, 전류 주입 경로는 내부적으로 LED를 통하고 측벽들로부터 멀리 인도된다.

[0020] 실시예에서, LED 메사가 선택적으로 성장된 뒤, 측벽 패시베이션 층이 인시츄 성장하여 활성층 에지들을 커버한다.

[0021] 실시예에서, 층들 내의 n 도핑 및 p 도핑이 표면의 배향에 따라 달라지도록 LED 활성층 및 클래딩 층이 패터닝된 기판 위에 성장된다. 예를 들어, 실시예에서, p-도편트 및 n-도편트는 동시에 챔버 안으로 유입되고, 챔버 안에서 그것들은 우선적으로 상이한 노출된 평면에 침착된다.

[0022] 실시예에서, 활성층을 선택적으로 에칭하여 n-도핑된 클래딩 층(또는 전류 확산층)과 p-도핑된 클래딩 층(또는 전류 확산층) 사이에 노치를 생성한다. 이어서 이 노치를 물질 전달에 의해 충전하여, 활성층의 에지들이 p-n 다이오드 층의 내부로 제한되게 한다.

[0023] 실시예에서, p-n 다이오드 층 측벽의 밴드갭 에너지는 표면 변환에 의해 증가된다. 예를 들어, p-n 다이오드 층 측벽들은 고온에서 증기 화학물질에 노출될 수 있는데, 여기서 V족 화학종은 기화하여(예컨대 As) V족 증기 화학종(예컨대 P)으로 대체된다. 이 방식으로, 측벽 표면의 더 높은 밴드갭 에너지가 효과적으로 활성층을 p-n 다이오드 층의 내부로 제한한다.

[0024] 실시예에서, 침착 조건 및 층 변형을 제어하여 활성층 내의 침착 성분들의 혼화성 차이를 이용하여 특정 화학종들이 분리되어 덩어리(clump)를 이루는 비균질 조성물을 형성하도록 한다. 이 방식으로, 활성층에 걸친 측방향 확산이 감소되어, 결과적으로 표면의 측벽 재결합이 감소되는 양자점 효과를 얻게 된다.

[0025] 실시예에서, 선택적 성장 또는 패터닝에 의해 나노필라들이 형성된다. 나노필라들의 형성은, 활성층에 걸친 측방향 확산을 감소시킬 수 있는, 점(dot) 또는 필라에 캐리어가 국한됨을 이용하는 양자점 효과에 기여할 수 있다. 나노필라들의 형성은 활성층 내의 표면적을 추가적으로 증가시킴으로써, LED 측벽에서의 활성층의 표면적을 상대적으로 감소시킬 수 있다.

[0026] 실시예에서, 선택적 확산을 활용하여 결합들을 생성하여, p-n 다이오드 층 측벽들에서의 상호확산을 야기한다. 이 방식으로, 측벽 표면에 더 높은 밴드갭 에너지가 생성되어 효과적으로 활성층을 p-n 다이오드 층의 내부로 제한하게 된다.

[0027] 실시예에서, 원자층 침착(ALD)을 활용하여 p-n 다이오드 층 측벽들을 둘러싸는 측벽 패시베이션 층(예컨대 Al_2O_3)을 형성한다.

[0028] 일부 실시예들에 따라, 상기 구조적 구성들 중 임의의 것이 전류 확산층 기둥 구조체와 조합될 수 있다. 예를 들어, p-n 구조에서 p-도핑되거나 또는 n-도핑된 층 중 어느 하나는 전류 확산층으로 간주될 수 있다. 실시예에서, 전류 확산층들 중 어느 하나를 패터닝하여 p-n 다이오드를 포함하는 활성층보다 더 좁게 만든다. 도시된 일부 예시적인 실시예들에서, 하부 전류 확산층(예컨대 p-도핑된 층)을 패터닝하여 감소된 폭을 갖는 기둥 구조체를 형성한다. 이 방식으로, LED에 걸쳐 전위가 인가되면, 활성층 내의 전류 주입 영역은 하부 전류 확산층 기둥의 면적과 상부 전류 확산층의 면적의 관계에 따라 변경된다. 동작 시, 전류 주입 영역은 하부 전류 확산층 기둥 구성의 면적이 감소됨에 따라 감소된다. 이런 방식으로, 전류 주입 영역은 활성층의 외부 또는 측면 표면으로부터 멀리, 활성층 내에 내부적으로 한정될 수 있다.

[0029] 또한, 전류 확산층 기둥 구조체가 사용되면, p-n 다이오드 층의 상부 표면의 상부 표면적이 활성층 내의 전류

제한 영역의 표면적보다 큰 LED를 설계하는 것이 가능해진다. 이를 통해, 정전 이송 헤드 조립체를 이용하여 LED 디바이스들을 이송하는 데 유리할 수 있는 더 큰 LED 디바이스들을 제조할 수 있을 뿐만 아니라, 특히 LED 디바이스 IQE 커브의 사전 저하 영역의 아래 또는 그 근방의 주입 전류 및 주입 전류 밀도에서 동작할 때, 한정된 전류 주입 영역으로 인해 전류 밀도 증가 및 LED 디바이스의 효율이 증가되는 구조를 제공할 수 있다.

[0030] 다음 설명에서, LED들의 어레이를 형성하기 위한 예시적인 프로세싱 순서들이 기술되며, LED들은 마이크로 LED 일 수 있다. 도 1a를 이제 참조하면, 실시예에 따른 성장 기판 상에 형성된 p-n 다이오드 층(115)을 포함하는 벌크 LED 기판(100)을 예시한 측단면도가 제공된다. 예를 들어, 도 1a에 도시된 p-n 다이오드 층(115)은 기본 적색광(예컨대 620 내지 750 nm 파장), 기본 녹색광(예컨대 495 내지 570 nm 파장), 또는 기본 청색광(예컨대 450 내지 495 nm 파장)을 방출하도록 설계될 수 있지만, 실시예들은 이러한 예시적인 방출 스펙트럼에 제한되지 않는다. p-n 다이오드 층(115)은 스펙트럼에서 특정 영역에 대응하는 밴드갭을 갖는 다양한 화합물 반도체들로 형성될 수 있다. 예를 들어, p-n 다이오드 층(115)은 II-VI 재료(예컨대 ZnSe) 또는 III-V 재료에 기초한 하나 이상의 층을 포함할 수 있는데, III-V 재료에는 III-V 질화물 재료(예컨대 GaN, AlN, InN, InGaN, 및 그것들의 합금), III-V 인화물 재료(예컨대 GaP, AlGaInP, 및 그것들의 합금), 및 III-V 비화물 합금(AlGaAs)을 포함한다. 성장 기판(100)은 실리콘, SiC, GaAs, GaN, 및 사파이어와 같은 임의의 적합한 기판을 포함할 수 있지만, 이에 제한되지 않는다.

[0031] p-n 다이오드 층(115)은 응용예에 따라 다양한 구성들을 포함할 수 있다. 일반적으로, p-n 다이오드 층(115)은 제1 도편트 유형(예컨대 n-도핑됨)의 전류 확산층(104), 반대 도편트 유형(예컨대 p-도핑됨)의 전류 확산층(112), 및 전류 확산층들(104, 112) 사이의 활성층(108)을 포함한다. 예를 들어, 활성층(108)은 단일양자우물(SQW) 또는 다중양자우물(SQW) 층일 수 있다. 실시예에서, 양자우물들의 수가 감소되면 측방향 전류 확산에 저항이 커지고, 캐리어 밀도가 높아져, 완성된 LED 내에 내부적으로 전류를 제한하는 것을 도울 수 있다. 실시예에서, 활성층(108)은 SQW를 포함한다. 실시예에서, 활성층(108)은 10개 미만의 양자우물 층을 갖는 MWQ 구조체이다. 실시예에서, 활성층(108)은 1 개 내지 3개의 양자우물을 갖는 MWQ 구조체이다. 선택적으로 p-n 다이오드 층(115)에 추가적인 층들이 포함될 수 있다. 예를 들어, 활성층(108)의 반대면들 상에 클래딩 층들(106, 110)을 형성하여 활성층(108) 내에 전류를 제한할 수 있고, 활성층(108)보다 더 큰 밴드갭을 가질 수 있다. 인접한 전류 확산층들(104, 112)의 도핑과 매칭되도록 클래딩 층들(106, 110)을 도핑할 수 있다. 실시예에서, 클래딩 층(106)은 n형 도편트로 도핑되고, 클래딩 층(110)은 p형 도편트로 도핑되거나, 또는 그 반대일 수 있다. 실시예들에 따른, 전류 확산층들은 기능적으로 클래딩 층들과 유사할 수 있다.

[0032] 예를 들어, 실시예에서 p-n 다이오드 층(115)은 적색광을 방출하도록 설계되고, 재료는 인(phosphorus) 계열이다. 적색 방출을 위한 재료들의 하기 목록은 예시적일뿐이며 제한하는 것으로 의도되지 않는다. 예를 들어, p-n 다이오드 층(115)을 형성하는 층들은 AlInP, AlInGaP, AlGaAs, GaP, 및 GaAs를 포함할 수 있다. 실시예에서, 전류 확산층(104)은 n-AlInP 또는 n-AlGaInP를 포함하고, 클래딩 층(106)은 n-AlInGaP를 포함하고, 클래딩 층(110)은 p-AlGaInP를 포함하고, 전류 확산층(112)은 p-GaP 또는 p-AlInP를 포함한다. 양자우물(108)은 다양한 재료들, 예컨대, AlGaInP, AlGaAs, 및 InGaP로 형성될 수 있지만, 이에 제한되지 않는다. 그와 같은 실시예에서, 적합한 성장 기판(102)은 실리콘, SiC, 및 GaAs를 포함할 수 있지만, 이에 제한되지 않는다.

[0033] 예를 들어, 실시예에서, p-n 다이오드 층(115)은 청색광 또는 녹색광을 방출하도록 설계되고, 재료들은 질화물 계열이다. 청색광 또는 녹색광을 방출을 위한 재료들의 하기 목록은 예시적일뿐이며 제한하는 것으로 의도되지 않는다. 예를 들어 p-n 다이오드 층(115)을 형성하는 층들은 GaN, AlGaN, InGaN을 포함할 수 있다. 실시예에서, 전류 확산층(104)은 n-GaN을 포함하고, 클래딩 층(106)은 선택적으로 존재하지 않고, 클래딩 층(110)은 p-AlGaN을 포함하고, 전류 확산층(112)은 p-GaN을 포함한다. 양자우물(108)은 다양한 재료들, 예컨대, InGaN으로 형성될 수 있지만, 이에 제한되지 않는다. 그와 같은 실시예에서, 적합한 성장 기판(102)은 실리콘 및 사파이어를 포함할 수 있지만, 이에 제한되지 않는다. 실시예에서, 질화물 계열 LED에는 내부 압전 및 자발적 분극전계로 인해 클래딩 층(106)이 필요없을 수 있다.

[0034] 도 1b 내지 도 1f는 LED들의 어레이를 제조하기 위한 단면 프로세스 순서를 예시한 측단면도들이다. 도 1b에 도시된 바와 같이, 전도성 컨택들(116)의 어레이가 p-n 다이오드 층(115) 위에 형성되고, p-n 다이오드 층(115)은 예칭되어 메사 구조체들(120) 사이에 트렌치들(118)을 형성한다. 전도성 컨택들(116)은 다중층 스택을 포함할 수 있다. 예시적인 층들은 전극 층, 거울 층, 접착/장벽 층, 확산 장벽, 및 완성된 LED를 수용 기판에 본딩하기 위한 본딩층을 포함할 수 있다. 실시예에서, 전도성 컨택들(116)은 p-도핑된 전류 확산층(112) 상에 형성되고, 기능적으로 p-컨택이다. 건식 에칭 또는 습식 에칭과 같은 적합한 기술을 활용하여 에칭을 수행할 수 있다. 도 1b에 도시된 실시예에서, 트렌치들은 n-도핑된 전류 확산층(104)을 완전히 관통하도록 형성되지 않는

다. 대안적으로, 트렌치들은 n-도핑된 전류 확산층(104)을 완전히 관통하여 형성된다. 일부 실시예들에서, 기둥들은 p-도핑된 전류 확산층(112)을 부분적으로 관통한다(도 3 참조). 예를 들어, 도 3에서 형성된 구조체는 단면 프로세스, 또는 양면 프로세스를 이용하여 만들어질 수 있는데, 단면 프로세스를 이용하여 기둥들을 형성하고 수용 기판으로 이송된 이후에 양면 프로세스를 이용하여 메사 구조체들이 에칭된다.

[0035] 메사 구조체들(120)을 형성한 뒤, 패터닝된 p-n 다이오드 층(115) 위에 회생 이형층(122)이 형성되고, 이어서 패터닝되어 전도성 컨택들(116) 위에 개구들(124)을 형성할 수 있다. 회생 이형층(122)은 산화물(예컨대 SiO_2) 또는 질화물(예컨대 SiN_x)로 형성될 수 있지만, 다른 층들에 대하여 선택적으로 제거될 수 있는 다른 재료들이 사용될 수 있다. 개구들(124)의 높이, 폭, 및 길이는 형성될 안정화 포스트들의 높이, 길이, 및 폭, 및 결과적으로 안정화 포스트들의 어레이 상으로 핀업될 예정인 LED들(예컨대 마이크로 LED들)의 어레이를 핀업하기 위하여 극복되어야 하는 접착 강도에 대응할 것이다.

[0036] 도 1d를 이제 참조하면, 성장 기판(102) 상의 패터닝된 구조체는 접착 본딩 재료를 이용하여 캐리어 기판(140)에 본딩되어 안정화 층(130)을 형성한다. 실시예에서, 접착 본딩 재료는 열경화성 재료, 예를 들어 벤조사이클로부텐(BCB) 또는 에폭시이다. 안정화 재료 중 개구들(124)을 충전하는 부분은 안정화 층의 안정화 포스트들(132)에 대응하고, 안정화 재료 중 트렌치들(118)을 충전하는 부분은 안정화 층의 안정화 공동 측벽들(134)이 된다.

[0037] 캐리어 기판(140)에 본딩된 이후에, 성장 기판은 레이저 리프트오프, 에칭, 또는 그라인딩과 같은 적합한 기술을 활용하여 제거되어 p-n 다이오드 층(115)을 노출시킬 수 있다. 이어서 분리된 메사 구조체들(120)을 연결하는 n-도핑된 전류 확산층(104)의 임의의 남은 부분들은 에칭 또는 그라인딩을 이용하여 제거되어 측방향으로 분리된 p-n 다이오드 층들(115)을 형성할 수 있다. 이어서 각각 측방향으로 분리된 p-n 다이오드 층 위에 상부 전도성 컨택층(142)이 형성되어 LED(150)가 만들어 질 수 있다. 도 1e 및 도 1f는 성장 기판(102)의 제거 이후에 제거되는 재료의 양 및 메사 구조체들(120)을 노출시키기 위한 에칭 또는 그라인딩 백에 따라 다르게 획득될 수 있는 대안적인 구조체들을 표현한다.

[0038] 위에서 설명한 단면 프로세스에서 캐리어 기판(140)으로 이송되기 이전에 p-n 다이오드 층(115)을 패터닝하여 메사 구조체들(120)을 형성한다. 대안적으로, 실시예들에 따른 LED들은 양면 프로세스를 활용하여 제조될 수 있는데, 양면 프로세스에서는 p-n 다이오드 층(115)을 성장 기판으로부터 캐리어 기판(140)으로 이송한 뒤, p-n 다이오드 층을 패터닝하여 메사 구조체들(120)을 형성한다. 측벽 패시베이션 기술, 전류 제한 기술, 및 이들의 조합을 포함하는 다양한 프로세싱 기술들을 이용하여 유사한 최종 구조체들을 획득할 수 있다. 따라서, 다음 설명의 LED 구조체들은 모두 단면 프로세싱 순서를 이용하여 설명되지만, 이는 예시적인 것이고 제한하는 것으로 의미되지 않는다.

[0039] 도 2 및 도 3은 도 1b 내지 도 1f에 대하여 기재된 것과 유사한 단면 프로세스를 이용하여 형성될 수 있는 LED들을 도시한 예시적인 측단면도들이다. 도 2는 p-n 다이오드 층의 측벽들(153) 중간에 활성층(108) 에지들(151)을 포함하는 LED를 예시한 측단면도이다. 도 3은 활성층(108)에 비하여 폭이 감소된 하부 전류 확산층(112) 기둥 구조체를 갖는 LED를 예시한 측단면도이다. 도 3에 도시된 특정 구조체에서, 전류 확산층 기둥(112)은 p-n 다이오드 층의 측벽들(153) 중간에 있는 활성층(108) 에지들(151)로부터 멀리 내부적으로 전류 주입 경로를 제한하도록 기능할 수 있다. 도 2 및 도 3에서 각각, 활성층(108)의 에지들(151)은 p-n 다이오드 층(115) 메사 구조체들(120)의 측벽들(153)을 에칭한 결과로서 손상될 수 있다. 따라서, 활성층의 에지들은 비방사 채결합을 위한 사이트일 수 있다. 본 명세서에 기재된 실시예들에 따라, 활성층의 에지들에서 비방사 채결합을 완화하기 위한 다양한 구조적 구성들이 기재된다. 예를 들어, 다양한 구조체들은 측벽 패시베이션 기술들, 전류 제한 기술들, 및 이들의 조합을 포함할 수 있다.

[0040] 도 4a 내지 도 4e를 이제 참조하면, 실시예에 따른 인시츄 재성장 p-n 접합부 측벽 패시베이션 층을 갖는 LED를 형성하는 방법을 예시한 측단면도들이 제공된다. 도 4a 내지 도 4e에 도시된 특정 프로세싱 순서는 적색, 청색, 및 녹색을 포함하는 임의의 방출 색상의 LED에 대하여 일반적일 수 있고 도 1a에 대하여 위에서 기재한 p-n 다이오드 층(115) 구성들 중 임의의 것을 포함할 수 있다. 또한, 도 4a 내지 도 4e에 도시된 프로세싱 순서는 인시츄 에칭 및 재성장을 포함할 수 있다. 도시된 바와 같이, 적어도 부분적으로 도핑된 전류 확산층(104) 안으로 트렌치들(118)을 에칭하기 위하여 p-n 다이오드 층(115) 위에 마스크(117)가 형성된다. 마스크(117)는 에칭 및 재성장 프로세스와 연관된 고온 및 강렬한 에칭 화학물질들을 견딜 수 있는 SiO_2 와 같은 유전체 재료로 형성될 수 있다. 실시예에서, 에칭 프로세스는 유기금속 화학증착(MOCVD) 챔버에서 수행되는 순수

화학적 에칭이다. 실시예에서, 제1 부분 건식 에칭에 의해 트렌치들(118)이 형성되고, 이어서 웨이퍼는 MOCVD 챔버로 이송되어 트렌치들(118)의 에칭을 완료한다. 이 방식으로, 최종 에칭된 표면들은 MOCVD 챔버 내의 에칭에 의해 컨디셔닝되고, 건식 에칭 동작 동안 생긴 물리적 손상은 MOCVD 챔버 내의 화학적 에칭에 의해 제거된다. 사용될 수 있는 예시적인 건식 에칭 기술은 RIE(reactive ion etching), ECR(electro-cyclotron resonance), ICP-RIE(inductively coupled plasma reactive ion etching), 및 CAIBE(chemically assisted ion-beam etching)를 포함한다. 건식 에칭 화학물질은 Cl₂, BC_l₃, 또는 SiCl₄와 같은 화학종을 포함하는 할로겐 기반일 수 있다. MOCVD 챔버 내의 에칭 온도는 400 °C 내지 700 °C와 같이 추가적으로 증가된 온도일 수 있다. 구체적인 에칭 화학물질은 부식성 에칭제 및 V족 분해 억제제의 조합을 포함할 수 있는데, V족 분해 억제제는 V족 원소를 안정화시키고, 증가된 에칭 온도에서 다른 방식으로 일어날 수 있는 분해를 억제한다.

[0041] 실시예에서, LED는 적색을 방출하도록 설계되고, p-n 다이오드 층(115)은 인 계열이다. 그와 같은 실시예에서, 에칭 화학물질은 HCl 또는 Cl₂와 같은 부식성 에칭제, 및 PH₃와 같은 V족 분해 억제제를 포함한다. 실시예에서, LED는 녹색 또는 청색을 방출하도록 설계되고, p-n 다이오드 층(115)은 질화물 계열이다. 그와 같은 실시예에서, 에칭 화학물질은 HCl, Cl₂, 또는 H₂(또는 이들의 조합)와 같은 부식성 에칭제, 및 NH₃와 같은 V족 분해 억제제를 포함한다.

[0042] 트렌치들(118)을 형성한 뒤, 패시베이션 층(402)이 에피택셜한 방식으로 트렌치들(118) 내에 재성장된다. 패시베이션 층(402)의 재성장은 트렌치들(118)을 에칭한 직후에, 공기 노출되거나 또는 MOCVD 챔버로부터 꺼내지 않고 MOCVD 챔버 내에서 인시츄로 수행된다. 패시베이션 층(402)이 에피택셜한 방식으로 원시적 표면 상에 재성장되기 때문에, p-n 다이오드에 대한, 특히 활성층(108)에 대한 표면 패시베이터의 역할을 한다. 실시예들에 따른, 패시베이션 층(402)의 밴드갭은 p-n 다이오드 층(115) 내의 개별적인 층들의 밴드갭보다 높다. 패시베이션 층(402)은 또한 p-형일 수 있다. 인 계열 적색 방출 LED의 경우, 패시베이션 층(402)은 Mg 또는 Zn 도편트로 p-도핑될 수 있다. 예를 들어, 패시베이션 층은 AlInGaP:Mg,Zn일 수 있다. 질화물 계열 녹색 또는 청색 방출 LED의 경우, 패시베이션 층(402)은 Mg로 p-도핑될 수 있다. 예를 들어, 패시베이션 층은 AlGaN:Mg일 수 있다. 질화물 계열 녹색 또는 청색 방출 LED의 경우, 패시베이션 층(402)은 C 또는 Fe 도편트를 이용하여 절연될 수 있다. 예를 들어, 패시베이션 층은 AlGaN:C,Fe일 수 있다.

[0043] 이어서 마스크(117)를 제거한 뒤, p-n 다이오드 층(115)의 노출 부분(예컨대 p-도핑된 전류 확산층(112)) 상에 전도성 컨택들(116)을 형성할 수 있고, 이는 도 4c에 도시된 바와 같다. 이어서 트렌치들(410)은 패시베이션 층(402) 및 p-n 다이오드 층(115)까지 에칭되어 메사 구조체들(420)을 형성하고, 이는 도 4d에 도시된 바와 같다. 예를 들어, 건식 에칭 기술들이 지금 사용될 수 있다. 대안적으로, 트렌치들(410)을 습식 에칭하여, LED의 p-n 다이오드 층 측벽(153)이 될 p-n 다이오드 층(115)의 측벽들에 대한 표면 손상을 줄인다. 다른 실시예에서, 건식 에칭 이후 습식 에칭의 조합이 사용된다. 이어서 메사 구조체들(420)은 캐리어 기판(140)으로 이송되고, 상부 전도성 컨택(142)이 도 1b 내지 도 11f에 관하여 위에서 논의된 바와 유사하게 형성될 수 있다.

[0044] 도 4f는 실시예에 따른 인시츄 재성장 p-n 접합부 측벽 패시베이션 층을 갖는 LED를 예시한 측단면도이다. 도시된 바와 같이, 패시베이션 층(402)은 활성층(108)의 에지들에도 대응하는 LED 측벽들(151), 및 p-n 다이오드 층 측벽들(153)을 측방향으로 둘러싼다. 그와 같은 실시예에서, 인시츄 에칭이 순수 화학적이기 때문에, 구조적 손상을 주지 않고, 공기 노출이 없기 때문에, 화학적 오염은 무시된다. 패시베이션 층(402)이 에피택셜한 방식으로 성장됨으로써, 원래 표면에서의 모든 결합들을 충족시킨다. 이 방식으로, 표면 재결합이 최소화되고 LED의 방사 효율이 복원된다. 도 4f를 다시 참조하면, 재성장 p-n 접합부 패시베이션 층(402)이 더 높은 밴드갭 재료로 형성될 수 있고, 따라서 턴온 전압(V_{o2})이 방출 p-n 접합의 턴온 전압(V_{o1})보다 더 높은, 즉 V_{o2} > V_{o1}이다. 결과적으로, 전류는 광을 방출하는, 의도된 영역으로 우선적으로 유입될 것이다.

[0045] 도 5a 내지 도 5h는 실시예에 따른 중기 에칭된 측벽 및 재성장 측벽 패시베이션 층을 갖는 LED를 형성하는 방법을 예시한 측단면도들이다. 실시예에서, 도 5a 내지 도 5h에 도시된 프로세싱 순서는 녹색 또는 청색 방출, 질화물 계열 LED에 관한 것이다. 위에 기재한 바와 같이, AlGaN 클래딩 층(106)은 내부 압전 및 자발적 분극전계로 인해 생략될 수 있다. 또한, 클래딩 층(110)이 도 5a 도시된 p-n 다이오드 층에서 추가적으로 생략될 수 있다. 위에 기재한 바와 같이, 실시예들에 따른 마이크로 LED들은 종래의 LED보다 낮은 전류에서 동작할 수 있다. 따라서, 실시예에서, AlGaN 클래딩 층들(106, 110)은 양자우물(108)의 양쪽에 반드시 필요한 것은 아니다. 실시예에서, p-n 다이오드 층(115)은 p-GaN 층(112), InGaN 활성층(108), 및 n-GaN 층(104)을 포함한다.

[0046] 도 5b에 도시된 바와 같이, p-n 다이오드 층(115) 위에 얇은 반도체 마스크 층(513)이 형성된다. 실시예에서,

반도체 마스크 층(513)은 AlGaN으로 형성된다. 이제 도 5c 및 도 5d를 참조하면, 적어도 부분적으로 p-n 다이오드 층(115)에 트렌치들(118)이 에칭되어 메사 구조체들(520)을 형성한다. 초기 RIE/ICP 에칭을 이용하여 AlGaN 반도체 마스크 층(513)에 얇은 트렌치(118)를 에칭할 수 있다. 그 다음, 고온에서 H₂ + NH₃ 증기 에칭하여 트렌치들(118)의 에칭을 완성할 수 있다. 예를 들어, H₂ + NH₃ 증기 에칭은 RIE/ICP 에칭에 비해 최소의 구조적 손상을 야기할 수 있고, 대략 200 nm/시간의 평면 속도로 에칭되어, 수직 m-평면 측벽들을 형성할 수 있다. AlGaN 클래딩 층들(106, 110)이 존재하지 않기 때문에, 그것들은 H₂ + NH₃ 증기 에칭을 방해하거나 가로막지 않을 것이다. 트렌치들이 적절히 배향되면, 수직 측벽들을 획득할 수 있다.

[0047] 이제 도 5e 내지 도 5h를 참조하면, 에피택셜한 방식으로 재성장된 패시베이션 층(502)이 패터닝된 p-n 다이오드 층 및 반도체 마스크 층들(513) 위에 형성될 수 있다. 예를 들어, 패시베이션 층(502)은 재성장된 p-GaN일 수 있다. 실시예들에 따른, 패시베이션 층(502)의 에피택셜 재성장은 트렌치들(118)의 증기 에칭로부터 엑스시츄이다. 예시적인 실시예에서, p-n 다이오드 층(115) 내에 알루미늄 함유 층들이 없고, 따라서, 메사 구조체들(520)의 측벽들은 증기 에칭 이후에 산화되지 않는다. 따라서, 에피택셜한 방식으로 재성장된 패시베이션 층(502)은 증기 에칭된 측벽들의 격자 구조와 최소의 결함으로 매칭될 수 있다. 특정 실시예에서, 패시베이팅 층(502)은 에피택셜한 방식으로 인시츄로, 즉, MOCVD 반응기에서 증기 에칭한 직후에, 재성장되어 공기 노출이 없도록 한다. 이어서 에피택셜한 방식으로 재성장된 패시베이션 층(502)에 트렌치들(518)이 에칭되고, 구조체는 캐리어 기판(140)으로 이송되고, 이는 이전에 기재한 바와 같다. 도 5i는 실시예에 따른 재성장 측벽 패시베이션 층을 갖는 LED를 예시한 측단면도이다. 도시된 바와 같이, LED(550)는 측벽들(153) 둘레 및 p-n 다이오드 층(115) 아래에 형성된 패시베이션 층(502)을 포함하고, 하부 전도성 컨택(116)이 p-도핑된 패시베이션 층(502) 상에 형성된다. 도시된 바와 같이, 패시베이션 층(502)은 n-도핑된 전류 확산층(104)의 측벽들을 완전히 뒤덮지 않고, p-n 다이오드 층의 상부 표면에 도달하지 않는다. 이 방식으로, 계면(502-104)에서 활성층(108)보다 더 높은 턴온 전압을 갖는 p-n 접합이 생성되어, 전류는 광을 방출하는, 의도된 영역으로 우선적으로 유입될 것이다. 추가적으로, 도시된 실시예에서, 패시베이션 층(502)은 LED(550) 내의 활성층(108)을 측방향으로 둘러싸서 활성층(108)의 에지들(151)이 패시베이션 층(502)에 의해 부동태화된다.

[0048] 도 6a 내지 도 6e는 실시예에 따른 확산된 측벽 패시베이션 층을 갖는 LED를 형성하는 방법을 예시한 측단면도들이다. 실시예에서, 도 6a 내지 도 6e는 적색광을 방출하도록 설계된 인계열 LED에 관한 것이다. 실시예에서, p-n 다이오드 층(115)은 도 1a에 관하여 위에서 논의된 조성물들 중 임의의 것을 포함한다. 이제 도 6a를 참조하면, p-n 다이오드 층(115)이 패터닝되어 적어도 부분적으로 전류 확산층(104)에 트렌치들(118)을 형성한다. 마스크(605)를 이용하여 트렌치들(118)의 에칭 동안 메사 구조체들(120)을 한정한다. 트렌치들(118)을 형성한 뒤, 확산 동작이 수행되어 화학종들을 메사 구조체들(120)의 측벽 안으로 확산시켜 패시베이션 층(602)을 형성한다. 확산은 메사 구조체들(120) 사이의 p-n 다이오드 층(115)의 노출 표면 상에, 그리고 마스크(605)가 제거된 경우 선택적으로 메사 구조체들(120)의 상부에서 추가적으로 일어날 수 있다. 패시베이션 층(602)의 확산 및 형성은 이전에 노출된 p-n 접합부(및 활성층(108))를 LED의 내부 안으로 변위시킨다. 결과적으로, p-n 접합부는 표면과 교차하지 않고, 손상되지 않은 재료로 형성된다. 일 특정 실시예에서, 혼합된 혜테로구조가 생성된다. 구체적으로, 이 실시예에서, AlInGaP 혜테로구조는 규칙 합금 결정 구조체((111) 결정 평면 상의 GaAlP-InP 단층 초격자를 포함하는 CuPt형 규칙)를 자발적으로 생성하기 위한 조건 및 기판 배향 하에서 성장된다. 규칙 합금 클래딩 층(106)(예컨대 n-AlInGaP), 양자우물 층(108)(InGaP), 및 클래딩 층(110)(예컨대 p-AlGaInP)은 낮은 밴드갭 에너지를 특징으로 한다. 위에서 기재한 확산 프로세스는 이 합금을 무작위화함으로써, 그것의 밴드갭 에너지를 증가시킬 수 있다. 무작위화된 측벽은 높은 밴드갭 에너지로 자연스럽게 측벽 재결합을 억제하는 전위 장벽을 형성한다. 그럼으로써 무작위화된 AlInGaP는 패시베이션 층(602)을 형성한다. 주입, 증기 확산, 및 소스층 코팅 후 가열(고체 소스 확산)을 비롯한, 다양한 방법들을 이용하여 패시베이션 층(602)을 형성할 수 있다.

[0049] 실시예에서, 패시베이션 층(602)내에 Zn 또는 Mg와 같은 p-도편트를 주입하거나 및/또는 확산시켜 n형 층들(110, 112)을 p형으로 변경한다. 대안적으로, 다른 화학종, 예컨대 Fe, Cr, Ni, 또는 기타 도편트를 추가하여 패시베이션 층(602)을 반절연으로 만들 수 있다. 대안적으로, He 또는 H가 주입될 수 있고, 이는 또한 양성자 충돌 또는 양성자 주입으로 알려져 있다. 양성자 충돌에 의해 생긴 손상은 결과적으로 주입된 패시베이션 층(602)의 저항성을 증가시킨다. 주입 에너지가 너무 큰 손상을 만들지 않고, 비방사 재결합을 위한 중요한 소스의 역할을 할 수 있도록 제어될 수 있다.

[0050] 패시베이션 층(602)을 형성한 뒤, 구조체는 도 1b 내지 도 1f에 대하여 위에 기재한 바와 유사하게 처리되어

LED(650)를 형성할 수 있다. 도 6f는 실시예에 따른 확산된 측벽 패시베이션 층을 갖는 LED를 예시한 측단면도이다. 도시된 바와 같이, LED(650)는 p-n 다이오드 층(115)의 측벽들(153) 내에 형성된 패시베이션 층(602)을 포함한다. 도시된 바와 같이, 패시베이션 층(602)은 n-도핑된 전류 확산층(104)의 측벽들을 완전히 뒤덮지 않고, p-n 다이오드 층의 상부 표면에 도달하지 않는다. 이 방식으로, 계면(602-104)에서 활성층(108)보다 더 높은 턴온 전압을 갖는 p-n 접합이 생성되어, 전류는 광을 방출하는, 의도된 영역으로 우선적으로 유입될 것이다. 추가적으로, 도시된 실시예에서, 패시베이션 층(602)은 LED(650) 내의 활성층(108)을 측방향으로 둘러싸서 LED 측벽들(151)(활성층(108)의 에지들에 대응함)이 패시베이션 층(602)으로 변환된 p-n 다이오드 층 측벽들(153) 내에 내부적으로 제한되도록 한다.

[0051] 도 7a 내지 도 7e는 실시예에 따른 선택적 확산에 의해 LED 내의 p-n 접합부를 형성하는 방법을 예시한 측단면도들이다. 도 7a에 도시된 특정 실시예에서, 에피택셜 층(715)은, 층들(710, 712)이 p-도핑된 것(층들(110, 112))이 아니라 n-도핑된다는 점에서, 도 1a에 도시된 p-n 다이오드 층(115)과 약간 상이하다. 따라서, 시작 에피택셜 층(715)은 n-/n 혼합구조를 포함하고, p-n 접합부는 아직 형성되지 않았다. 실시예에서, 에피택셜 층(715)은 (n)-AlInP 전류 확산층(104), (n)-AlInGaP 클래딩 층(106), 양자우물 층(108), (n)-AlGaInP 클래딩 층(710), 및 (n-) AlInP 전류 확산층(712)을 포함한다. 도 7a 내지 도 7e에 도시된 실시예에 따라 p-n 접합부는 Mg 또는 Zn과 같은 p-도편트가 전류 확산층(712), 및 클래딩 층(710) 안으로 확산됨에 의해 형성된다. 확산은 고체 소스, 또는 증기로부터 유래할 수 있고, 이는 도 6a 내지 도 6e에 관하여 위에 기재한 바와 같다.

[0052] 도 7b를 참조하면, 위에 기재한 바와 같이 p-도핑된 영역(702)은 클래딩 층(710) 및 전류 확산층(712) 안으로 확산되고, p-도편트가 활성층(108) 안으로 침투하기 전에 멈춘다. 확산 이후에, 에피택셜 층(715) 위에 절연층(711)이 형성된다. 절연층(711)은 다양한 재료들, 예컨대, SiO₂ 및 SiN_x으로 형성될 수 있다. 이제 도 7c를 참조하면, 절연층(711)에 개구들이 형성되고, 개구들 위에 전도성 컨택들(116)이 형성되고, 이어서 절연층(711) 및 에피택셜 층(715)에 트렌치들(118)이 예치되어 메사 구조체들(720)을 형성한다. 이어서 도 7d 및 도 7e에 도시된 프로세싱 순서는 LED(750)를 형성하기 위하여 도 1b 내지 도 1f에 관하여 위에서 기재된 것과 유사할 수 있다.

[0053] 도 7f는 실시예에 따른 선택적으로 확산된 p-n 접합부를 갖는 LED를 예시한 측단면도이다. 도시된 바와 같이, LED(750)는 (n-) 도핑된 전류 확산층(712)에 걸쳐 연장되는 내부적으로 제한된 p-도핑된 영역(702), 및 (n-) 도핑된 클래딩 층(710)을 포함한다. 절연층(711)은, p-도핑된 영역(702)과 (n-) 도핑된 전류 확산층(712) 사이의 접합부를 뒤덮어 하부 전도성 컨택(116)이 (n-) 도핑된 전류 확산층(712)과 접촉하지 못하도록 선택적으로 형성될 수 있다. 도 7f에 도시된 실시예에서, 활성층(108) 안으로의 전류 주입 영역은 p-도핑된 영역(702)에 의해 LED 내에 내부적으로 제한된다.

[0054] 도 8a 내지 도 8e는 실시예에 따른 확산된 횡방향 접합부를 갖는 LED를 형성하는 방법을 예시한 측단면도들이다. 실시예에서, 도 8a에 도시된 에피택셜 층(815)은 도 7a에 도시된 에피택셜 층(715)과 동일하고, 층들(810, 812)이 층들(710, 712)에 대응한다. 도 8a 내지 도 8e에 도시된 프로세싱 순서는 도 7a 내지 도 7e에 도시된 것과 실질적으로 유사하고, p-도핑된 영역들(802)이 층들(812, 810, 108, 106)을 관통하고 부분적으로 전류 확산층(104) 내에 형성된다는 점이 상이하다.

[0055] 도 8f는 실시예에 따른 확산된 횡방향 접합부를 갖는 LED(850)를 예시한 측단면도이다. 도시된 바와 같이, p-n 접합부는 활성층(108) 내에 형성된 측방향 접합부가 된다. 도 8f에 도시된 실시예에서, 활성층(108) 안으로의 전류 주입 영역은 p-도핑된 영역(802)에 의해 LED 내에 내부적으로 제한된다. 또한, p-n 접합부는 횡방향이고, LED(850) 내에 내부적으로 제한된다.

[0056] 도 9a 내지 도 9e는 실시예에 따른 선택 영역 성장 및 측벽 패시베이션 층의 인시츄 성장을 이용하여 LED를 형성하는 방법을 예시한 측단면도들이다. 실시예에서, 도 9a 내지 도 9e에 도시된 방법은 적색광을 방출하기 위해 설계되고, 입방 결정 구조체를 갖는 인계열 LED에 관한 것이다. 도 9a 내지 도 9e에 도시된 방법은 다른 유형들의 결정 구조체에 적용가능할 수 있고, 더 복잡한 측벽 형상을 만들 수 있다. 도 9a를 참조하면, 성장 기판(102) 위에 패터닝된 마스크 층(111)이 형성된다. 실시예에서, 패터닝된 마스크 층(111)은 결국 제거될 성장 기판(102) 상에 직접 형성된다. 도시된 특정 실시예에서, 패터닝된 마스크 층(111)은 부분적으로 형성된 전류 확산층(104) 상에 형성된다. 이어서 패터닝된 마스크 층(111) 내의 사전 정의된 개구들에서 메사 구조체들(920)이 선택적으로 성장된다. 메사 구조체들(920)은 적색광을 방출하기 위한 도 1a의 p-n 다이오드 층(115)에 관하여 위에서 기재한 것과 유사한 에피택셜 층들을 포함할 수 있다. 실시예에서, 선택 영역 성장으로 인해 가까운 (100) 표면 상에 (111) 측벽들이 성장하지 않는다. p-n 다이오드 층을 포함하는 메사 구조체들(920)이 형

성된 뒤, 인시츄 측벽 패시베이션 층(902)이 (메사 구조체들의 성장과 인시츄로) 성장된다. 실시예에서, 패시베이션 층은 AlInP를 포함하고, 이는 p-도핑될 수 있다. 실시예에서, 메사 구조체들(920)을 형성한 직후에, MOCVD 반응기로부터 꺼내지 않고, 패시베이션 층(902)이 인시츄로 성장된다. 패시베이션 층(902)은 성장 온도를 낮춰 침착 화학종의 기화 또는 이동을 방지함으로써 순응적으로 성장한다. 측벽 패시베이션 층(902)을 형성한 뒤, 전도성 컨택들(116)이 형성되고, 프로세싱 순서가 도 1b 내지 도 1f에 관하여 위에 기재한 바와 유사하게 수행되어 LED(950)를 형성할 수 있다.

[0057] 도 9f는 실시예에 따른 인시츄 성장된 측벽 패시베이션 층을 갖는 선택적으로 성장된 LED의 x방향 (111) 평면을 따라 예시한 측단면도이다. 도 9g는 실시예에 따른 인시츄 성장된 측벽 패시베이션 층을 갖는 선택적으로 성장된 LED의 y방향 (111) 평면을 따라 예시한 측단면도이다. 도 9f 및 도 9g에 도시된 바와 같이, 패시베이션 층(902)은 도 5i에 관하여 위에서 기재한 것과 유사할 수 있다. 도시된 바와 같이, LED(950)는 측벽들(153) 둘레 및 p-n 다이오드 층(115) 아래에 형성된 패시베이션 층(902)을 포함하고, 하부 전도성 컨택(116)이 p-도핑된 패시베이션 층(902) 상에 형성된다. 도시된 바와 같이, 패시베이션 층(902)은 n-도핑된 전류 확산층(104)의 측벽들을 완전히 뒤덮지 않고, p-n 다이오드 층의 상부 표면에 도달하지 않는다. 이 방식으로, 계면(902-104)에서 활성층(108)보다 더 높은 턴온 전압을 갖는 p-n 접합이 생성되어, 전류는 광을 방출하는, 의도된 영역으로 우선적으로 유입될 것이다. 추가적으로, 도시된 실시예에서, 패시베이션 층(902)은 LED(950) 내의 활성층(108)을 측방향으로 둘러싸서 활성층(108)의 에지들(151)이 패시베이션 층(902)에 의해 부동태화된다.

[0058] 도 10a 내지 도 10d는 실시예에 따른 재성장 측벽 패시베이션 층을 갖는 LED를 형성하는 방법을 예시한 측단면도들이다. 실시예에서, 도 10a 내지 도 10d에 도시된 방법은 적색광을 방출하기 위해 설계되고, 입방 결정 구조체를 갖는 인 계열 LED(예컨대 AlGaInP)에 관한 것이다. 도 10a를 참조하면, p-n 다이오드 층(115)이 성장 기판(102) 상에 형성되고, 이는 도 1a에 관하여 위에 기재한 바와 유사하다. 이어서 p-n 다이오드 층(115)은 습식 화학적 에칭되어 (111) 측벽들을 형성한다. 도 10b를 참조하면, 습식 화학적 에칭 동안 사용되는 마스크 층(1010)은 남겨지거나 또는 (111) 측벽들을 따라 패시베이션 층(1002)을 에피택셜 성장시키기 전에 제거될 수 있다. 실시예에서, 패시베이션 층(1002)은 GaN을 포함하고, 이는 p-n 다이오드 층(115)에 비교하여 절연성일 수 있다. 대안적으로, 그것은 p형으로 성장될 수 있다. 측벽들이 (111) 결정 표면 배향을 갖기 때문에, 그들은 육방구조 AlGaN의 에피택셜 성장을 위한 적절한 시드 표면의 역할을 한다. 그럼으로써 재성장 에피택셜 계면의 품질이 개선되어 표면 재결합을 감소시킨다. 다른 실시예에서, 이 구조체는 전체적으로 인시츄 프로세스로 형성될 수 있고, (111) 측벽 메사 구조체들은 도 9a 내지 도 9g에 관하여 기재된 바와 같이 선택적 성장에 의해 형성되고, 이어서 곧바로 절연성 또는 p형 GaN의 에피택셜 성장에 의해 인시츄로 부동태화된다. 도 10c 및 도 10d를 참조하면, 마스크 층(1010)은 제거되고, 구조체는 도 1b 내지 도 1f에 관하여 위에 기재한 바와 유사하게 처리되어 LED(1050)를 형성한다.

[0059] 도 10e는 실시예에 따른 재성장 측벽 패시베이션 층을 갖는 LED의 x방향 (111) 평면을 따라 예시한 측단면도이다. 도 10f는 실시예에 따른 재성장 측벽 패시베이션 층을 갖는 LED의 y방향 (111) 평면을 따라 예시한 측단면도이다. 도 10e 및 도 10f에 도시된 바와 같이 패시베이션 층(1002)은 p-n 다이오드 층 측벽들(153) 둘레에 형성된다(또한 LED 측벽들(151)에 대응함). 패시베이션 층(1002)은 에피택셜한 방식으로 성장되기 때문에, LED 측벽들(151)에서 결합들은 충족된다. 이 방식으로, 표면 재결합이 최소화된다. 또한, LED(1050)가 p-n 다이오드 층(115) 내에 Al 함유 층을 포함하지 않기 때문에, p-n 다이오드 층(115)은 습식 에칭되고 이어서 습식 에칭 이후에 노출된 층들의 산화 없이 에피택셜 성장을 위해 챔버로 이송될 수 있다.

[0060] 도 10g 및 도 10h는 도 10e 및 도 10f와 유사하지만, LED가 넓은 상부 전류 확산층(104)을 포함하도록 패터닝되는 점이 상이하다. 이 방식으로, 상부 전도성 컨택(104)이 더 크게 만들어져, 패시베이션 층(1002)을 통해 직접 접촉하게 되는 위험을 줄일 수 있다.

[0061] 이제 도 11a 내지 도 11d를 참조하면, 실시예에 따른 배향 의존적 도핑을 갖는 LED p-n 접합부를 형성하는 방법을 예시한 측단면도들이 제공된다. 도 11a는 실시예에 따른 패터닝된 기판 상에 형성되고 배향 의존적 도핑을 포함하는 p-n 다이오드 층의 확대 단면도이다. 실시예에서, 도 11a 내지 도 11d에 도시된 방법은 적색광을 방출하기 위해 설계된 인 계열 LED에 관한 것이다. 도 11a에 도시된 바와 같이, 성장 기판(1002), 예컨대 (100) GaAs 기판이 에칭된 단자(1101)를 이용하여 형성된다. 이어서 p-n 다이오드 층(1115)은 패터닝된 성장기판(1002) 상에서 에피택셜한 방식으로 성장된다. 실시예에서, p-n 다이오드 층은 n-AlInP 전류 확산층(104), n-AlInGaP:Se 또는 Si 클래딩 층(106), InGaP 활성층(108), p-AlInGaP:Mg 클래딩 층(1110A), 공동도핑된 AlGaInP:Mg+Se 클래딩 층(1110B), p-AlInGaP:Mg 클래딩 층(1110C), 및 p-GaP 전류 확산층(112)을 포함한다.

- [0062] 구체적으로, 클래딩 층들(1110A 내지 1110C), 및 특히 클래딩 층(1110B)을 형성하는 특정 방법은 클래딩 층(1110B) 내의 배향 의존적인 n, p 도핑을 구현한다. 구체적으로, n형 클래딩 층(1110B)이 (100) 평면 표면 상에 형성되고, 순수 p형 클래딩 층(1110B)이 경사진 영역을 따라 형성된다. 따라서, (100) 배향의 AlGaInP 클래딩 층(1110B) 내에 Se이 포함되는 반면, Mg는 상이하게 배향된 경사를 따라 AlGaInP 클래딩 층(1110B) 내에 우선적으로 포함되어, p-n 접합부가 경사진 측벽들 상에 위치한 p-n 다이오드 층(1115)을 만들지만, n-p-n-p 접합부들이 (100) 표면 상에 형성된다. 따라서, 전류 주입 경로는 우선적으로(도 11a의 화살표로 도시됨) 경사진 측벽들 상에 형성된 p-n 접합부를 통해 흘러들어간다. 이제 도 11b 내지 도 11d를 참조하면, 프로세싱 순서는 LED(1150)를 형성하기 위하여 도 1b 내지 도 1f에 관하여 위에서 기재한 것과 유사하다.
- [0063] 도 11e 및 도 11f는 실시예들에 따른 배향 의존적 도핑을 갖는 LED p-n 접합부를 예시한 측단면도들이다. 도 11e 및 도 11f에 도시된 바와 같이, p-n 접합부, 및 전류 주입 경로(도 11e 및 도 11f에 화살표로 도시됨)는 p-n 다이오드 층의 측벽들(153) 중간에 있는 활성층(108) 에지들로부터 멀리 LED(1150) 내에 내부적으로 위치한다. 도 11e에 도시된 실시예에서, 성장 기판(102)의 일부분은 생성된 LED(1150) 내에 남아 있다. 도 11f에 도시된 실시예에서, p-n 다이오드 층(1115)의 두께는 LED(1150)의 내부 부분을 충분히 채울 만큼 충분하다. 예를 들어, 전류 확산층(104)이 LED(1150)의 내부 부분을 채울 수 있다.
- [0064] 도 12a 내지 도 12f는 실시예에 따른 선택적 에칭 및 물질 전달로 LED를 형성하는 방법을 예시한 측단면도들이다. 도 12a를 참조하면, p-n 다이오드 층(115)이 성장 기판(102) 상에 형성되고, 이는 도 1a에 관하여 위에 기재한 바와 유사하다. p-n 다이오드 층(115)은 적색, 녹색, 또는 청색 방출을 위해 설계될 수 있다. 그러나, 특정 프로세싱 순서는 p-n 다이오드 층(115)이 질화물 계열인지 또는 인 계열인지에 따라 달라질 수 있다.
- [0065] 이제 도 12b를 참조하면, 트렌치들(118)이 p-n 다이오드 층(115)에 형성되어 메사 구조체들(120)을 형성하고, 이는 이전에 기재된 바와 같다. 실시예에서, p-n 다이오드 층(115)은 인 계열이고, InGaP 활성층(108)의 선택적 에칭을 수행하여 활성층에 노치를 생성하는데, 이는 도 12c에 도시된 바와 같다. 실시예에서, p-n 다이오드 층(115)은 질화물 계열이고, 광활성화(예컨대 365 nm와 450 nm 사이) 포토전기화학적 에칭이 InGaN 활성층(108)의 일부분을 선택적으로 제거하여 노치를 만든다. 이제 도 12d를 참조하면, 고온에서의 물질 전달은 인접한 재료들의 물질 전달을 야기하여 노칭된 활성층(108)을 감싸는 새로운 p-n 접합부를 형성하게 된다. 노치를 먼저 형성하지 않고 물질 전달이 활성층(108)의 에지들을 가능하게 감쌀 수 있음이 고려된다. p-n 다이오드 층(115)이 인 계열인 실시예에서, 고온에서 PH₃ + H₂에 노출됨으로써 물질 전달이 야기된다. 그와 같은 실시예에서 인접한 p-AlInGaN 클래딩 층(110)과 n-AlInGaN 클래딩 층(106)은 InGaN 활성층(108)을 감싼다. p-n 다이오드 층(115)이 질화물 계열인 실시예에서, 고온에서 NH₃ + H₂에 노출됨으로써 물질 전달이 야기된다. 그와 같은 실시예에서 인접한 p-GaN 전류 확산층(112)과 n-GaN 전류 확산층(104)은 InGaN 활성층(108)을 감싼다. 도 12e 및 도 12f를 참조하면, 이어서 구조체는 도 1b 내지 도 1f에 관하여 위에 기재한 바와 유사하게 처리되어 LED(1250)를 형성할 수 있다.
- [0066] 도 12g 및 도 12h는 실시예에 따른 노칭된 활성층을 포함하는 LED를 예시한 측단면도들이다. 도 12g에 도시된 바와 같이, 인접한 p-AlInGaN 클래딩 층(110)과 n-AlInGaN 클래딩 층(106)은 InGaN 활성층(108)을 감싼다. 도 12h에 도시된 바와 같이, 인접한 p-GaN 전류 확산층(112) 및 n-GaN 전류 확산층(104)은 InGaN 활성층(108)을 감싼다. 각각의 실시예에서, 활성층(108)의 에지들(151)은 p-n 다이오드 층 측벽들(153)의 내측에, LED(1250) 내에 내부적으로 제한된다.
- [0067] 도 13a 내지 도 13c는 실시예에 따른 표면 변환을 갖는 LED의 측벽들을 부동태화하는 방법을 예시한 측단면도들이다. 도 13a 및 도 13b는 인 계열 p-n 다이오드 구조체에 대하여 도 12a 및 도 12b와 실질적으로 유사하며, 조성물에서 약간의 차이가 있다. 도 13c를 참조하면 활성층(108), 및 선택적으로 클래딩 층들(106, 110)은 그 것들의 합금에 비소를 포함한다. 실시예에서, 밴드갭 값을 복원하기 위하여 층들(106, 108, 110)에 알루미늄이 추가적으로 포함될 수 있다. 메사 구조체들(120)이 고온에서 PH₃ + H₂ 중기에 노출되어, V족 화학종이 기화하는 부적당한 승화를 야기한다. 빠져나가는 As 화학종은 P로 대체되어, 표면 밴드갭 에너지가 증가된다. 결과적으로, 활성층(108)의 에지들(151)은 p-n 다이오드 층 측벽들(153)의 내측에, LED 내에 내부적으로 제한되게 된다.
- [0068] 도 14a는 실시예에 따른 활성층 내의 양자점들을 갖는 LED를 예시한 측단면도이다. 실시예에서, 도 14a에 도시된 구조체는 적색광을 방출하기 위해 설계된 인 계열 LED에 관한 것이다. 실시예에서, LED(1450)는 양자점 활성 영역(1408)을 포함하는데, 여기에서 주입된 캐리어들은 양자점들에 국한되고 LED 측벽들(151)로는 덜 확산되는 경향이 있다. 도 14b는 실시예에 따른 양자점들(1409)을 갖는 LED 활성층을 예시한 개략적 평면도이다. 실

시예에서, 클래딩 층(1410)은 p-AlInP로 형성되고, 클래딩 층(1406)은 n-AlInP로 형성되고, 활성층(108)은 (Al)GaInP로 형성된다. 층들을 형성하는 동안, 침착을 제어하여 압축 변형이 In을 In이 풍부한 영역으로 분리시키도록 한다. 또한 혼화성 캡을 이용하여 In이 풍부한 영역을 형성하도록 침착 조건이 제어될 수 있다. 이 방식으로, In이 풍부한 양자점 덩어리들이 낮은 밴드캡을 이용하여 캐리어들을 붙잡아서 LED 측벽들(151)로의 측방향 확산을 억제한다. 비균질 활성층(108) 내의 양자점 덩어리들의 검출은, 예를 들어, 광발광(photoluminescence)에 의해 검출될 수 있다. 예시적인, 양자점 덩어리들(1409)은 낮은 밴드캡 영역들이 형성되는 렌즈 스케일에 따라 달라지고, 실시예에서 10 nm 내지 20 nm 수준일 수 있다.

[0069] 도 15a 내지 도 15c는 실시예에 따른 활성층 내의 나노필라들을 갖는 LED를 형성하는 방법을 예시한 측단면도들이다. 실시예에서, 도 15a에 도시된 구조체는 녹색 또는 청색광을 방출하기 위해 설계된 질화물 계열 LED에 관한 것이다. 실시예에서, p-n 다이오드 층(1515)은 n-GaN 전류 확산층(104), p-AlGaN 클래딩 층(110), 및 p-GaN 전류 확산층(112)을 포함한다. 다중 층이 활성층을 형성할 수 있다. 실시예에서, 다중 활성층은 InGaN을 포함한다. 실시예에서, 제1 In₁GaN 활성층(1508A)은 복수의 나노필라(1509)를 포함한다. 나노필라들(1509)은 In₁GaN 활성층(1508A) 내의 압축 변형에 의해 자발적으로 형성될 수 있다. 실시예에서, 선택적 성장 또는 패터닝에 의해 나노필라들(1509)이 형성된다. 제1 In₁GaN 활성층(1508A)을 형성한 이후에, 제1 In₁GaN 활성층(1508A)보다 인듐 함량이 더 많은 제2 In₂GaN 활성층(1508B)이 형성된다. 결과적으로, 더 높은 농도의 인듐이 양자점들, 또는 나노필라들(1509)에 위치할 수 있다. 인듐 분리는 나노필라들(1509)의 크기를 추가적으로 증가시킬 수 있다. 제2 In₂GaN 활성층(1508B)을 형성한 뒤, 제3 In₃GaN 활성층(1508C)이 성장되어 양자점들, 또는 나노필라들(1509)을 끓는다. 실시예에서, In₃GaN 활성층(1508C) 내의 인듐 함량은 In₂GaN 활성층(1508B) 내의 인듐 함량보다 적고, In₁GaN 활성층(1508A)내의 인듐 함량과 동일할 수 있다. 도 15b 및 도 15c를 참조하면, 구조체는 도 1b 내지 도 1f에 관하여 위에 기재한 바와 유사하게 처리되어 LED(1550)를 형성할 수 있다. 도 15d는 실시예에 따른 활성층 내의 나노필라들을 갖는 LED를 예시한 측단면도이다. 도 15e는 실시예에 따른 활성층 내의 나노필라들 및 상부 모자형 구성을 갖는 LED를 예시한 측단면도이다. 도시된 바와 같이, 하부 p-도핑된 전류 확산층(112)이 필라 형성 시 형성된다. 도시된 실시예들에서, LED(1550)는 주입된 캐리어들이 국한되어 LED 측벽들(151)로 확산하려는 경향이 적은 활성 영역(1508) 내의 양자점들, 또는 나노필라들(1509)을 포함하고, LED 측벽들(151)은 또한 p-n 다이오드 층 측벽들(153)에 대응한다.

[0070] 도 16a 내지 도 16d는 실시예에 따른 p-n 다이오드 층 측벽들에서 헤테로구조 혼합을 갖는 LED를 형성하는 방법을 예시한 측단면도들이다. 실시예에서, 도 16a에 도시된 구조체는 적색광을 방출하도록 설계된 인 계열 LED에 관한 것으로, 도 1a에 관하여 위에서 기재한 것과 유사한 p-n 다이오드 층(115)을 포함할 수 있다. 도 16a를 계속 참조하면, 전류 확산층(112) 위에 주입 마스크들(1601)이 형성된다. 이어서 열처리 동작이 수행되어 주입 마스크들(1601)의 재료에 따라, 확산 또는 혼합을 야기한다. 실시예에서, 주입 마스크(1601)는 실리콘으로 형성된다. 그와 같은 실시예에서, 실리콘은 표면으로부터 확산되어 혼합 영역(1602)을 형성한다. 실리콘의 확산은 III족 결합을 야기하고, 이는 III족 원소들(Al, Ga, In)이 III족 하위격자 상의 격자 위치를 변경하여 층들(106(원래 AlInGaP), 108(원래 InGaP), 110(원래 AlGaInP))에 걸쳐 균질한 합금을 형성할 수 있도록 한다. 도 16b를 계속 참조하면, 실리콘 확산 이후에, 전류 확산층(112) 위에 블랭킷 Zn 공여층이 선택적으로 표면 안으로 확산되어 특히 실리콘(n-도편트)이 확산되어 있는 표면에 걸쳐 p-도핑된 층(1603)을 형성한다.

[0071] 이제 도 16c 및 도 16d를 참조하면, p-n 다이오드 층(115)에 트렌치들(118)이 예칭되고 구조체는 도 1b 내지 도 11f에 관하여 위에 기재한 바와 유사하게 패터닝되어 LED(1650)를 형성한다. 도 16e는 실시예에 따른 혼합된 LED 헤�테로구조를 예시한 측단면도이다. 도시된 바와 같이 혼합 영역들(1602)이 활성층(108)에 인접하게 형성되어 활성층(108)의 예지들(151)이 p-n 다이오드 층 측벽들(153) 내에 내부적으로 제한되도록 한다.

[0072] 다른 실시예에서, 주입 마스크들(1601)은 SiO₂로 형성되고, 이는 III족 결합들이 아래 재료들에 주입시킨다. 그와 같은 실시예에서, Al, Ga, In은 SiO₂ 안으로 확산되어 Al, Ga, 및 In이 혼합된 혼합 영역(1602)을 형성한다. 그와 같은 실시예에서, n-도편트는 기판 안으로 확산되지 않기 때문에, p-도핑된 층(1603)을 형성하는 것은 불필요할 수 있다.

[0073] 도 16f에 도시된 다른 실시예에서, 주입 마스크들(1601)은 SiO₂로 형성되고, Si 도핑 층들(1611)은 하나 이상의 활성층(108) 부근에서 형성된다. Si 도핑 층들(1611)은 활성층(108) 부근에서 혼합이 가속화되도록 가능할 수 있다.

[0074] 실시예들에 따라, LED들의 어레이는 이어서 캐리어 기판으로부터 수용 기판, 예컨대 조명 또는 디스플레이 기판으로 이송될 수 있다. 실시예에서, 이송은 예를 들어 증기 HF 에칭에 의한 희생 이형층의 선택적 제거 이후에, 정전 이송 헤드들의 어레이를 포함하는 이송 툴을 이용하여 LED들의 어레이를 정전 이송함으로써 성취될 수 있다.

[0075] 도 17a 내지 도 17f는 실시예에 따른 측벽 패시베이션 층을 갖는 LED를 형성하는 방법을 예시한 측면도들이다. 도 17a를 참조하면, 별크 LED 기판(100)이 도시되고, 이는 이전에 도 1a에 관하여 위에서 기재한 것과 유사하다. 또한, p-n 다이오드 층(115) 위에 ITO와 같은 전도성 산화물 층(160)이 형성될 수 있다. 예를 들어, 전도성 산화물 층(160)은 p-n 다이오드 층(115)의 전류 확산층(예컨대(112) 또는 클래딩 층(예컨대 110)과 음믹 컨택을 이를 수 있다. 전도성 산화물 층(160) 및 p-n 다이오드 층(115)은 이어서 패터닝되어 트렌치들(118)을 형성할 수 있고, 이는 도 17b에 도시된 바와 같다. 트렌치들(118)을 형성한 뒤, 기판은 컨디셔닝될 수 있다. 예를 들어, 이는 자연 산화물 또는 잔여 오염물질을 HCl 또는 브롬 계열 혼합물에서 제거하기 위한 산세(acid dip)를 포함할 수 있다. 이어서, 예를 들어 아르곤, 수소, 또는 질소를 이용하여 인시큐 플라즈마 처리가 선택적으로 수행될 수 있다.

[0076] 이제 도 17c를 참조하면, 메사 구조체들(120) 사이 및 그 위에 측벽 패시베이션 층(170)이 형성된다. 실시예에서, 측벽 패시베이션 층(170)은 원자층 침착(ALD)을 이용하여 형성되는데, 예를 들어, 측벽 패시베이션 층(170)은 Al₂O₃일 수 있지만, 다른 재료들도 사용될 수 있다. 실시예에서, 측벽 패시베이션 층(170)의 두께는 0 내지 1,000 nm, 예컨대 1 내지 100 nm이고, 하부 기판 지형에 따라 균일한 두께를 가질 수 있으며, 메사 구조체들(120)의 윤곽을 형성한다. 이어서 측벽 패시베이션 층(170)은 패터닝되어 메사 구조체들(120) 위에 개구들(170)을 형성하여 패터닝된 전도성 산화물 층(160)을 노출시킬 수 있다. 예를 들어, 이는 불소 계열 건식 에칭 기술을 이용하여 성취될 수 있다.

[0077] 하부 전도성 컨택들(116)은 이어서 개구들(172) 내의 전도성 산화물 층들(160)의 노출 부분 상에 형성될 수 있고, 이는 도 17d에 도시된 바와 같다. 도 17e를 참조하면, 패터닝된 희생 산화물 층(122)이 형성되고, 접착 본딩 재료를 이용하여 패터닝된 구조체를 캐리어 기판(140)에 본딩시켜 안정화 층(130)을 형성한다. 캐리어 기판(140)에 본딩된 이후에, 성장 기판(102)은 레이저 리프트오프, 에칭, 또는 그라인딩과 같은 적합한 기술을 활용하여 제거되어 p-n 다이오드 층(115)을 노출시킨다. 이어서 분리된 메사 구조체들(120)을 연결하는 p-n 다이오드 층(115)의 임의의 남은 부분들은 에칭 또는 그라인딩을 이용하여 제거되어 측방향으로 분리된 p-n 다이오드 층들(115)을 형성할 수 있다. 이어서 상부 전도성 컨택층(142)이 각각 측방향으로 분리된 p-n 다이오드 층 위에 형성되어 LED(150)가 만들어 질 수 있고, 이는 도 17f에 도시된 바와 같다. 도시된 바와 같이, ALD 측벽 패시베이션 층(170)은 p-n 다이오드 층(115) 측벽들(153)(예컨대 상부 전류 확산층(104), 활성층(108), 및 하부 전류 확산층(112)을 포함함)을 따라, 그리고 전도성 산화물 층(160) 하부에 펼쳐져 있다.

[0078] 이제 도 18a를 참조하면, 실시예에서, LED들(150)의 어레이는 이송되어 디스플레이 기판에 본딩된다. LED들(150)이 도시되지만, 이는 예시적인 것이고, 위에서 기재한 LED들 중 임의의 것이 사용될 수 있다. 예를 들어, 디스플레이 기판(300)은 액티브 매트릭스 OLED 디스플레이 패널에 사용되는 것과 유사한 박막 트랜지스터(TFT) 디스플레이 기판(즉, 백플레인)일 수 있다. 도 18a는 실시예에 따른 디스플레이 패널을 예시한 측면도이다. 그와 같은 실시예에서, 디스플레이 기판은 각각의 서브픽셀을 독립적으로 구동하기 위하여 작동 회로부(예컨대 트랜지스터, 커패시터 등)를 포함하는 TFT 기판이다. 기판(300)은 비-픽셀 영역 및 픽셀 안에 배열된 서브픽셀들을 포함하는 픽셀 영역(예를 들어 디스플레이 영역)을 포함할 수 있다. 비 픽셀 영역은 데이터 신호들(Vdata)이 서브픽셀들에 전송되도록 하기 위하여 각각의 서브픽셀의 데이터 라인에 연결된 데이터 구동 회로, 스캔 신호들(Vscan)이 서브픽셀들에 전송되도록 하기 위하여 서브픽셀들의 스캔 라인들에 연결된 스캔 구동 회로, 전력 신호(Vdd)를 TFT에 전송하기 위한 전력 공급 라인, 및 접지 신호(Vss)를 서브픽셀들의 어레이에 전송하기 위한 접지 링을 포함할 수 있다. 데이터 구동 회로, 스캔 구동 회로, 전력 공급 라인, 및 접지 링은 모두 가요성 회로 기판(FCB)에 연결될 수 있고, 이것은 전력 공급 라인에 전력을 공급하기 위한 전원 및 접지 링에 전기적으로 연결된 전원 접지 라인을 포함한다. 이는 디스플레이 패널에 대한 하나의 예시적인 실시예이고, 대안적인 구성들이 가능하다는 것을 인식하게 될 것이다. 예를 들어, 임의의 구동 회로가 디스플레이 기판(300)에 떨어져서 위치하거나, 또는 대안적으로 디스플레이 기판(300)의 후면 상에 위치할 수 있다. 마찬가지로, 기판(300) 내에 형성된 작동 회로(예를 들어 트랜지스터, 커패시터 등)는 도 18b에 도시된 바와 같이 기판(300)의 상면에 본딩되는 마이크로구동 칩들(350)로 대체될 수 있다.

[0079] 도 18a에 도시된 특정 실시예에서, TFT 기판은 구동 회로에서 나온 데이터 라인에 연결된 스위칭 트랜지스터

(T1) 및 전력 공급 라인에 연결된 전력 라인에 연결된 구동 트랜지스터(T2)를 포함한다. 스위칭 트랜지스터(T1)의 게이트는 또한 스캔 구동 회로에서 나온 스캔 라인에 연결될 수 있다. 뱅크 개구들(327)을 포함하는 패터닝된 뱅크층(326)이 기판(300) 상에 형성된다. 일 실시예에서, 뱅크 개구들(327)은 서브픽셀들에 대응한다. 뱅크층(326)은 다양한 기술, 예컨대 잉크젯 인쇄, 스크린 인쇄, 라미네이션, 스플 코팅, CVD, PVD에 의해 형성될 수 있고, 불투명, 투명, 또는 반투명 재료로 형성될 수 있다. 일 실시예에서, 뱅크층(326)은 절연 재료로 형성된다. 일 실시예에서, 뱅크층은 방출광 또는 주변광을 흡수하는 블랙 매트릭스 재료로 형성된다. 뱅크층(326)의 두께 및 뱅크 개구들(327)의 폭은 개구 내에 이송되고 본딩되는 LED들(150)의 높이, 정전 이송 헤드들의 높이, 및 디스플레이 패널의 해상도에 따라 달라질 수 있다. 일 실시예에서, 뱅크층(326)의 예시적인 두께는 1 μm 내지 50 μm 이다.

[0080] 전기 전도성 하부 전극들(342), 접지 타이 라인들(344) 및 접지 링(316)이 선택적으로 디스플레이 기판(300) 위에 형성될 수 있다. 도시된 실시예들에서 접지 타이 라인들(344)의 배열은 디스플레이 패널의 픽셀 영역(304)에 있는 뱅크 개구들(328) 사이에서 연장된다. 접지 타이 라인(344)은 뱅크층(326) 상에 형성되거나 또는 대안적으로, 개구(332)가 뱅크층(326)에 형성되어 뱅크층(326) 아래의 접지 타이 라인들(344)을 노출시킬 수 있다. 실시예에서, 접지 타이 라인들(344)은 픽셀 영역의 뱅크 개구들(327) 사이에 형성되고 비표시 영역의 접지 링(316) 또는 접지 라인에 전기적으로 연결된다. 이런 방식으로, Vss 신호는 서브픽셀들의 매트릭스에 더욱 균등하게 인가되어, 디스플레이 패널에 걸쳐 더 균등한 밝기를 만들 수 있다.

[0081] 뱅크 개구(327) 내의 LED(150) 둘레에 형성된 패시베이션 층(348)은 상부 및 하부 전극층(318, 342) 사이의 전기적 단락을 방지하고, 상부 전도성 컨택(142)과 접지 타이 라인(344) 사이의 상부 전극층(318)의 적절한 단차 피복을 제공하는 것과 같은 기능들을 수행할 수 있다. 패시베이션 층(348)은 또한 하부 전극층(342)의 임의의 부분을 덮어 상부 전극층(318)과 단락 가능성을 방지할 수 있다. 실시예들에 따라, 패시베이션 층(348)은 다양한 재료들, 예컨대 에폭시, 폴리(메틸 메타크릴레이트)(PMMA)와 같은 아크릴(폴리아크릴레이트), 벤조사이클로부텐(PCB), 폴리미드, 및 폴리에스테르로 형성될 수 있지만, 이에 한정되지 않는다. 일 실시예에서, 패시베이션 층(348)은 잉크젯 인쇄 또는 스크린 인쇄에 의해 LED 디바이스(156) 둘레에 형성되어 뱅크 개구(327)에 의해 정의되는 서브픽셀 영역들을 충전한다.

[0082] 상부 전극층(318)은 특정 애플리케이션에 따라 불투명, 반사성, 투명, 또는 반투명할 수 있다. 상부 방출 디스플레이 패널에서, 상부 전극층(318)은 투명 전도성 재료, 예컨대 비정질 실리콘, 투명 전도성 폴리머, 또는 투명 전도성 산화물일 수 있다. 상부 전극층(318)의 형성 이후에, 봉지층(346)이 기판(300) 위에 형성된다. 예를 들어, 봉지층(346)은 가요성 봉지층 또는 경성 층일 수 있다.

[0083] 일 실시예에서, 하나 이상의 LED(150)는 서브픽셀 회로에 정렬된다. LED(150)의 제1 단자(예를 들어 하부 전도성 컨택)는 구동 트랜지스터와 결합된다. 예를 들어, LED(150)는 구동 트랜지스터와 결합된 본딩 패드에 본딩될 수 있다. 일 실시예에서, 여분쌍의 LED들(150)이 구동 트랜지스터(T2)와 결합된 하부 전극(342)에 본딩된다. 하나 이상의 LED(150)는 본 명세서에서 기재한 LED들 중 임의의 것일 수 있다. 접지 라인은 하나 이상의 LED에 대하여 제2 단자(예를 들어 상부 전도성 컨택)와 전기적으로 결합된다.

[0084] 예를 들어, 구동 트랜지스터(T2)로부터 하나 이상의 LED를 지나는 전류가 구동될 수 있다. 상측 구동 구성에서는, 서브픽셀 회로가 LED의 p-단자를 통해 전류를 밀어내도록 하나 이상의 LED가 PMOS 구동 트랜지스터의 드레인 측 또는 NMOS 구동 트랜지스터의 소스 측에 있을 수 있다. 대안적으로, 서브픽셀 회로가 하측 구동 구성으로 배열될 수 있는데, 그러한 경우에 접지 라인은 전력 라인이 되고 LED의 n-단자를 통해 전류를 끌어온다.

[0085] 도 19는 실시예에 따라 디스플레이 시스템(1900)을 도시한다. 디스플레이 시스템은 프로세서(1910), 데이터 수신기(1920), 디스플레이(1930), 및 스캔 구동기 IC 및 데이터 구동기 IC일 수 있는 하나 이상의 디스플레이 구동기 IC(1940)를 하우징한다. 데이터 수신기(1920)는 무선 또는 유선으로 데이터를 수신하도록 구성될 수 있다. 무선은 다수의 무선 표준 또는 프로토콜 중 임의의 것으로 구현될 수 있다. 하나 이상의 디스플레이 구동기 IC(1940)는 디스플레이(1930)에 물리적으로 전기적으로 연결될 수 있다.

[0086] 일부 실시예들에서, 디스플레이(1930)는 위에서 설명한 실시예들에 따라 형성된 하나 이상의 LED를 포함한다. 디스플레이 시스템(1900)의 응용 분야에 따라, 다른 컴포넌트들을 포함할 수 있다. 이러한 다른 컴포넌트들은 메모리, 터치 스크린 제어기, 및 배터리를 포함하지만, 이에 제한되지 않는다. 다양한 구현예들에서, 디스플레이 시스템(1900)은 텔레비전, 태블릿, 전화기, 랩톱, 컴퓨터 모니터, 키오스크, 디지털 카메라, 핸드헬드 게임 콘솔, 미디어 디스플레이, 전자책 디스플레이, 또는 대면적 간판 디스플레이일 수 있다.

[0087]

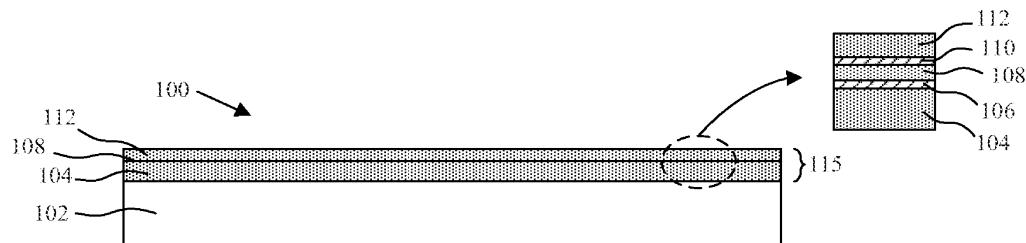
도 20은 실시예에 따른 조명 시스템(2000)을 도시한다. 조명 시스템은 전력 공급장치(2010)를 하우징하고, 이는 전력을 수신하기 위한 수신 인터페이스(2020), 및 광원(2040)에 공급될 전력을 제어하기 위한 전력 제어 유닛(2030)을 포함할 수 있다. 전력은 조명 시스템(2000)의 외부에서 공급되거나 또는 선택적으로 조명 시스템(2000)에 포함되는 배터리로부터 공급될 수 있다. 일부 실시예들에서, 광원(2040)은 위에서 설명한 실시예들에 따라 형성된 하나 이상의 LED를 포함한다. 다양한 구현예들에서, 조명 시스템(2000)은 내부 또는 외부 조명 애플리케이션, 예컨대 간판 조명, 건물 조명, 가로 조명, 조명 전구, 및 램프일 수 있다.

[0088]

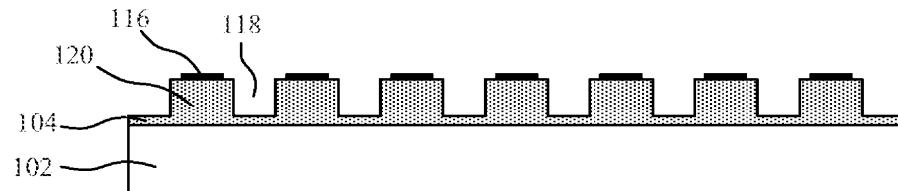
실시예들의 다양한 양태들을 이용함에 있어서, LED를 형성하기 위해 위의 실시예들의 조합 또는 변형이 가능하다는 것이 통상의 기술자에게 명백하게 될 것이다. 실시예들이 구조적 특징들 및/또는 방법 동작들과 관련하여 기술되었지만, 첨부된 청구항들이 기술된 특정 특징들 또는 동작들로 꼭 제한되는 것은 아님이 이해되어야 한다. 개시된 특정 특징들 및 동작들은 그 대신에 예시하는 데 유용한 청구항들의 실시예들로서 이해되어야 한다.

도면

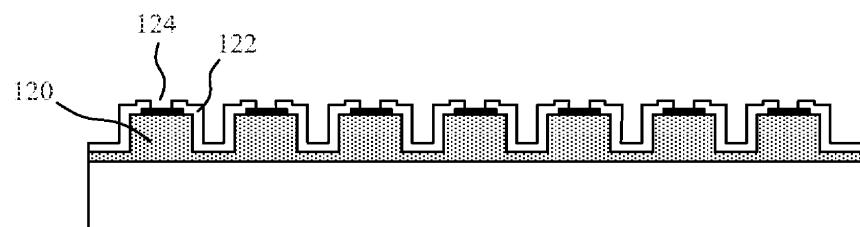
도면1a



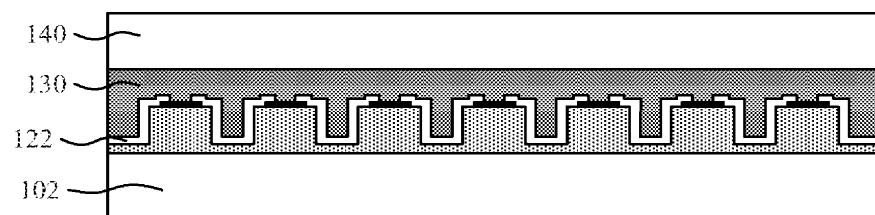
도면1b



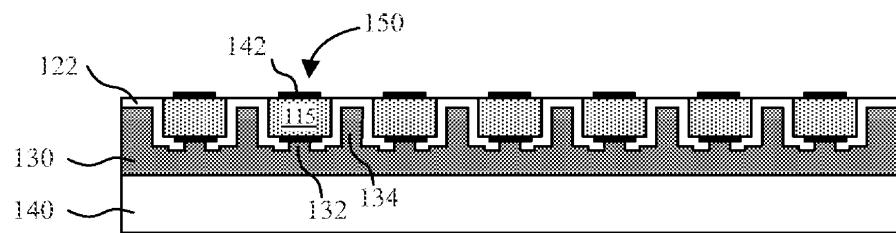
도면1c



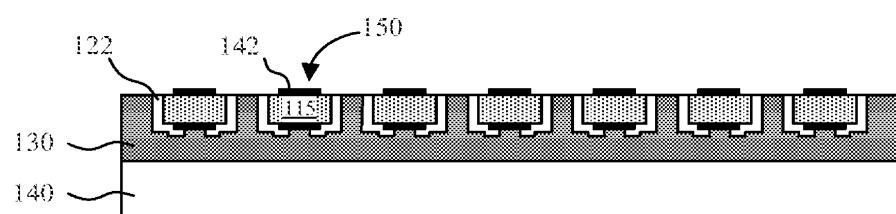
도면1d



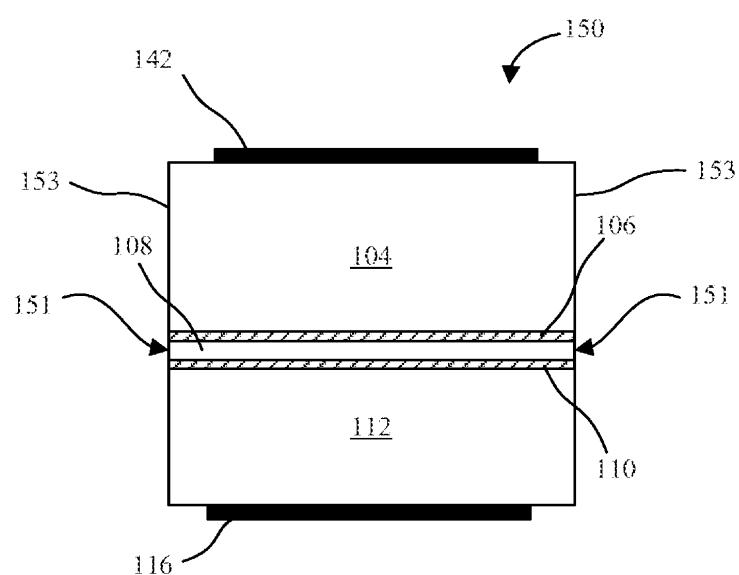
도면1e



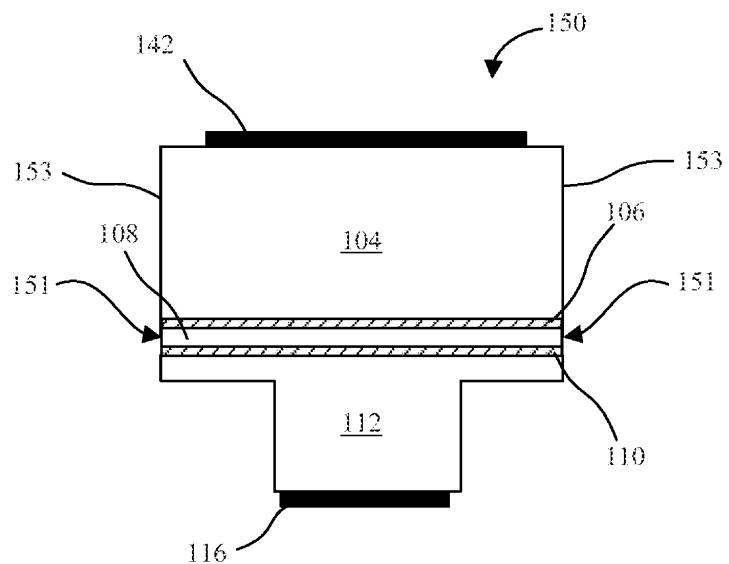
도면1f



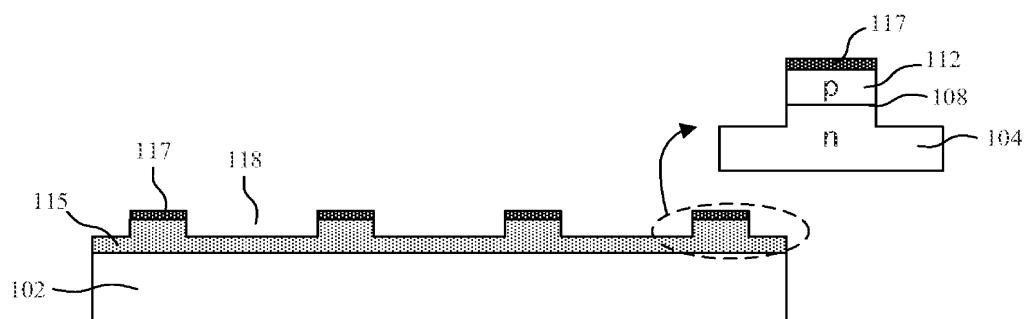
도면2



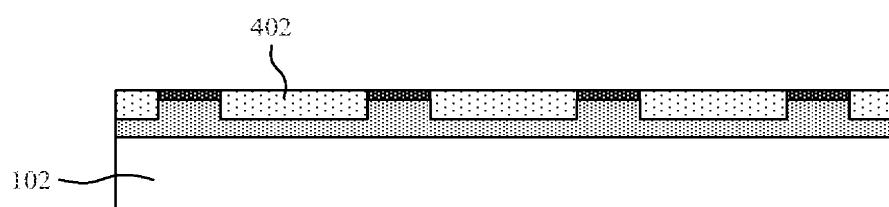
도면3



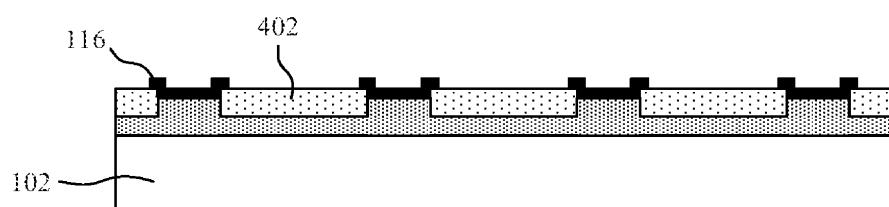
도면4a



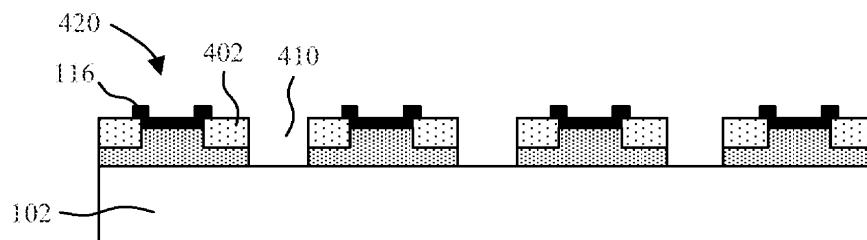
도면4b



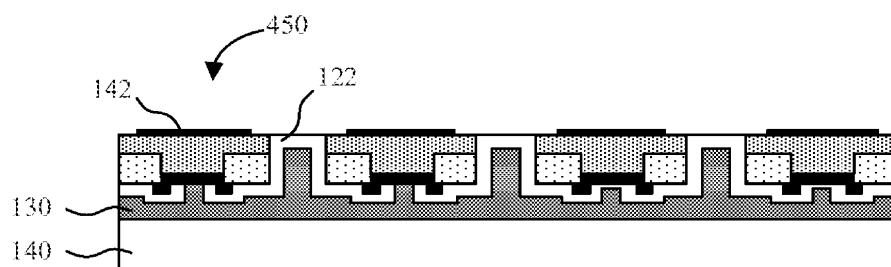
도면4c



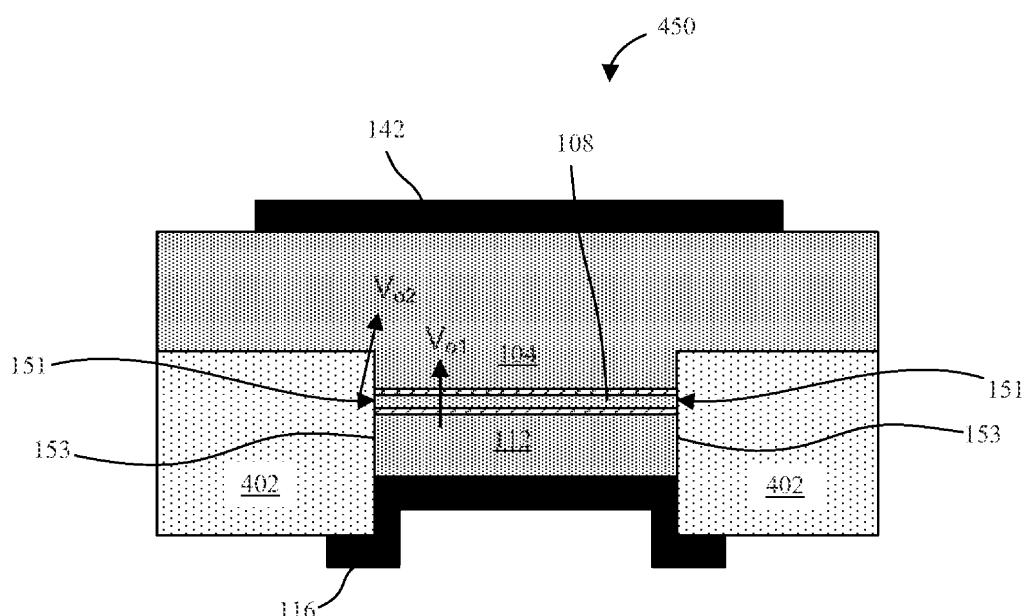
도면4d



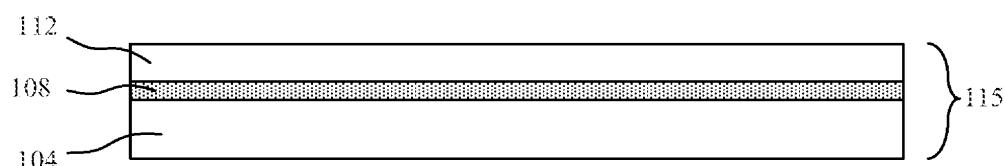
도면4e



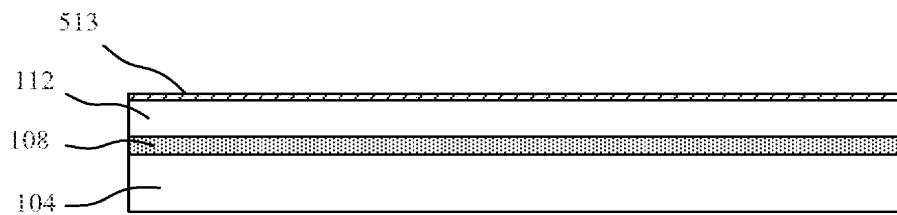
도면4f



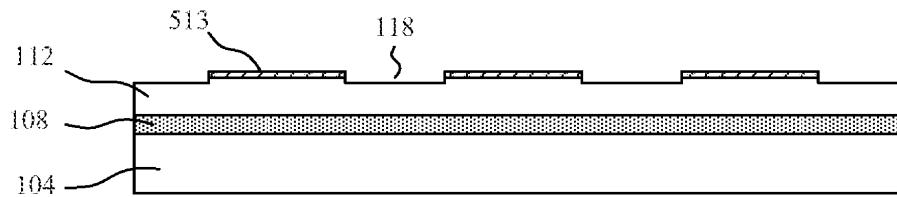
도면5a



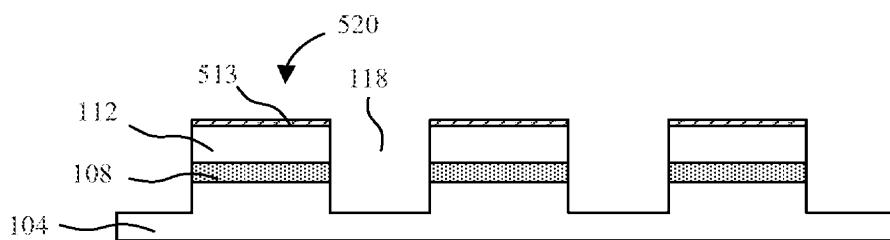
도면5b



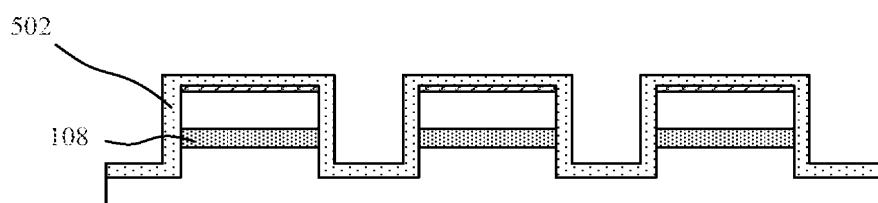
도면5c



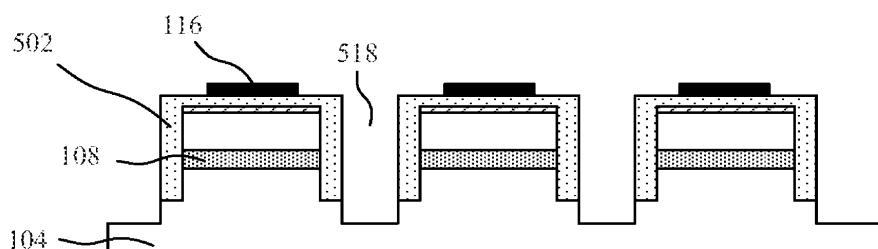
도면5d



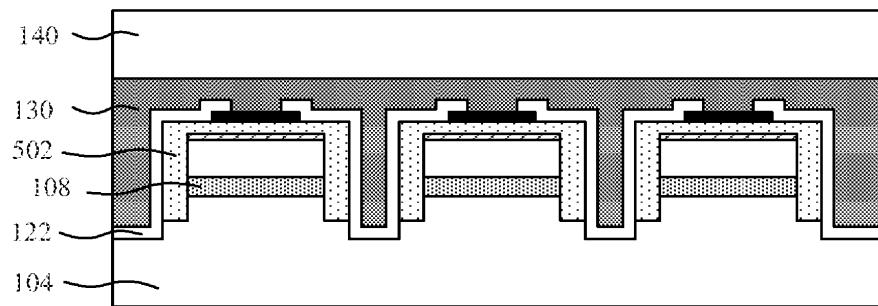
도면5e



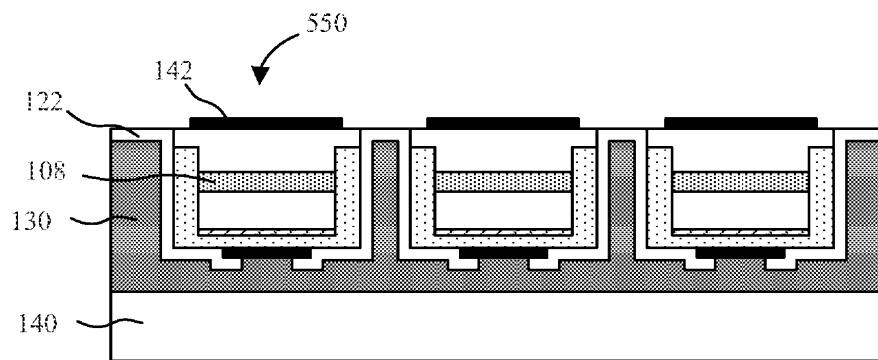
도면5f



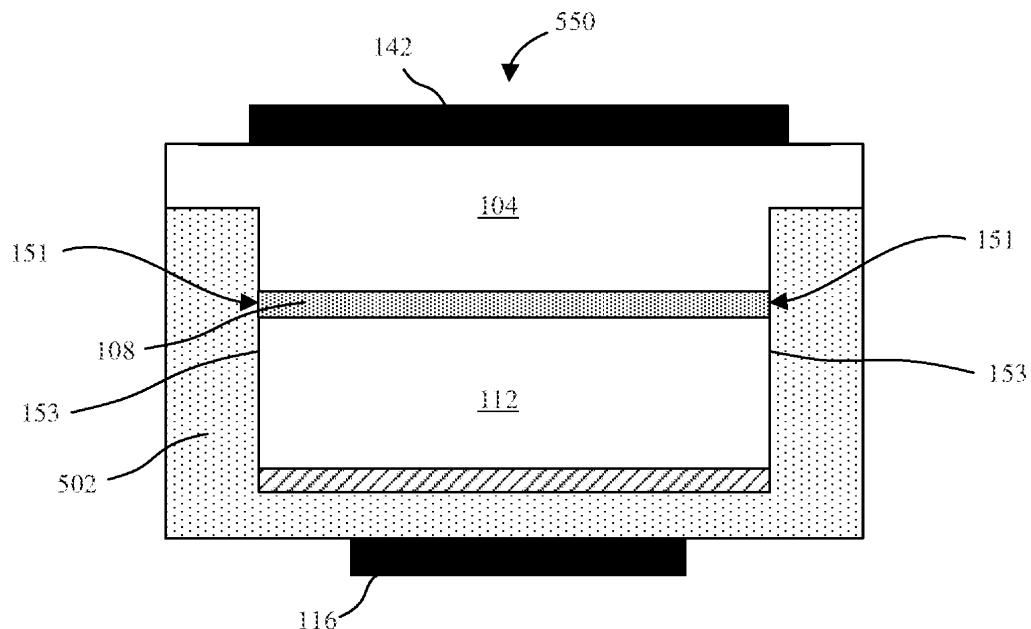
도면5g



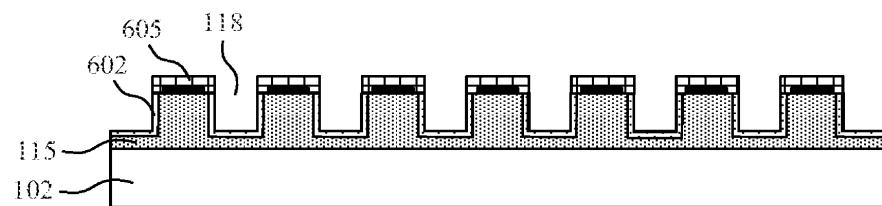
도면5h



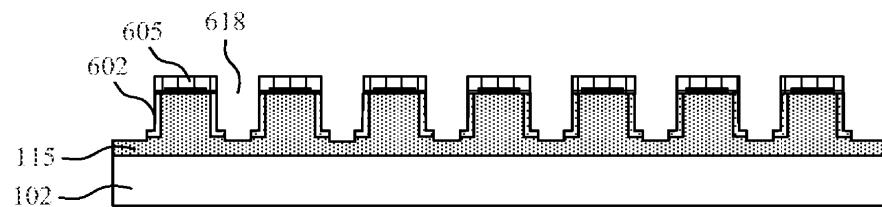
도면5i



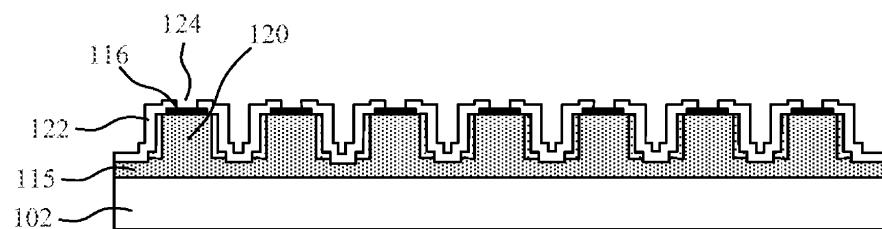
도면6a



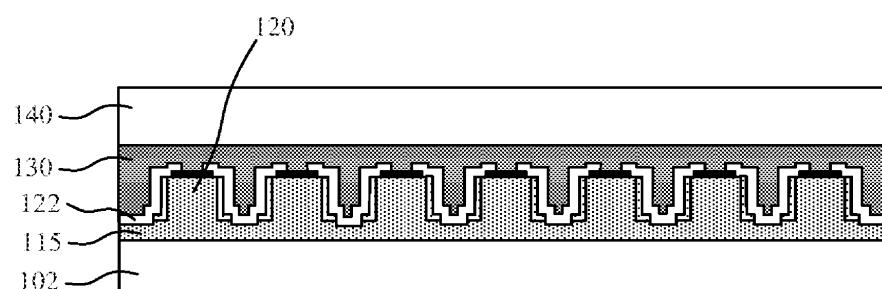
도면6b



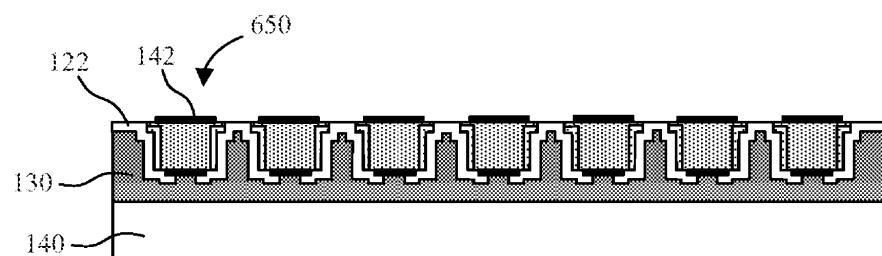
도면6c



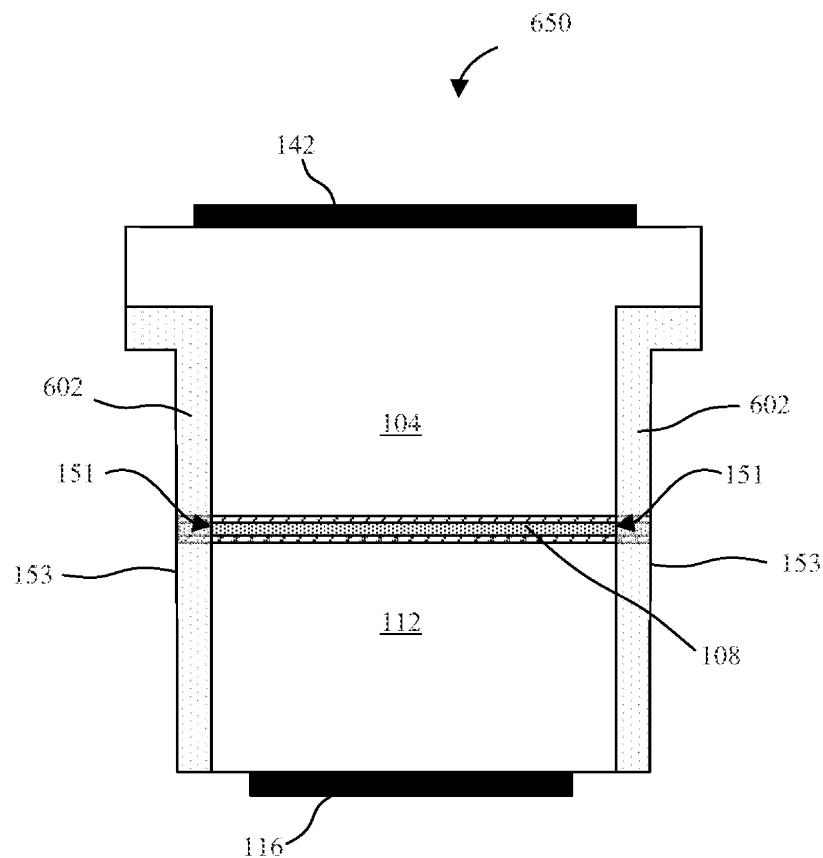
도면6d



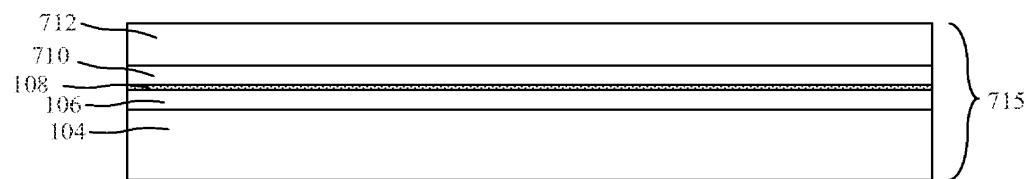
도면6e



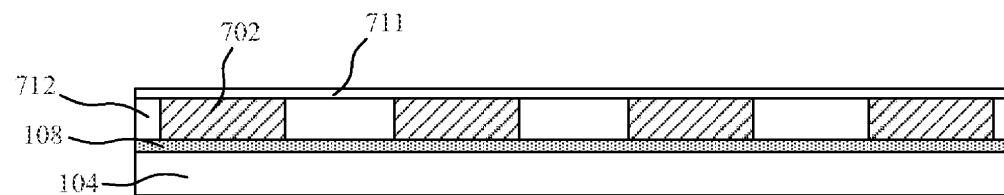
도면6f



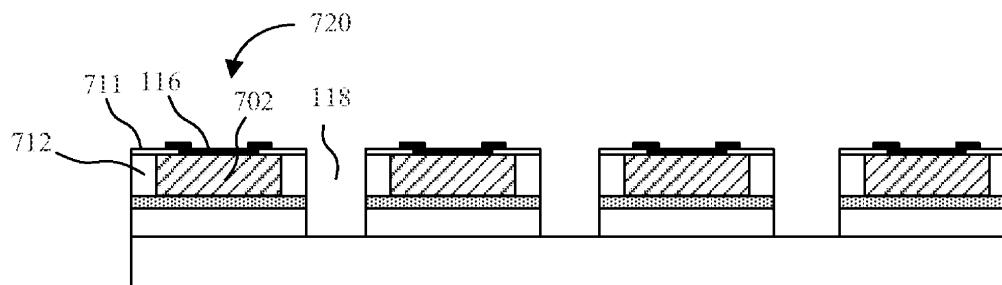
도면7a



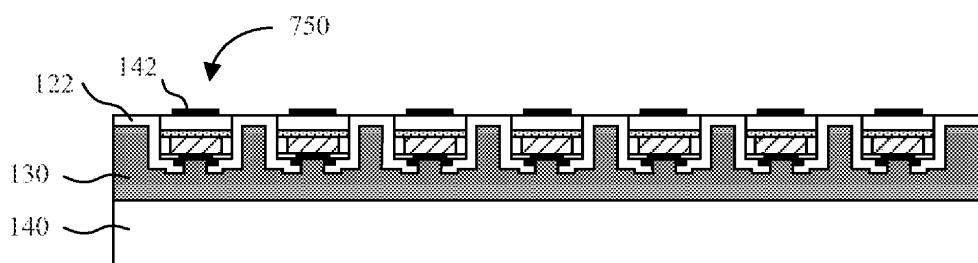
도면7b



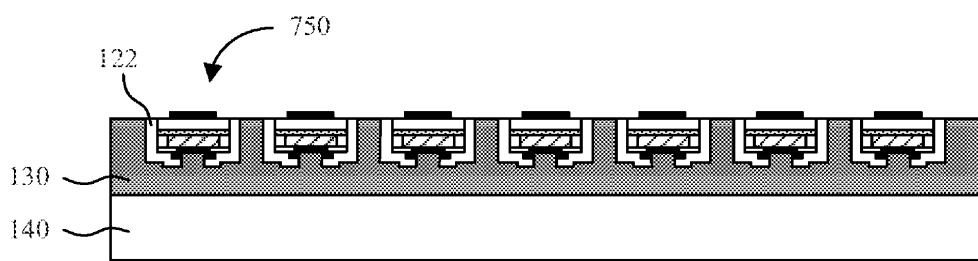
도면7c



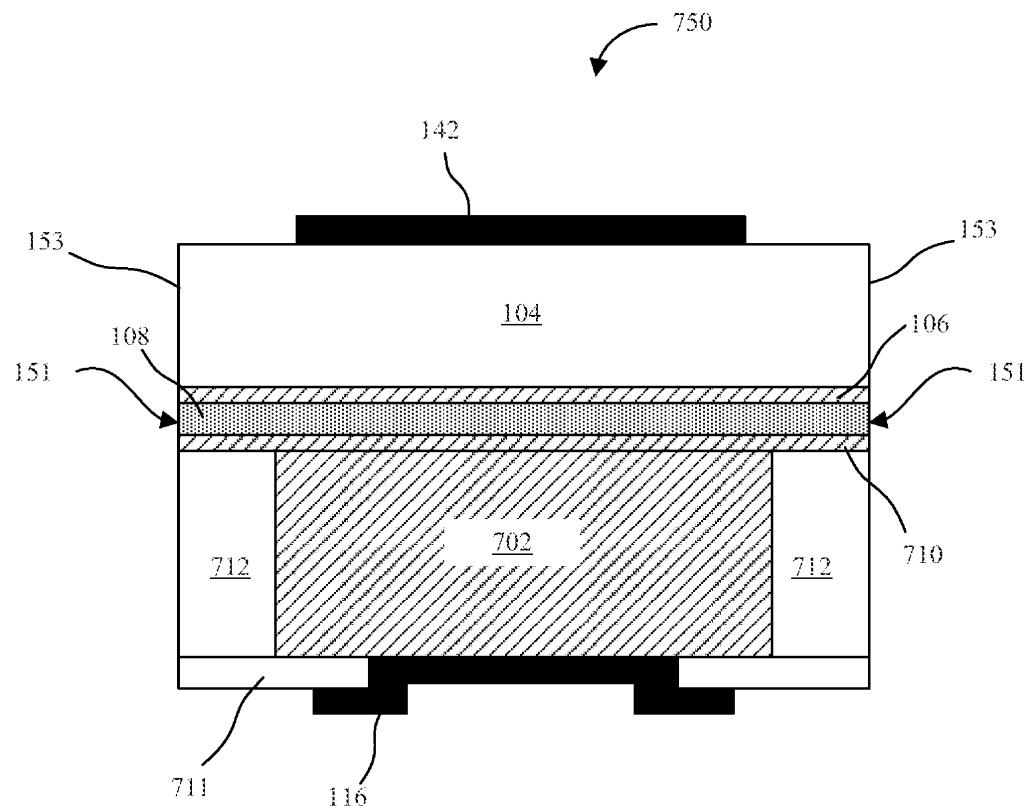
도면7d



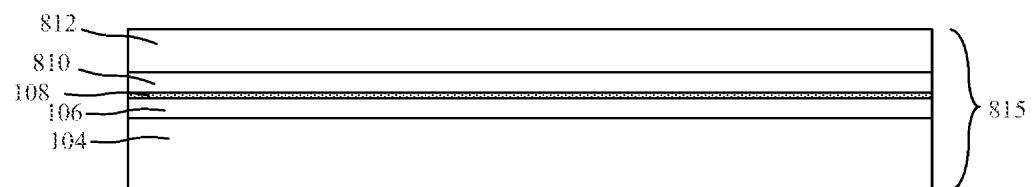
도면7e



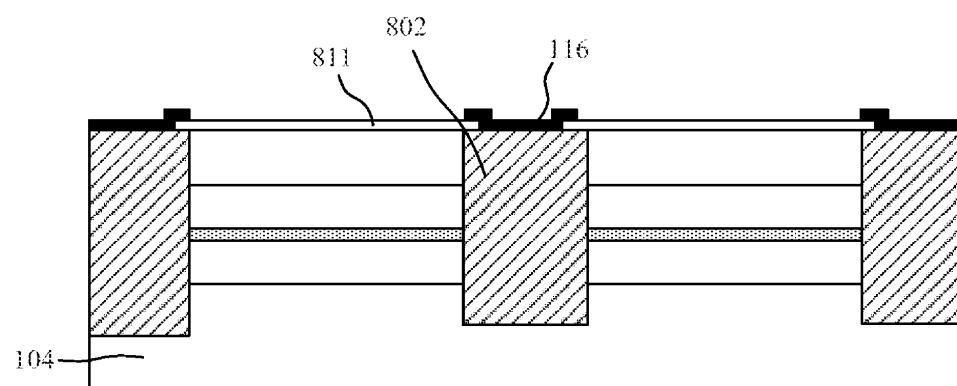
도면7f



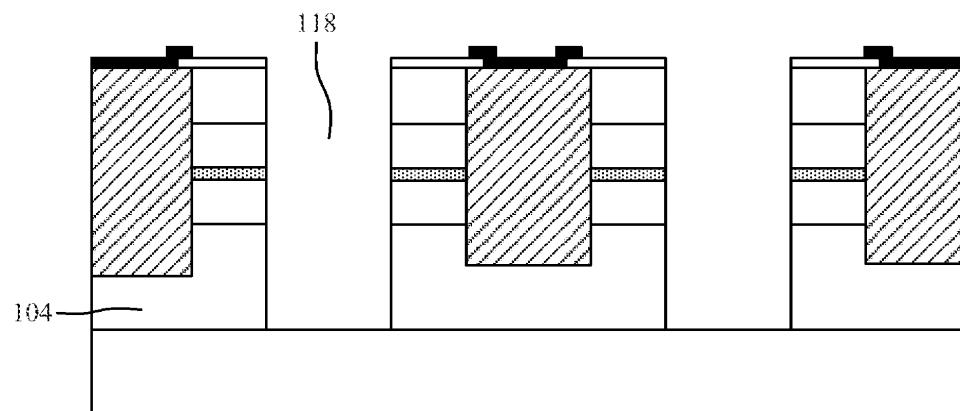
도면8a



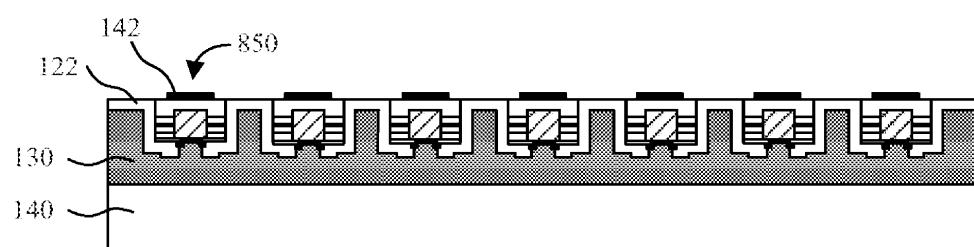
도면8b



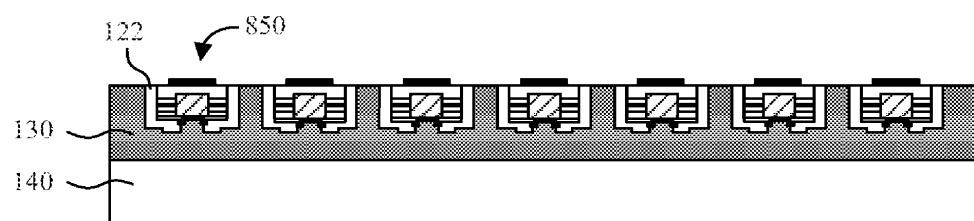
도면8c



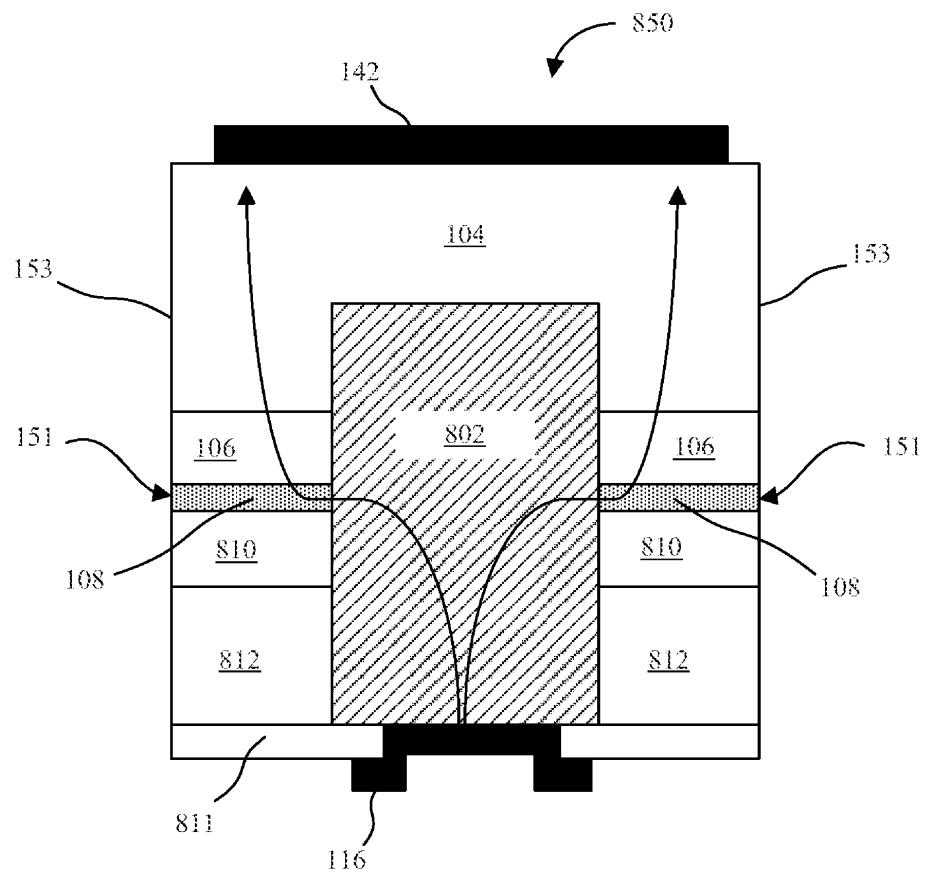
도면8d



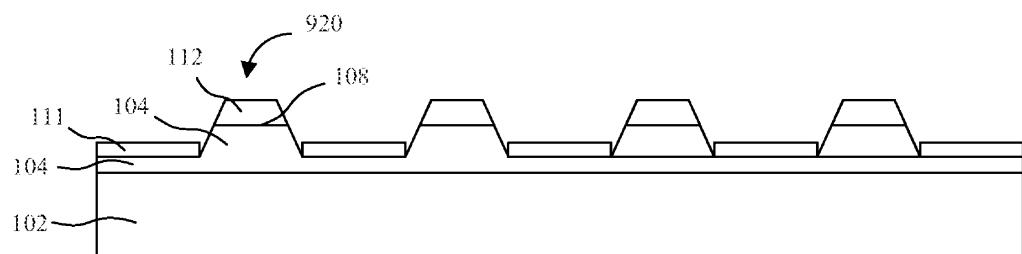
도면8e



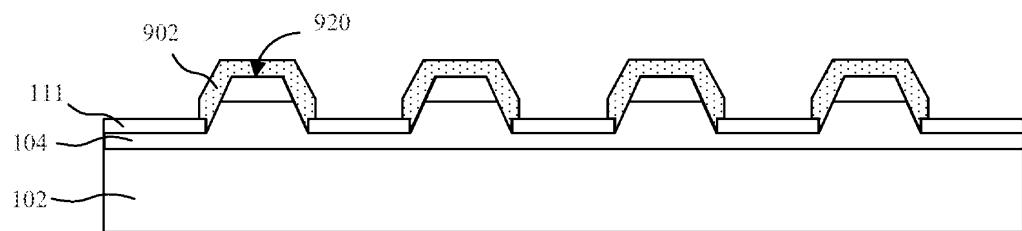
도면8f



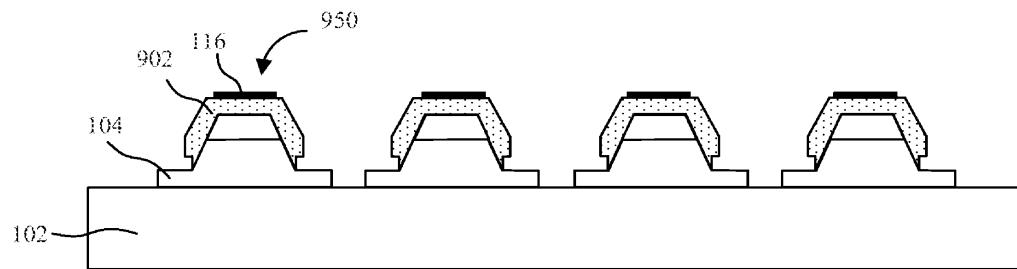
도면9a



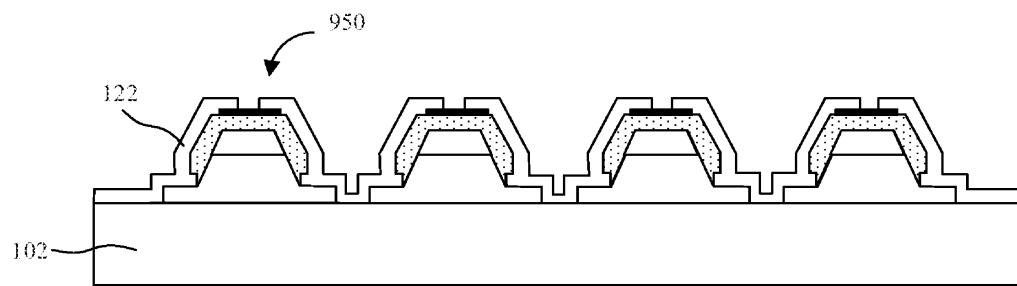
도면9b



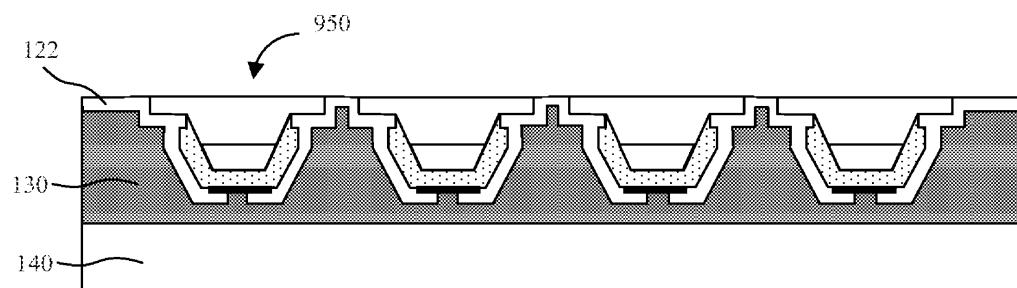
도면9c



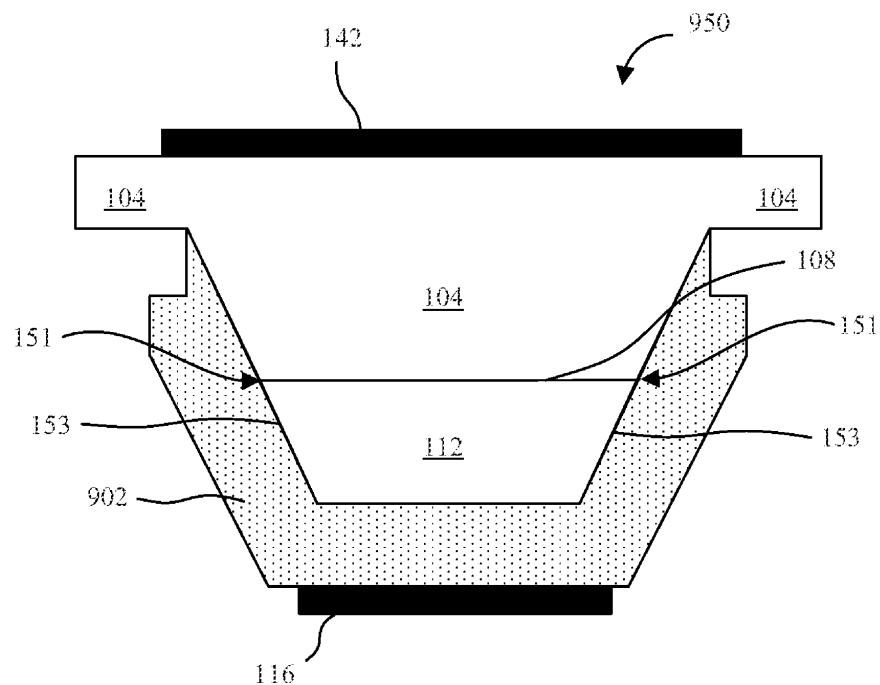
도면9d



도면9e

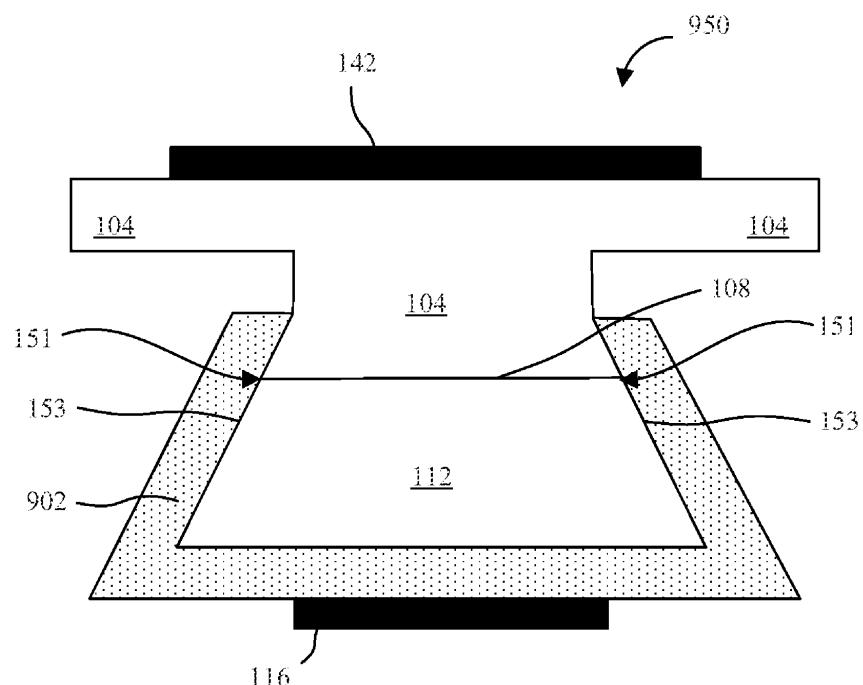


도면9f



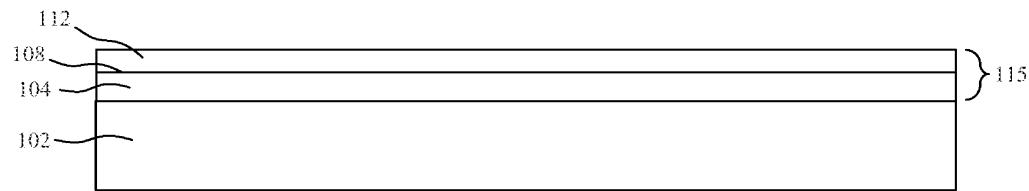
x방향 (111) 평면

도면9g

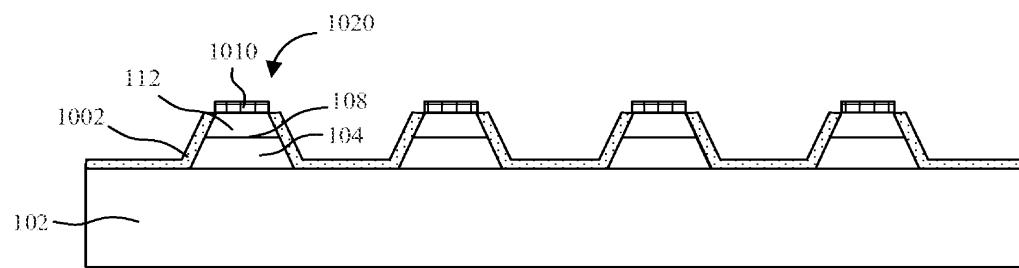


x방향 (111) 평면

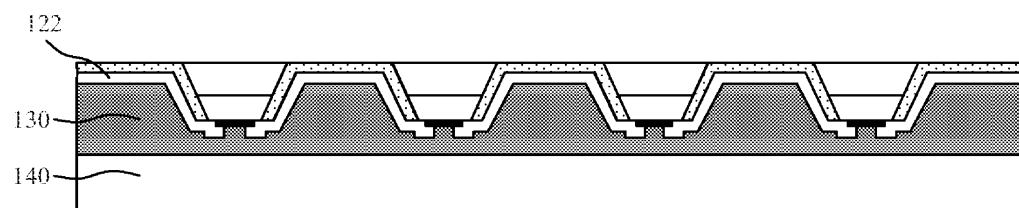
도면10a



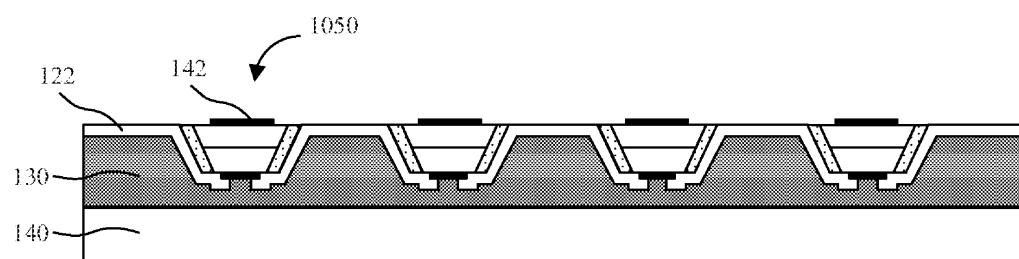
도면10b



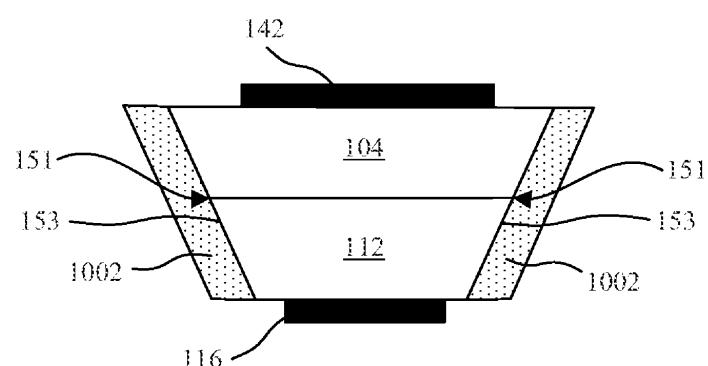
도면10c



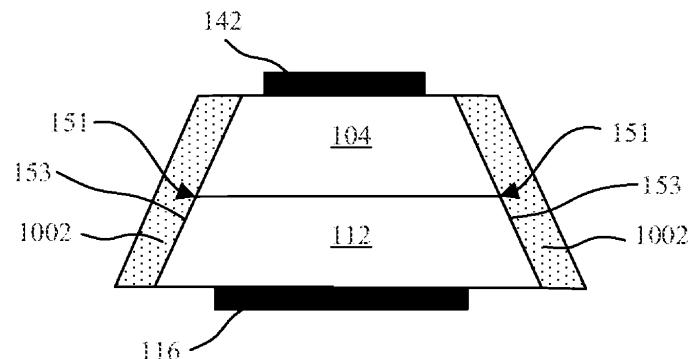
도면10d



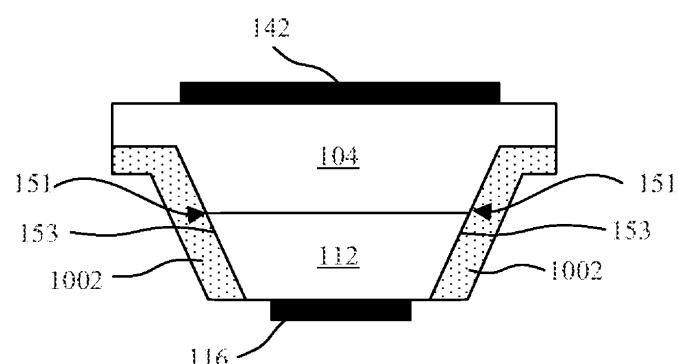
도면10e



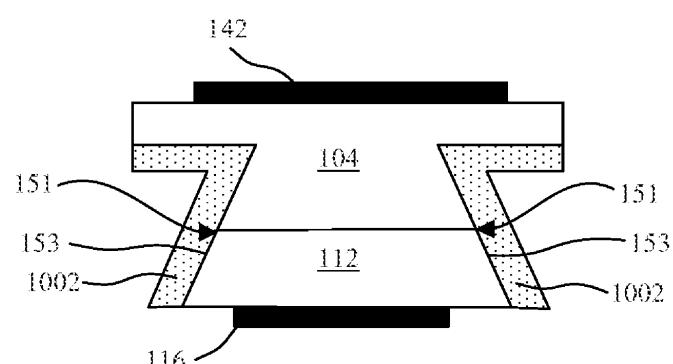
도면10f



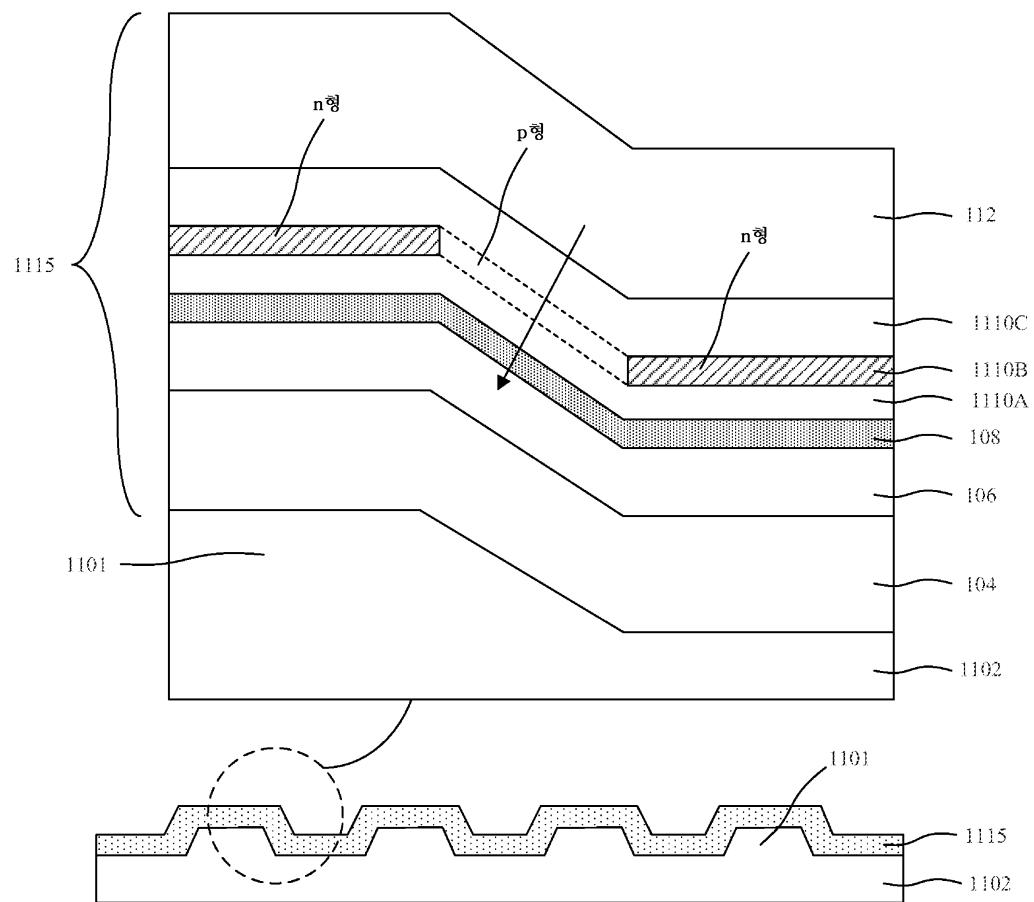
도면10g



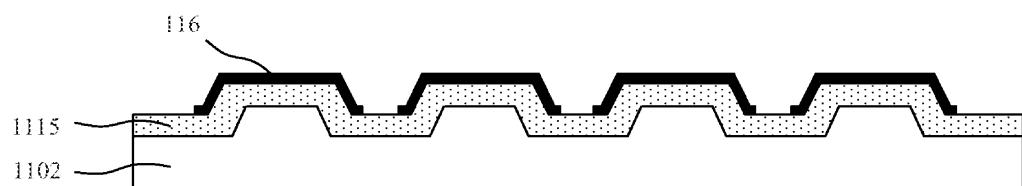
도면10h



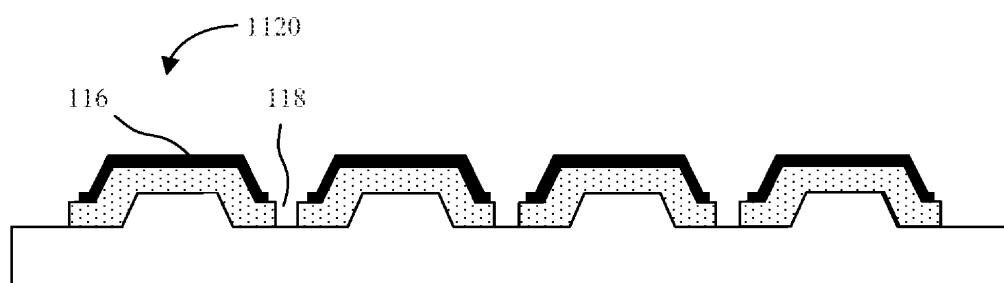
도면11a



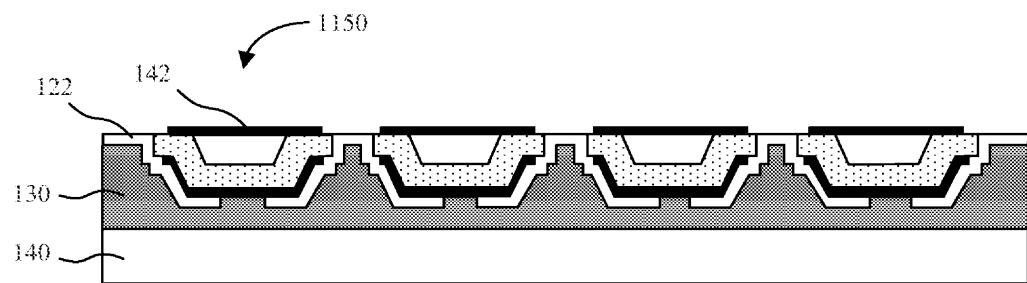
도면11b



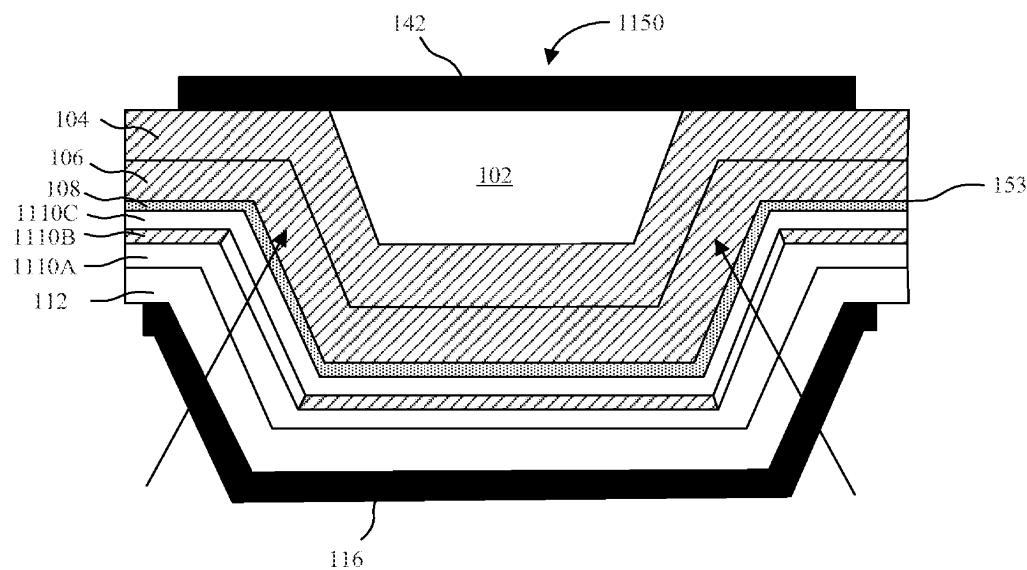
도면11c



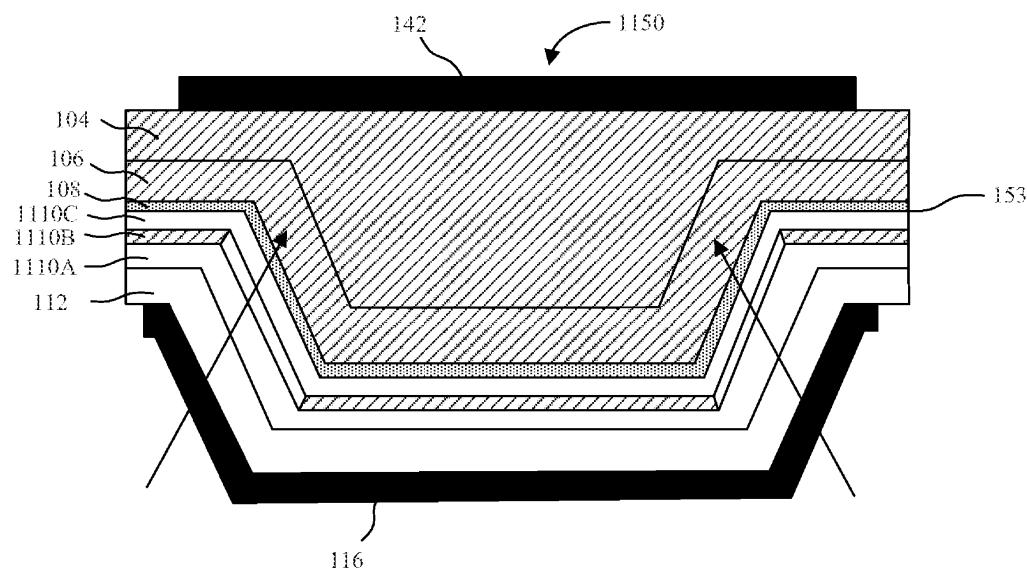
도면11d



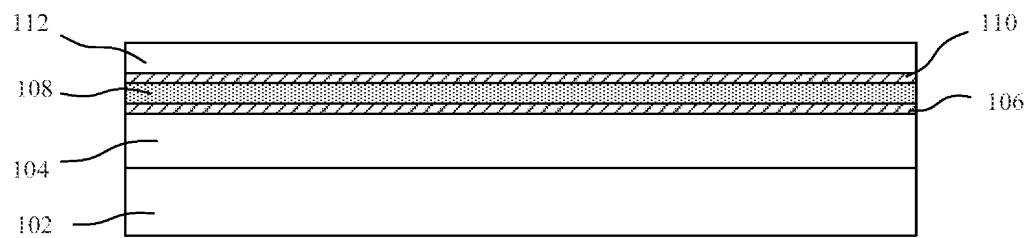
도면11e



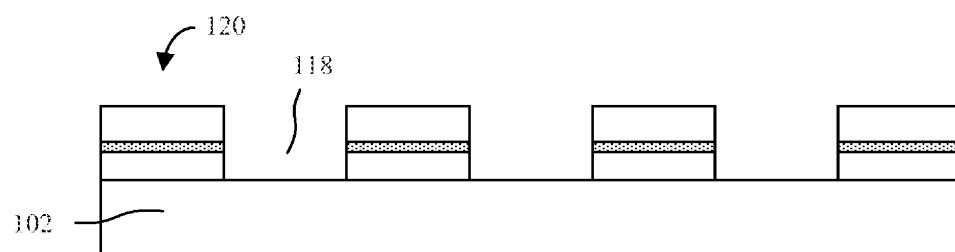
도면11f



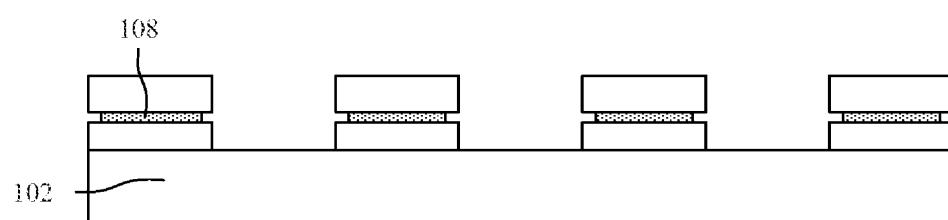
도면12a



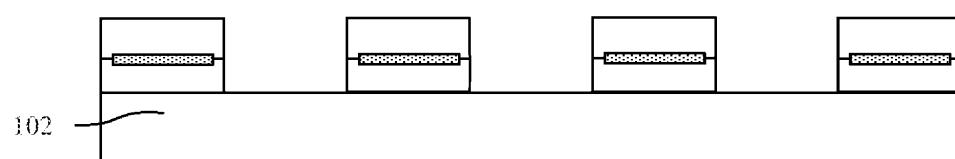
도면12b



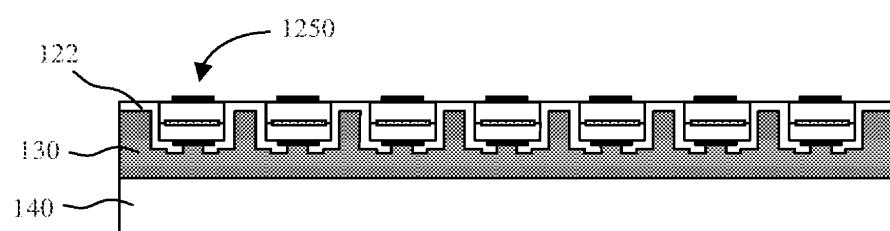
도면12c



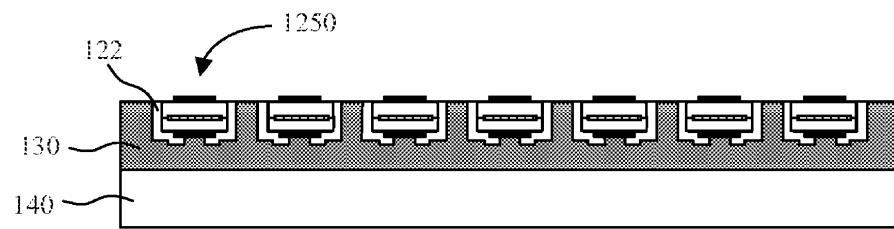
도면12d



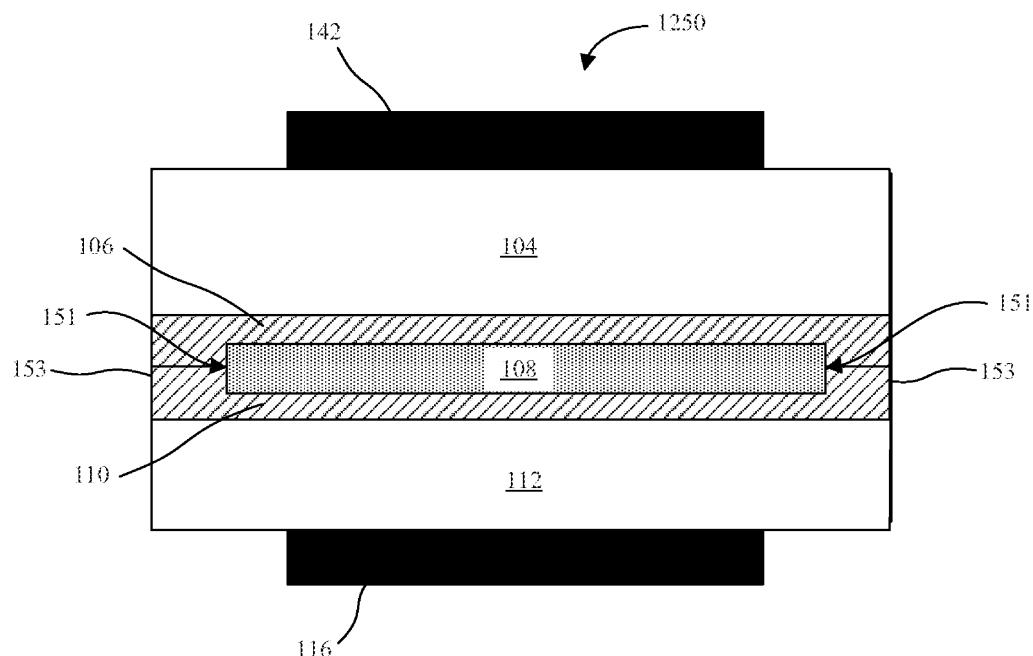
도면12e



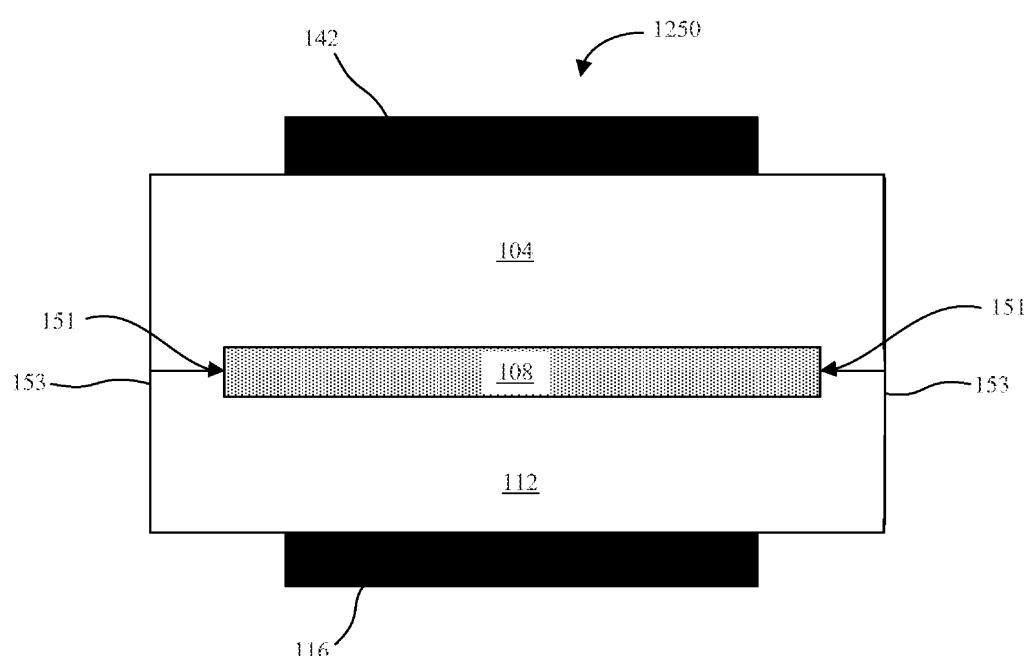
도면12f



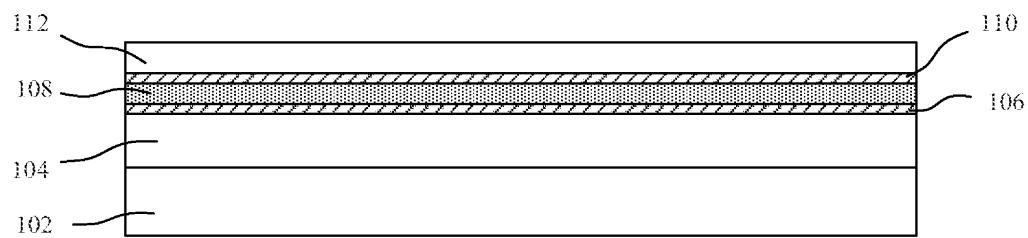
도면12g



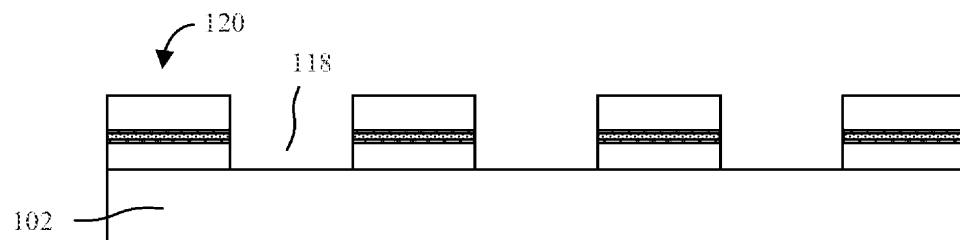
도면12h



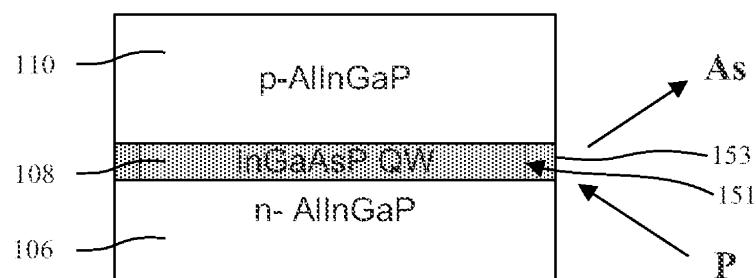
도면13a



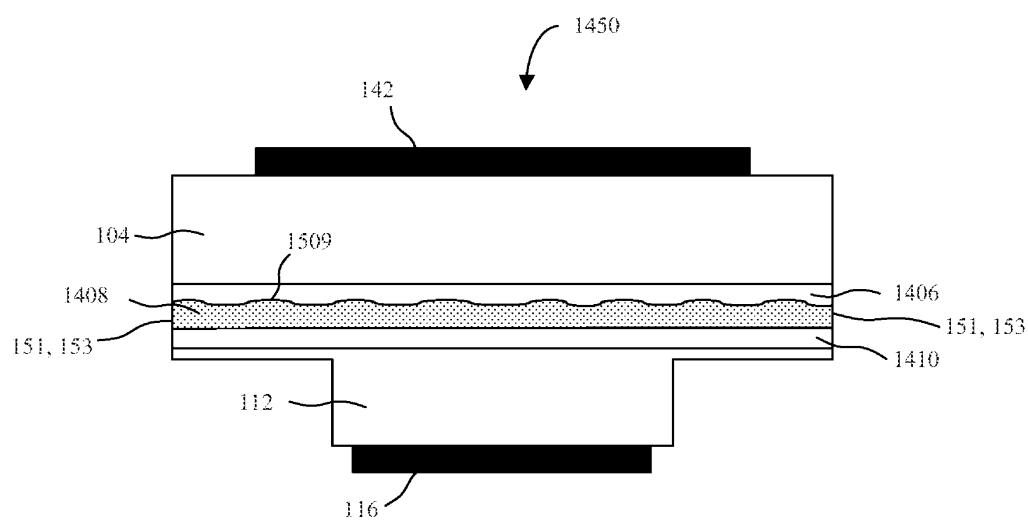
도면13b



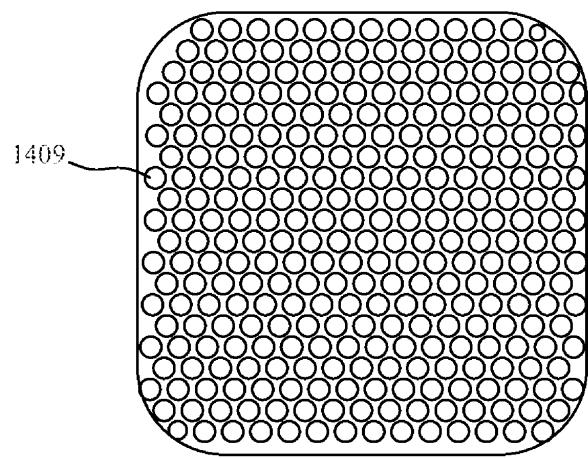
도면13c



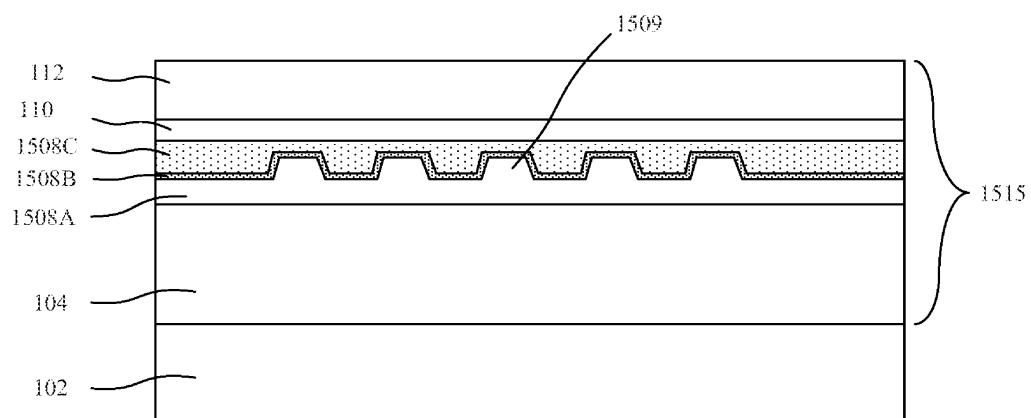
도면14a



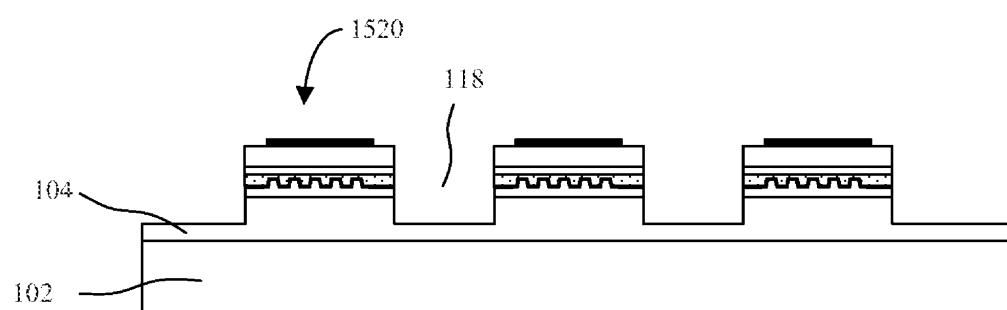
도면14b



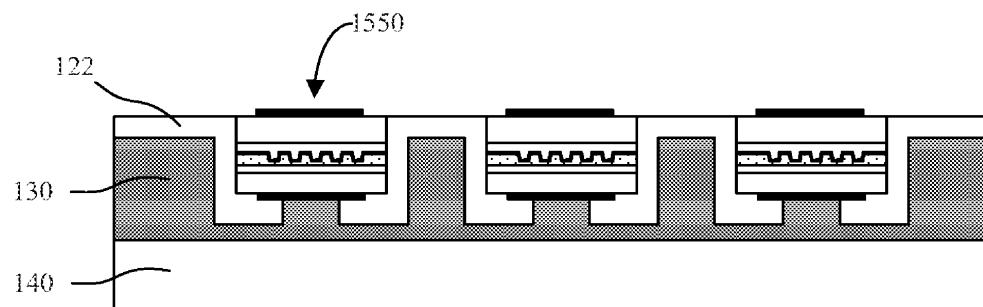
도면15a



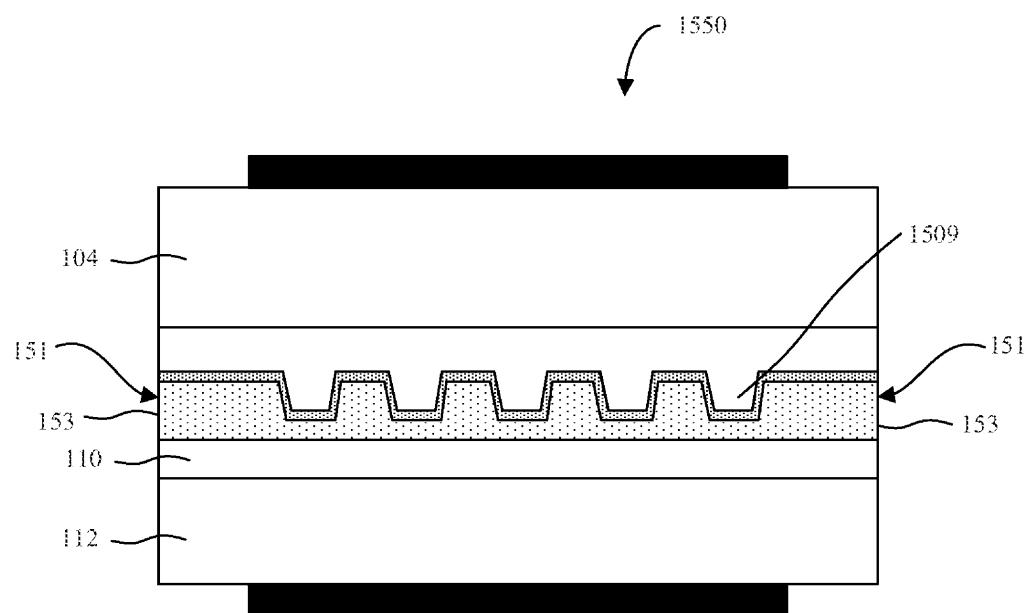
도면15b



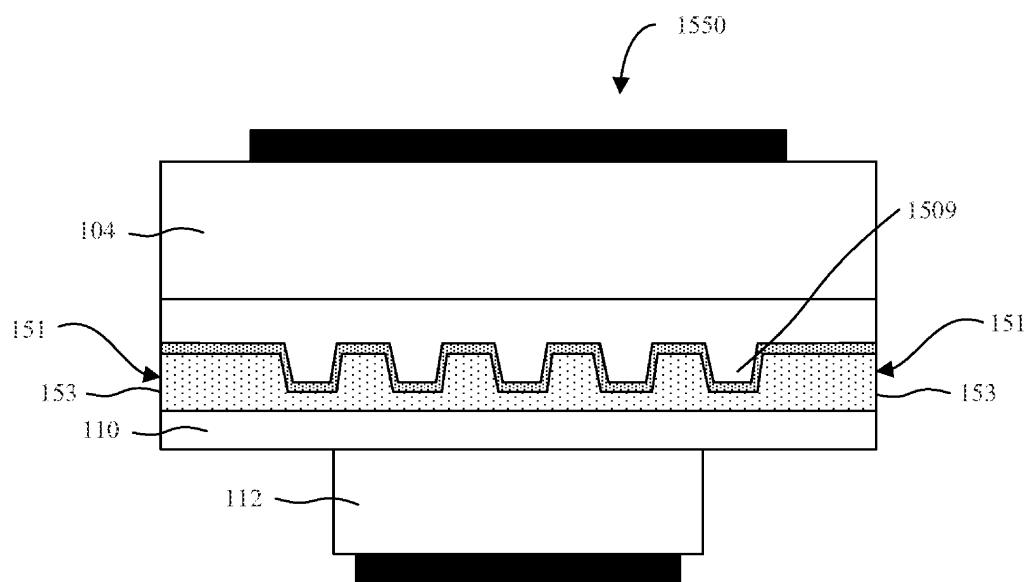
도면15c



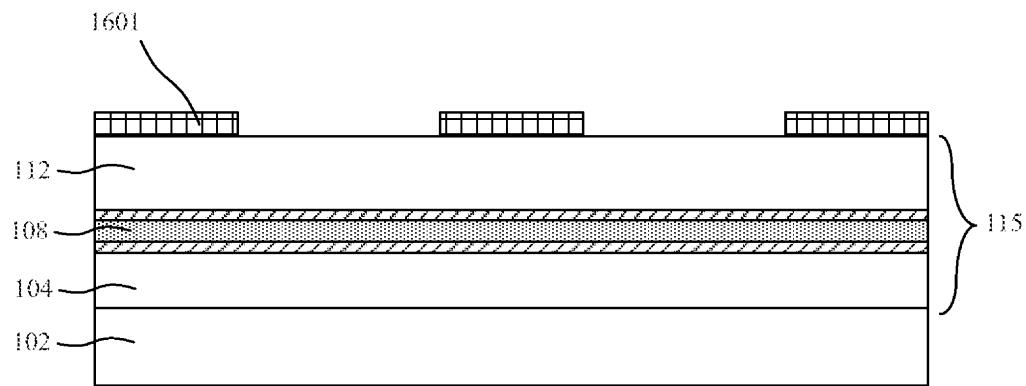
도면15d



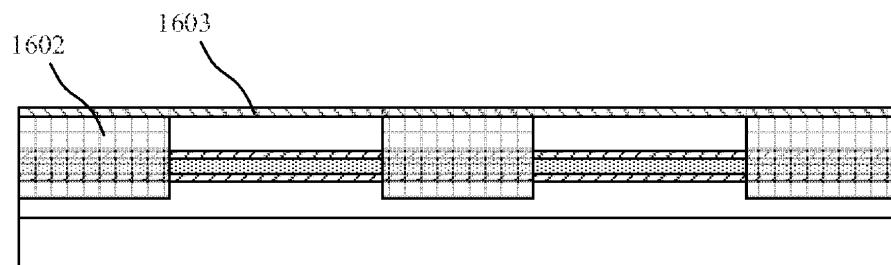
도면15e



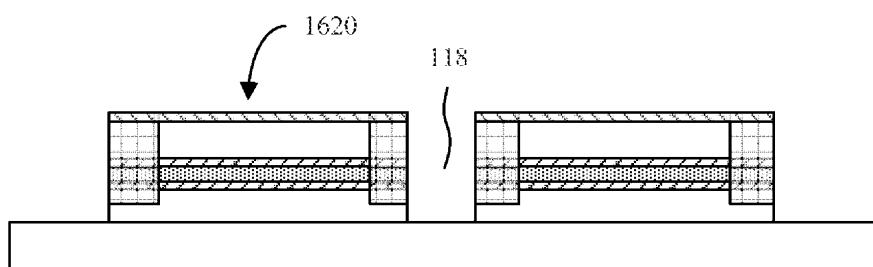
도면16a



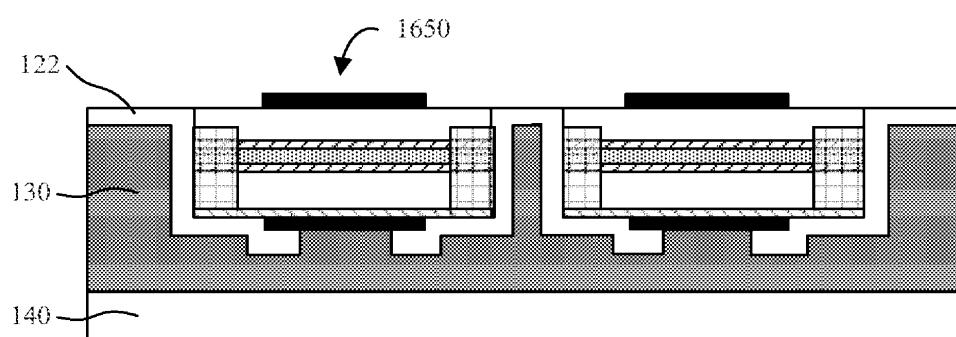
도면16b



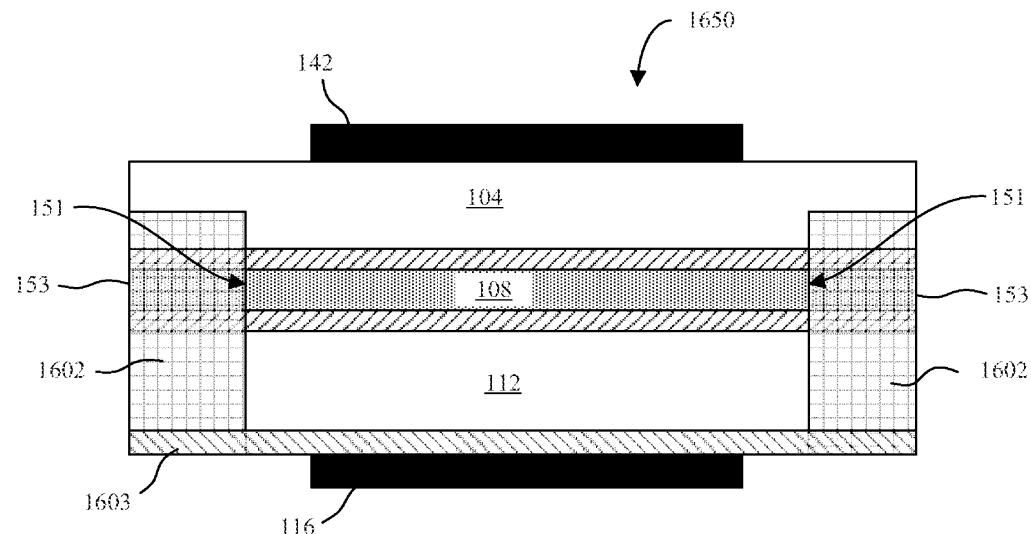
도면16c



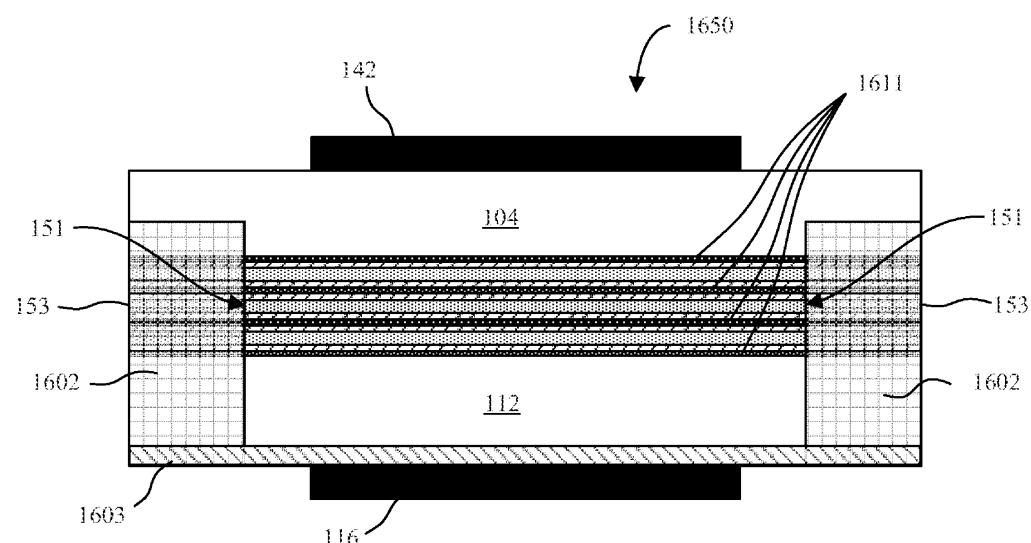
도면16d



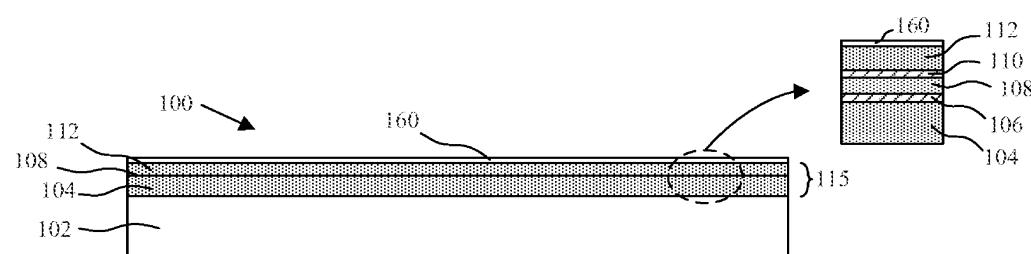
도면16e



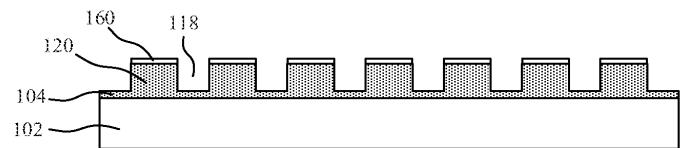
도면16f



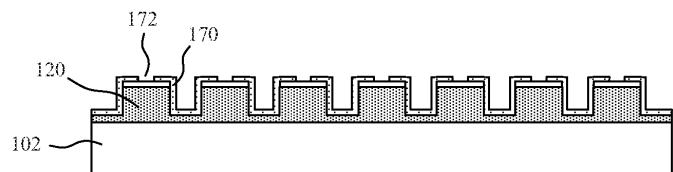
도면17a



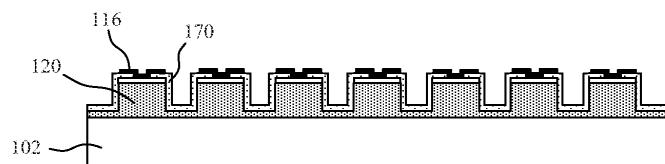
도면17b



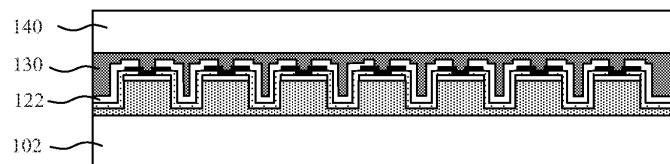
도면17c



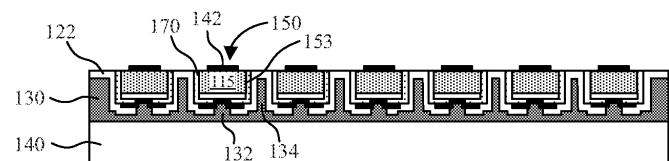
도면17d



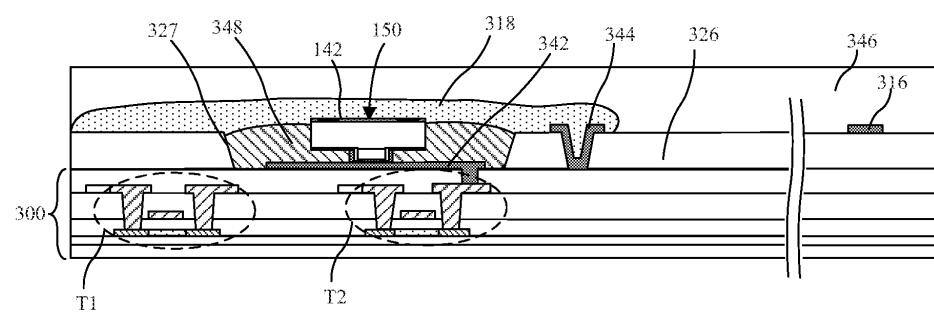
도면17e



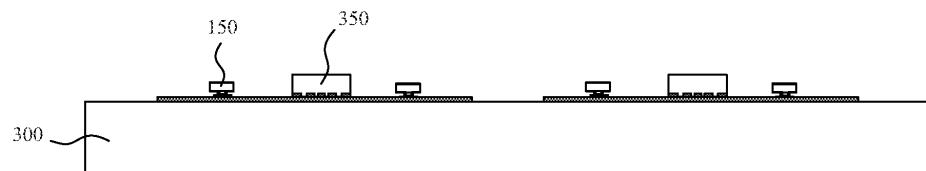
도면17f



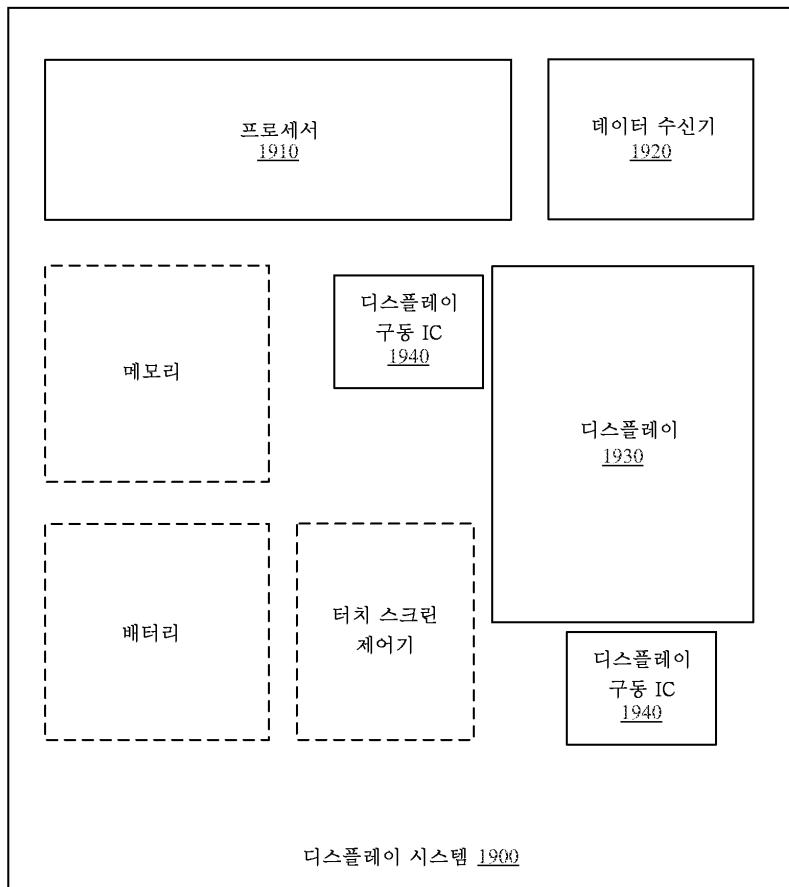
도면18a



도면18b



도면19



도면20

