(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.[6]
H03K 17/62
H03K 17/56

(45) 공고일자 1996년05월01일
(11) 공고번호 특1996-0005746

(21) 출원번호	특1992-0013894	(65) 공개번호	특1993-0005364
(22) 출원일자	1992년08월01일	(43) 공개일자	1993년03월23일

(30) 우선권주장 91-194149 1991년08월02일 일본(JP)

(71) 출원인 가부시끼가이샤 도시바 사또 후미오

일본국 가나가와껭 가와사끼시 사이와이꾸 호리까와쪼 72반지도시바 마이크로일렉트로닉스 가부시끼가이샤 오까모또 유끼오

일본국 가나가와껭 가와사끼시 가와사끼구 에끼마에혼쪼 25-1

(72) 발명자 이시하라 이찌로

일본국 가나가와껭 가와사끼시 사이와이꾸 호리까와쪼 580-1 가부시끼가이샤 도시바 반도체 시스템 기술 센터 내

이또 나오끼

일본국 가나가와껭 가와사끼시 가와사끼구 에끼마에혼쪼 25-1 도시바 마이크로일렉트로닉스 가부시끼가이샤 내

(74) 대리인 이상희, 구영창, 주성민

심사관 : 정연용 (책자공보 제4442호)

(54) 멀티플렉서 회로

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

멀티플렉서 회로

[도면의 간단한 설명]

제 1 도는 본 발명의 한 실시예에 관한 멀티플렉서 회로를 도시하는 회로도.

제 2 도는 종래의 멀티플렉서 회로를 도시하는 회로도.

제 3 도는 제 2 도의 회로의 소정의 동작 조건에 있어서 트랜지스터(Q6)이 역방향으로 동작하는 상태를 도시하는 등가 회로도.

제 4 도는 제 2 도의 멀티플렉서 회로의 종래의 개량 예를 도시하는 회로도.

* 도면의 주요부분에 대한 부호의 설명

11 : 스위치 회로 21 : 제 1 바이폴라 차동 증폭형 입력 회로

22 : 제 2 바이폴라 차동 증폭형 입력 회로

23 : 능동 부하 회로 24 : 선택 회로

25 : 에미터 접지 회로 Q1-Q9 : 바이폴라 트랜지스터

M1-M4 : MOS 트랜지스터 IV1, IV2 : 인버터 회로

[발명의 상세한 설명]

본 발명은 반도체 집적 회로에 형성되는 멀티플렉서 회로에 관한 것으로, 특히 복수개의 바이폴라 차동 증폭형 입력 회로에 각각 입력되는 아날로그 신호를 전환 선택하여 출력하는 아날로그 멀티플

렉서 회로에 관한 것이다.

제 2 도는 종래의 아날로그 멀티플렉서 회로의 한 예로서, 능동 부하 회로를 공유하는 복수개의 바이폴라 차동 증폭형 입력 회로에 각각 입력되는 아날로그 신호를 선택 신호에 기초하여 전환 선택하여 출력하는 멀티플렉서 회로를 도시하고 있다. 여기서, 21은 차동적 아날로그 신호(A^+, A^-)가 입력되는 제 1 바이폴라 차동 증폭형 입력 회로, 22는 차동적 아날로그 신호(B^+, B^-)가 입력되는 제 2 바이폴라 차동 증폭형 입력 회로, 23은 상기 2개의 차동 증폭형 입력 회로(21, 22)가 공유하도록 공통으로 접속된 능동 부하 회로, 24는 선택 신호(SEL)에 기초하여 상기 2개의 차동 증폭형 입력 회로(21, 22)에 선택적으로 동작 전류를 공급하도록 선택 제어하는 선택 회로, 25는 멀티플렉서 출력용 에미터 접지 회로이다.

상기 제 1 차동 증폭형 입력 회로(21)은 각 에미터가 공통으로 접속된 PNP 트랜지스터(Q1, Q2)와 상기 트랜지스터(Q1)에 달링톤 접속되고, 아날로그 신호 입력(A^-)가 베이스에 입력되는 PNP 트랜지스터(Q3)과, 상기 트랜지스터(Q2)에 달링톤 접속되고, 아날로그 신호 입력(A^+)가 베이스에 입력되는 PNP 트랜지스터(Q4)와, 상기 PNP 트랜지스터(Q1, Q2)의 에미터 공통 접속 노드와 Vcc 전원 노드와의 사이에 접속된 제 1 정전류원(11)로 구성된다.

또한, 상기 제 2 차동 증폭형 입력 회로(22)는, 각 에미터가 공통으로 접속되고, 각 베이스에 대응하여 아날로그 신호 입력(B^-, B^+)가 입력되는 PNP 트랜지스터(Q5, Q6)과, 이 PNP 트랜지스터(Q5, Q6)의 에미터 공통 접속 노드와 Vcc 전원 노드와의 사이에 접속된 제 2 정전류원(12)로 구성된다.

또한, 상기 능동 부하 회로(23)은, 콜렉터와 베이스가 상호 접속되고, 에미터가 접지 전위(GND)에 접속된 NPN 트랜지스터(Q7)과, 이 트랜지스터(Q7)에 전류미러(current mirror)로 접속된 NPN 트랜지스터(Q8)로 구성된다. 그리고, 상기 트랜지스터(Q7)의 콜렉터는 상기 트랜지스터(Q1, Q5)의 각 콜렉터에 공통으로 접속되고, 상기 트랜지스터(Q8)의 콜렉터는 상기 트랜지스터(Q2, Q6)의 각 콜렉터에 공통으로 접속되어 있다.

또한, 상기 선택 회로(24)는 상기 트랜지스터(Q1, Q2)의 에미터 공통 접속 노드와 접지 전위 사이에 접속된 MOS형(절연 게이트형)의 N채널 트랜지스터(M1)과, 상기 트랜지스터(Q5, Q6)의 에미터 공통 접속 노드와 접지 전위와의 사이에 접속되고 게이트에 선택 회로(SEL)이 입력되는 N 채널 트랜지스터(M2)와, 상기 선택 신호(SEL)을 반전시켜 상기 트랜지스터(M1)의 게이트에 입력되는 인버터 회로(IV1)로 구성된다.

또한, 상기 에미터 접지 회로(25)는, 상기 트랜지스터(Q8)의 콜렉터에 베이스가 접속되고, 에미터가 접지 전위에 접속된 NPN 트랜지스터(Q9)와, 이 트랜지스터(Q9)의 콜렉터와 Vcc의 전원 노드 사이에 접속된 부하 저항(R)로 구성되며, 이 부하저항(R)과 상기 트랜지스터(Q9)의 콜렉터와의 접속 노드로부터 출력 신호(OUT)가 출력된다.

상기 멀티플렉서 회로에 있어서, 아날로그 신호 입력(A^+, B^+)는 출력 신호(OUT)에 대한 반전 입력, 아날로그 신호 입력(A^-, B^-)는 출력 신호(OUT)에 대한 반전 입력이다. 또, 선택 신호(SEL)이 하이 레벨 "H"일 때에는 상기 트랜지스터(M1)이 오프되고, 상기 트랜지스터(M2)는 온 된다. 그러므로, 제 2 차동 증폭형 입력 회로(22)의 트랜지스터(Q5, Q6)에 에미터 공통 접속 노드가 접지되고, 제 1 차동 증폭형 입력 회로(21)에 선택적으로 동작 전류가 공급되게 되며, 제 1 차동 증폭형 입력 회로(21)과 능동 부하 회로(23)으로 구성되는 차동 증폭 회로에 의해 아날로그 신호 입력(A^-, A^+)가 선택되어 증폭한 후, 에미터 접지 회로(25)를 통하여 출력된다.

이에 대하여, 선택 신호(SEL)이 로우레벨 "L"일 때에는, 상기 트랜지스터(M1)이 온되고, 상기 트랜지스터(M2)가 오프된다. 이에 따라, 제 1 차동 증폭형 입력 회로(21)의 트랜지스터(Q1, Q2)에 에미터 공통 접속 노드가 접지되어, 제 2 차동 증폭형 입력 회로(22)에 선택적으로 동작 전류가 공급되도록 구성되고, 제 2 차동 증폭형 입력 회로(22)와 능동 부하 회로(23)으로 구성되는 차동 증폭 회로에 의해 아날로그 신호 입력(B^-, B^+)가 선택되어 증폭된 후에 에미터 접지 회로(25)를 통하여 출력된다.

그런데, 상기한 바와 같은 선택 신호(SEL)이 "H"레벨로 되어 아날로그 신호 입력(A^-, A^+)가 선택되어 있는 때를 고려하면, 이때 A^-의 전위>A^-의 전위로 되면, 트랜지스터(Q2, Q4 및 Q9)는 온되고, 트랜지스터(Q1, Q7 및 Q8)은 오프된다. 이때, 아날로그 신호 입력(B^-, B^+)가 0V로 되게 되면, 트랜지스터(Q6)의 각 노드 전위가, 제 3 도에 도시된 바와 같이, 에미터 및 베이스는 접지전위, 콜렉터는 트랜지스터(Q9)의 온 상태의 베이스·에미터 사이 전압(VBE)(통상, 0.6-0.8V)로 된다. 이 결과 트랜지스터(Q6)은 역방향으로 동작하여 콜렉터 측으로부터 에미터 측으로 전류가 흐르고, 트랜지스터(Q2)의 콜렉터 전류를 흐르게 한다. 이에 따라, 제 1 차동 증폭형 입력 회로(21)의 트랜지스터(Q1-Q4)에 대하여 오프셋을 주게 되어 버리고, 제 1 차동 증폭형 입력 회로(21)의 동작에 악 영향을 주게 된다. 마찬가지로, A^-의 전위<A^+의 전위일 때에는, 트랜지스터(Q5)가 역방향으로 동작하여 콜렉터측에서 에미터측으로 전류가 흘러, 트랜지스터(Q1)의 콜렉터 전류를 흐르게 하고, 제 1 차동 증폭형 입력 회로(21)의 트랜지스터(Q1-Q4)에 대하여 큰 오프셋을 주게 되어 버려, 제 1 차동 증폭형 입력 회로(21)의 동작에 악 영향을 주게 되어 버린다.

이와 같은 문제를 피하기 위해, 제 4 도에 도시된 바와 같이, 제 2 차동 증폭형 입력 회로(22)의 트랜지스터(Q5, Q6)의 에미터 공통 접속 노드와 선택 회로(24)의 트랜지스터(M2)의 드레인 사이에 도시된 극성의 방향으로 다이오드(D)를 삽입하는 것도 있다. 이 구성에 의하면, 상기한 바와 같은 회로 조건일 때 트랜지스터(Q6) 또는 (Q5)의 에미터는 다이오드(D)를 통하여 접지 전위에 접속되므로,

트랜지스터(Q6) 또는 (Q5)의 역방향 동작이 방지된다.

그러나, 이와 같이 다이오드(D)가 삽입되어 있으면, 상기한 바와 같이 선택 신호(SEL)을 "H"레벨로 하여 상기 트랜지스터(M1)을 오프하고, 트랜지스터(M2)를 온하여 아날로그 신호 입력(A^-, A^+)를 선택하려고 할 때, 트랜지스터(Q5, Q6)의 베이스·에미터 사이 전압(VBE), 다이오드(D)의 순방향 전압강하(VF)의 약간의 차이에 의해, 트랜지스터(Q5, Q6)을 오프할 수 없는 경우가 반드시 생긴다. 이에 따라, 아날로그 신호 입력(B^-, B^+)가 상기 아날로그 신호 입력(A^-, A^+)와 동시에 선택되어 버릴 우려가 있다.

상기한 바와 같이 종래의 멀티플렉서 회로는, 복수개의 바이폴라 차동 증폭형 입력 회로 중의 일부 회로를 선택하고 있는 때에 나머지 회로의 차동 입력용 트랜지스터가 역방향으로 동작하고, 선택 중인 일부 회로의 차동 입력용 트랜지스터에 대하여 큰 오프셋을 주어버린다는 문제가 있다.

본 발명은 상기의 문제점을 해결하기 위한 것으로서, 복수개의 바이폴라 차동 증폭형 입력 회로 중 일부의 회로를 선택하고 있는 때에 나머지 회로의 차동 입력용 트랜지스터가 역방향으로 동작하는 것을 확실히 방지하여, 선택 중인 일부 회로의 차동 입력용 트랜지스터에 대하여 큰 오프셋을 주어버리는 것을 확실히 방지하는 멀티플렉서 회로를 제공하는 것을 목적으로 한다.

본 발명은, 능동 부하 회로를 공유하는 복수개의 바이폴라 차동 증폭형 입력 회로에 각각 입력하는 아날로그 신호를 선택 신호에 따라 전환 선택하여 출력하는 멀티플렉서 회로에 있어서, 복수개의 바이폴라 차동 증폭형 입력 회로 중의 적어도 하나와 능동 부하 회로의 사이에 삽입되어, 선택 신호에 의해 제어되는 스위칭 회로를 구비하는 것을 특징으로 한다.

복수개의 바이폴라 차동 증폭형 입력 회로 중의 일부 회로를 선택하고 있는 때에, 나머지 회로의 차동 입력용 트랜지스터와 능동 부하 회로 사이에 삽입되어 있는 스위치 회로가 오프 상태로 제어되므로, 상기 나머지 회로의 차동 입력용 트랜지스터가 역방향으로 동작하는 것을 확실히 방지할 수 있고, 선택 중인 일부 회로의 차동 입력용 트랜지스터에 대하여 큰 오프셋을 주게 되어 버리는 것을 확실히 방지할 수 있다. 이 때문에 필요한 부가 회로는 비교적 간단한 구성의 스위치 회로로서 충족된다.

이하, 도면을 참조하여 본 발명의 실시예를 상세하게 설명한다. 제 1 도는 본 발명의 실시예에 관한 아날로그 멀티플렉서 회로를 도시하고 있다. 이 회로는 스위치 회로(11), 바이폴라 차동 증폭 회로(21) 및 (22), 능동 부하 회로(23), 선택 회로(24), 및 에미터 접지 회로(25)를 포함하고 있다. 이 회로는 제 2 도를 참조하여 전술한 종래예의 회로와 비교하여, 제 2 바이폴라 차동 증폭형 입력 회로(22)와 능동 부하 회로(23) 사이에, 선택 신호(SEL)에 의해 제어되는 스위치 회로(11)이 삽입되어 있는 점이 다르고, 그외 다른 것은 동일하기 때문에 제 2 도와 동일 부호를 붙이고 있다.

상기 스위치 회로(11)은 N채널 MOS 트랜지스터(M3, M4) 및 인버터 회로(IV2)를 포함하고 있다. 트랜지스터(M3, M4)는 스위칭 소자로서 작용한다. 트랜지스터(M3)의 전류 경로는 일단부가 트랜지스터(Q5)의 콜렉터에 접속되고, 다른 단부가 트랜지스터(Q1, Q7)의 콜렉터 노드에 접속되어 있다. 트랜지스터(M3)의 게이트는 인버터 회로(IV2)의 출력 노드에 접속되어 있다. 트랜지스터(M4)의 전류 경로는 일단부가 트랜지스터(Q6)의 콜렉터에 접속되어 있고, 다른 단부가 트랜지스터(Q2, Q8)의 콜렉터 노드에 접속되어 있다. 트랜지스터(M4)의 게이트는 인버터 회로(IV2)의 출력 노드에 접속되어 있다. 인버터 회로(IV2)의 입력 노드는 선택 신호(SEL)를 수신하도록 접속되어 있다.

상기 멀티플렉서 회로에서, 아날로그 신호(A, B)는 출력 신호 OUT에 대하여 반전되지 않는다. 반면에 아날로그 신호 $\overline{A}$ 및 $\overline{B}$ 는 출력 신호 OUT에 대하여 반전된다. 선택 신호(SEL)이 하이 레벨 "H"레벨일 때 트랜지스터(M1, M2)는 각기 온 및 오프된다. 둘다 제 2 차동 증폭 입력 회로(22)에 포함되어 있는 트랜지스터(Q5, Q6)의 에미터 노드는 트랜지스터(M2)의 전류 경로에 의해 접지에 접속된다. 결국, 입력 회로(22)는 작동하지 않게 되거나 혹은 선택되지 않는다. 한편, 정전류원(11)은 동작 전류를 제 1 차동 증폭 입력 회로(21)에, 구체적으로 트랜지스터(Q1, Q2)의 에미터에 공급한다. 이에 따라 입력 회로(21)는 동작하게 된다(또는 선택된다). 입력 회로(21) 및 능동 부하 회로(23)는 차동 아날로그 신호($\overline{A}$, A)를 차동적으로 증폭하는 차동 증폭 회로를 구성한다. 결국, 차동적으로 증폭된 신호 OUT가 에미터 접지 회로(25)로부터 출력된다.

이때에, 선택 신호(SEL)은 하이 레벨 "H"이고, 트랜지스터(M3, M4)는 오프이다. 아날로그 신호($\overline{B}$ 혹은 B)가 0V이면, 트랜지스터(Q5 혹은 Q6)의 에미터 및 베이스는 접지 전위로 세트된다. 반면에 그 콜렉터는 오픈(open)된다. 따라서, 트랜지스터(Q5 또는 Q6)가 역방향으로 동작되는 것이 방지된다. 제 2 차동 증폭 입력 회로(22)가 제 1 차동 증폭 입력 회로(21)와 전기적으로 접속되어 있지 않기 때문에 입력 회로(21)에 포함된 트랜지스터(Q1 또는 Q4)에 오프셋 전류를 주지 않는다. 입력 회로(21)와 능동 부하 회로(23)로 구성된 차동 증폭 전류의 출력 레벨은 정확성을 유지한다.

선택 신호(SEL)이 로우 레벨(즉, "L"레벨)이면, 트랜지스터(M1, M2)는 각기 온 및 오프된다. 제 1 차동 증폭 입력 회로(21)에 포함되어 있는 트랜지스터(Q1, Q2)의 에미터 노드는 트랜지스터(M1)의 전류 경로에 의해 접지에 접속된다. 따라서, 입력 회로(21)는 동작하지 않게 된다(또는 선택되지 않는다). 한편, 정전류원(12)은 동작 전류를 제 2 차동 증폭 입력 회로(22), 구체적으로 트랜지스터(Q5, Q6)의 에미터에 제공한다. 이에 따라 입력 회로(22)는 동작된다(또는 선택된다). 이때, 스위치 회로(11)의 트랜지스터(M3, M4)는 온이고, 제 2 차동 증폭 입력 회로(22)의 동작에 악영향을 주지 않는다. 입력 회로(22) 및 능동 부하 회로(23)은 차동 아날로그 신호($\overline{B}$, B)를 차동적으로 증폭하는 차동 증폭 회로를 구성한다. 결국, 차동적으로 증폭된 신호 OUT가 에미터 접지 회로(25)로 부터 출력된다.

상기 구조의 멀티플렉서 회로에서, 제 1 바이폴라 차동 증폭 입력 회로(21)가 선택되어 있는 동안, 능동 부하 회로(23)와 선택되지 않은 제 2 입력 회로(22)의 차동 입력 바이폴라 트랜지스터(Q5, Q6)간에 삽입된 스위치 회로(11)가 오프된다. 따라서, 입력 회로(22)에 포함되어 있는 트랜지스터(Q5, Q6)는 확실히 역방향으로 동작되는 것이 방지된다. 스위치 회로(11)가 오프이므로, 입력 회로(22)를 선택된 입력 회로(21)로부터 전기적으로 분리시켜 입력 회로(22)가 입력 회로(21)의 트랜지스터(Q1 내지 Q4)로 오프셋 전압을 제공하지 않게 된다. 따라서, 멀티플렉서 회로의 출력 레벨의 정확성이 떨어지지 않는다.

상술한 실시예는 한번에 하나씩 선택되는 2개의 바이폴라 차동 증폭 입력 회로를 갖고 있다. 그러나, 본 발명은 선택 신호에 의해 제어되는 스위치 회로가 일반적으로 입력 회로용으로서 작용하는 적어도 하나의 입력 회로와 능동 부하 회로간에 삽입되기만 한다면, 제 1 도의 실시예와 동일한 방법으로 동작하는 3 또는 4개의 바이폴라 차동 증폭 입력 회로를 가진 멀티플렉서 회로에도 작용될 수 있다.

(57) 청구의 범위

청구항 1

아날로그 신호를 수신하도록 접속된 바이폴라 차동 증폭 입력 회로, 상기 바이폴라 차동 증폭 입력 회로에 접속된 능동 부하 회로, 상기 바이폴라 차동 증폭 입력 회로 중 하나를 선택하기 위해 선택 신호에 따라 상기 바이폴라 차동 증폭 입력 회로의 동작 전류를 제어하는 선택 회로, 및 상기 능동 부하 회로와 적어도 하나의 상기 바이폴라 차동 증폭 입력 회로간에 삽입되면, 상기 선택 신호의 턴 온에 의해 상기 바이폴라 차동 증폭 입력 회로의 적어도 하나를 선택하고, 상기 선택 신호의 턴 오프에 의해 상기 바이폴라 차동 증폭 입력 회로의 적어도 하나를 선택하지 않도록 제어되는 스위치 수단을 구비하는 것을 특징으로 하는 멀티플렉서 회로.

청구항 2

제 1 항에 있어서, 상기 바이폴라 차동 증폭 입력 회로의 적어도 하나는 한쌍의 차동 입력 바이폴라 트랜지스터로 구성되어 있는데, 각각은 차동 아날로그 신호를 수신하도록 접속된 베이스 및 다른 쪽의 에미터에 접속된 에미터를 갖고, 에미터 노드를 형성하고 있으며 상기 에미터 노드와 전원 사이에 접속된 정전류원을 갖는 것을 특징으로 하는 멀티플렉서 회로.

청구항 3

제 1 항에 있어서, 상기 바이폴라 차동 증폭 입력 회로의 적어도 하나는 제 1 및 제 2 바이폴라 트랜지스터를 포함하고 있는데, 각각은 상기 능동 부하 회로에 접속된 콜렉터와 다른 쪽의 에미터에 접속된 에미터를 갖고 있고, 에미터 노드를 형성하며, 상기 에미터 노드와 전원 사이에 접속된 정전류원을 갖고, 상기 제 1 및 제 2 바이폴라 트랜지스터 각각에 다알링통 접속된 제 3 및 제 4 바이폴라 트랜지스터를 더 구비하며, 각각은 접지에 접속된 콜렉터 및 각 아날로그 신호를 수신하도록 접속된 베이스를 갖는 것을 특징으로 하는 멀티플렉서 회로.

청구항 4

제 1 항에 있어서, 상기 능동 부하 회로는 전류 미러 회로인 것을 특징으로 하는 멀티플렉서 회로.

청구항 5

제 2 항에 있어서, 상기 능동 부하 회로는 한 쌍의 부하 바이폴라 트랜지스터를 포함하는데, 각각은 상기 스위치 수단에 접속된 콜렉터, 다른 측의 베이스에 접속된 베이스, 접지에 접속된 에미터를 갖고 있고, 상기 부하 바이폴라 트랜지스터의 하나의 콜렉터 및 베이스는 서로 접속되어 있는 것을 특징으로 하는 멀티플렉서 회로.

청구항 6

제 3 항에 있어서, 상기 능동 부하 회로는 각각 상기 제 1 및 제 2 바이폴라 트랜지스터에 접속된 콜렉터들, 서로 접속된 베이스들, 및 접지에 접속된 에미터들을 갖고 있는 한 쌍의 부하 바이폴라 트랜지스터를 포함하며, 상기 부하 바이폴라 트랜지스터의 하나인 콜렉터 및 베이스는 서로 접속되어 있는 것을 특징으로 하는 멀티플렉서 회로.

청구항 7

제 1 항에 있어서, 상기 선택 회로는 선택 신호에 응답하여 상기 바이폴라 차동 증폭 입력 회로의 동작전류를 제어하는 다수의 스위칭 소자를 포함하는 것을 특징으로 하는 멀티플렉서 회로.

청구항 8

제 7 항에 있어서, 상기 스위칭 소자 각각은 MOS 트랜지스터인 것을 특징으로 하는 멀티플렉서 회로.

청구항 9

제 2 항에 있어서, 상기 선택 회로는 상기 접지와 상기 차동 입력 바이폴라 트랜지스터의 에미터 노드간의 접속된 전류 경로와 상기 선택 신호를 수신하도록 접속된 게이트를 가진 MOS 트랜지스터를 포함하는데, 상기 MOS 트랜지스터는 선택 신호를 수신하는 동안은 오프되고 상기 선택 신호를 수신하지 않는 동안은 턴 온 상태인 것을 특징으로 하는 멀티플렉서 회로.

청구항 10

제 3 항에 있어서, 상기 선택 회로는 접지와 상기 제 1 및 제 2 바이폴라 트랜지스터의 에미터 노드 간에 접속된 전류 경로, 선택 신호를 수신하도록 접속된 게이트를 가진 MOS 트랜지스터를 포함하는데, 상기 MOS 트랜지스터는 선택될 때는 오프되고 선택되지 않을 때는 턴 온되는 것을 특징으로 하는 멀티플렉서 회로.

청구항 11

제 1 항에 있어서, 상기 스위칭 수단은 상기 능동 부하 회로와 상기 바이폴라 차동 증폭 입력 회로의 적어도 하나 사이의 접속되며, 선택 신호의 온 또는 오프에 의해 제어되는 제 1 및 제 2 트랜지스터를 포함하며, 상기 제 1 및 제 2 트랜지스터는 상기 바이폴라 차동 증폭 입력 회로의 적어도 하나가 선택될 때 오프되고, 상기 바이폴라 차동 증폭 입력 회로의 적어도 하나가 선택되지 않을 때 온되는 것을 특징으로 하는 멀티플렉서 회로.

청구항 12

제 5 항에 있어서, 상기 스위치 수단은 각각 상기 차동 입력 바이폴라 트랜지스터 중 하나와 상기 부하 바이폴라 트랜지스터의 하나 사이에 접속되고, 상기 차동 입력 바이폴라 트랜지스터 중 다른 하나와 상기 부하 바이폴라 트랜지스터의 다른 하나 사이에 접속되어 있고, 상기 선택 신호의 온 또는 오프에 의해 제어되는 한 쌍의 스위칭 트랜지스터를 포함하는데, 상기 한 쌍의 스위칭 트랜지스터는 상기 바이폴라 차동 증폭 입력 회로의 적어도 하나가 선택되지 않을 때 오프되고 상기 바이폴라 차동 입력 회로의 적어도 하나가 선택될 때 온되는 것을 특징으로 하는 멀티플렉서 회로.

청구항 13

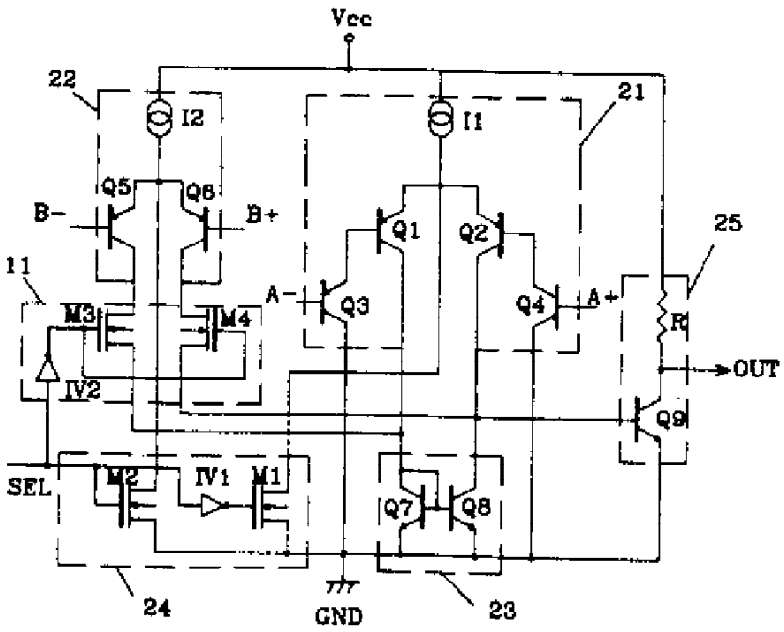
제 1 항에 있어서, 상기 능동 부하 회로 및 상기 바이폴라 차동 증폭 입력 회로 중 선택된 회로로 구성된 차동 증폭 회로에 의해 발생된 차동 증폭된 신호를 출력하기 위한 에미터 접지 회로를 더 구비하는 것을 특징으로 하는 멀티플렉서 회로.

청구항 14

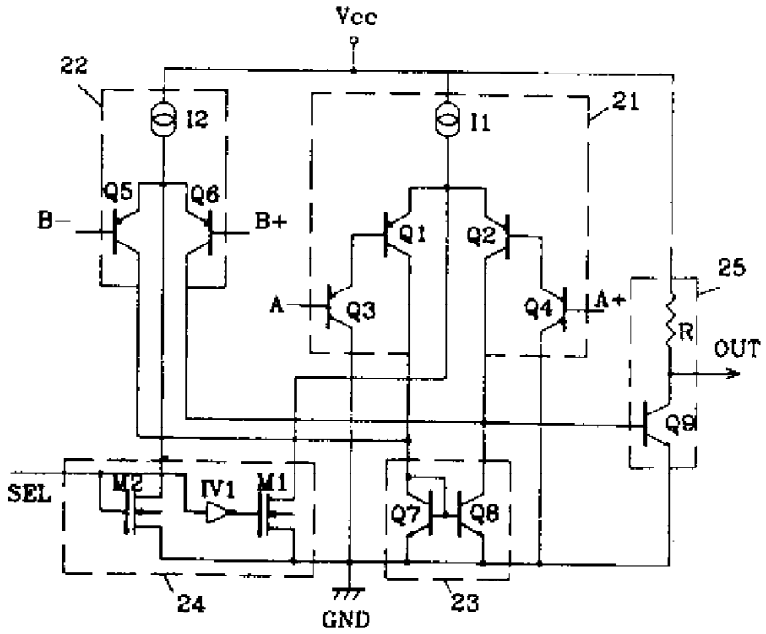
제 13 항에 있어서, 상기 에미터 접지 회로는 콜렉터, 상기 바이폴라 차동 증폭 입력 회로에 접속된 베이스, 및 접지에 접속된 에미터를 갖는 바이폴라 트랜지스터와, 전원관 상기 바이폴라 트랜지스터의 콜렉터 사이에 접속된 부하 저항기를 포함하며, 출력 신호는 상기 바이폴라 트랜지스터의 콜렉터로부터 출력되는 것을 특징으로 하는 멀티플렉서 회로.

도면

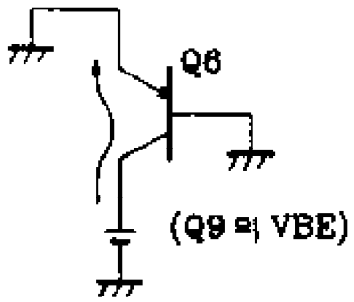
도면1



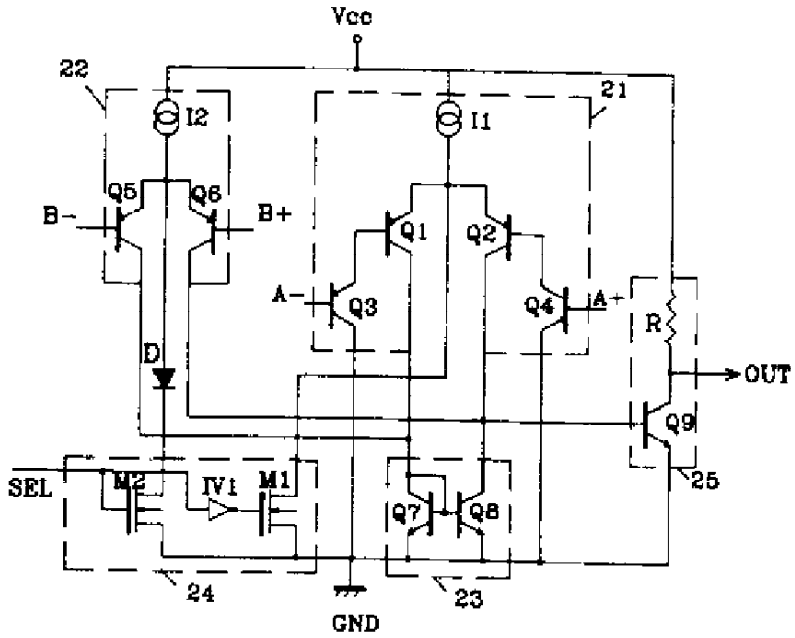
도면2


Vcc
22
21
I2
I1
Q5
Q6
B-
B+
Q1
Q2
25
A-
Q3
Q4
A+
R
OUT
Q9
SEL
M2
IV1
M1
Q7
Q8
24
GND
23

도면3


Q6
(Q9 ≒ VBE)

도면4


Vcc
22
21
I2
I1
Q5
Q6
B-
B+
Q1
Q2
A-
Q3
Q4
A+
R
OUT
D
Q9
25
SEL
M2
IV1
M1
Q7
Q8
24
23
GND