

(12) 发明专利

(10) 授权公告号 CN 101006578 B

(45) 授权公告日 2010.06.23

(21) 申请号 200580025188.4

H01L 21/304 (2006.01)

(22) 申请日 2005.07.20

(56) 对比文件

(30) 优先权数据

04103570.0 2004.07.26 EP

CN 1247382 A, 2000.03.15, 全文.

US 6492247 B1, 2002.12.10, 全文.

US 5644162 A, 1997.07.01, 全文.

CN 1318206 A, 2001.10.17, 全文.

(85) PCT申请进入国家阶段日

2007.01.25

(86) PCT申请的申请数据

PCT/IB2005/052428 2005.07.20

(87) PCT申请的公布数据

W02006/013508 EN 2006.02.09

(73) 专利权人 NXP 股份有限公司

地址 荷兰艾恩德霍芬

(72) 发明人 海莫·朔伊希尔

(74) 专利代理机构 北京天昊联合知识产权代理

有限公司 11112

代理人 陈源 张天舒

(51) Int. Cl.

H01L 21/78 (2006.01)

H01L 23/58 (2006.01)

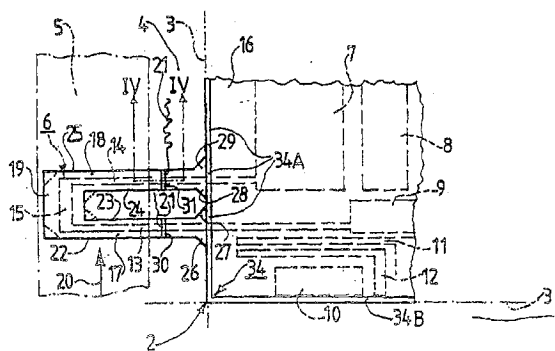
权利要求书 2 页 说明书 6 页 附图 3 页

(54) 发明名称

具有改进的切割回线的晶片

(57) 摘要

在具有芯片 (2) 和芯片之间细长的分隔区 (4) 的晶片 (1) 中, 每一个芯片 (2) 包括至少一个切割回线 (6), 其中切割回线 (6) 包括从芯片 (2) 的平面保护层 (16) 伸出的两个保护带 (17, 18), 其中所述保护带 (17, 18) 在其从平面保护层 (16) 伸出的地方依靠较宽的带部分 (26, 27, 28, 29) 加宽, 而且其中保护带 (17, 18) 和平面保护层 (16) 具有作为设想的断裂点的薄弱点 (31, 32, 34)。



1. 一种晶片 (1),

具有芯片 (2), 其中每个芯片 (2) 具有给定的芯片表面区域和芯片边界 (3), 以及

具有芯片 (2) 之间细长的分隔区 (4), 其中设置分隔区 (4) 用于破开晶片 (1) 来分割芯片 (2), 并且其中每个芯片 (2) 包括至少一条连接线 (6), 所述连接线 (6) 在芯片边界 (3) 处由芯片 (2) 伸出, 进入到和芯片 (2) 邻接的分隔区 (4), 在邻接的分隔区 (4) 中的晶片 (1) 分割之前是导电的, 可在邻接的分隔区 (4) 中的晶片 (1) 分割时被中断, 并包括两个互相邻接的导线部分 (13, 14), 所述两个互相邻接的导线部分 (13, 14) 伸出芯片边界 (3) 之外而进到邻接的分隔区 (4) 中并且依靠连接部分 (15) 进行导电互连, 以及其中,

用平面保护层 (16) 覆盖每一个芯片 (2), 且平面保护层 (16) 的表面区域和芯片表面区域相对应, 以及

为每一个芯片 (2) 的每一条连接线 (6) 设置至少一个保护带 (17, 18), 所述保护带 (17, 18) 在相应芯片 (2) 的芯片边界处由平面保护层 (16) 伸出并进入到邻接的分隔区 (4) 中, 来覆盖两个互相邻接的导线部分 (13, 14), 以及

至少一个保护带 (17, 18) 在其邻接平面保护层 (16) 的区域中, 在保护带 (17, 18) 的至少一侧 (22, 23, 24, 25 ; 22, 24), 具有比保护带 (17, 18) 其余部分宽的带部分 (26, 27, 28, 29 ; 26, 28)。

2. 根据权利要求 1 所述的晶片 (1), 其中,

为每一个芯片 (2) 的每一条连接线 (6) 设置两个互相邻接的保护带 (17, 18), 所述两个互相邻接的保护带 (17, 18) 在相应芯片 (2) 的芯片边界 (3) 处由平面保护层 (16) 伸出, 并进入到邻接的分隔区 (4) 当中, 于是覆盖两个互相邻接的导线部分 (13, 14), 并且在分隔区 (4) 中依靠保护部分 (19) 彼此相连, 所述保护部分 (19) 覆盖连接部分 (15), 以及

两个保护带 (17, 18) 中的每一个保护带在其邻接平面保护层 (16) 的区域中, 在保护带的至少一侧 (22, 23, 24, 25 ; 22, 24), 具有比保护带的其余部分宽的带部分 (26, 27, 28, 29 ; 26, 28)。

3. 根据权利要求 1 或 2 所述的晶片 (1), 其中,

每一个保护带 (17, 18) 在其邻接平面保护层 (16) 的区域中, 在保护带 (17, 18) 的两侧 (22, 23, 24, 25), 都具有比保护带 (17, 18) 的其余部分宽的带部分 (26, 27, 28, 29)。

4. 根据权利要求 1 或 2 所述的晶片 (1), 其中,

每个加宽的带部分 (26, 27, 28, 29 ; 26, 28) 以三角形的方式实现。

5. 根据权利要求 1 或 2 所述的晶片 (1), 其中,

在每个保护带 (17, 18) 中实现穿过保护带 (17, 18) 的薄弱点 (30, 31)。

6. 一种芯片 (2),

所述芯片 (2) 具有给定的芯片表面区域和芯片边界 (3), 以及其中,

所述芯片 (2) 包括至少一条连接线 (6) 的残余, 所述残余在芯片边界 (3) 处由芯片 (2) 伸出并且由两个互相邻接的导线部分 (13, 14) 的残余组成, 所述两个互相邻接的导线部分 (13, 14) 的两个残余从芯片 (2) 伸出, 以及

用平面保护层 (16) 覆盖芯片 (2), 且平面保护层 (16) 的表面区域和芯片表面区域相对应, 以及

为芯片 (2) 的每一条连接线 (6) 的残余设置至少一个保护带 (17, 18) 的残余, 所述至

少一个保护带 (17,18) 的残余在相应芯片 (2) 的芯片边界 (3) 处由平面保护层 (16) 伸出, 来覆盖两个互相邻接的导线部分 (13,14) 的残余, 以及

至少一个保护带 (17,18) 的残余在其邻接平面保护层 (16) 的区域中, 在相应保护带残余的至少一侧 (22,23,24,25 ;22,24), 具有比该保护带残余的其余部分宽的带部分 (26,27,28,29 ;26,28)。

7. 根据权利要求 6 所述的芯片 (2), 其中,

为芯片 (2) 的每一条连接线 (6) 的残余设置两个互相邻接的保护带 (17,18) 的残余, 所述两个互相邻接的保护带 (17,18) 的残余在相应芯片 (2) 的芯片边界 (3) 处由平面保护层 (16) 伸出, 用来覆盖两个互相邻接的导线部分 (13,14) 的残余, 以及

两个保护带 (17,18) 中的每一个残余在其邻接平面保护层 (16) 的区域中, 在相应保护带残余的至少一侧 (22,23,24,25 ;22,24), 包括比所述保护带残余的其余部分宽的带部分 (26,27,28,29 ;26,28)。

8. 根据权利要求 6 或 7 所述的芯片, 其中,

每一个保护带 (17,18) 的残余在其邻接平面保护层 (16) 的区域中, 在所述残余的两侧 (22,23,24,25), 都具有比所述残余的其余部分宽的带部分 (26,27,28,29)。

9. 根据权利要求 6 或 7 所述的芯片, 其中

对每一个加宽的带部分 (26,27,28,29 ;26,28) 给出三角形。

10. 根据权利要求 6 或 7 所述的芯片, 其中

在每个保护带 (17,18) 的残余中实现薄弱点 (30,31), 所述薄弱点穿过所述保护带的残余。

具有改进的切割回线的晶片

技术领域

[0001] 本发明涉及一种具有芯片和芯片之间细长的分隔区的晶片,其中每个芯片具有给定的芯片表面区域和芯片边界,其中设置分隔区用于破开晶片来分割芯片,并且其中每个芯片包括至少一条连接线,连接线在芯片边界处由芯片伸出,进入到和芯片邻接的分隔区,在邻接的分隔区中的晶片分割之前是导电的,可在邻接的分隔区中的晶片分割时被中断,并包括两个互相邻接的导线部分,其中两个互相邻接的导线部分伸出芯片边界之外而进到邻接的分隔区中并且依靠连接部分进行导电互连,并且其中用平面保护层覆盖每一个芯片,且平面保护层的表面区域和芯片表面区域相对应,并且其中为每一个芯片的每一条连接线设置至少一个保护带,保护带在相应芯片的芯片边界处由平面保护层伸出并进入到邻接的分隔区中来覆盖两个互相邻接的导线部分。

[0002] 本发明还涉及一种芯片,该芯片具有给定的芯片表面区域和芯片边界,并且其中该芯片包括至少一根连接线的残余,其中连接线的残余在芯片边界处由芯片伸出并且包括两个互相邻接的导线部分的残余,两个互相邻接的导线部分的两个残余从芯片伸出,并且其中用平面保护层覆盖芯片,且平面保护层的表面区域和芯片表面区域相对应,并且其中为芯片的每一条连接线的残余设置至少一个保护带的残余,至少一个保护带的残余在相应芯片的芯片边界处从平面保护层伸出,来覆盖两个互相邻接的导线部分的残余。

背景技术

[0003] 开始段中提到的这种晶片和第二段中提到的这种芯片已经被申请人用在不同的实施例中出售并因此为人们所知。在已知的晶片,用已知的方式由导线通道形成连接线,其中导线通道大体是U字型并包括两个互相邻接的导线通道部分作为互相邻接的导线部分,这样不同连接线的两个互相邻接的导线通道部分实际上可以具有不同的宽度来实现不同的导线通道电阻值,但所有的导线通道部分还是具有固定的宽度。此外,构造已知的晶片使得覆盖导线通道的保护带沿着它们的带延伸部分也具有固定的宽度。这样的结果是,在晶片的那些位置,即两个互相邻接的保护带在该芯片的芯片边界处从芯片的平面保护层伸出的地方,存在大体的直角弯。在已知的晶片,芯片之间的细长的分隔区具有较大的宽度,细长的分隔区的宽度为 $100\mu\text{m}$ 、 $80\mu\text{m}$ 或者 $70\mu\text{m}$,这依赖于已知晶片的实施例。只要芯片之间细长的分隔区具有以上提及的宽度,在沿着细长的分隔区分割晶片的过程中,断裂区的问题就通常不会在互相邻接的保护带和互相邻接的导线部分的过渡区域中发生。

[0004] 然而,如果细长的分隔区要窄很多,也就是说细长的分隔区的宽度必须处于数值为 $40\mu\text{m}$ 、 $30\mu\text{m}$ 、 $20\mu\text{m}$ 或者 $10\mu\text{m}$ 来实现更好的利用晶片表面的优点,那么如果不采取特殊的措施就会引发问题。在具有如此窄很多的分隔区的晶片上完成的测试已经显示,在这些晶片的互相邻接的导线部分和互相邻接的保护带的已知构造中,由分割晶片引起的断裂区不利地以高得多的频率发生。这个问题被设想的并且实际上实现的晶片厚度所恶化。用于塑料组装的标准晶片经常需要 $200\text{--}380\mu\text{m}$ 的晶片厚度。而更先进的芯片封装应用需要 $180\mu\text{m}$ 、 $150\mu\text{m}$ 和 $120\mu\text{m}$ 的晶片厚度。 $180\mu\text{m}$ 、 $150\mu\text{m}$ 和 $120\mu\text{m}$ 以及最近的甚至 $50\mu\text{m}$

的晶片厚度,也是为芯片卡 IC 所需。用于纸张应用的芯片需要 50 μm 、40 μm 、小到 20 μm 的晶片厚度。给定这样的薄晶片,在连接线(切割回线, sawing loop)处发生断裂区是非常严重的,因为断裂区能在薄薄的晶片里的传播和厚晶片的情况相比迅速得多且容易得多,特别是在弯曲工艺中。这些断裂区通常在分割晶片后存在的保护带残余的自由端附近开始,并常常较深地延伸到芯片中。

发明内容

[0005] 本发明的目的是解决以上的易碎问题,并给出一种改进的晶片和改进的芯片。

[0006] 为了实现上述目的,根据本发明,在晶片中给出这样的发明特点,使得本发明的晶片的特征如下:

[0007] 一种具有芯片和芯片之间细长的分隔区的晶片,其中每个芯片具有给定的芯片表面区域和芯片边界,其中设置分隔区用于破开晶片来分割芯片,并且其中每个芯片包括至少一条连接线,连接线在芯片边界处由芯片伸出,进入到和芯片邻接的分隔区,在邻接的分隔区中的晶片分割之前是导电的,可在邻接的分隔区中的晶片分割时被中断,并包括两个互相邻接的导线部分,其中两个互相邻接的导线部分伸出芯片边界之外而进到邻接的分隔区中并且依靠连接部分进行导电互连,并且其中用平面保护层覆盖每一个芯片,且平面保护层的表面区域和芯片表面区域相对应,并且其中为每一个芯片的每一条连接线设置至少一个保护带,保护带在相应芯片的芯片边界处从平面保护层伸出并进入到邻接的分隔区中来覆盖两个互相邻接的导线部分,并且其中所述至少一个保护带在其邻接平面保护层的区域中,在保护带的至少一侧,具有比保护带的其余部分宽的条带部分。

[0008] 为了实现上述目的,根据本发明,在芯片中给出这样的发明特点,使得本发明的芯片的特征如下:

[0009] 一种芯片,该芯片具有给定的芯片表面区域和芯片边界,并且其中该芯片包括至少一根连接线的残余,其中连接线的残余在芯片的边界处由芯片伸出并且由两个互相邻接的导线部分的残余组成,其中两个互相邻接的导线部分的残余从芯片伸出,并且其中用平面保护层覆盖芯片,且平面保护层的表面区域和芯片表面区域相对应,并且其中为芯片的每一条连接线的残余设置至少一个保护带的残余,至少一个保护带的残余在相应芯片的芯片边界处从平面保护层伸出,来覆盖两个互相邻接的导线部分的残余,并且其中至少一个保护带的残余在其邻接平面保护层的区域中,在保护带残余的至少一侧,具有比相应残余的其余部分宽的带部分。

[0010] 本发明特点依靠至少一个保护带的至少一个加宽的带部分,以一种非常简单的方式而几乎不需要任何额外花费,实现了机械保护功能,因为在芯片中防范了晶片中发生的反作用力的变化,具体也就是反作用力的增加,并且在至少一个的保护带和下方的导线部分断开的过程中被转移到细长的分隔区中,其中反作用力的变化在分割晶片的过程中发生,晶片分割优选地在切割工艺中依靠特殊的切割刀片实现,或者依靠激光或者其它合适的方法例如在蚀刻工艺中实现,使得晶片中由反作用力的这种增加引起的断裂区,如果存在的话,只在细长的分隔区内发生,并因此没有在芯片内引起不利的断裂区。强化的试验已经显示,本发明的措施将根据本发明其中沿着细长的分隔区切割造成芯片断裂也即断裂区延伸到芯片内部的单独的芯片的数目降到了非常低的水平。相关的不合格率处于至多百万

分之几（几个 ppm）的范围。

[0011] 在本发明的晶片中发现,当为每个芯片的每条连接线设置两个互相邻接的保护带时,并且当两个保护带中的每一个保护带在其邻接平面保护层的区域中,在保护带的至少一侧,具有比保护带的其余部分宽的带部分时,将是非常有利的,其中两个互相邻接的保护带在相应芯片的芯片边界处,从平面保护层伸出,并且进入到邻接的分隔区中,于是覆盖了两个互相邻接的导线部分,并依靠保护部分在分隔区中彼此相连,其中保护部分覆盖连接部分。这是有利的,因为分割、优选地切过为安全目的设置的芯片元件（也就是说,比单一保护带窄很多的两个保护带）所需的时间段非常短,这被发现为是有利的。

[0012] 在本发明的晶片中,保护带加宽的带部分可以设置在保护带的一侧,该侧背对邻接的保护带。根据本发明,晶片中加宽的带部分可以关于保护带设置在保护带的同一侧,在这种情况下在切割工艺中保护带首先断开的一侧中设置加宽的带部分是有利的。然而,在本发明的晶片中发现,当每一个保护带在其邻接平面保护层的区域中,在保护带的两侧都具有比保护带的其余部分宽的带部分时,将是非常有利的。这针对由沿着细长的分隔区切开晶片所引起的芯片断裂,提供了特别高且可靠的保护功能。

[0013] 本发明的晶片中,每个加宽的带部分可以具有长方形或者正方形或者圆弓形的形状。这种圆弓形以圆弧为边界。沿椭圆弧线的弓形边界也是可能的。当每一个加宽的带部分以三角形的方式实现时,发现是非常有利的。试验中发现这样的构造非常有利,因为事实上施加在芯片上的反作用力的增加被特别有效的转移。

[0014] 在本发明的晶片中进一步发现,当在每一个保护带中实现穿过保护带的薄弱点时,将是非常有利的。这些薄弱点的产生有效地提供了设想的断裂位置,由此有利地实现了由任意强大的反作用力增加引起的并将可能发生的断裂区,将发生在如此设置的设想断裂位置的区域中,也就是说细长的分隔区的区域中,这样芯片以一种特别可靠的方式防止了上述问题的发生。

[0015] 以上描述的本发明的晶片的其它有利实施例的优点同样适用于本发明的芯片的其它有利实施例。

[0016] 本发明的以上方面和其它方面将在更详细地阐明实施例的实施例描述中,变得显而易见。

附图说明

[0017] 下文参考图中所示的两个实施例对本发明进行具体阐述,但是,本发明决不仅限于图中所示的这些实施例。

[0018] 图 1 是具有芯片和芯片之间细长的分隔区的晶片的概略俯视图。

[0019] 图 2 以远大于图 1 的比例示出了根据现有技术的芯片的部分。

[0020] 图 3 以和图 2 相同的方式示出了本发明的第一实施例中芯片的部分。

[0021] 图 4 以远大于图 3 的比例示出了图 3 芯片在线 IV-IV 上获得的横截面中的一部分。

[0022] 图 5 以和图 3 相同的方式示出了本发明的第二实施例中芯片的部分。

具体实施方式

[0023] 图 1 示出了晶片 1,其包括多个芯片 2。图 1 中仅概略的示出了芯片 2 而没有任何

进一步的细节。每一个芯片 2 具有一个给定的芯片表面区域,其中芯片表面区域位于芯片边界 3 的内部。在所示出的示例中,每一个芯片 2 的芯片表面区域在形状上是正方形的,使得芯片边界 3 长度相同。长方形的芯片表面区域也是可能的和已知的。每一个芯片 2 的芯片表面区域和芯片边界 3 已经用已知的方式由曝光场定义,其中在芯片的制造中依靠照射掩模产生曝光场。

[0024] 狭窄、细长的分隔区 4 设置在芯片 2 之间。分隔区 4 设计用于分解晶片 1 来获得单独的芯片 2。本例中晶片 1 分解的发生沿着切割道 (sawing lane) 5,图 1 中用点划线仅表示了两条切割道。晶片 1 可以沿着切割道 5 切开,使用特殊的切割刀片用于分割。代替切割刀片,可选地,可以使用激光切割设备或一些其它切割设备。分割也可以依靠蚀刻工艺实现。

[0025] 晶片 1 上的每一个芯片有多条连接线 6,其中因为清晰度的原因并没有在图 1 中示出连接线 6。这种连接线 6 在图 2 中示出,将在下文中描述。

[0026] 图 2 示出了芯片 2 的一部分,图 2 中可见的它的两个芯片边界 3 用点划线表示。两个分隔区 4 沿着图 2 中可见的两个芯片边界 3 延伸。在图 2 中一个从上向下延伸的分隔区 4 中,用点划线表示属于这个分隔区 4 的切割道 5。芯片 2 具有第一电路部分 7 和第二电路部分 8 和第三电路部分 9 和第四电路部分 10 和第一导线通道 11 以及第二导线通道 12,其中芯片 2 的电路部分和导线通道在图 2 中可见。显然地,芯片 2 包括多个其它的电路部分和导线通道。

[0027] 如上所述,芯片 2 包括多条连接线 6。这样的连接线 6 在图 2 中可见。连接线 6 在芯片边界 3 处从芯片 2 伸出,并进入到和芯片 2 邻接的分隔区 4。连接线 6 最初是导电的,也就是在分隔区 4 中沿着切割道 5 分割晶片 2 之前,其中分隔区 4 在图 2 中从上向下延伸并和芯片 2 邻接。连接线 6 可在分隔区 4 中沿着切割道 5 分割晶片的过程中被中断,其中分隔区 4 在图 2 中从上向下延伸并和芯片 2 邻接,也就是说在其中连接线 6 被切过或切断。

[0028] 连接线 6 包括两个互相邻接的导线部分,也就是第一导线部分 13 和第二导线部分 14。这两个互相邻接的导线部分 13、14 伸出芯片边界 3 之外而进到在图 2 中从上向下延伸并和芯片 2 邻接的分隔区 4 中。在该分隔区 4 中,两个导线部分 13、14 由连接部分 15 进行导电互连。本例中连接线 6 为 U 字型。连接线 6 的第一导线部分 13 和第三电路部分 9 相连,同时第二导线部分 14 和第一电路部分 7 相连。这里第一电路部分 7 和第三电路部分 9 形成芯片 2 的测试装置的一部分。测试装置用来测试芯片 2 至少一个部分的无错运转,其中运转测试在芯片 2 被分割之前。在完成了对无错运转的测试之后,必须使测试装置可靠失效,这在芯片 2 切割的过程中发生,因为连接线 6 被中断。在本领域中这种连接线 6 也被称为切割回线 (sawing loop)。连接线 6 也用于芯片 2 的其它电路部分和功能,例如,可以设置编程装置而非测试装置。可选地,可以和 IC 的焊盘结合来设置连接线 6,其中在 IC 已经完成之后必须使焊盘不起作用来避免不想要的短路。

[0029] 芯片 2 被平面保护层 16 覆盖,在本领域中时常称为钝化层。平面保护层 16 在本例中由氮化物制成,这也被人们知晓了很长时间。芯片 2 包括两个互相邻接的连接线 6 的保护带,也就是第一保护带 17 和第二保护带 18。本例中这两个互相邻接的保护带 17 和 18 由氮化物制成,平面保护层 16 也是相同的,这也被人们知晓了很长时间。这两个互相邻接的保护带 17 和 18 在芯片 2 的芯片边界 3 处由平面保护层 16 伸出,并进入到在图 2 中从上

向下延伸并和芯片 2 邻接的分隔区 4 当中。这里这两个互相邻接的保护带 17 和 18 覆盖连接线 6 的两个互相邻接的导线部分 13、14, 并且这两个互相邻接的保护带 17 和 18 在图 2 里从上向下延伸的分隔区 4 中, 由保护部分 19 互连。保护部分 19 覆盖连接线 6 的连接部分 15。

[0030] 图 2 示出了现有技术的芯片 2。在图 2 的芯片 2 中, 两个导线部分 13 和 14 以及两个保护带 17、18 沿着它们所有的纵向尺度宽度固定。在这个已知的构造中发现, 在图 2 里从上向下延伸的分隔区 4 中, 晶片 1 的切割可以较容易的导致断裂区 21 的形成, 其中为了晶片 1 的切割, 切割刀片 (未示出) 沿着切割道 5 沿箭头 20 的方向移动, 断裂区 21 从分隔区 4, 也就是说从切断的导体部分 13、14 和切断的保护带 17、18 的区域非常不利地延伸进到芯片 2 本身, 这导致芯片 2 中电路部分或者导体通道的毁坏, 如图 2 中显示的断裂区 21 所显现的那样。为了防止这样的断裂区 21 进入到芯片 2, 于是, 根据现有技术所有可以做的就是使分隔区 4 形成的尺寸很宽使得断裂区 21 只是非常偶然的渗入芯片 2。这样的缺点是根据现有技术, 在布置中必须设置较宽的分隔区 4, 这导致不想要的对昂贵的晶片材料的浪费。

[0031] 图 3 示出了根据本发明的芯片 2 的构造, 其中芯片 2 是根据本发明从晶片分割出来的结果, 并且上述问题在芯片 2 中已经被消除或大大减少到一个可接受的水平。在图 3 的芯片 2 中, 每一个保护带 17、18 在其邻接平面保护层 16 的区域中, 在相应的保护带 17、18 的两侧 22、23 和 24、25 处, 具有比保护带 17、18 的其余部分宽的带部分 26、27 和 28、29。这里每一个加宽的带部分 26、27 和 28、29 为三角形, 更准确地说是等边三角形。可选地, 加宽的带部分 26、27 和 28、29 可以为长方形的或正方形的或者扇形的形状。

[0032] 在图 3 的芯片 2 的构造中, 在两个保护带 17、18 中的每一个保护带中实现穿过保护带 17、18 的薄弱点, 也即第一薄弱点 30 和第二薄弱点 31。在第二保护带 18 中设置的第二薄弱点 31 在图 4 中清晰可见。第二薄弱点 31 的实现是由于在第二薄弱点 31 的区域中制造第二保护带 18 时, 实现了厚度更小的层。第一薄弱点 31 是相同的。需要注意的是, 在图 4 中第二导线部分 14 也是可见的。在第二保护带 18 和第二导线部分 14 之间设置中间层 32。晶片的衬底 33 的部分在图 4 中第二导线部分 14 的下方示出。

[0033] 此外, 在图 3 的芯片 2 中, 在平面保护层 16 中沿着芯片 2 的芯片边界 3 设置了另外的薄弱点 34, 这个另外的薄弱点 34 的两个薄弱点部分 34A 和 34B 在图 3 中可见。这个另外的薄弱点 34 沿着芯片边界 3 延伸, 为芯片 2 的保护功能, 提供了重要的额外的贡献, 也即从芯片表面区域彻底防范断裂区或芯片碎裂。

[0034] 在带有图 3 的芯片 2 的许多系列的试验中发现, 由用于切割芯片 2 的晶片切断引发的断裂区, 优先地由设置在保护带 17、18 中的薄弱点 30、31 产生, 而且几乎只在分隔区 4 中延伸, 因此只是非常少的进入芯片 2, 其中芯片 2 的分割由切割刀片在箭头 20 的方向沿着切割道 5 移动来完成。由于在晶片分割中断裂区 21 进入芯片造成的芯片不合格率可以依靠根据本发明的方法, 减少大约 10%。

[0035] 需要注意的是, 图 3 的芯片 2 的构造用修改的形式也是可能的, 即在两保护带 17、18 和保护部分 19 的区域中在连接线 6 的自由端设置倾斜的边缘 AS, 其中倾斜的边缘在图 3 中用点划线表示。

[0036] 这里需要注意的是, 在如图 3 中所示芯片 2 的实施例的修改中, 设置单个保护带而

不是两个保护带 17、18,其中单个保护带具有两侧,两侧的位置对应图 3 的芯片 2 的两个保护带 17、18 的两侧 22 和 25,于是覆盖芯片 2 的实施例修改的两个互相邻接的导线部分 13、14。再次在根据图 3 的芯片 2 的修改的实施例中,关于避免不想要的断裂区和因此导致的不想要的芯片碎裂,已经取得了好结果。

[0037] 图 5 示出了芯片 2,其中再次设置了具有两个导线部分 13、14 和连接部分 15 的连接线 6,但是这里两个导线部分 13、14 和连接部分 15 实质上呈楔形。相应的调整两个保护带 17、18,并且保护部分 19 实质上呈楔形。在图 5 的芯片 2 中,每一个保护带 17、18 在其邻接芯片 2 的平面保护层 16 的区域中,只在相应的保护带 17、18 的一侧 22、24 处,具有比保护带 17、18 的其余部分宽的带部分 26、28。在这种情况下,加宽的带部分 26、28 也是三角形,但是这里的三角形具有不同的边长。从图 5 中显然的是,加宽的带部分 26、28 设置在保护带 17、18 的侧边 22、24 上,其中当切割刀片沿着切割道 5 以箭头 20 的方向移动时,切割刀片先到达的是保护带 17、18 的侧边 22、24。这是因为正产生的断裂区的最大风险存在于切割刀片碰到保护带 17、18 以及碰到导线部分 13、14 的地点。

[0038] 最终需要注意的是,在分隔区 4 沿着切割道 5 的对晶片 1 的分割切断连接线 6 并将其中断。这样的结果是在一个单独的完成的芯片 2 中,只有两个导线部分 13、14 的残余和两个保护带 17、18 的残余存在。

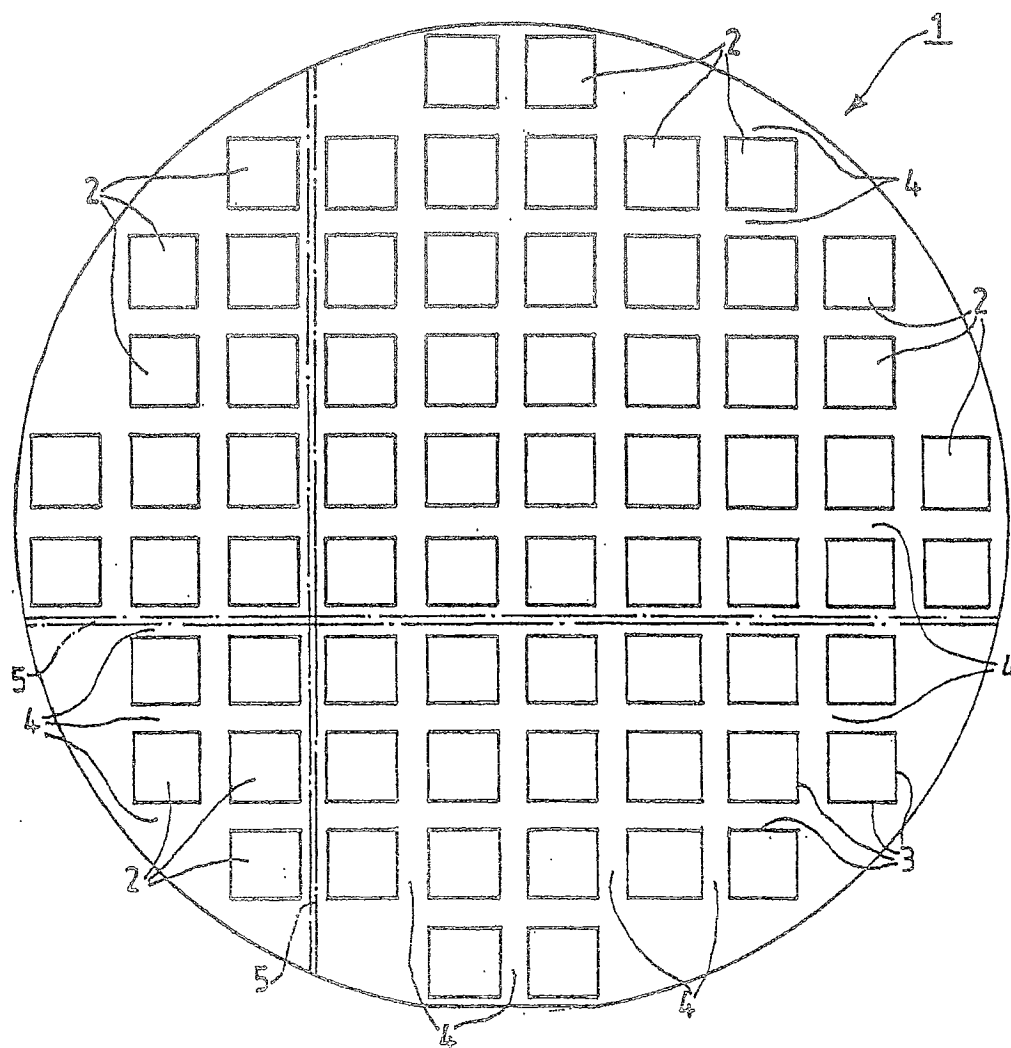


图 1

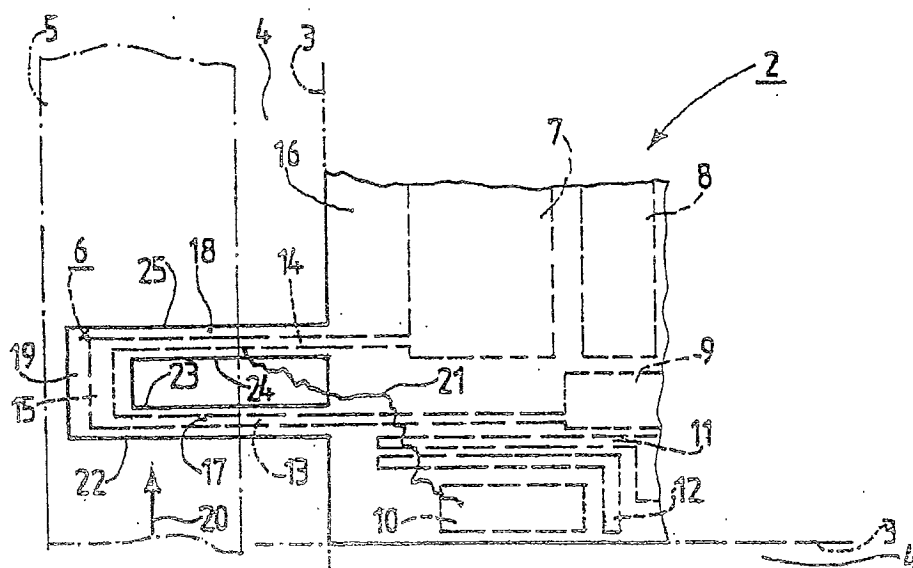


图 2

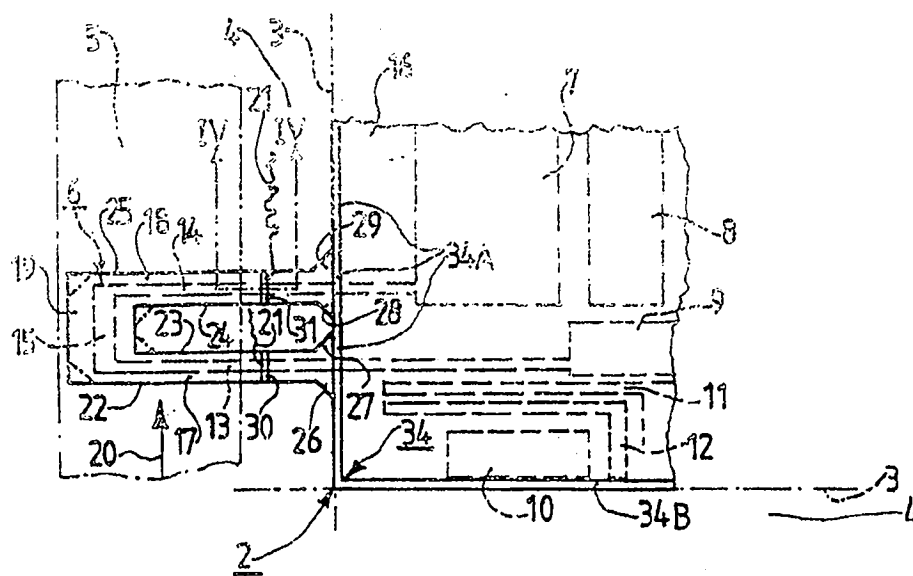


图 3

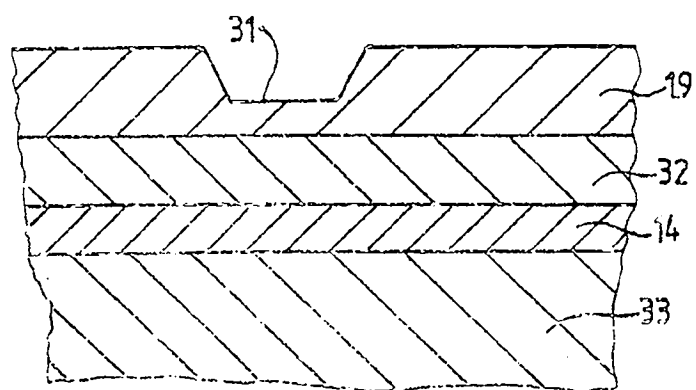


图 4

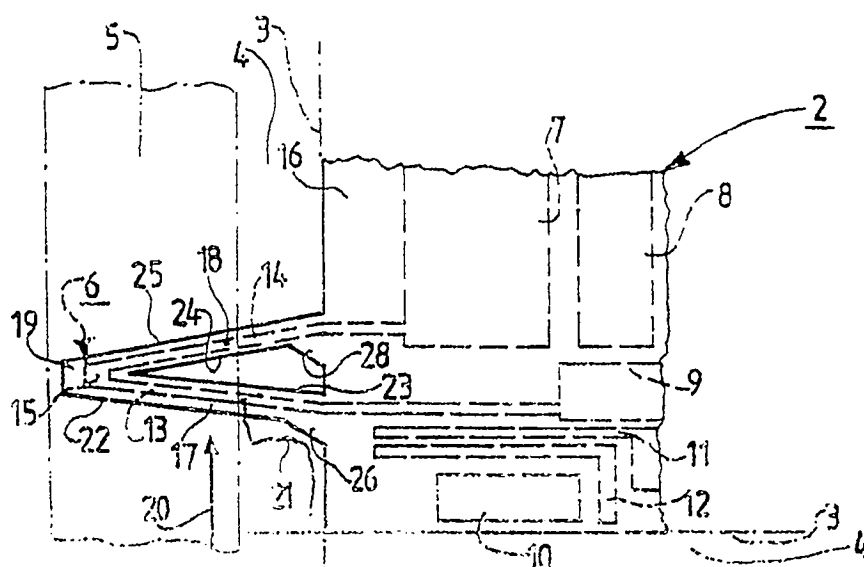


图 5