

EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

element to a floating diffusion region; a second capacitive element that accumulates part of the electric charge held in the first capacitive element separately from the floating diffusion region; a second transistor that switches whether or not to transfer part of the electric charge held in the first capacitive element to the second capacitive element; a comparator that compares voltage corresponding to the electric charge held in the first capacitive element with a predetermined threshold voltage; and an output circuit that outputs a signal indicating a comparison result from the comparator.

- (57) 要約: [課題] 変換効率切替トランジスタをオン又はオフしたことを正しく把握することができ、光検出装置を提供する。 [解決手段] 光検出装置は、入射光の光量に応じた電荷を蓄積する光電変換素子と、光電変換素子に蓄積された電荷を他の光電変換素子と同一のタイミングで保持する第1容量素子と、前第1容量素子に保持された電荷を、浮遊拡散領域に転送するか否かを切り替える第1トランジスタと、浮遊拡散領域とは別個に、第1容量素子に保持された電荷の一部を蓄積する第2容量素子と、第1容量素子に保持された電荷の一部を第2容量素子に転送するか否かを切り替える第2トランジスタと、第1容量素子の保持電荷に応じた電圧を所定の閾値電圧と比較する比較器と、比較器の比較結果を示す信号を出力する出力回路と、を備える。

明 細 書

発明の名称：光検出装置

技術分野

[0001] 本開示は、光検出装置に関する。

背景技術

[0002] 全画素同一のタイミングで露光を開始して電荷読出を行うグローバルシャッタ方式の撮像装置が知られている（特許文献1参照）。グローバルシャッタ方式は、画素行毎に露光を行うローリングシャッタ方式と比べて、撮像画像に歪みが生じないという利点を有する。

[0003] グローバルシャッタ方式は、光電変換により生成された電荷を保持する記憶部を画素ごとに設けている。この記憶部とは別個に、光電変換効率を切り替えるためのトランジスタ（以下、変換効率切替トランジスタ）と記憶部を設けた撮像装置が提案されている。

[0004] 例えば、強い光が入射された場合には、上述した変換効率切替トランジスタをオンして記憶部に電荷を記憶することで、光電変換による電荷蓄積量を増やすことができ、いわゆる白飛びを防止できる。

先行技術文献

特許文献

[0005] 特許文献1：国際公開2016／136486号明細書

発明の概要

発明が解決しようとする課題

[0006] しかしながら、各画素から出力される画素信号の信号レベルでは、変換効率切替トランジスタをオンしたか否かを把握できない。変換効率切替トランジスタをオンした場合の画素信号と変換効率切替トランジスタをオフした場合の画素信号の信号レベルが同じになることがあり、画素信号をアナログ→デジタル変換して生成される画像データの輝度調整を正しく行えないおそれがある。

[0007] そこで、本開示では、変換効率切替トランジスタをオン又はオフしたことを正しく把握することができる光検出装置を提供するものである。

課題を解決するための手段

[0008] 上記の課題を解決するために、本開示によれば、入射光の光量に応じた電荷を蓄積する光電変換素子と、

前記光電変換素子に蓄積された電荷を他の光電変換素子と同一のタイミングで保持する第1容量素子と、

前第1容量素子に保持された電荷を、浮遊拡散領域に転送するか否かを切り替える第1トランジスタと、

前記浮遊拡散領域とは別個に、前記第1容量素子に保持された電荷の一部を蓄積する第2容量素子と、

前記第1容量素子に保持された電荷の一部を前記第2容量素子に転送するか否かを切り替える第2トランジスタと、

前記第1容量素子の保持電荷に応じた電圧を所定の閾値電圧と比較する比較器と、

前記比較器の比較結果を示す信号を出力する出力回路と、を備える、
光検出装置が提供される。

[0009] 前記出力回路は、対応する前記比較器の比較結果を示す二値信号を出力してもよい。

[0010] 前記出力回路は、前記第1容量素子の保持電荷に応じた電圧が前記閾値電圧以下か否かを示す前記二値信号を出力してもよい。

[0011] 前記第2トランジスタは、前記比較器の比較結果に基づいて、オン又はオフしてもよい。

[0012] 前記第2トランジスタは、前記第1容量素子の保持電荷に応じた電圧が前記閾値電圧以下の場合にオンして、前記第1容量素子に保持された電荷の一部を前記第2容量素子に転送させてもよい。

[0013] 前記比較器は、前記第1容量素子の保持電荷に応じた電圧が前記閾値電圧以下の場合、又は前記浮遊拡散領域の電荷の排出を指示するリセット信号が

入力された場合に、前記第2トランジスタをオンさせてもよい。

[0014] 前記比較器は、

前記第2容量素子の保持電荷に応じた電圧が入力されるゲートを有する第3トランジスタと、

前記リセット信号が入力されるゲートを有する第4トランジスタと、を有し、

前記第3トランジスタ及び前記第4トランジスタのソース同士は互いに接続され、かつドレイン同士は互いに接続され、

前記第3トランジスタ及び前記第4トランジスタのソース又はドレインは、前記第2トランジスタのゲートに接続されてもよい。

[0015] 前記第3トランジスタ及び前記第4トランジスタのソース又はドレインと基準電圧ノードとの間にカスコード接続される第5トランジスタ及び第6トランジスタを備え、

前記第5トランジスタのゲートには前記リセット信号の反転信号が入力され、

前記第6トランジスタのゲートには前記閾値電圧が入力されてもよい。

[0016] 前記浮遊拡散領域及び前記第2容量素子の電荷を排出する第7トランジスタを備え、

前記比較器は、前記光電変換素子に蓄積された電荷を前記第1容量素子に転送した後、前記第2トランジスタ及び前記第5トランジスタをオンさせて前記浮遊拡散領域及び前記第2容量素子の電荷を排出する前に、前記第1容量素子の保持電荷に応じた電圧を前記閾値電圧と比較してもよい。

[0017] 前記光電変換素子に蓄積された電荷を前記第1容量素子に転送するか否かを切り替える第8トランジスタ及び第9トランジスタを備えてもよい。

[0018] 前記光電変換素子に蓄積された電荷を前記第1容量素子に転送するか否かを切り替える第8トランジスタを備えてもよい。

[0019] 前記光電変換素子、前記第1容量素子、及び前記第1トランジスタをそれぞれ有する複数の画素を備え、

2 以上の前記画素ごとに、1 つずつの前記浮遊拡散領域、前記第 2 容量素子、前記第 2 トランジスタ、前記比較器、及び前記出力回路を共有してもよい。

[0020] 前記 2 以上の画素のそれぞれごとに、前記第 1 容量素子の保持電荷に応じた電圧を前記比較器に入力するか否かを切り替える比較対象選択回路を備えてもよい。

[0021] 複数の前記光電変換素子、複数の前記第 1 容量素子、複数の前記第 1 トランジスタ、複数の前記第 2 容量素子、複数の前記浮遊拡散領域、及び複数の前記第 2 トランジスタが配置される第 1 基板と、

前記第 1 基板に積層され、複数の前記比較器及び複数の前記出力回路が配置される第 2 基板と、を備えてもよい。

[0022] 前記複数の浮遊拡散領域の蓄積電荷に応じた電圧を生成する複数の第 9 トランジスタと、

選択信号に同期して、前記複数の第 9 トランジスタのソース電圧に応じた画素信号を出力する複数の第 10 トランジスタと、を備え、

前記複数の第 9 トランジスタ及び前記複数の第 10 トランジスタは、前記第 2 基板に配置されてもよい。

[0023] 前記第 1 基板に配置されるすべてのトランジスタは第 1 導電型であってもよい。

[0024] 前記比較器は、第 1 導電型のトランジスタ及び第 2 導電型のトランジスタを有し、

前記比較器における前記第 1 導電型のトランジスタは前記第 1 基板に配置され、

前記比較器における前記第 2 導電型のトランジスタは前記第 2 基板に配置されてもよい。

[0025] 前記第 2 基板には、第 1 導電型のトランジスタと第 2 導電型のトランジスタとが混在して配置されてもよい。

[0026] 前記第 1 導電型のトランジスタは、NMOS トランジスタであってもよい。

。

[0027] 前記光電変換素子と前記第 1 容量素子とは積層され、

平面視したときに前記光電変換素子と前記第 1 容量素子との少なくとも一部が重なり合うように、前記光電変換素子と前記第 1 容量素子とは積層されてもよい。

図面の簡単な説明

[0028] [図1]本開示に係る光検出装置を備える電子機器の概略構成を示すブロック図

。

[図2]本開示に係る光検出装置の概略構成を示すブロック図。

[図3]本開示に係る光検出装置の斜視図。

[図4]本開示に係る光検出装置の 1 画素分の断面図。

[図5]一実施形態に係る光検出装置における画素及び画素回路の回路図。

[図6]図 5 の一変形例に係る画素及び画素回路の回路図。

[図7A]図 6 の画素の光電変換動作を示す図。

[図7B]図 7 Aに対応するタイミング図。

[図8A]図 7 Aに続く光電変換動作を示す図。

[図8B]図 8 Aに対応するタイミング図。

[図9A]図 8 Aに続く光電変換動作を示す図。

[図9B]図 9 Aに対応するタイミング図。

[図10A]図 9 Aに続く光電変換動作を示す図。

[図10B]図 10 Aに対応するタイミング図。

[図11]露光開始から画素信号を出力するまでのより詳細なタイミング図。

[図12]画素内の各部のポテンシャルを示す図。

[図13]2 × 2 画素で 1 つの画素回路を共有する場合の回路図。

[図14]図 5 及び図 6 とは異なる回路構成の画素の一例を示す回路図。

[図15]図 5 の一変形例に係る画素及び画素回路の回路図。

[図16]車両制御システムの概略的な構成の一例を示すブロック図。

[図17]車外情報検出部及び撮像部の設置位置の一例を示す説明図。

[図18]内視鏡手術システムの概略的な構成の一例を示す図。

[図19]カメラヘッド及びCCUの機能構成の一例を示すブロック図。

発明を実施するための形態

[0029] 以下、図面を参照して、光検出装置の実施形態について説明する。以下では、光検出装置の主要な構成部分を中心に説明するが、光検出装置には、図示又は説明されていない構成部分や機能が存在しうる。以下の説明は、図示又は説明されていない構成部分や機能を除外するものではない。

[0030] 図1は本開示に係る光検出装置1を備える電子機器2の概略構成を示すブロック図である。本開示に係る電子機器2は、光検出装置1で生成された画像データに対して所定の信号処理を行うことを特徴とする。本開示に係る電子機器2は、図1に示すように、撮影レンズ3と、光検出装置1と、処理部4と、制御部5と、記録部6とを備える。

[0031] 撮影レンズ3は、入射光を集光して光検出装置1に導く。光検出装置1は、例えばCMOS (Complementary Metal-Oxide-Semiconductor) イメージセンサであり、入射光を光電変換して画像データの撮像を行う。光検出装置1から出力された画像データは、伝送線7を介して処理部4に入力される。処理部4は、光検出装置1から出力された画像データに対して所定の画像処理を行う。

[0032] 記録部6は、光検出装置1からの画像データを記録する。記録部6は、ネットワークを介して接続されるサーバ等に配置されてもよい。

[0033] 制御部5は、制御線8を介して光検出装置1の撮像タイミング等を制御する。例えば、制御部5は不図示のシャッタ操作部材の操作に応じて、光検出装置1の撮像の開始と終了を制御する。

[0034] 図2は本開示に係る光検出装置1の概略構成を示すブロック図である。本開示に係る光検出装置1は、図2に示すように、画素アレイ部11と、垂直駆動回路12と、カラム信号処理回路13と、水平駆動回路14と、出力回路15と、制御回路16とを備える。

[0035] 画素アレイ部11は、第1方向X及び第2方向Yに配列される複数の画素

10を有する。画素10の詳細な構成については後述する。本明細書では、第1方向Xを行方向又は水平方向と呼び、第2方向Yを列方向又は垂直方向と呼ぶことがあるが、第1方向Xと第2方向Yは互いに交差しさえすればよく、具体的な方向は問わない。

[0036] 画素アレイ部11は、第1方向Xに配列される2以上の画素10を含む画素群（画素行）ごとに配置される複数の行選択線17と、第2方向Yに配列される2以上の画素10を含む画素群（画素列）ごとに配置される複数の垂直信号線VSLとを有する。複数の行選択線17は、第1方向Xに延びて第2方向Yに配列されている。複数の垂直信号線VSLは、第2方向Yに延びて第1方向Xに配列されている。複数の画素10は、光電変換により生成された電荷に応じた画素信号を、対応する垂直信号線VSLに出力する。

[0037] 垂直駆動回路12には複数の行選択線17が接続されている。垂直駆動回路12は、例えばシフトレジスタを用いて複数の行選択線17を順次に駆動する。これにより、画素アレイ部11の画素行ごとに、複数の画素10の画素信号が並行して複数の垂直信号線VSLに出力される。

[0038] カラム信号処理回路13には複数の垂直信号線VSLが接続されている。カラム信号処理回路13は、複数の垂直信号線VSLにて伝送される複数の画素信号をアナログーデジタル変換（以下、AD変換）する複数のAD変換器18を有する。この他、カラム信号処理回路13は、各画素10のリセットレベルの信号レベルと、光電変換により生成された電荷に応じた画素信号レベルとの差分を検出するCDS（Correlated Double Sampling）処理などを行う場合がある。

[0039] 水平駆動回路14は、位相の異なる水平走査パルスを順次出力することによって、カラム信号処理回路13内の複数のAD変換器18を順次に選択する。これにより、複数のAD変換器18がAD変換したデジタル画素信号は、順次に出力されて、出力回路15に入力される。

[0040] 出力回路15は、デジタル画素信号に対して各種のデジタル信号処理を行って出力する。出力回路15が行うデジタル信号処理の具体的な内容は任意

であり、例えば、黒レベルの調整、又は列ばらつき補正などであり、上述したCDS処理を行う場合もあり得る。

[0041] 制御回路16は、垂直駆動回路12、カラム信号処理回路13、及び水平駆動回路14の動作タイミングを制御する。また、制御回路16は、カラム信号処理回路13に対して、AD変換に用いられる参照信号を供給する。なお、参照信号を生成する回路を制御回路16とは別に設けてもよい。

[0042] 本開示に係る光検出装置1は、一つの半導体基板上に形成することができる。あるいは、本開示に係る光検出装置1は、複数の半導体基板に分けて形成することができる。図3は、本開示に係る光検出装置1の斜視図である。図3の光検出装置1は、互いに積層される第1基板21及び第2基板22を有する。第1基板21と第2基板22は例えば半導体基板であり、CCC (Copper-Copper Connection)、ビア、又はバンプなどで接合されて信号伝送を行う。

[0043] 第1基板21は、光の入射方向に配置される。第1基板21には、例えば図2の画素アレイ部11の少なくとも一部（例えば、複数の画素10）が配置される。第2基板22には、例えば図2の画素アレイ部11以外の構成部分の少なくとも一部（例えば、画素トランジスタ等の画素回路20とロジック回路23）が配置される。

[0044] 光検出装置1の感度を向上させるには、各画素10の光電変換素子の面積をできるだけ大きくするのが望ましい。そこで、第1基板21には、光電変換素子と転送トランジスタを配置し、転送トランジスタ以外の画素トランジスタはロジック回路23とともに第2基板22に配置してもよい。

[0045] なお、第1基板21と第2基板22に配置される回路素子等は任意であり、種々の変形例が考えられる。また、本開示に係る光検出装置1は、3つ以上の半導体基板を積層させた積層構造であってもよい。

[0046] 図4は、本開示に係る光検出装置1の1画素分の断面図である。本開示に係る光検出装置1は裏面発光型であり、図4の上側が裏面側、下側が表（おもて）面側である。図4の光検出装置1は第1基板21の断面構造を示して

いる。第2基板22は、図4の下側（裏面側）に配置される。

[0047] 第1基板21は、例えばシリコン基板である。光電変換素子は例えばフォトダイオード31である。フォトダイオード31は、シリコン層32を用いて形成される。シリコン層32に注入される不純物イオンの量は、シリコン層32の深さ方向によって異なっている。例えば、シリコン層32の裏面側はp型不純物の量が多く、表（おもて）面側はn型不純物の量が多い。

[0048] シリコン層32の裏面側には、カラーフィルタ33が配置され、その上にはオンチップレンズ34が配置される。シリコン層32の表（おもて）面側には、電荷排出部35と、グローバルシャッタ用の記憶部（以下、MEM又は第1容量素子と呼ぶ）36とが深さ方向に配置されている。

[0049] 電荷排出部35は、フォトダイオード31の蓄積電荷を排出させて一時的に保持する。電荷排出部35に保持された電荷を浮遊拡散領域（フローティングディフュージョン）FDに転送できるようにすることで、光電変換により生じた電荷をより多く画素10内に保持できるようになり、感度向上が図れる。電荷排出部35は、例えば、MIM（Metal-Insulator-Metal）容量の構造にすることができる。

[0050] MEM36は、フォトダイオード31よりも表（おもて）面側に配置されている。MEM36は、例えばn型半導体領域である。MEM36とフォトダイオード31をシリコン層32の深さ方向に配置することで、フォトダイオード31の水平面方向の面積を広げることができ、飽和電荷量を増やすことができる。

[0051] シリコン層32の表（おもて）面側には、複数の転送トランジスタTRZ、TRX、TRG等が配置されている。また、一部の転送トランジスタからシリコン層32の深さ方向に垂直電極VGが延びている。垂直電極VGを設けることで、フォトダイオード31で生成された光電変換による電荷を転送電極側に転送しやすくなり、電荷転送効率を向上できる。

[0052] 画素10の境界領域に沿って、深さ方向に延びる画素分離領域37が配置されている。画素分離領域37には、例えば遮光部材38が設けられる。遮

光部材 38 は、画素分離領域 37 に沿って配置される垂直遮光部 38V と、画素分離領域 37 から水平方向に延びる 2 つの水平遮光部 38H を有する。2 つの水平遮光部 38H は、シリコン層 32 の互いに異なる深さ位置に配置されている。2 つの水平遮光部 38H は深さ方向に離隔して配置されており、光電変換により生成された電荷は、2 つの水平遮光部 38H の間を通して表（おもて）面側に転送される。水平遮光部 38H と垂直遮光部 38V は同じ材料で形成されるため、以下では、遮光部材 38 と総称する。

[0053] 遮光部材 38 は、光を吸収又は反射する材料である。遮光部材 38 の具体的な材料は、例えば、Al（アルミニウム）、Cu（銅）、Co（コバルト）、W（タングステン）、Ti（チタン）、Ta（タンタル）、Ni（ニッケル）、Mo（モリブデン）、Cr（クロム）、Ir（イリジウム）、白金イリジウム、TiN（窒化チタン）またはタングステンシリコン化合物などである。遮光部材 38 の表面は、例えば固定電荷膜 39 で覆われている。固定電荷膜 39 が誘起する電界により、遮光部材 38 の表面に、ホール蓄積層のピニング領域が形成される。これにより、遮光部材 38 の表面での暗電流の発生が抑えられる。固定電荷膜 39 は、例えば、負の固定電荷を有する絶縁膜によって形成されている。この負の固定電荷を有する絶縁膜の材料としては、例えば、酸化ハフニウム、酸化ジルコン、酸化アルミニウム、酸化チタンまたは酸化タンタルが挙げられる。第 1 基板 21 の断面構造は必ずしも図 4 に限定されず、種々の変形例が考えられる。

[0054] 図 5 は一実施形態に係る光検出装置 1 における画素 10 及び画素回路 20 の回路図である。図 5 は 1 画素分の画素 10 及び画素回路 20 を示している。

[0055] 一実施形態に係る画素 10 及び画素回路 20 は、図 5 に示すように、フォトダイオード 31 と、複数の転送トランジスタ 41～44 と、MEM 36 と、浮遊拡散領域 FD（フローティングディフュージョン）と、増幅トランジスタ（n トランジスタ）45 と、選択トランジスタ（第 10 トランジスタ）46 と、リセットトランジスタ（第 7 トランジスタ）47 と、排出トランジ

スタ４８と、変換効率切替トランジスタ４９と、変換効率切替用メモリ（以下、ＦＤＬメモリ又は第２容量素子）５０と、比較器５１と、出力回路５２と、を備える。

[0056] 本明細書では、図５におけるフォトダイオード３１、複数の転送トランジスタ４１～４４、及び排出トランジスタ４８を画素１０と呼び、図５におけるその他の回路部分を画素回路２０と呼ぶ。

[0057] また、本明細書では、複数の転送トランジスタ４１～４４を総称して第１トランジスタと呼び、変換効率切替トランジスタ４９を第２トランジスタと呼ぶことがある。

[0058] また、本明細書では、複数の転送トランジスタ４１～４４を、ＴＲＺトランジスタ４１、ＴＲＹトランジスタ（第８トランジスタ）４２、ＴＲＸトランジスタ（第９トランジスタ）４３、及びＴＲＧトランジスタ４４と呼ぶ。なお、後述するように、複数の転送トランジスタ４１～４４の種類は必ずしも図５に示したものに限定されない。

[0059] さらに、本明細書では、増幅トランジスタ４５をＡＭＰトランジスタ４５、選択トランジスタ４６をＳＥＬトランジスタ４６、リセットトランジスタ４７をＲＳＴトランジスタ４７、排出トランジスタ４８をＯＦＧトランジスタ４８、変換効率切替トランジスタ４９をＦＤＧトランジスタ４９と呼ぶ。

[0060] フォトダイオード３１のカソードと浮遊拡散領域ＦＤとの間に、ＴＲＺトランジスタ４１、ＴＲＹトランジスタ４２、ＴＲＸトランジスタ４３、及びＴＲＧトランジスタ４４がこの順に接続されている。

[0061] ＴＲＺトランジスタ４１をオンすると、フォトダイオード３１の蓄積電荷はバッファ部（ＢＵＦ）５３に転送される。バッファ部５３は、図４の垂直電極の周囲に配置されており、例えばＮ型半導体領域で構成される。

[0062] バッファ部５３にはＯＦＧトランジスタ４８が接続されており、ＯＦＧトランジスタ４８がオンすることにより、バッファ部５３の電荷を電源電圧ＶＤＤノードに排出することができる。図５では、ＴＲＺトランジスタ４１とＴＲＹトランジスタ４２の接続ノードにＯＦＧトランジスタ４８のソースを

接続しているが、フォトダイオード31のカソードにOFGトランジスタ48のソースを接続する変形例も考えられる。

[0063] TRYトランジスタ42とTRXトランジスタ43がオンすると、バッファ部53の電荷はMEM36に転送されて保持される。

[0064] TRGトランジスタ44がオンすると、MEM36の保持電荷は浮遊拡散領域FDに転送される。また、FDGトランジスタ49がオンすると、MEM36の保持電荷の一部がFDGトランジスタ49を介してFDLメモリ50に保持される。

[0065] FDGトランジスタ49とRSTトランジスタ47がともにオンすることにより、浮遊拡散領域FDとFDLメモリ50の電荷が電源電圧VDDノードに排出されて、浮遊拡散領域FDがリセットレベルになる。

[0066] 比較器51は、2つのPMOSTランジスタ（第3及び第4トランジスタ）61、62と、2つのNMOSTランジスタ（第5及び第6トランジスタ）63、64を有する。2つのPMOSTランジスタ61、62のソース同士が接続され、ドレイン同士が接続されている。PMOSTランジスタ61、62のソースは電源電圧VDDノードに接続され、PMOSTランジスタ61、62のドレインはNMOSTランジスタ63のドレインに接続されている。NMOSTランジスタ63のソースはNMOSTランジスタ64のドレインに接続されている。NMOSTランジスタ64のソースは接地ノードに接続されている。PMOSTランジスタ61のゲートには、MEM36の電圧レベルが印加される。PMOSTランジスタ62のゲートにはリセット信号XRSTが入力される。NMOSTランジスタ63のゲートにはリセット信号XRSTが入力される。NMOSTランジスタ64のゲートには所定の閾値電圧 V_{th} が印加される。

[0067] PMOSTランジスタ61、62のドレインとNMOSTランジスタ63のドレインとの接続ノードは、FDGトランジスタ49のゲートに接続されるとともに、出力回路52に接続されている。この接続ノードは、比較器51の比較結果を出力する出力ノードである。

- [0068] 比較器 51 は、MEM36 の電圧レベルを閾値電圧 V_{th} と比較して、MEM36 の電圧レベルが閾値電圧 V_{th} 以下のときに、上述した接続ノード（出力ノード）を高電圧（例えば電源電圧 V_{DD} ）にする。
- [0069] 比較器 51 の出力ノードがハイレベルになると、FDG トランジスタ 49 がオンして、MEM36 の保持電荷の一部が FDG トランジスタ 49 を介して FDL メモリ 50 に保持される。接続ノードがハイレベルになるのは、MEM36 の保持電荷が所定の電荷量を超えた場合、又はリセット信号 X_{RST} がロー（リセット状態）の場合である。これらの場合は、FDG トランジスタ 49 がオンして、画素 10 内に保持可能な電荷量が増えることになる。
- [0070] 出力回路 52 は、比較器 51 の出力ノードの電圧レベルに応じた $Flag$ 信号を出力する。出力回路 52 の出力ノードが高電圧のときは、MEM36 の電圧レベルが閾値電圧以下であり、FDG トランジスタ 49 はオンする。出力回路 52 から出力される $Flag$ 信号が低電圧のときは、MEM36 の電圧レベルが閾値電圧より高く、FDG トランジスタ 49 はオフする。
- [0071] このように、出力回路 52 から出力される $Flag$ 信号により、FDG トランジスタ 49 がオンかオフかを把握できる。 $Flag$ 信号は二値信号である。より詳細には、 $Flag$ 信号は、MEM36 の保持電荷に応じた電圧が閾値電圧以下か否かを示す二値信号である。
- [0072] 一実施形態に係る光検出装置 1 は、第 1 基板 21 と第 2 基板 22 の積層構造にすることができる。図 5 の例では、第 1 基板 21 には、フォトダイオード 31 と、複数の転送トランジスタ 41～44 と、MEM36 と、浮遊拡散領域 FD と、RST トランジスタ 47 と、OFG トランジスタ 48 と、FDG トランジスタ 49 と、FDL メモリ 50 とが配置される。第 2 基板 22 には、AMP トランジスタ 45 と、SEL トランジスタ 46 と、比較器 51 と、出力回路 52 とが配置される。第 1 基板 21 と第 2 基板 22 とは、例えば CCC により接合される。また、第 2 基板 22 には、ロジック回路 23 が配置される。
- [0073] 図 5 では、画素 10 ごとに浮遊拡散領域 FD などを有するが、複数の画素

10で浮遊拡散領域FDなどを共有する構成も考えられる。図6は図5の一変形例に係る画素10及び画素回路20の回路図である。図6は、2つの画素10で、浮遊拡散領域FD、AMPトランジスタ45、SELトランジスタ46、FDGトランジスタ49、FDLメモリ50、比較器51、及び出力回路52からなる画素回路20を共有する例を示す。

[0074] 図6において、各画素10は、フォトダイオード31、TRZトランジスタ41、TRYトランジスタ42、TRXトランジスタ43、TRGトランジスタ44、MEM36、OFGトランジスタ48、及び比較対象選択トランジスタ（比較対象選択回路）40を有する。図6では、TRXトランジスタ43をTRX0トランジスタ又はTRX1トランジスタと表記し、TRGトランジスタ44をTRG0トランジスタ又はTRG1トランジスタと表記し、MEM36をMEM0又はMEM1と表記する。比較対象選択トランジスタ40は、画素回路20を共有する複数の画素10のうち、比較器51で比較を行う画素10のMEM36を選択する。比較対象選択トランジスタ40は画素10ごとに設けられる。画素回路20を共有する複数の画素10のうち、いずれか一つの画素10に対応する比較対象選択トランジスタ40のみがオンし、他の画素10に対応する比較対象選択トランジスタ40はオフする。比較対象選択トランジスタ40がオンになると、対応するMEM36の電圧レベルが比較器51に入力される。比較器51は、比較対象選択トランジスタ40を介して入力されたMEM36の電圧レベルを所定の閾値電圧 V_{th} と比較し、その比較結果によってFDGトランジスタ49をオンするかどうかを切り替えるとともに、Flag信号の信号論理を決定する。比較対象選択トランジスタ40のゲートには、TRX0又はTRX1信号が入力される。

[0075] 図8Aのように、2つの画素10で画素回路20を共有する場合、2つの画素10のTRGトランジスタ44は、共通の浮遊拡散領域FDと共通のFDGトランジスタ49に接続される。

[0076] 図6では、2つの画素10で1つの画素回路20を共有する例を示すが、

3つ以上の画素10で1つの画素回路20を共有する変形例も考えられる。

[0077] 図7A、図7B、図8A、図8B、図9A、図9B、図10A及び図10Bは、図6の画素10の光電変換動作を示す図である。図7A～図10Aは、電荷の転送方向を矢印線で示す。図7B～図10Bはタイミング図であり、横軸は時間、縦軸は画素アレイ部11の各画素行を表す。図7B等の斜め線は、画素行ごとに読出タイミングが異なることを示す。画素行ごとに読出タイミングが異なることを本明細書では、ローリング読出と呼ぶ。図7B等の垂直方向に伸びる線は全画素行が同一のタイミングで処理動作を行うことを示す。

[0078] まず、図7Aの矢印線y1（図7Bの時刻t1）に示すように、フォトダイオード31の蓄積電荷を電源電圧VDDノードに排出するリセット動作を行う。本明細書では、このリセット動作をPDリセットと呼ぶことがある。PDリセットにより、全画素10で同時に露光が開始される。

[0079] その後、図7Aの矢印線y2に示すように、図7Bの時刻t2で全画素10の露光を終了し、フォトダイオード31の蓄積電荷を全画素10が同時に、対応するMEM36に転送する。このように、グローバルシャッタ方式の光検出装置1では、全画素10が同時に露光を開始して、同じ露光期間の間、フォトダイオード31に光電変換による電荷を蓄積し、露光期間終了後に、各フォトダイオード31の蓄積電荷をMEM36に同時に転送する。

[0080] その後、図8Bの時刻t3で、図8Aの矢印線y3に示すように、比較器51はMEM36の電圧レベルを閾値電圧と比較する比較動作を行う。MEM36の電圧レベルが閾値電圧以下になるのは、入射光の光量が多い場合である。この場合、比較器51の出力ノードは高電圧（例えば、電源電圧）になる。これにより、図8Aの矢印線y4に示すようにFDGトランジスタ49がオンし、FDLメモリ50が使用可能となる。また、比較器51の出力ノードの電圧レベルは、出力回路52を介して出力される。出力回路52の出力信号により、FDGトランジスタ49がオンしたことを把握できる。一方、MEM36の電圧レベルが閾値電圧より大きい場合、比較器51の出

カノードは低電圧になる。これにより、FDGトランジスタはオフし、FDLメモリ50は使用不可となる。

[0081] その後、図9Bの時刻t4で、図9Aの矢印線y5に示すように、浮遊拡散領域FD及びFDLメモリ50の電荷を電源電圧VDDノードに排出するFDリセットとリセットレベルの読出が行われる。

[0082] その後、図10Bの時刻t5で、図10Aの矢印線y6に示すように、画素10ごとに順に、TRGトランジスタ44がオンすることにより、MEM36の保持電荷が浮遊拡散領域FDに転送される。AMPトランジスタ45とSELトランジスタ46はソースフォロワ回路を構成しており、浮遊拡散領域FDの蓄積電荷に応じた電圧レベルの画素信号が垂直信号線VSLに出力される。SELトランジスタ46のソース側には、垂直信号線VSLが接続されるとともに、電流源が接続される。比較器51の比較結果により、FDGトランジスタ49はオン又はオフする。FDGトランジスタ49がオンの場合、MEM36の保持電荷は、浮遊拡散領域FDとFDLメモリ50に転送される。よって、転送可能な電荷の総量を増やすことができ、白飛びが生じにくくなり、ダイナミックレンジを拡大できる。

[0083] 図11は露光開始から画素信号を出力するまでのより詳細なタイミング図であり、図12は画素10内の各部のポテンシャルを示す図である。図11には、電源電圧、OFGトランジスタ48のゲートに入力されるOFG信号、TRZトランジスタ41のゲートに入力されるTRZ信号、TRYトランジスタ42のゲートに入力されるTRY信号、TRXトランジスタ43のゲートに入力されるTRX信号、TRGトランジスタ44のゲートに入力されるTRG信号、リセットトランジスタ及びFDGトランジスタ49のゲートに入力されるRST(FDG)信号、SELトランジスタ46のゲートに入力されるSEL信号のタイミングが図示されている。

[0084] 図11には、MEM36のリセット時(時刻t11)、バッファ部53のリセット時(時刻t12)、フォトダイオード31からMEM36への転送時(時刻t13)、浮遊拡散領域FDのリセット時(時刻t14)、及びM

MEM36から浮遊拡散領域FDへの転送時（時刻t15）のタイミングとポテンシャルが図示されている。

[0085] MEM36のリセット時には、時刻t11に示すように、TRGトランジスタ44、RSTトランジスタ47、及びFDGトランジスタ49がともにオンする。これにより、MEM36の保持電荷がTRGトランジスタ44、FDGトランジスタ49、及びRSTトランジスタ47を介して電源電圧VDDノードに排出される。この場合、図12のポテンシャル図に示すように、TRGトランジスタ44とRSTトランジスタ47のポテンシャルが下がるため、MEM36の保持電荷はTRGトランジスタ44とRSTトランジスタ47を通して電源電圧VDDノードに排出される。

[0086] バッファ部53のリセット時には、時刻t12に示すように、TRYトランジスタ42、TRXトランジスタ43、及びTRGトランジスタ44がともにオンする。これにより、バッファ部53の蓄積電荷は、TRXトランジスタ43とTRGトランジスタ44を介して浮遊拡散領域FDに転送される。

[0087] フォトダイオード31からMEM36への転送時には、時刻t13に示すように、TRZトランジスタ41のゲート電圧を2段階に切り替える。ゲート電圧を2段階に切り替える理由は、電荷が逆向きに転送されるのを防止するためである。また、TRYトランジスタ42とTRXトランジスタ43はともにオンする。これにより、フォトダイオード31の蓄積電荷がTRYトランジスタ42とTRXトランジスタ43を介してMEM36に転送される。図12のポテンシャル図に示すように、TRYトランジスタ42とTRXトランジスタ43のポテンシャル障壁が低くなるため、フォトダイオード31の蓄積電荷はMEM36まで転送される。

[0088] 浮遊拡散領域FDのリセット時には、時刻t14に示すように、RSTトランジスタ47とFDGトランジスタ49がともにオンする。これにより、浮遊拡散領域FDの蓄積電荷は、FDGトランジスタ49とRSTトランジスタ47を介して電源電圧VDDノードに排出される。このとき、FDLメ

メモリ50の保持電荷もRSTトランジスタ47を介して電源電圧VDDノードに排出される。図12のポテンシャル図に示すように、RSTトランジスタ47をオンすることで、FRGトランジスタとRSTトランジスタ47のポテンシャル障壁が低くなり、浮遊拡散領域FDの電荷は電源電圧VDDノードまで転送されやすくなる。

[0089] MEM36から浮遊拡散領域FDへの転送時には、時刻t15に示すように、TRXトランジスタ43のゲート電圧を2段階に切り替える。また、TRGトランジスタ44はオンする。これにより、MEM36の保持電荷は、TRXトランジスタ43とTRGトランジスタ44を介して浮遊拡散領域FDに転送される。図12のポテンシャル図に示すように、TRGトランジスタ44のポテンシャル障壁が低くなるため、MEM36の保持電荷は浮遊拡散領域FDまで転送されやすくなる。

[0090] MEM36の保持電荷を浮遊拡散領域FDに転送した後、OFGトランジスタ48とTRZトランジスタ41がオンする。これにより、フォトダイオード31の蓄積電荷は、TRZトランジスタ41とOFGトランジスタ48を介して電源電圧VDDノードに排出される。その後、OFGトランジスタ48がオンからオフに遷移したタイミングで、全画素10の新たな露光が開始される。露光期間中は、TRZトランジスタ41、TRYトランジスタ42、TRXトランジスタ43、TRGトランジスタ44、RSTトランジスタ47（FRGトランジスタ）、SELトランジスタ46はいずれもオフする。その後、上述した時刻t11以降の動作が繰り返される。

[0091] 図6では、2つの画素10で1つの画素回路20を共有する例を示したが、1つの画素回路20を共有する画素10の数は任意である。図13は、2×2画素10で1つの画素回路20を共有する場合の回路図である。4つの転送トランジスタ41～44が1つの画素回路20内の浮遊拡散領域FDとFDGトランジスタ49に接続されている。4つの転送トランジスタ41～44は順次にオンし、各画素10のMEM36の保持電荷が順次に浮遊拡散領域FDに転送される。また、場合によっては各画素10のMEM36の保

持電荷が順次にF D Gトランジスタ4 9を介してF D Lメモリ5 0にも転送される。

[0092] 図5及び図6に示した画素1 0及び画素回路2 0の回路構成は種々に変更することができる。図1 4は図5及び図6とは異なる回路構成の画素1 0の一例を示す回路図である。図1 4の画素1 0は、2つの転送トランジスタ（第8トランジスタ）4 1 a、4 4を備えており、図5及び図6よりも転送トランジスタの数を2つ減らしている。より具体的には、図5及び図6のT R Zトランジスタ4 1、T R Yトランジスタ4 2、及びT R Xトランジスタ4 3を一つのT Rトランジスタ4 1 aに統合している。それ以外は、図1 4の画素1 0は図5及び図6の画素1 0と同じ回路構成を備える。図1 4は、2つの画素1 0で1つの画素回路2 0を共有する例を示すが、1つの画素回路2 0を共有する画素1 0の数は任意である。

[0093] 図5では、比較器5 1を第2基板2 2に配置する例を示したが、図5に示すように、比較器5 1はP M O Sトランジスタ6 1、6 2とN M O Sトランジスタ6 3、6 4を有する。A M Pトランジスタ4 5及びS E Lトランジスタ4 6などの画素トランジスタは通常、N M O Sトランジスタで構成される。同一の半導体基板にP M O SトランジスタとN M O Sトランジスタを混在させると、導電型の異なるウェル領域を設ける必要があり、レイアウト面積が大きくなる。そこで、N M O Sトランジスタからなる画素トランジスタが配置される第1基板2 1に、比較器5 1を構成するN M O Sトランジスタ6 3、6 4を配置し、第1基板2 1にはN M O Sトランジスタのみを配置する一方で、第2基板2 2には比較器5 1を構成するP M O Sトランジスタ6 1、6 2とロジック回路2 3を構成するN M O Sトランジスタを混在させるようにしてもよい。ロジック回路2 3は、もともと空き領域が多いため、P M O SトランジスタとN M O Sトランジスタを混在させても、レイアウト面積が大きくなるおそれはない。

[0094] 図1 5は図5の一変形例に係る画素1 0及び画素回路2 0の回路図である。図1 5は、比較器5 1の配置場所が図6とは異なる。上述したように、比

較器 5 1 を構成する NMOS トランジスタ 6 3 と 6 4 は第 1 基板 2 1 に配置される。比較器 5 1 を構成する PMOS トランジスタ 6 1 と 6 2 はロジック回路 2 3 に配置される。

[0095] 図 1 5 によれば、第 1 基板 2 1 を NMOS トランジスタだけで構成できるため、第 1 基板 2 1 の面積を小型化でき、ひいては光検出装置 1 を小型化できる。

[0096] このように、本実施形態では、MEM 3 6 の電圧レベルが所定の閾値電圧と比較する比較器 5 1 を設け、MEM 3 6 の電圧レベルが閾値電圧以下の場合には FDG トランジスタ 4 9 をオンさせるようにしたため、FDG トランジスタ 4 9 のオン／オフを制御する信号を別個に生成する必要がなくなり、光電変換効率の切替制御が容易になる。

[0097] また、比較器 5 1 の比較結果を出力する出力回路 5 2 を設けるため、出力回路 5 2 の出力信号により FDG トランジスタ 4 9 のオン又はオフを把握できる。よって、画素信号だけでは、変換効率切替状況が不明という問題を解消できる。これにより、画素信号に対して種々の信号処理を行う場合に、画素信号の変換効率切替状況を把握した上で、適切な信号処理を行うことができ、画質の向上が図れる。

[0098] <移動体への応用例>

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0099] 図 1 6 は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0100] 車両制御システム 1 2 0 0 0 は、通信ネットワーク 1 2 0 0 1 を介して接続された複数の電子制御ユニットを備える。図 1 6 に示した例では、車両制御システム 1 2 0 0 0 は、駆動系制御ユニット 1 2 0 1 0、ボディ系制御ユ

ユニット１２０２０、車外情報検出ユニット１２０３０、車内情報検出ユニット１２０４０、及び統合制御ユニット１２０５０を備える。また、統合制御ユニット１２０５０の機能構成として、マイクロコンピュータ１２０５１、音声画像出力部１２０５２、及び車載ネットワークＩ／Ｆ（Interface）１２０５３が図示されている。

[0101] 駆動系制御ユニット１２０１０は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット１２０１０は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0102] ボディ系制御ユニット１２０２０は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット１２０２０は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット１２０２０には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット１２０２０は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0103] 車外情報検出ユニット１２０３０は、車両制御システム１２０００を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット１２０３０には、撮像部１２０３１が接続される。車外情報検出ユニット１２０３０は、撮像部１２０３１に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット１２０３０は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0104] 撮像部１２０３１は、光を受光し、その光の受光量に応じた電気信号を出

力する光センサである。撮像部１２０３１は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部１２０３１が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0105] 車内情報検出ユニット１２０４０は、車内の情報を検出する。車内情報検出ユニット１２０４０には、例えば、運転者の状態を検出する運転者状態検出部１２０４１が接続される。運転者状態検出部１２０４１は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット１２０４０は、運転者状態検出部１２０４１から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0106] マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット１２０１０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むＡＤＡＳ（Advanced Driver Assistance System）の機能実現を目的とした協調制御を行うことができる。

[0107] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0108] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で取得される車外の情報に基づいて、ボディ系制御ユニット１２０３０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で検知した先行車又は対向

車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0109] 音声画像出力部 12052 は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図 16 の例では、出力装置として、オーディオスピーカ 12061、表示部 12062 及びインストルメントパネル 12063 が例示されている。表示部 12062 は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。

[0110] 図 17 は、撮像部 12031 の設置位置の例を示す図である。

[0111] 図 17 では、撮像部 12031 として、撮像部 12101、12102、12103、12104、12105 を有する。

[0112] 撮像部 12101、12102、12103、12104、12105 は、例えば、車両 12100 のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部 12101 及び車室内のフロントガラスの上部に備えられる撮像部 12105 は、主として車両 12100 の前方の画像を取得する。サイドミラーに備えられる撮像部 12102、12103 は、主として車両 12100 の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部 12104 は、主として車両 12100 の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部 12105 は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0113] なお、図 17 には、撮像部 12101 ないし 12104 の撮影範囲の一例が示されている。撮像範囲 12111 は、フロントノーズに設けられた撮像部 12101 の撮像範囲を示し、撮像範囲 12112、12113 は、それぞれサイドミラーに設けられた撮像部 12102、12103 の撮像範囲を示し、撮像範囲 12114 は、リアバンパ又はバックドアに設けられた撮像

部 1 2 1 0 4 の撮像範囲を示す。例えば、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 で撮像された画像データが重ね合わせられることにより、車両 1 2 1 0 0 を上方から見た俯瞰画像が得られる。

[0114] 撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の少なくとも 1 つは、距離情報を取得する機能を有していてもよい。例えば、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の少なくとも 1 つは、複数の撮像素子からなるステレオカメラであってもよい、位相差検出用の画素を有する撮像素子であってもよい。

[0115] 例えば、マイクロコンピュータ 1 2 0 5 1 は、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 から得られた距離情報を基に、撮像範囲 1 2 1 1 1 ないし 1 2 1 1 4 内における各立体物までの距離と、この距離の時間的变化（車両 1 2 1 0 0 に対する相対速度）を求めることにより、特に車両 1 2 1 0 0 の進行路上にある最も近い立体物で、車両 1 2 1 0 0 と略同じ方向に所定の速度（例えば、0 km/h 以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ 1 2 0 5 1 は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0116] 例えば、マイクロコンピュータ 1 2 0 5 1 は、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 から得られた距離情報を元に、立体物に関する立体物データを、2 輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ 1 2 0 5 1 は、車両 1 2 1 0 0 の周辺の障害物を、車両 1 2 1 0 0 のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ 1 2 0 5 1 は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ 1 2 0 6 1 や表示部 1 2 0 6 2 を介してドライバに警報を出力することや、駆動系制御ユニット 1 2 0 1 0 を介して強制減速や回

避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0117] 撮像部 12101 ないし 12104 の少なくとも 1 つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ 12051 は、撮像部 12101 ないし 12104 の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部 12101 ないし 12104 の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ 12051 が、撮像部 12101 ないし 12104 の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部 12052 は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部 12062 を制御する。また、音声画像出力部 12052 は、歩行者を示すアイコン等を所望の位置に表示するように表示部 12062 を制御してもよい。

[0118] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上に説明した構成のうち、例えば、撮像部 12031 等に適用され得る。具体的には、本実施形態に係る光検出装置 1 は、撮像部 12031 に適用することができる。」等）。撮像部 12031 に本開示に係る技術を適用することにより、より見やすい撮影画像を得ることができるため、ドライバの疲労を軽減することが可能になる。

[0119] <内視鏡手術システムへの応用例> 本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、内視鏡手術システムに適用されてもよい。

[0120] 図 18 は、本開示に係る技術（本技術）が適用され得る内視鏡手術システムの概略的な構成の一例を示す図である。

[0121] 図 18 では、術者（医師） 11131 が、内視鏡手術システム 11000 を用いて、患者ベッド 11133 上の患者 11132 に手術を行っている様子が図示されている。図示するように、内視鏡手術システム 11000 は、

内視鏡 1 1 1 0 0 と、気腹チューブ 1 1 1 1 1 やエネルギー処置具 1 1 1 1 2 等の、その他の術具 1 1 1 1 0 と、内視鏡 1 1 1 0 0 を支持する支持アーム装置 1 1 1 2 0 と、内視鏡下手術のための各種の装置が搭載されたカート 1 1 2 0 0 と、から構成される。

[0122] 内視鏡 1 1 1 0 0 は、先端から所定の長さの領域が患者 1 1 1 3 2 の体腔内に挿入される鏡筒 1 1 1 0 1 と、鏡筒 1 1 1 0 1 の基端に接続されるカメラヘッド 1 1 1 0 2 と、から構成される。図示する例では、硬性の鏡筒 1 1 1 0 1 を有するいわゆる硬性鏡として構成される内視鏡 1 1 1 0 0 を図示しているが、内視鏡 1 1 1 0 0 は、軟性の鏡筒を有するいわゆる軟性鏡として構成されてもよい。

[0123] 鏡筒 1 1 1 0 1 の先端には、対物レンズが嵌め込まれた開口部が設けられている。内視鏡 1 1 1 0 0 には光源装置 1 1 2 0 3 が接続されており、当該光源装置 1 1 2 0 3 によって生成された光が、鏡筒 1 1 1 0 1 の内部に延設されるライトガイドによって当該鏡筒の先端まで導光され、対物レンズを介して患者 1 1 1 3 2 の体腔内の観察対象に向かって照射される。なお、内視鏡 1 1 1 0 0 は、直視鏡であってもよいし、斜視鏡又は側視鏡であってもよい。

[0124] カメラヘッド 1 1 1 0 2 の内部には光学系及び撮像素子が設けられており、観察対象からの反射光（観察光）は当該光学系によって当該撮像素子に集光される。当該撮像素子によって観察光が光電変換され、観察光に対応する電気信号、すなわち観察像に対応する画像信号が生成される。当該画像信号は、RAWデータとしてカメラコントロールユニット（CCU: Camera Control Unit） 1 1 2 0 1 に送信される。

[0125] CCU 1 1 2 0 1 は、CPU（Central Processing Unit）やGPU（Graphics Processing Unit）等によって構成され、内視鏡 1 1 1 0 0 及び表示装置 1 1 2 0 2 の動作を統括的に制御する。さらに、CCU 1 1 2 0 1 は、カメラヘッド 1 1 1 0 2 から画像信号を受け取り、その画像信号に対して、例えば現像処理（デモザイク処理）等の、当該画像信号に基づく画像を表示す

るための各種の画像処理を施す。

- [0126] 表示装置 11202 は、CCU 11201 からの制御により、当該 CCU 11201 によって画像処理が施された画像信号に基づく画像を表示する。
- [0127] 光源装置 11203 は、例えば LED (light emitting diode) 等の光源から構成され、術部等を撮影する際の照射光を内視鏡 11100 に供給する。
- [0128] 入力装置 11204 は、内視鏡手術システム 11000 に対する入力インタフェースである。ユーザは、入力装置 11204 を介して、内視鏡手術システム 11000 に対して各種の情報の入力や指示入力を行うことができる。例えば、ユーザは、内視鏡 11100 による撮像条件（照射光の種類、倍率及び焦点距離等）を変更する旨の指示等を入力する。
- [0129] 処置具制御装置 11205 は、組織の焼灼、切開又は血管の封止等のためのエネルギー処置具 11112 の駆動を制御する。気腹装置 11206 は、内視鏡 11100 による視野の確保及び術者の作業空間の確保の目的で、患者 11132 の体腔を膨らめるために、気腹チューブ 11111 を介して当該体腔内にガスを送り込む。レコーダ 11207 は、手術に関する各種の情報を記録可能な装置である。プリンタ 11208 は、手術に関する各種の情報を、テキスト、画像又はグラフ等各種の形式で印刷可能な装置である。
- [0130] なお、内視鏡 11100 に術部を撮影する際の照射光を供給する光源装置 11203 は、例えば LED、レーザ光源又はこれらの組み合わせによって構成される白色光源から構成することができる。RGB レーザ光源の組み合わせにより白色光源が構成される場合には、各色（各波長）の出力強度及び出力タイミングを高精度に制御することができるため、光源装置 11203 において撮像画像のホワイトバランスの調整を行うことができる。また、この場合には、RGB レーザ光源それぞれからのレーザ光を時分割で観察対象に照射し、その照射タイミングに同期してカメラヘッド 11102 の撮像素子の駆動を制御することにより、RGB それぞれに対応した画像を時分割で撮像することも可能である。当該方法によれば、当該撮像素子にカラーフィ

ルタを設けなくても、カラー画像を得ることができる。

[0131] また、光源装置 11203 は、出力する光の強度を所定の時間ごとに変更するようにその駆動が制御されてもよい。その光の強度の変更のタイミングに同期してカメラヘッド 11102 の撮像素子の駆動を制御して時分割で画像を取得し、その画像を合成することにより、いわゆる黒つぶれ及び白とびのない高ダイナミックレンジの画像を生成することができる。

[0132] また、光源装置 11203 は、特殊光観察に対応した所定の波長帯域の光を供給可能に構成されてもよい。特殊光観察では、例えば、体組織における光の吸収の波長依存性を利用して、通常の観察時における照射光（すなわち、白色光）に比べて狭帯域の光を照射することにより、粘膜表層の血管等の所定の組織を高コントラストで撮影する、いわゆる狭帯域光観察（Narrow Band Imaging）が行われる。あるいは、特殊光観察では、励起光を照射することにより発生する蛍光により画像を得る蛍光観察が行われてもよい。蛍光観察では、体組織に励起光を照射し当該体組織からの蛍光を観察すること（自家蛍光観察）、又はインドシアニンググリーン（ICG）等の試薬を体組織に局注するとともに当該体組織にその試薬の蛍光波長に対応した励起光を照射し蛍光像を得ること等を行うことができる。光源装置 11203 は、このような特殊光観察に対応した狭帯域光及び／又は励起光を供給可能に構成され得る。

[0133] 図 19 は、図 18 に示すカメラヘッド 11102 及び CCU 11201 の機能構成の一例を示すブロック図である。

[0134] カメラヘッド 11102 は、レンズユニット 11401 と、撮像部 11402 と、駆動部 11403 と、通信部 11404 と、カメラヘッド制御部 11405 と、を有する。CCU 11201 は、通信部 11411 と、画像処理部 11412 と、制御部 11413 と、を有する。カメラヘッド 11102 と CCU 11201 とは、伝送ケーブル 11400 によって互いに通信可能に接続されている。

[0135] レンズユニット 11401 は、鏡筒 11101 との接続部に設けられる光

学系である。鏡筒 1 1 1 0 1 の先端から取り込まれた観察光は、カメラヘッド 1 1 1 0 2 まで導光され、当該レンズユニット 1 1 4 0 1 に入射する。レンズユニット 1 1 4 0 1 は、ズームレンズ及びフォーカスレンズを含む複数のレンズが組み合わされて構成される。

[0136] 撮像部 1 1 4 0 2 を構成する撮像素子は、1 つ（いわゆる単板式）であってもよいし、複数（いわゆる多板式）であってもよい。撮像部 1 1 4 0 2 が多板式で構成される場合には、例えば各撮像素子によって RGB それぞれに対応する画像信号が生成され、それらが合成されることによりカラー画像が得られてもよい。あるいは、撮像部 1 1 4 0 2 は、3 D（dimensional）表示に対応する右目用及び左目用の画像信号をそれぞれ取得するための 1 対の撮像素子を有するように構成されてもよい。3 D 表示が行われることにより、術者 1 1 1 3 1 は術部における生体組織の奥行きをより正確に把握することが可能になる。なお、撮像部 1 1 4 0 2 が多板式で構成される場合には、各撮像素子に対応して、レンズユニット 1 1 4 0 1 も複数系統設けられ得る。

[0137] また、撮像部 1 1 4 0 2 は、必ずしもカメラヘッド 1 1 1 0 2 に設けられなくてもよい。例えば、撮像部 1 1 4 0 2 は、鏡筒 1 1 1 0 1 の内部に、対物レンズの直後に設けられてもよい。

[0138] 駆動部 1 1 4 0 3 は、アクチュエータによって構成され、カメラヘッド制御部 1 1 4 0 5 からの制御により、レンズユニット 1 1 4 0 1 のズームレンズ及びフォーカスレンズを光軸に沿って所定の距離だけ移動させる。これにより、撮像部 1 1 4 0 2 による撮像画像の倍率及び焦点が適宜調整され得る。

[0139] 通信部 1 1 4 0 4 は、CCU 1 1 2 0 1 との間で各種の情報を送受信するための通信装置によって構成される。通信部 1 1 4 0 4 は、撮像部 1 1 4 0 2 から得た画像信号を RAW データとして伝送ケーブル 1 1 4 0 0 を介して CCU 1 1 2 0 1 に送信する。

[0140] また、通信部 1 1 4 0 4 は、CCU 1 1 2 0 1 から、カメラヘッド 1 1 1 0 2 の駆動を制御するための制御信号を受信し、カメラヘッド制御部 1 1 4

05に供給する。当該制御信号には、例えば、撮像画像のフレームレートを指定する旨の情報、撮像時の露出値を指定する旨の情報、並びに／又は撮像画像の倍率及び焦点を指定する旨の情報等、撮像条件に関する情報が含まれる。

- [0141] なお、上記のフレームレートや露出値、倍率、焦点等の撮像条件は、ユーザによって適宜指定されてもよいし、取得された画像信号に基づいてCCU11201の制御部11413によって自動的に設定されてもよい。後者の場合には、いわゆるAE（Auto Exposure）機能、AF（Auto Focus）機能及びAWB（Auto White Balance）機能が内視鏡11100に搭載されていることになる。
- [0142] カメラヘッド制御部11405は、通信部11404を介して受信したCCU11201からの制御信号に基づいて、カメラヘッド11102の駆動を制御する。
- [0143] 通信部11411は、カメラヘッド11102との間で各種の情報を送受信するための通信装置によって構成される。通信部11411は、カメラヘッド11102から、伝送ケーブル11400を介して送信される画像信号を受信する。
- [0144] また、通信部11411は、カメラヘッド11102に対して、カメラヘッド11102の駆動を制御するための制御信号を送信する。画像信号や制御信号は、電気通信や光通信等によって送信することができる。
- [0145] 画像処理部11412は、カメラヘッド11102から送信されたRAWデータである画像信号に対して各種の画像処理を施す。
- [0146] 制御部11413は、内視鏡11100による術部等の撮像、及び、術部等の撮像により得られる撮像画像の表示に関する各種の制御を行う。例えば、制御部11413は、カメラヘッド11102の駆動を制御するための制御信号を生成する。
- [0147] また、制御部11413は、画像処理部11412によって画像処理が施された画像信号に基づいて、術部等が映った撮像画像を表示装置11202

に表示させる。この際、制御部 11413 は、各種の画像認識技術を用いて撮像画像内における各種の物体を認識してもよい。例えば、制御部 11413 は、撮像画像に含まれる物体のエッジの形状や色等を検出することにより、鉗子等の術具、特定の生体部位、出血、エネルギー処置具 11112 の使用時のミスト等を認識することができる。制御部 11413 は、表示装置 11202 に撮像画像を表示させる際に、その認識結果を用いて、各種の手術支援情報を当該術部の画像に重畳表示させてもよい。手術支援情報が重畳表示され、術者 11131 に提示されることにより、術者 11131 の負担を軽減することや、術者 11131 が確実に手術を進めることが可能になる。

[0148] カメラヘッド 11102 及び CCU 11201 を接続する伝送ケーブル 11400 は、電気信号の通信に対応した電気信号ケーブル、光通信に対応した光ファイバ、又はこれらの複合ケーブルである。

[0149] ここで、図示する例では、伝送ケーブル 11400 を用いて有線で通信が行われていたが、カメラヘッド 11102 と CCU 11201 との間の通信は無線で行われてもよい。

[0150] 以上、本開示に係る技術が適用され得る内視鏡手術システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、例えば、内視鏡 11100、カメラヘッド 11102（の撮像部 11402）、CCU 11201（の画像処理部 11412）等に適用され得る。具体的には、本実施形態に係る光検出装置 1 は、撮像部 10402 に適用することができる。撮像部 10402 に本開示に係る技術を適用することにより、より鮮明な術部画像を得ることができるため、術者が術部を確実に確認することが可能になる。

[0151] なお、ここでは、一例として内視鏡手術システムについて説明したが、本開示に係る技術は、その他、例えば、顕微鏡手術システム等に適用されてもよい。

[0152] なお、本技術は以下のような構成を取ることができる。

[0153] （１）入射光の光量に応じた電荷を蓄積する光電変換素子と、

前記光電変換素子に蓄積された電荷を他の光電変換素子と同一のタイミングで保持する第 1 容量素子と、

前第 1 容量素子に保持された電荷を、浮遊拡散領域に転送するか否かを切り替える第 1 トランジスタと、

前記浮遊拡散領域とは別個に、前記第 1 容量素子に保持された電荷の一部を蓄積する第 2 容量素子と、

前記第 1 容量素子に保持された電荷の一部を前記第 2 容量素子に転送するか否かを切り替える第 2 トランジスタと、

前記第 1 容量素子の保持電荷に応じた電圧を所定の閾値電圧と比較する比較器と、

前記比較器の比較結果を示す信号を出力する出力回路と、を備える、
光検出装置。

(2) 前記出力回路は、対応する前記比較器の比較結果を示す二値信号を出力する、

(1) に記載の光検出装置。

(3) 前記出力回路は、前記第 1 容量素子の保持電荷に応じた電圧が前記閾値電圧以下か否かを示す前記二値信号を出力する、

(2) に記載の光検出装置。

(4) 前記第 2 トランジスタは、前記比較器の比較結果に基づいて、オン又はオフする、

(1) 乃至 (3) のいずれか一項に記載の光検出装置。

(5) 前記第 2 トランジスタは、前記第 1 容量素子の保持電荷に応じた電圧が前記閾値電圧以下の場合にオンして、前記第 1 容量素子に保持された電荷の一部を前記第 2 容量素子に転送させる、

(4) に記載の光検出装置。

(6) 前記比較器は、前記第 1 容量素子の保持電荷に応じた電圧が前記閾値電圧以下の場合、又は前記浮遊拡散領域の電荷の排出を指示するリセット信号が入力された場合に、前記第 2 トランジスタをオンさせる、

(4) 又は (5) に記載の光検出装置。

(7) 前記比較器は、

前記第2容量素子の保持電荷に応じた電圧が入力されるゲートを有する第3トランジスタと、

前記リセット信号が入力されるゲートを有する第4トランジスタと、を有し、

前記第3トランジスタ及び前記第4トランジスタのソース同士は互いに接続され、かつドレイン同士は互いに接続され、

前記第3トランジスタ及び前記第4トランジスタのソース又はドレインは、前記第2トランジスタのゲートに接続される、

(6) に記載の光検出装置。

(8) 前記第3トランジスタ及び前記第4トランジスタのソース又はドレインと基準電圧ノードとの間にカスコード接続される第5トランジスタ及び第6トランジスタを備え、

前記第5トランジスタのゲートには前記リセット信号の反転信号が入力され、

前記第6トランジスタのゲートには前記閾値電圧が入力される、

(7) に記載の光検出装置。

(9) 前記浮遊拡散領域及び前記第2容量素子の電荷を排出する第7トランジスタを備え、

前記比較器は、前記光電変換素子に蓄積された電荷を前記第1容量素子に転送した後、前記第2トランジスタ及び前記第5トランジスタをオンさせて前記浮遊拡散領域及び前記第2容量素子の電荷を排出する前に、前記第1容量素子の保持電荷に応じた電圧を前記閾値電圧と比較する、

(8) に記載の光検出装置。

(10) 前記光電変換素子に蓄積された電荷を前記第1容量素子に転送するか否かを切り替える第8トランジスタ及び第9トランジスタを備える、

(1) 乃至 (9) のいずれか一項に記載の光検出装置。

(11) 前記光電変換素子に蓄積された電荷を前記第1容量素子に転送するか否かを切り替える第8トランジスタを備える、

(1) 乃至 (9) のいずれか一項に記載の光検出装置。

(12) 前記光電変換素子、前記第1容量素子、及び前記第1トランジスタをそれぞれ有する複数の画素を備え、

2以上の前記画素ごとに、1つずつの前記浮遊拡散領域、前記第2容量素子、前記第2トランジスタ、前記比較器、及び前記出力回路を共有する、

(1) 乃至 (11) のいずれか一項に記載の光検出装置。

(13) 前記2以上の画素のそれぞれごとに、前記第1容量素子の保持電荷に応じた電圧を前記比較器に入力するか否かを切り替える比較対象選択回路を備える、

(12) に記載の光検出装置。

(14) 複数の前記光電変換素子、複数の前記第1容量素子、複数の前記第1トランジスタ、複数の前記第2容量素子、複数の前記浮遊拡散領域、及び複数の前記第2トランジスタが配置される第1基板と、

前記第1基板に積層され、複数の前記比較器及び複数の前記出力回路が配置される第2基板と、を備える、

(1) 乃至 (13) のいずれか一項に記載の光検出装置。

(15) 前記複数の浮遊拡散領域の蓄積電荷に応じた電圧を生成する複数の第9トランジスタと、

選択信号に同期して、前記複数の第9トランジスタのソース電圧に応じた画素信号を出力する複数の第10トランジスタと、を備え、

前記複数の第9トランジスタ及び前記複数の第10トランジスタは、前記第2基板に配置される、

(14) に記載の光検出装置。

(16) 前記第1基板に配置されるすべてのトランジスタは第1導電型である、

(14) 又は (15) に記載の光検出装置。

(17) 前記比較器は、第1導電型のトランジスタ及び第2導電型のトランジスタを有し、

前記比較器における前記第1導電型のトランジスタは前記第1基板に配置され、

前記比較器における前記第2導電型のトランジスタは前記第2基板に配置される、

(16) に記載の光検出装置。

(18) 前記第2基板には、第1導電型のトランジスタと第2導電型のトランジスタとが混在して配置される、

(16) 又は(17) に記載の光検出装置。

(19) 前記第1導電型のトランジスタは、NMOSトランジスタである、

(16) 乃至(18) のいずれか一項に記載の光検出装置。

(20) 前記光電変換素子と前記第1容量素子とは積層され、

平面視したときに前記光電変換素子と前記第1容量素子との少なくとも一部が重なり合うように、前記光電変換素子と前記第1容量素子とは積層される、

(1) 乃至(19) のいずれか一項に記載の光検出装置。

[0154] 本開示の態様は、上述した個々の実施形態に限定されるものではなく、当業者が想到しうる種々の変形も含むものであり、本開示の効果も上述した内容に限定されない。すなわち、特許請求の範囲に規定された内容およびその均等物から導き出される本開示の概念的な思想と趣旨を逸脱しない範囲で種々の追加、変更および部分的削除が可能である。

符号の説明

[0155] 1 光検出装置、2 電子機器、3 撮影レンズ、4 処理部、5 制御部、6 記録部、7 伝送線、8 制御線、10 画素、11 画素アレイ部、12 垂直駆動回路、13 カラム信号処理回路、14 水平駆動回路、15 出力回路、16 制御回路、17 行選択線、20 画素回路、21

第1基板、22 第2基板、23 ロジック回路、31 フォトダイオード、32 シリコン層、33 カラーフィルタ、34 オンチップレンズ、35 電荷排出部、36 記憶部、37 画素分離領域、38 遮光部材、38H 水平遮光部、38V 垂直遮光部、39 固定電荷膜、40 比較対象選択トランジスタ、41 転送トランジスタ、41a 転送トランジスタ（第8トランジスタ）、42 転送トランジスタ、43 転送トランジスタ、44 転送トランジスタ、45 増幅トランジスタ、46 選択トランジスタ、47 リセットトランジスタ、48 排出トランジスタ、49 変換効率切替トランジスタ、50 変換効率切替用メモリ、51 比較器、52 出力回路、53 バッファ部、61 トランジスタ（第3トランジスタ）、62 トランジスタ（第4トランジスタ）、63 トランジスタ（第5トランジスタ）、64 トランジスタ（第6トランジスタ）

請求の範囲

- [請求項1] 入射光の光量に応じた電荷を蓄積する光電変換素子と、
前記光電変換素子に蓄積された電荷を他の光電変換素子と同一のタイミングで保持する第1容量素子と、
前記第1容量素子に保持された電荷を、浮遊拡散領域に転送するか否かを切り替える第1トランジスタと、
前記浮遊拡散領域とは別個に、前記第1容量素子に保持された電荷の一部を蓄積する第2容量素子と、
前記第1容量素子に保持された電荷の一部を前記第2容量素子に転送するか否かを切り替える第2トランジスタと、
前記第1容量素子の保持電荷に応じた電圧を所定の閾値電圧と比較する比較器と、
前記比較器の比較結果を示す信号を出力する出力回路と、を備える、
光検出装置。
- [請求項2] 前記出力回路は、対応する前記比較器の比較結果を示す二値信号を出力する、
請求項1に記載の光検出装置。
- [請求項3] 前記出力回路は、前記第1容量素子の保持電荷に応じた電圧が前記閾値電圧以下か否かを示す前記二値信号を出力する、
請求項2に記載の光検出装置。
- [請求項4] 前記第2トランジスタは、前記比較器の比較結果に基づいて、オン又はオフする、
請求項1に記載の光検出装置。
- [請求項5] 前記第2トランジスタは、前記第1容量素子の保持電荷に応じた電圧が前記閾値電圧以下の場合にオンして、前記第1容量素子に保持された電荷の一部を前記第2容量素子に転送させる、
請求項4に記載の光検出装置。

- [請求項6] 前記比較器は、前記第1容量素子の保持電荷に応じた電圧が前記閾値電圧以下の場合、又は前記浮遊拡散領域の電荷の排出を指示するリセット信号が入力された場合に、前記第2トランジスタをオンさせる、
- 請求項4に記載の光検出装置。
- [請求項7] 前記比較器は、
- 前記第2容量素子の保持電荷に応じた電圧が入力されるゲートを有する第3トランジスタと、
- 前記リセット信号が入力されるゲートを有する第4トランジスタと、を有し、
- 前記第3トランジスタ及び前記第4トランジスタのソース同士は互いに接続され、かつドレイン同士は互いに接続され、
- 前記第3トランジスタ及び前記第4トランジスタのソース又はドレインは、前記第2トランジスタのゲートに接続される、
- 請求項6に記載の光検出装置。
- [請求項8] 前記第3トランジスタ及び前記第4トランジスタのソース又はドレインと基準電圧ノードとの間にカスコード接続される第5トランジスタ及び第6トランジスタを備え、
- 前記第5トランジスタのゲートには前記リセット信号の反転信号が入力され、
- 前記第6トランジスタのゲートには前記閾値電圧が入力される、
- 請求項7に記載の光検出装置。
- [請求項9] 前記浮遊拡散領域及び前記第2容量素子の電荷を排出する第7トランジスタを備え、
- 前記比較器は、前記光電変換素子に蓄積された電荷を前記第1容量素子に転送した後、前記第2トランジスタ及び前記第5トランジスタをオンさせて前記浮遊拡散領域及び前記第2容量素子の電荷を排出する前に、前記第1容量素子の保持電荷に応じた電圧を前記閾値電圧と

比較する、

請求項 8 に記載の光検出装置。

[請求項10] 前記光電変換素子に蓄積された電荷を前記第 1 容量素子に転送するか否かを切り替える第 8 トランジスタ及び第 9 トランジスタを備える、

請求項 1 に記載の光検出装置。

[請求項11] 前記光電変換素子に蓄積された電荷を前記第 1 容量素子に転送するか否かを切り替える第 8 トランジスタを備える、

請求項 1 に記載の光検出装置。

[請求項12] 前記光電変換素子、前記第 1 容量素子、及び前記第 1 トランジスタをそれぞれ有する複数の画素を備え、

2 以上の前記画素ごとに、1 つずつの前記浮遊拡散領域、前記第 2 容量素子、前記第 2 トランジスタ、前記比較器、及び前記出力回路を共有する、

請求項 1 に記載の光検出装置。

[請求項13] 前記 2 以上の画素のそれぞれごとに、前記第 1 容量素子の保持電荷に応じた電圧を前記比較器に入力するか否かを切り替える比較対象選択回路を備える、

請求項 1 2 に記載の光検出装置。

[請求項14] 複数の前記光電変換素子、複数の前記第 1 容量素子、複数の前記第 1 トランジスタ、複数の前記第 2 容量素子、複数の前記浮遊拡散領域、及び複数の前記第 2 トランジスタが配置される第 1 基板と、

前記第 1 基板に積層され、複数の前記比較器及び複数の前記出力回路が配置される第 2 基板と、を備える、

請求項 1 に記載の光検出装置。

[請求項15] 前記複数の浮遊拡散領域の蓄積電荷に応じた電圧を生成する複数の第 9 トランジスタと、

選択信号に同期して、前記複数の第 9 トランジスタのソース電圧に

応じた画素信号を出力する複数の第10トランジスタと、を備え、
前記複数の9トランジスタ及び前記複数の第10トランジスタは、
前記第2基板に配置される、
請求項14に記載の光検出装置。

[請求項16] 前記第1基板に配置されるすべてのトランジスタは第1導電型である、
請求項14に記載の光検出装置。

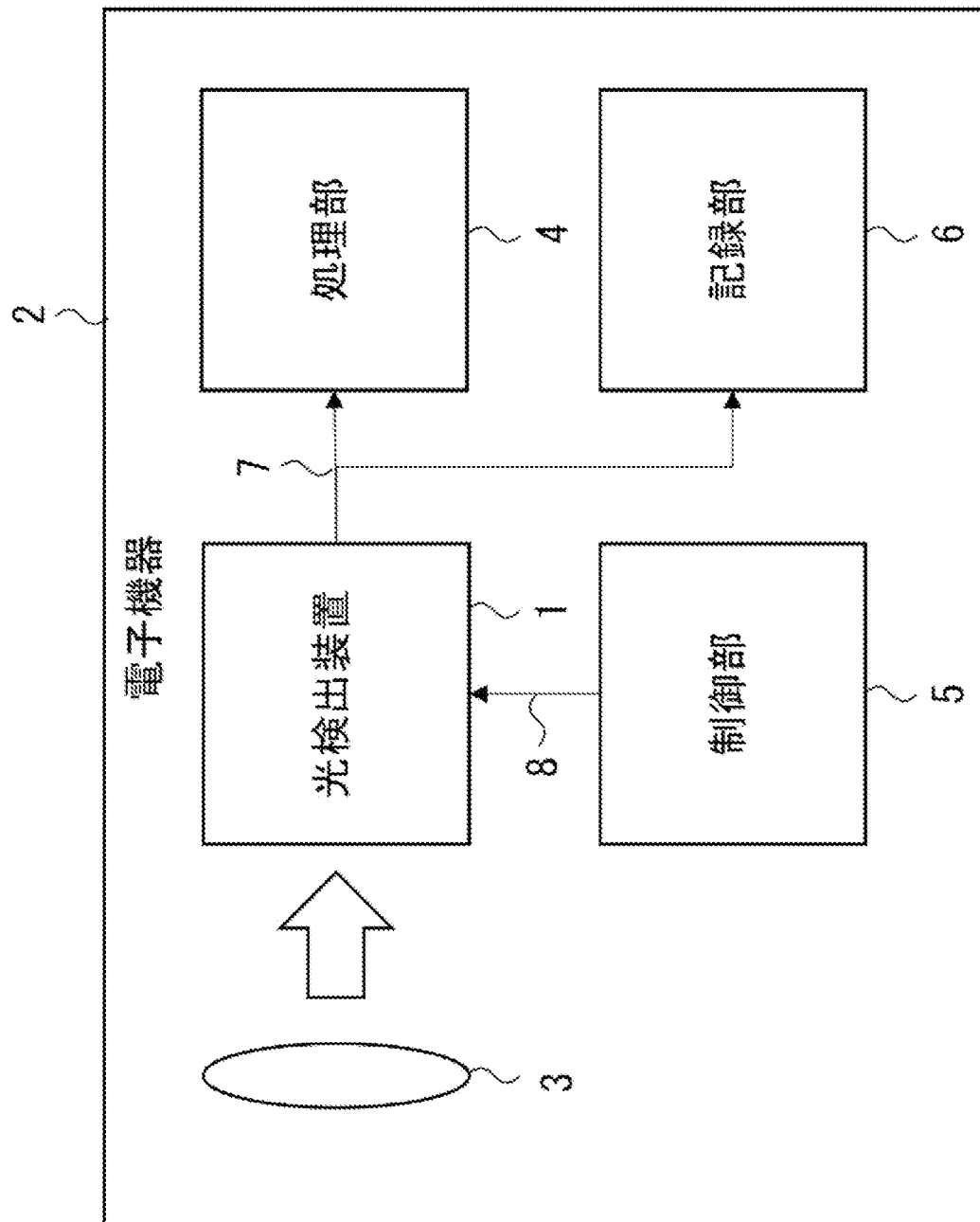
[請求項17] 前記比較器は、第1導電型のトランジスタ及び第2導電型のトランジスタを有し、
前記比較器における前記第1導電型のトランジスタは前記第1基板に配置され、
前記比較器における前記第2導電型のトランジスタは前記第2基板に配置される、
請求項16に記載の光検出装置。

[請求項18] 前記第2基板には、第1導電型のトランジスタと第2導電型のトランジスタとが混在して配置される、
請求項16に記載の光検出装置。

[請求項19] 前記第1導電型のトランジスタは、NMOSトランジスタである、
請求項16に記載の光検出装置。

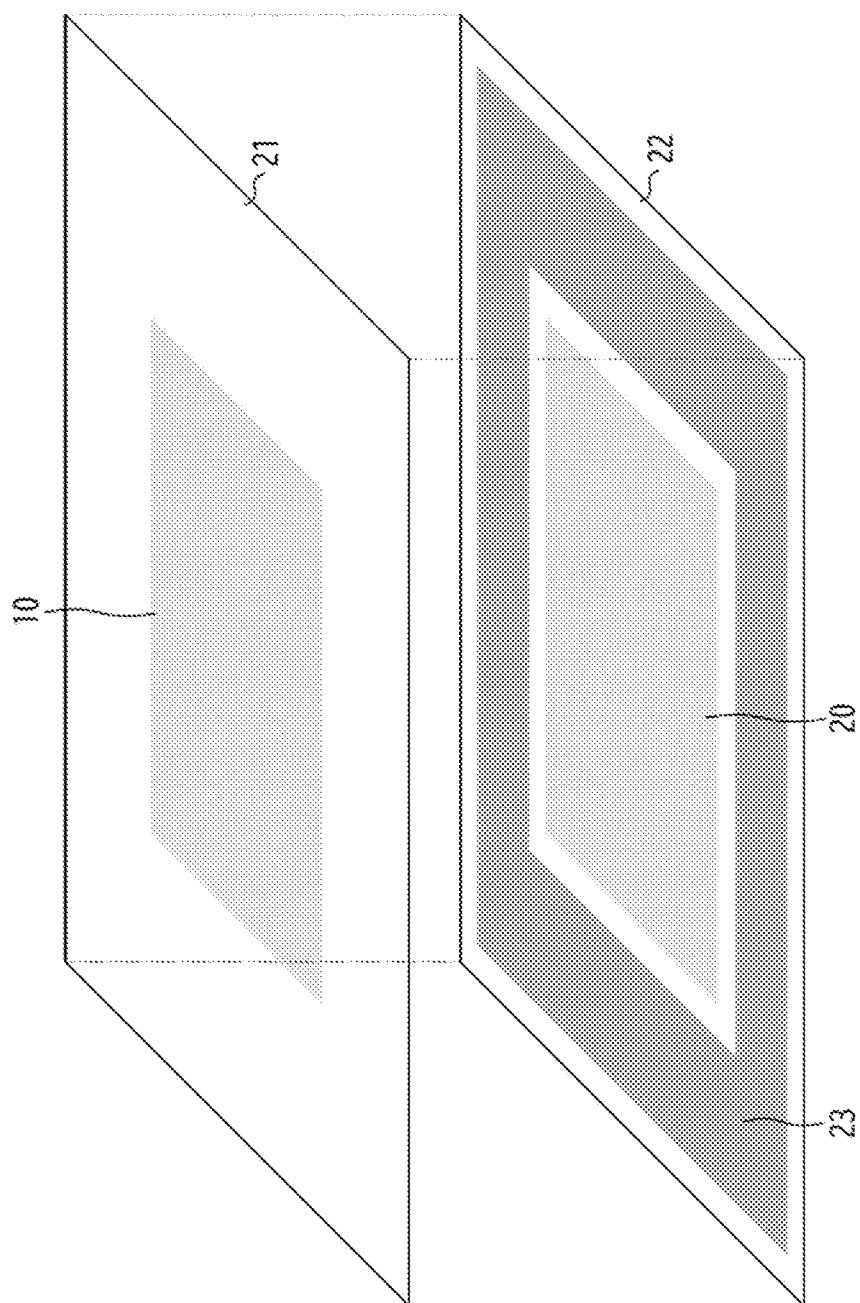
[請求項20] 前記光電変換素子と前記第1容量素子とは積層され、
平面視したときに前記光電変換素子と前記第1容量素子との少なくとも一部が重なり合うように、前記光電変換素子と前記第1容量素子とは積層される、
請求項1に記載の光検出装置。

[図1]

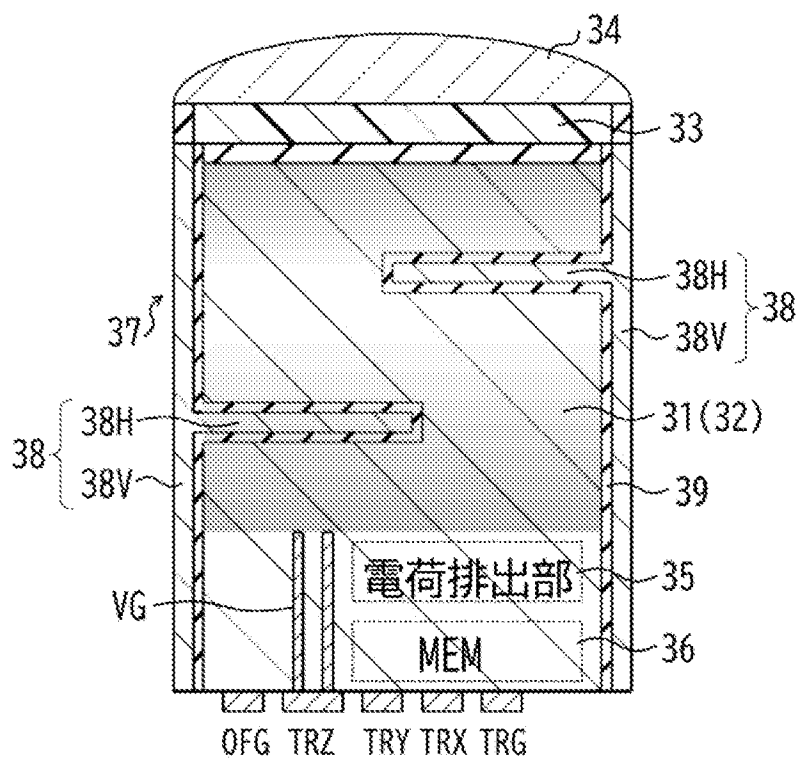


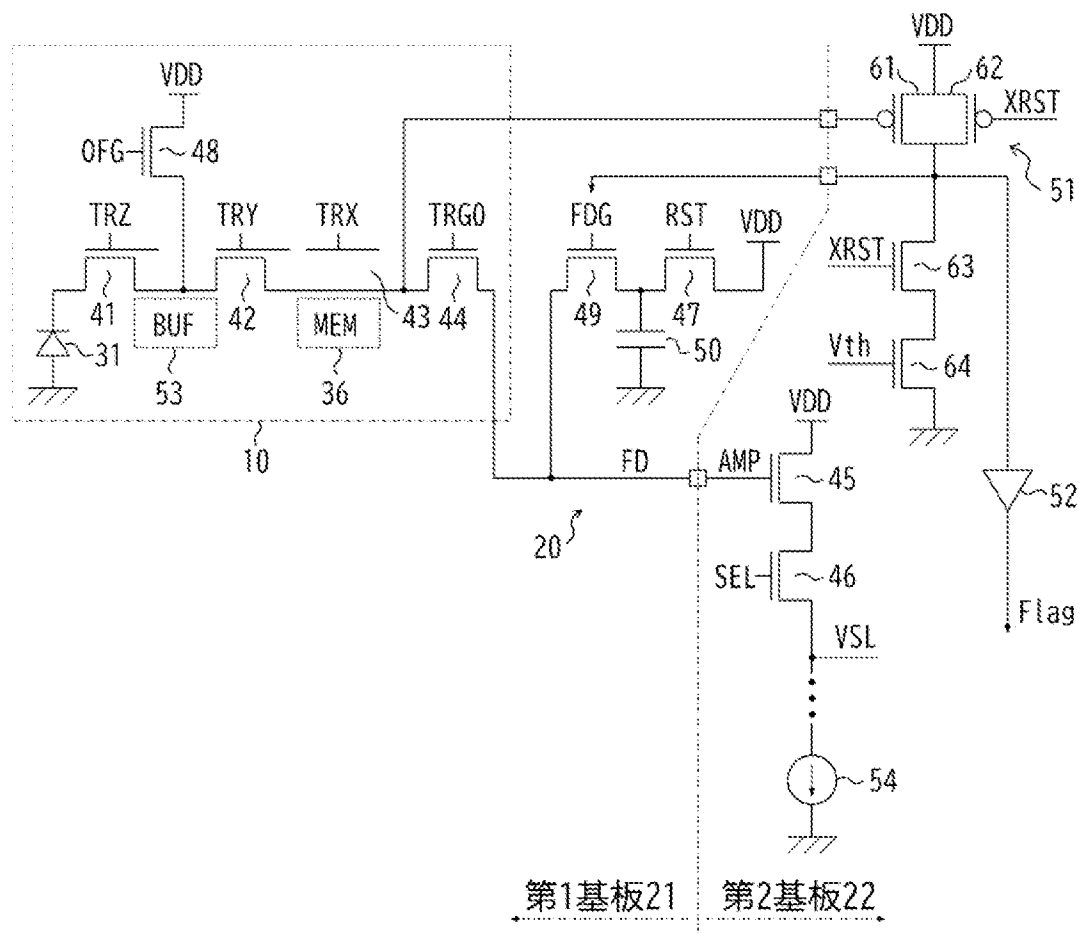
1:光検出装置

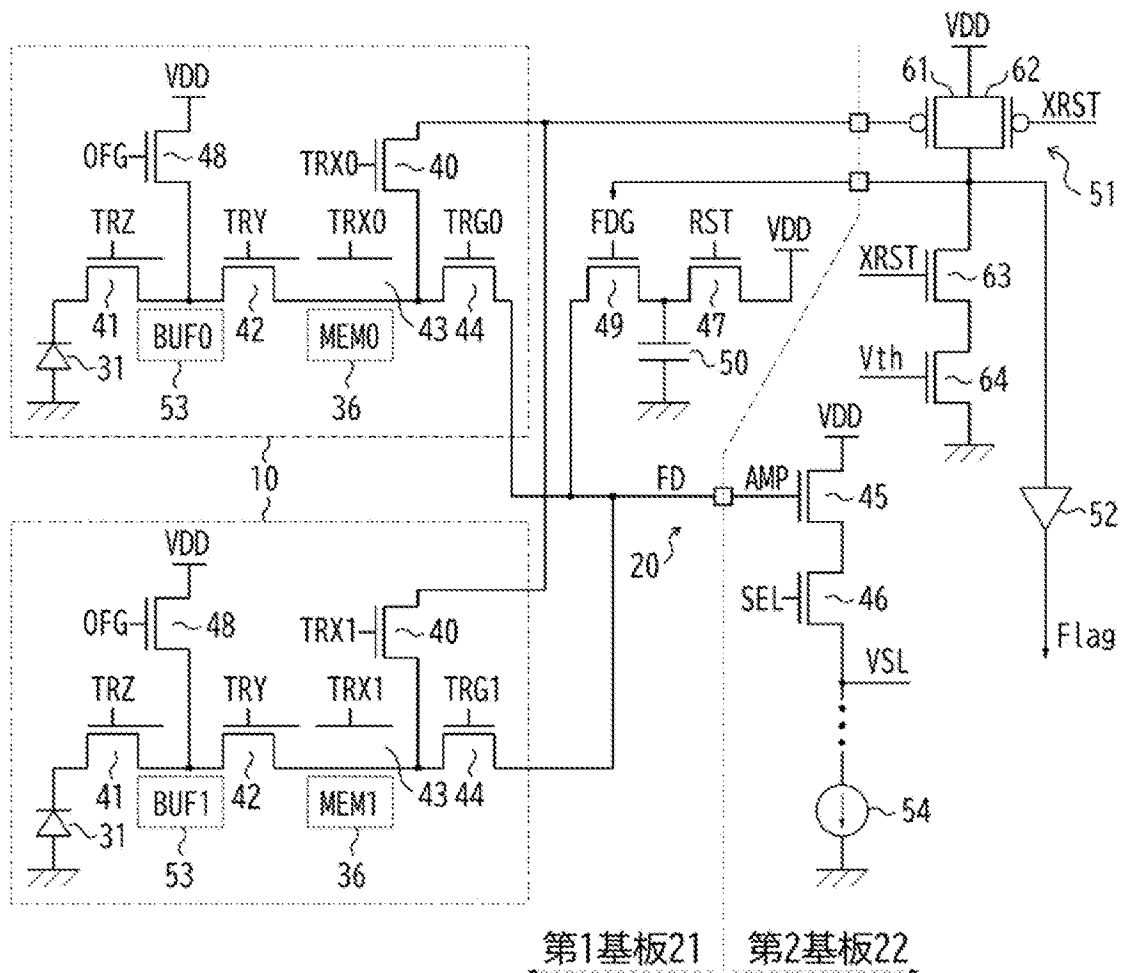
[図3]



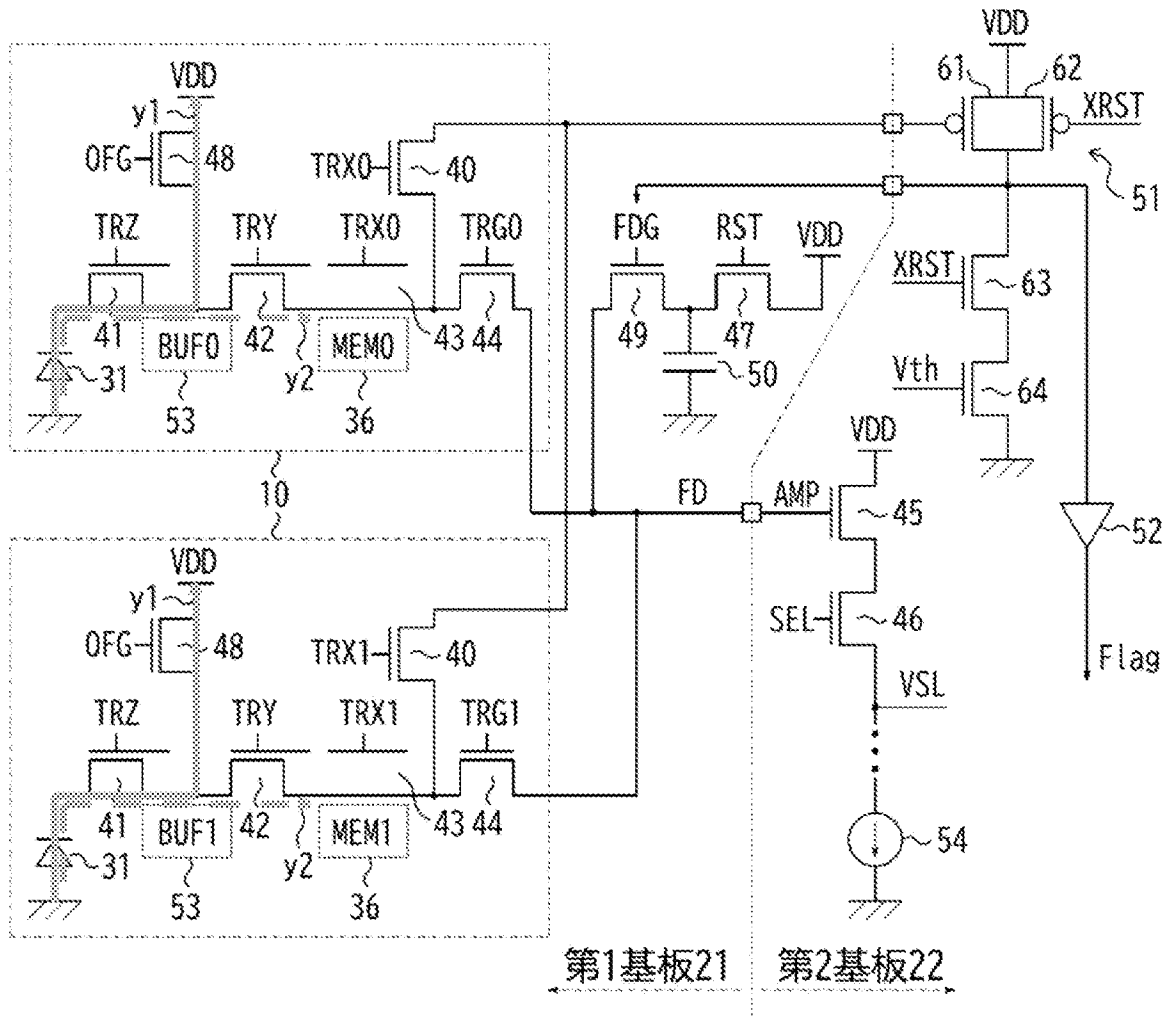
[図4]



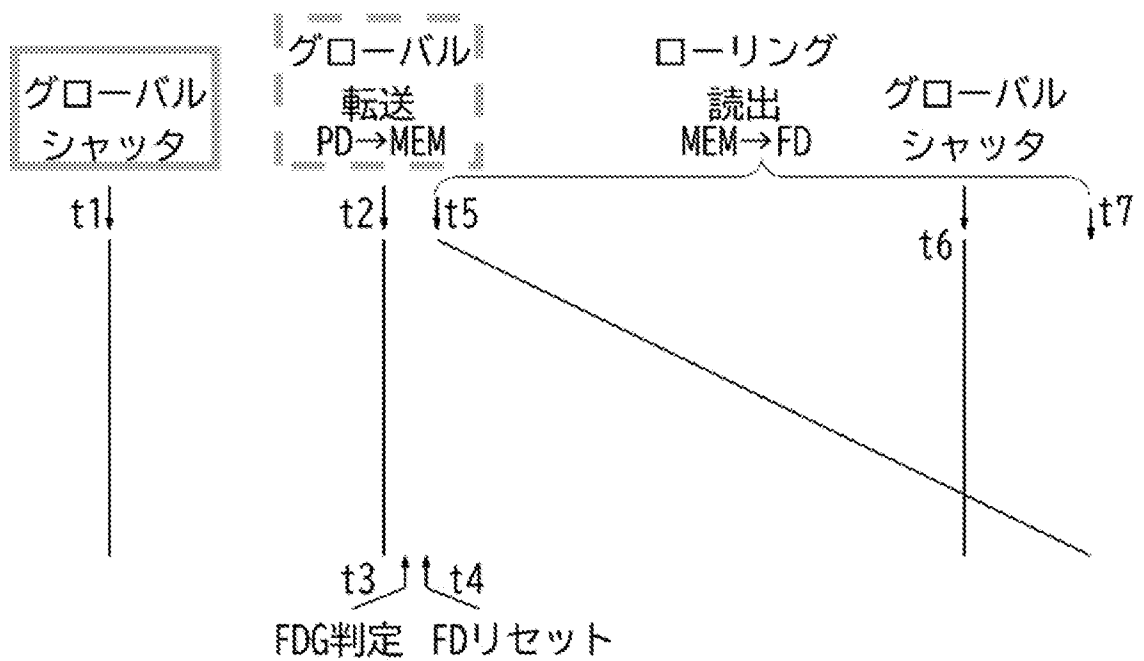


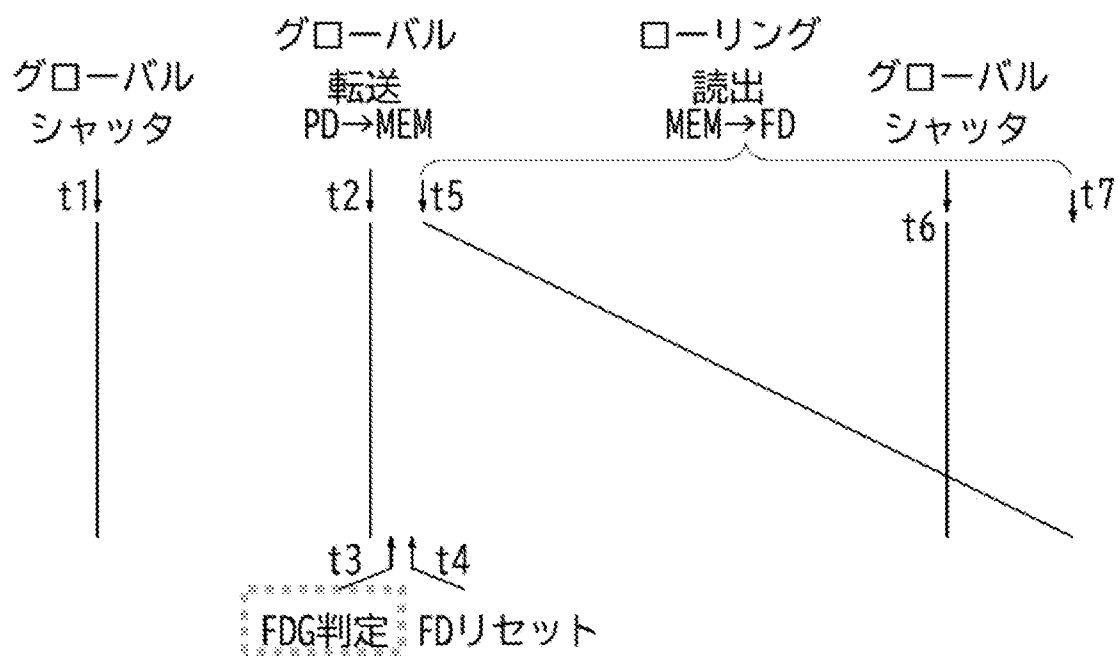
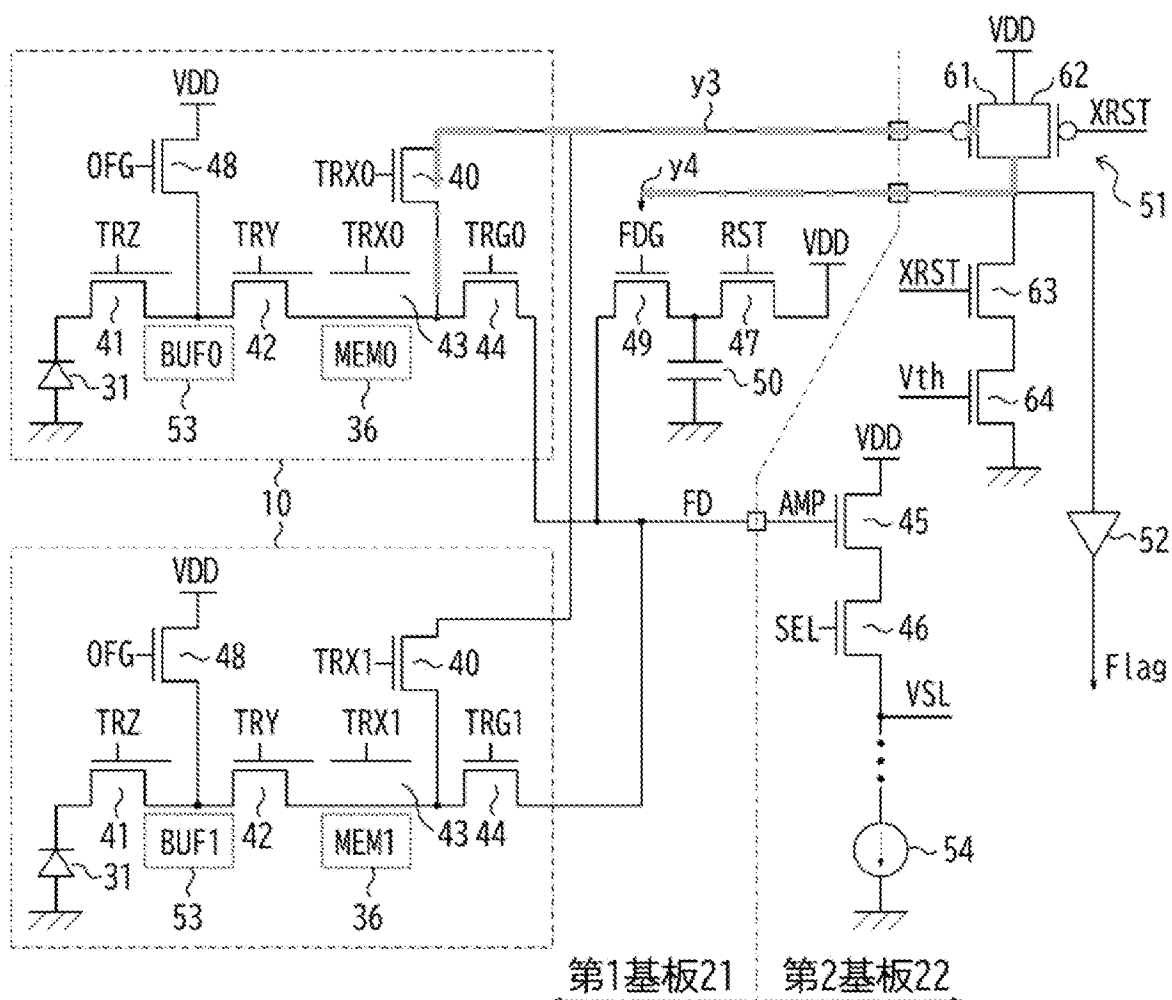


[図7A]

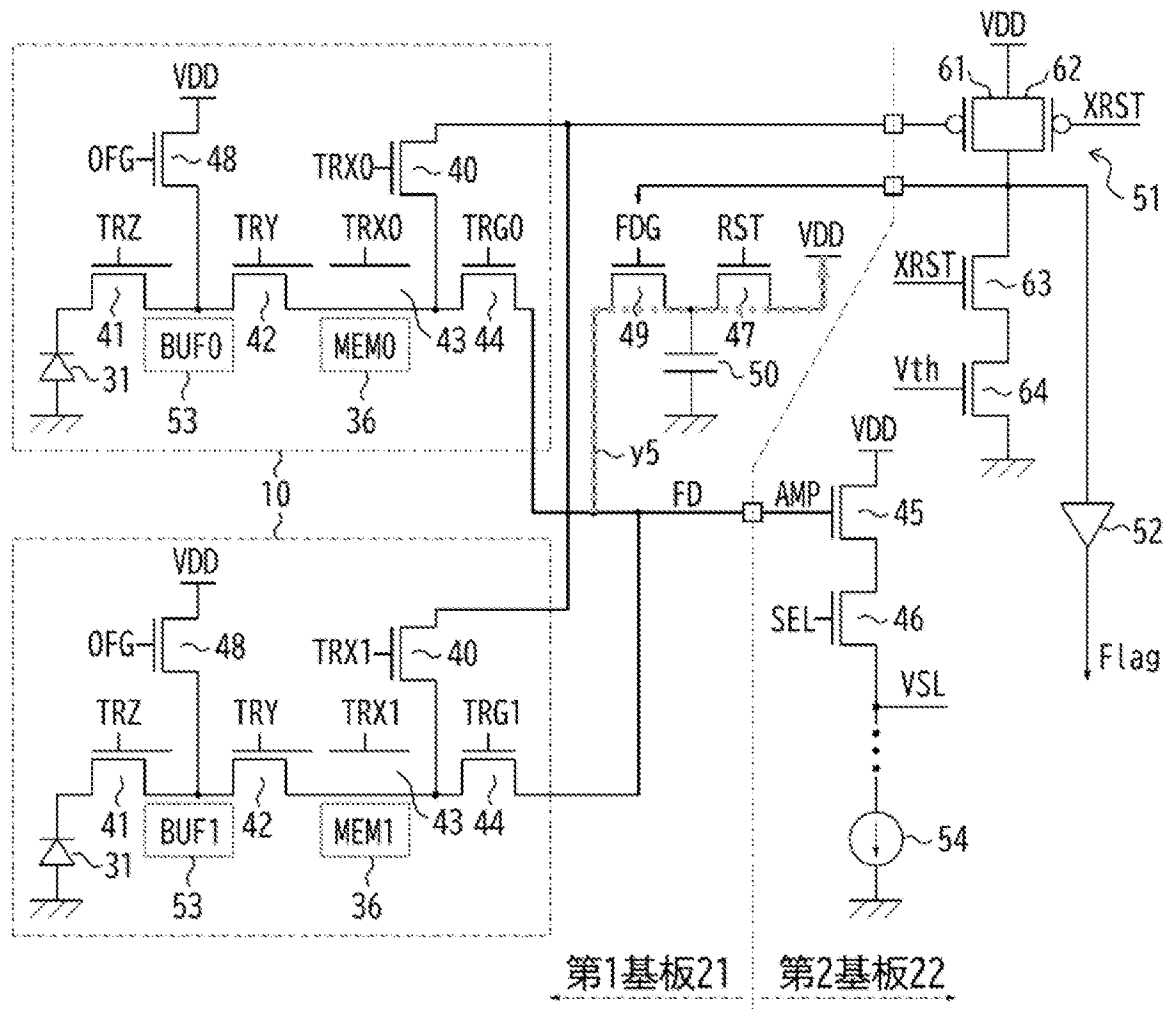


[図7B]

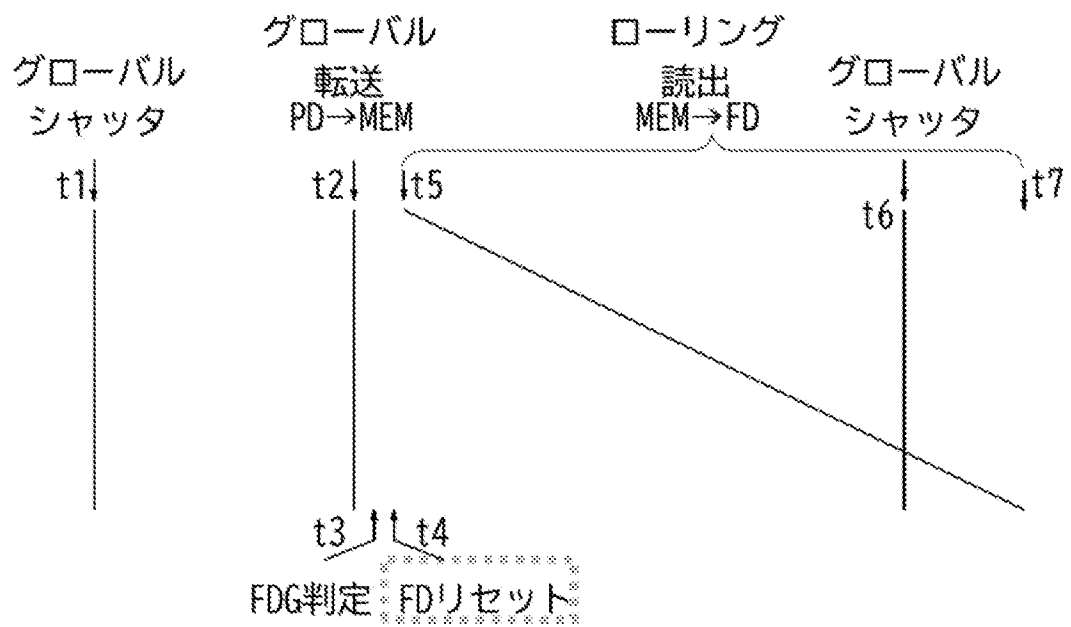




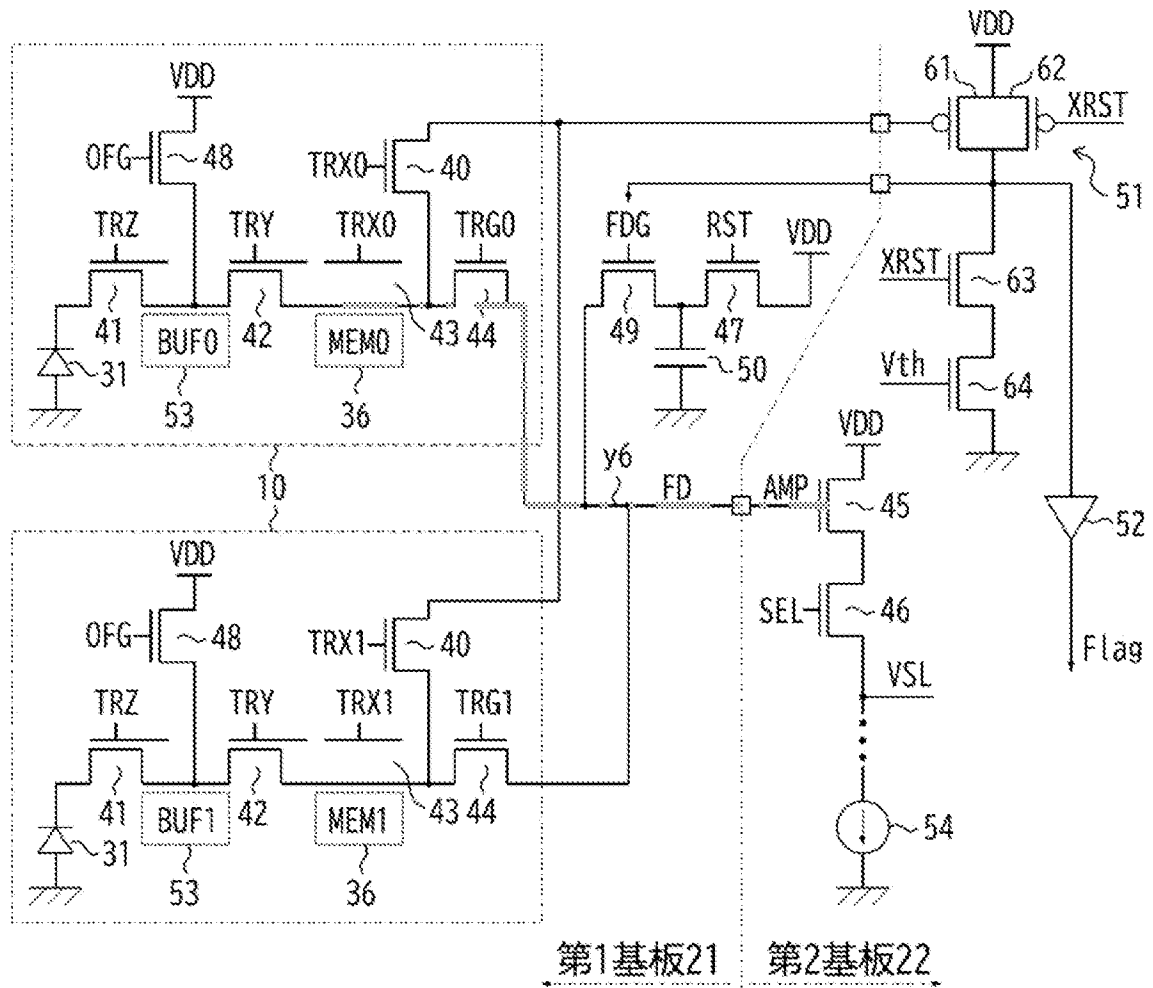
[図9A]



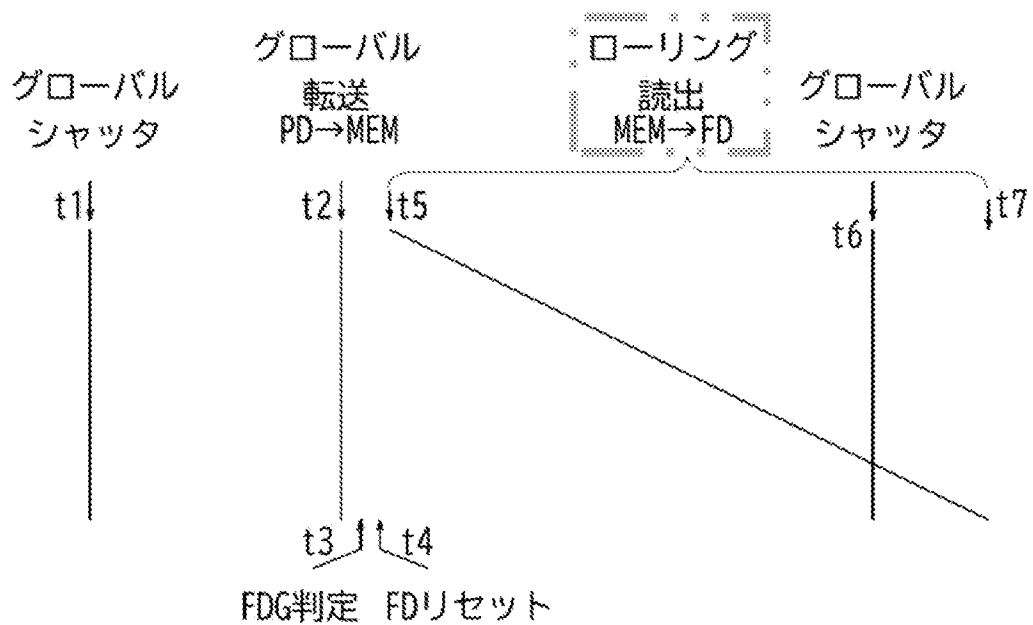
[図9B]



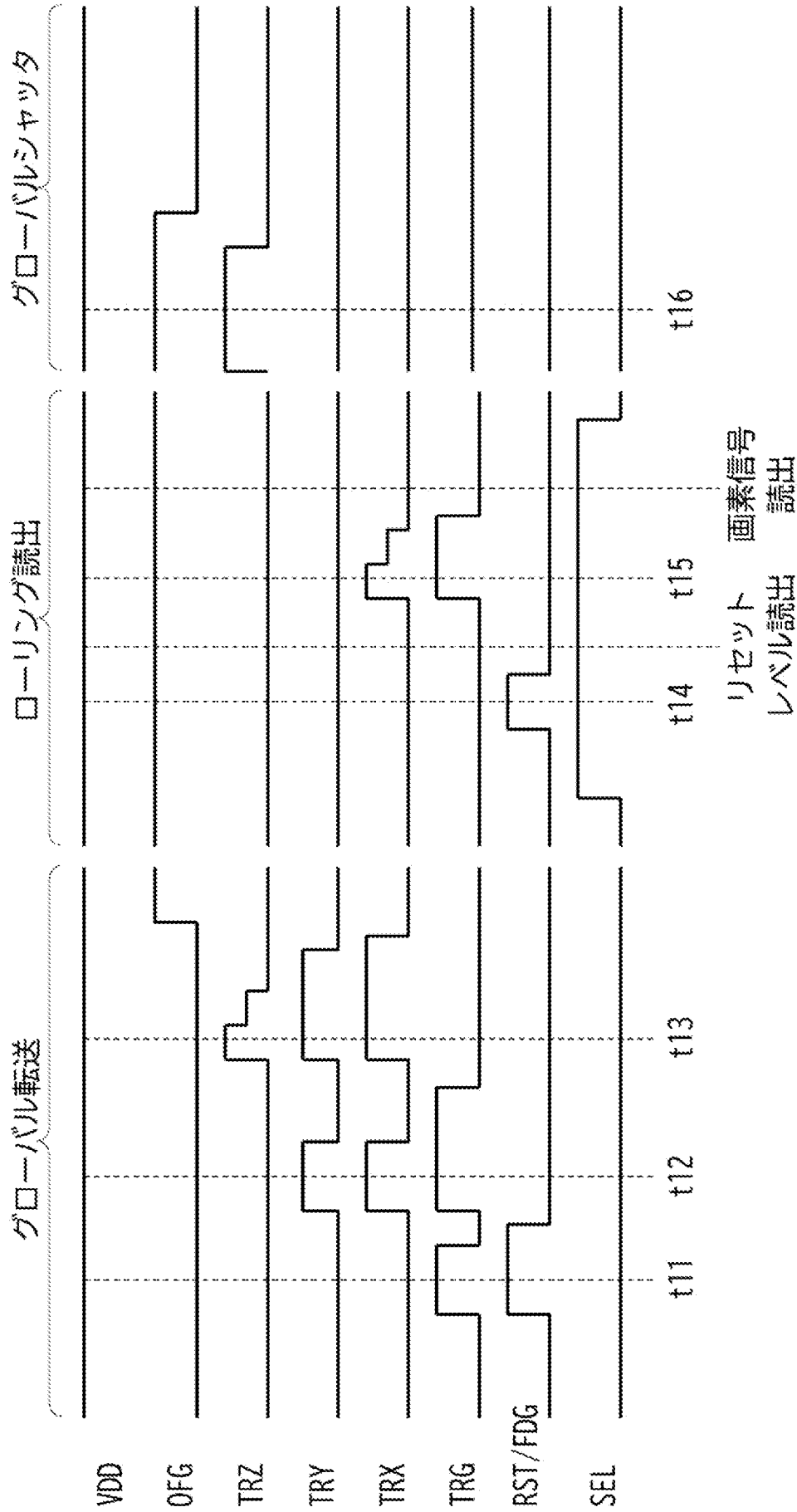
[図10A]



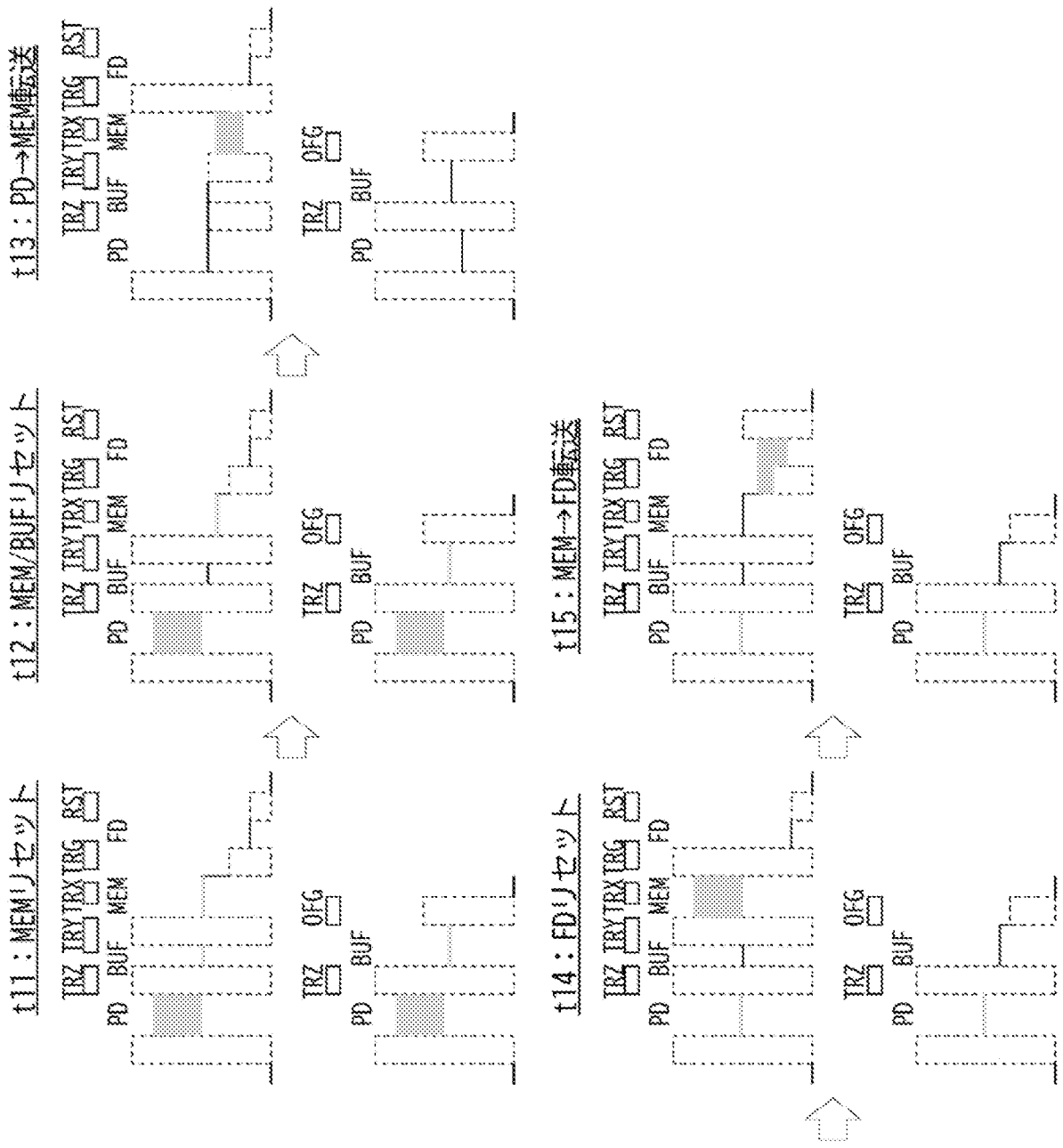
[図10B]



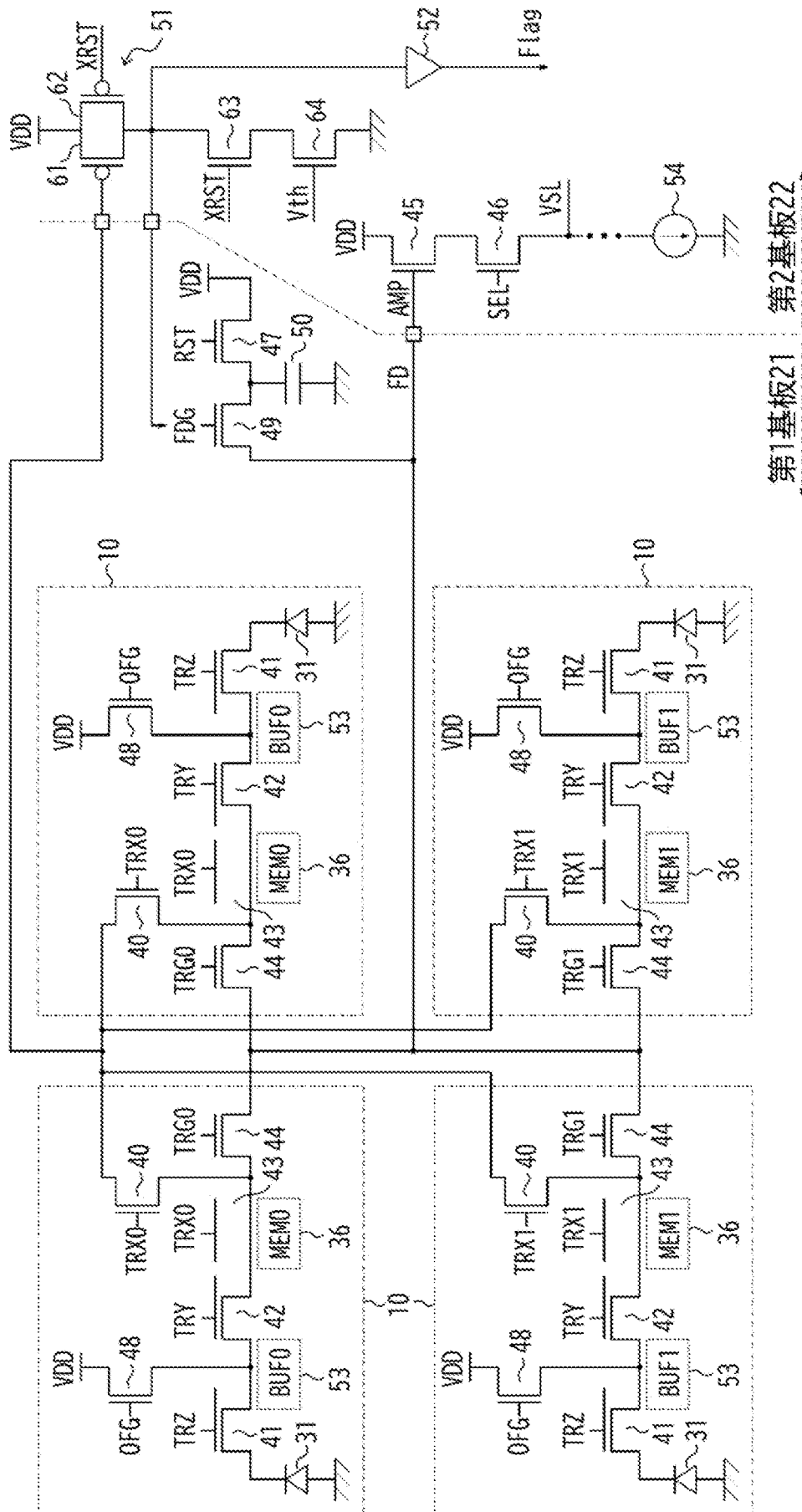
[図11]



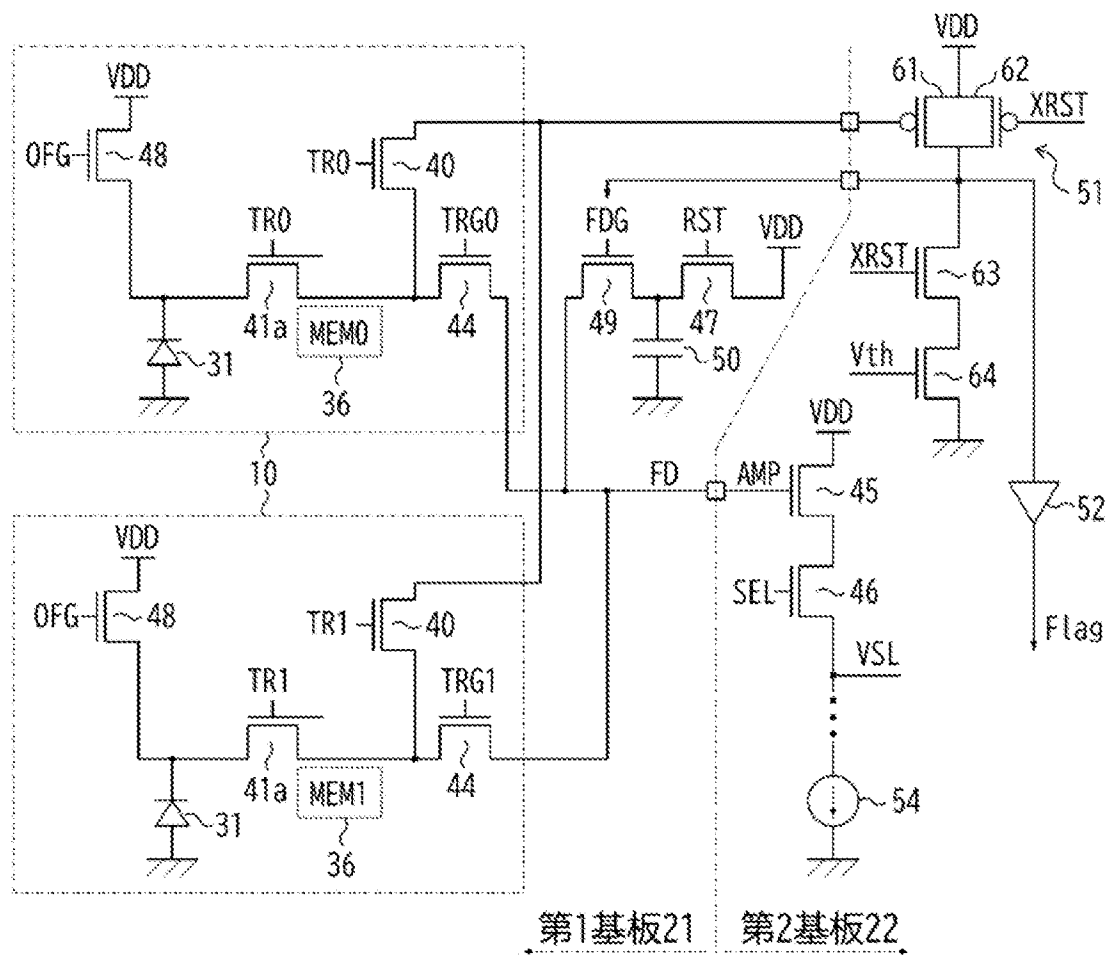
[図12]



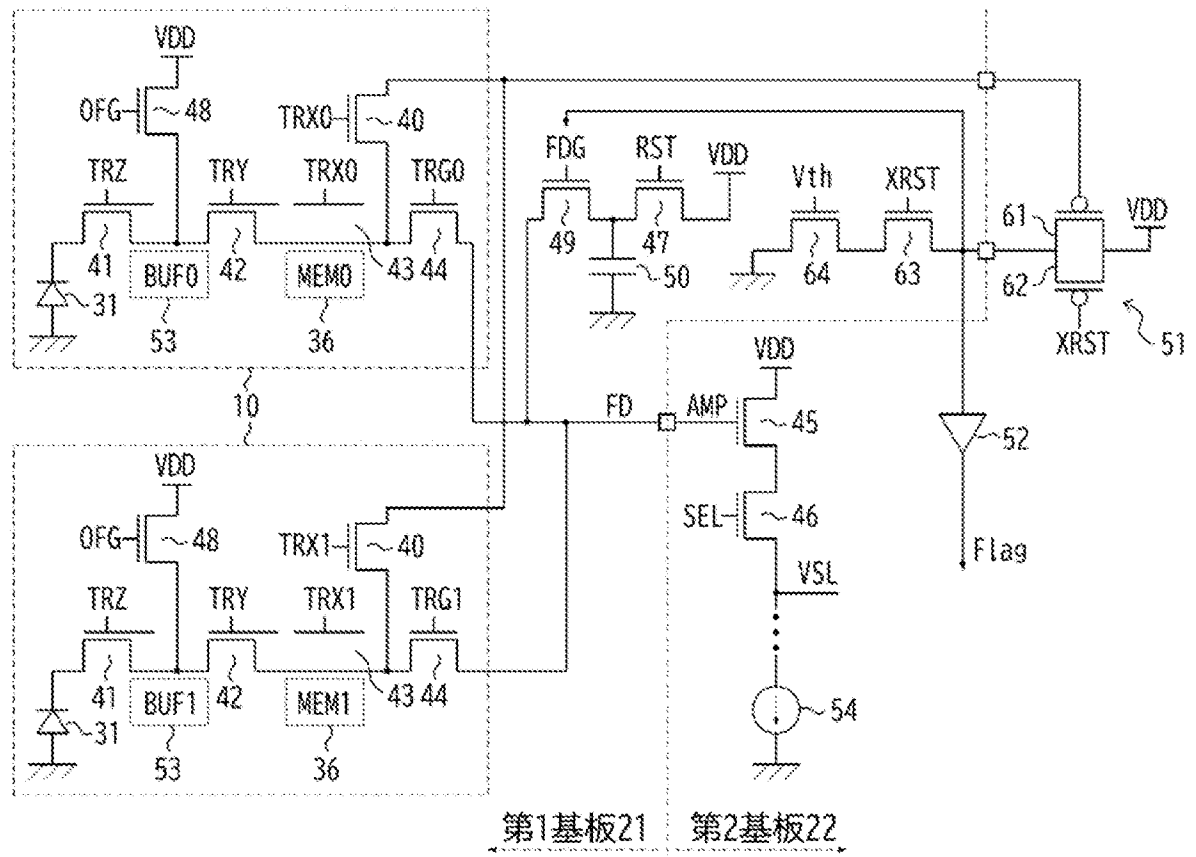
[図13]



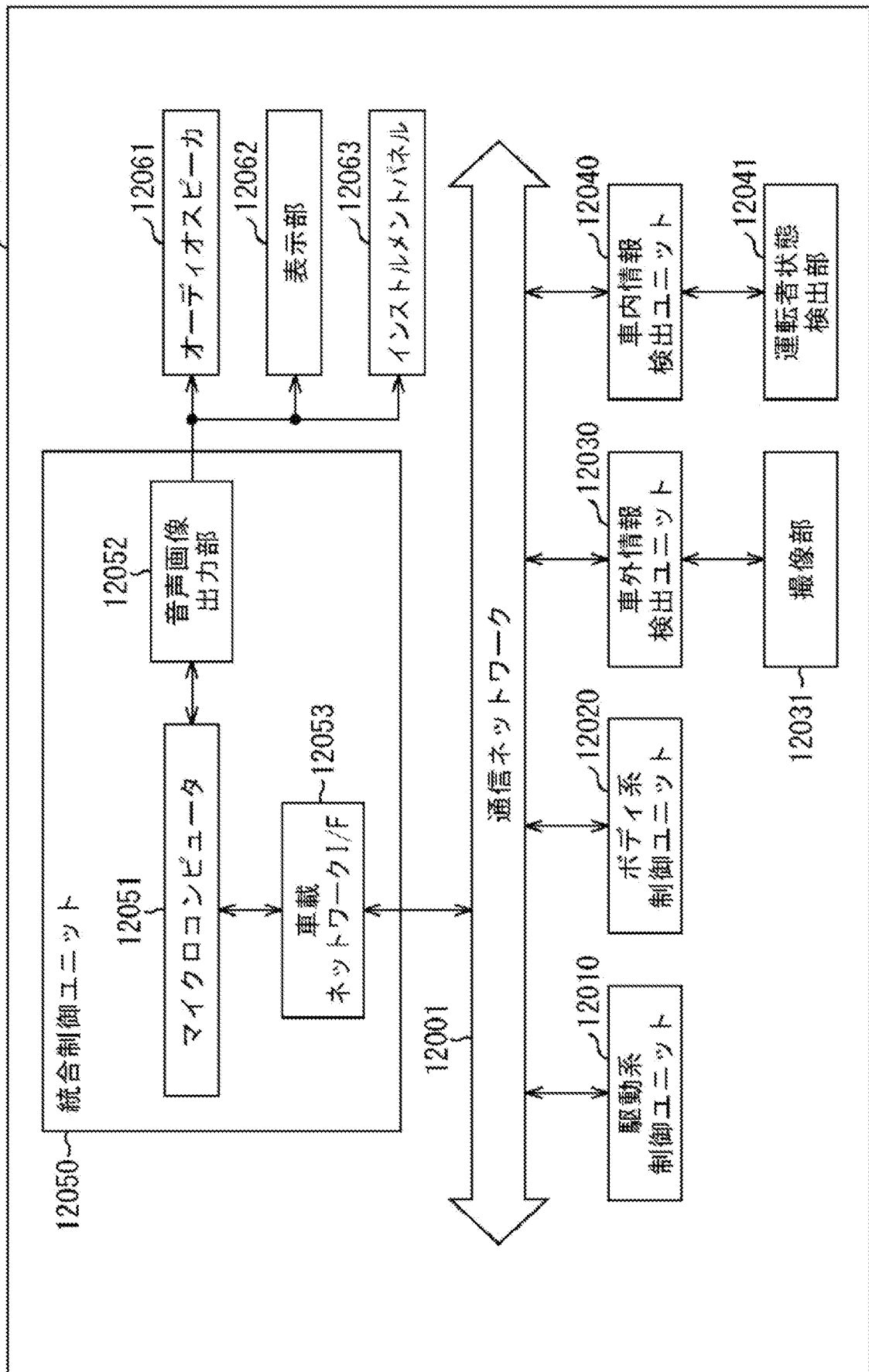
[図14]



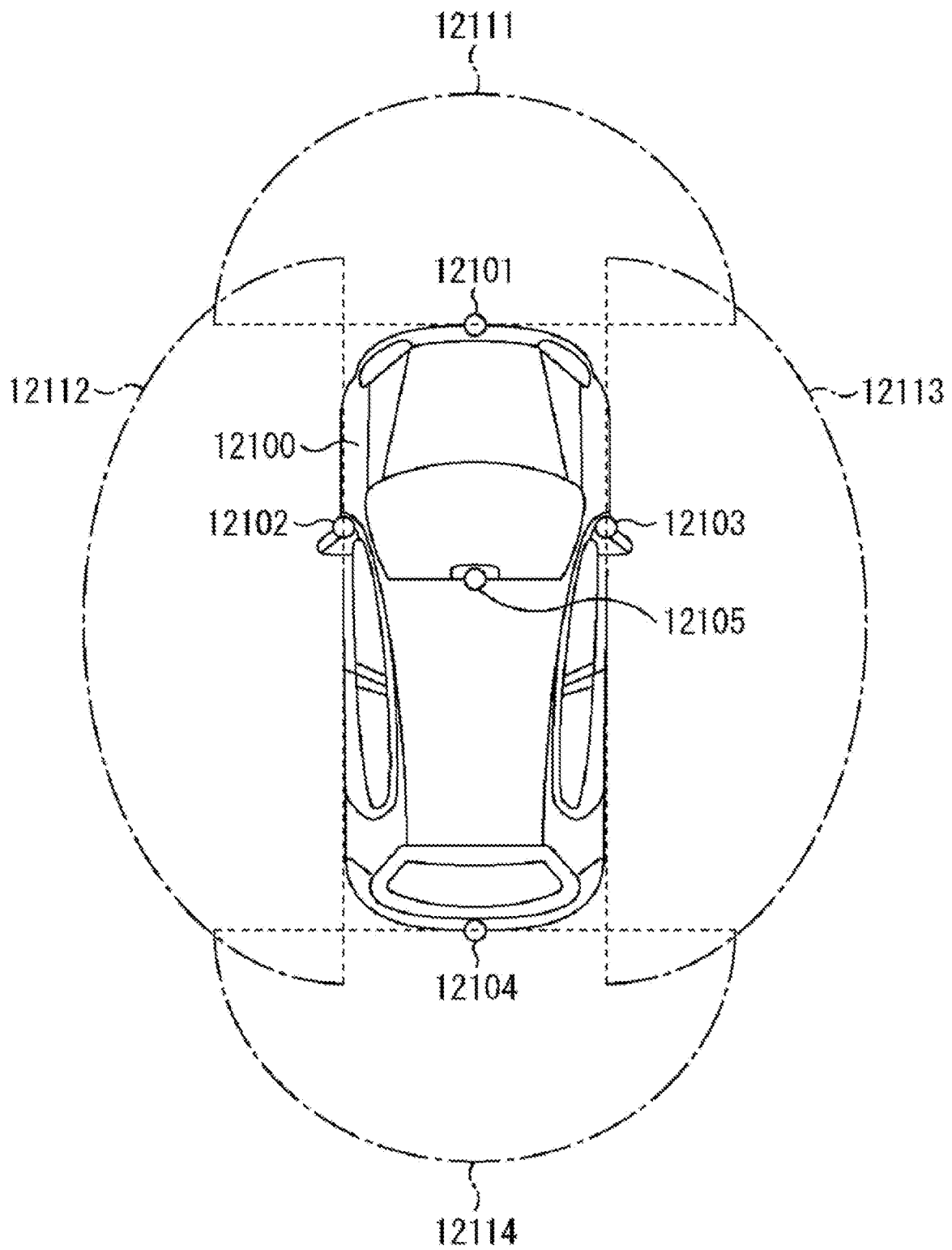
[図15]



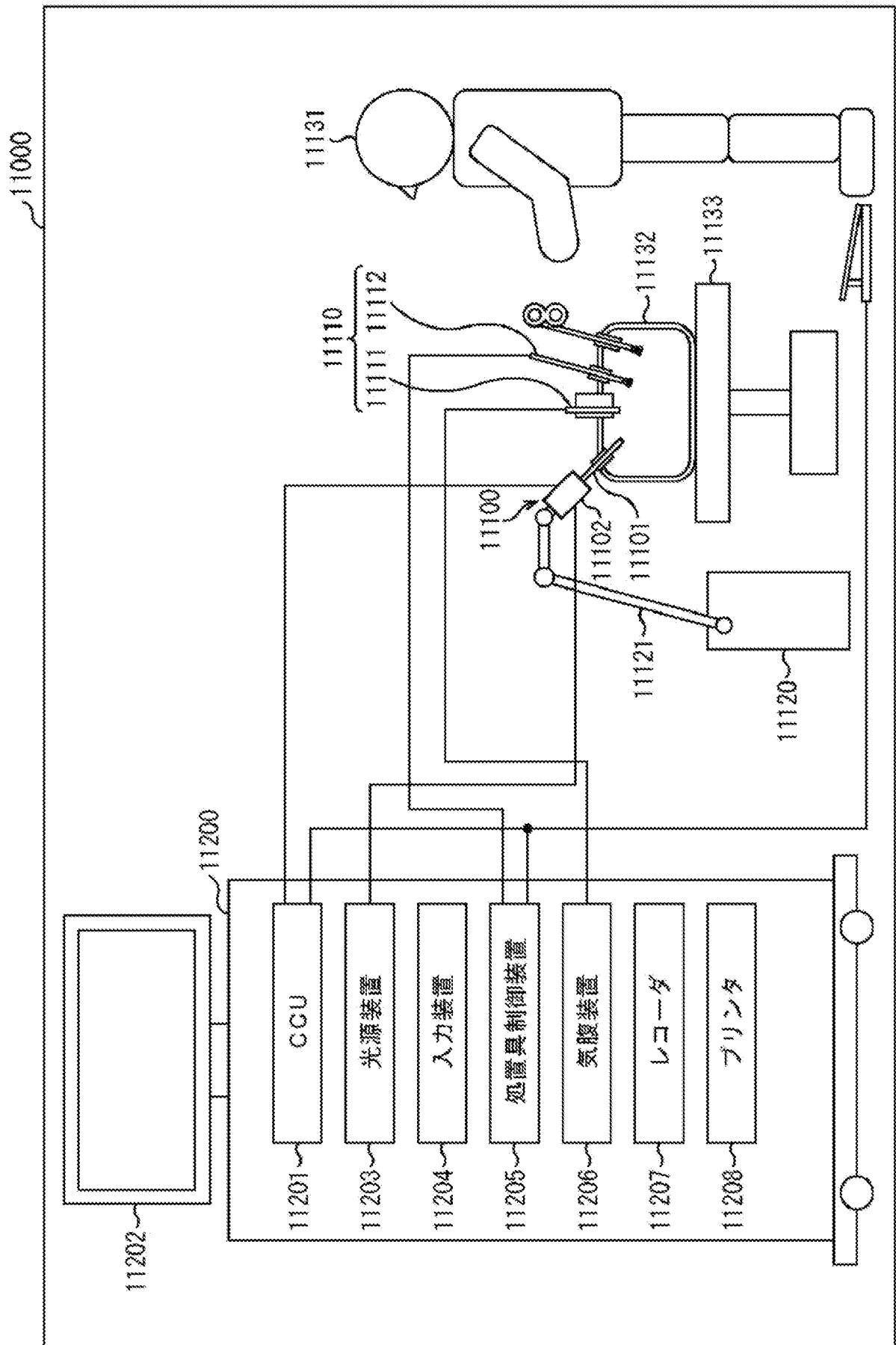
[図16]



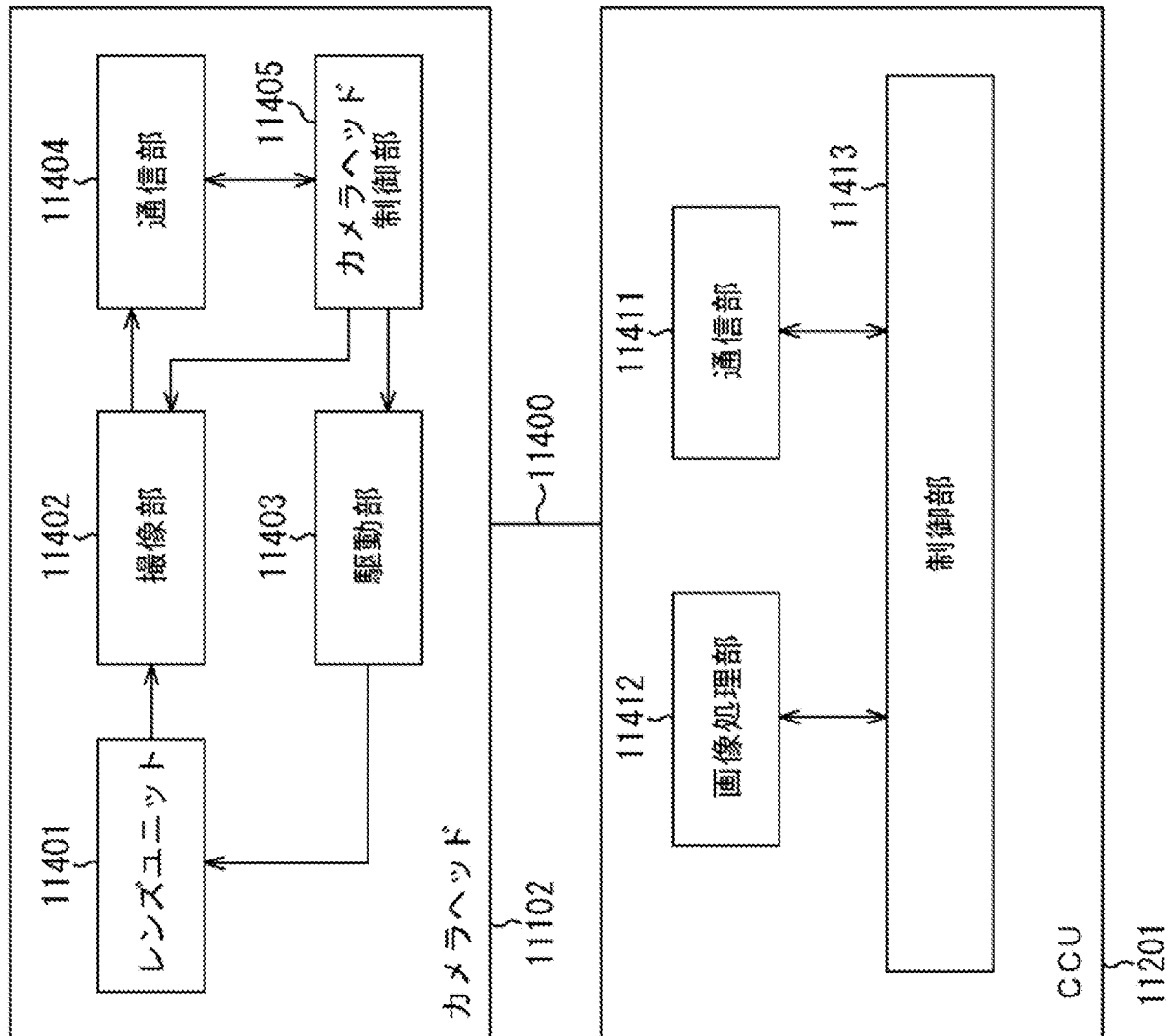
[図17]



[図18]



[図19]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/017861

A. CLASSIFICATION OF SUBJECT MATTER

H04N 25/59(2023.01)i; **H04N 25/77**(2023.01)i; **H04N 25/79**(2023.01)i; **H04N 25/707**(2023.01)i; **H04N 25/771**(2023.01)i
FI: H04N25/59; H04N25/77; H04N25/771; H04N25/707; H04N25/79

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N25/59; H04N25/77; H04N25/79; H04N25/707; H04N25/771

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2024
Registered utility model specifications of Japan 1996-2024
Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2017-28416 A (CANON KABUSHIKI KAISHA) 02 February 2017 (2017-02-02) paragraphs [0007], [0010]-[0017], fig. 1-3	1-5, 10-20 6-9
Y A	JP 2020-178163 A (CANON KABUSHIKI KAISHA) 29 October 2020 (2020-10-29) paragraphs [0010], [0030]-[0031], [0037]-[0042], [0058]-[0060], fig. 1-3, 5	1-5, 10-20 6-9
Y	WO 2020/100577 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 22 May 2020 (2020-05-22) paragraphs [0015]-[0022], [0057], [0059]-[0062], fig. 1-3, 9, 13-16	12-20
Y	JP 2019-140253 A (CANON KABUSHIKI KAISHA) 22 August 2019 (2019-08-22) paragraphs [0010]-[0012], [0028]-[0031], fig. 1-3	14-19

☒ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
“D” document cited by the applicant in the international application
“E” earlier application or patent but published on or after the international filing date
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
“O” document referring to an oral disclosure, use, exhibition or other means
“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

09 July 2024

Date of mailing of the international search report

23 July 2024

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/017861

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2022-101408 A (RENESAS ELECTRONICS CORPORATION) 06 July 2022 (2022-07-06) paragraphs [0055]-[0069], fig. 6	17-18
A	WO 2020/262629 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 30 December 2020 (2020-12-30) paragraphs [0250]-[0272], fig. 56-57	1-20

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2024/017861

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2017-28416	A	02 February 2017	US 2017/0026591 A1 paragraphs [0006], [0029]- [0038], fig. 1-3	
JP	2020-178163	A	29 October 2020	(Family: none)	
WO	2020/100577	A1	22 May 2020	US 2022/0077207 A1 paragraphs [0059]-[0066], [0101], [0103]-[0106], fig. 1-3, 9, 13-16	
				EP 3882973 A1	
				CN 112970115 A	
				KR 10-2021-0092725 A	
				TW 202029733 A	
JP	2019-140253	A	22 August 2019	US 2019/0252444 A1 paragraphs [0020]-[0022], [0036]-[0039], fig. 1-3	
JP	2022-101408	A	06 July 2022	US 2022/0210364 A1 paragraphs [0075]-[0089], fig. 6	
				CN 114679555 A	
WO	2020/262629	A1	30 December 2020	US 2022/0367555 A1 paragraphs [0426]-[0451], fig. 56-57	
				EP 3993011 A1	
				CN 113841242 A	
				KR 10-2022-0023760 A	
				TW 202109616 A	

A. 発明の属する分野の分類（国際特許分類（IPC））

H04N 25/59(2023.01)i; H04N 25/77(2023.01)i; H04N 25/79(2023.01)i; H04N 25/707(2023.01)i;
H04N 25/771(2023.01)i
FI: H04N25/59; H04N25/77; H04N25/771; H04N25/707; H04N25/79

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））
H04N25/59; H04N25/77; H04N25/79; H04N25/707; H04N25/771

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報

1922-1996年

日本国公開実用新案公報

1971-2024年

日本国実用新案登録公報

1996-2024年

日本国登録実用新案公報

1994-2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2017-28416 A（キヤノン株式会社）02.02.2017（2017-02-02） 【0007】，【0010】－【0017】及び図1－3	1-5, 10-20
A		6-9
Y	JP 2020-178163 A（キヤノン株式会社）29.10.2020（2020-10-29） 【0010】，【0030】－【0031】，【0037】－【0042】， 【0058】－【0060】，図1－3及び図5	1-5, 10-20
A		6-9
Y	WO 2020/100577 A1（ソニーセミコンダクタソリューションズ株式会社）22.05.2020 （2020-05-22） 【0015】－【0022】，【0057】，【0059】－【0062】，図 1－3，図9及び図13－16	12-20
Y	JP 2019-140253 A（キヤノン株式会社）22.08.2019（2019-08-22） 【0010】－【0012】，【0028】－【0031】及び図1－3	14-19

☒ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技术水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に
公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若し
くは他の特別な理由を確立するために引用する文献（理由を
付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の
後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵
触するものではなく、発明の原理又は理論の理解のために引
用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性
又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献
との、当業者にとって自明である組合せによって進歩性がな
いと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日

09.07.2024

国際調査報告の発送日

23.07.2024

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

藏田 敦之 2V 9510

電話番号 03-3581-1101 内線 3271

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2022-101408 A (ルネサスエレクトロニクス株式会社) 06.07.2022 (2022 - 07 - 06) 【 0 0 5 5 】 - 【 0 0 6 9 】 及び図 6	17-18
A	WO 2020/262629 A1 (ソニーセミコンダクタソリューションズ株式会社) 30.12.2020 (2020 - 12 - 30) 【 0 2 5 0 】 - 【 0 2 7 2 】 及び図 5 6 - 5 7	1-20

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2024/017861

引用文献			公表日	パテントファミリー文献	公表日
JP	2017-28416	A	02.02.2017	US 2017/0026591 A1 [0006], [0029] - [0038] 及び図1-3	
JP	2020-178163	A	29.10.2020	(ファミリーなし)	
WO	2020/100577	A1	22.05.2020	US 2022/0077207 A1 [0059] - [0066], [0101], [0103] - [0106], 図1-3, 図9 及び図13-16 EP 3882973 A1 CN 112970115 A KR 10-2021-0092725 A TW 202029733 A	
JP	2019-140253	A	22.08.2019	US 2019/0252444 A1 [0020] - [0022], [0036] - [0039] 及び図1-3	
JP	2022-101408	A	06.07.2022	US 2022/0210364 A1 [0075] - [0089] 及び図6 CN 114679555 A	
WO	2020/262629	A1	30.12.2020	US 2022/0367555 A1 [0426] - [0451] 及び図56-57 EP 3993011 A1 CN 113841242 A KR 10-2022-0023760 A TW 202109616 A	