

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 9 月 20 日(20.09.2012)



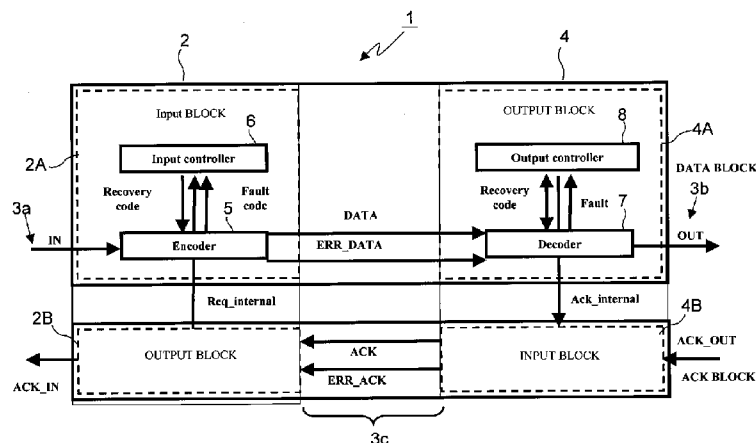
(10) 国際公開番号
WO 2012/124606 A1

- (51) 国際特許分類:
H04L 25/02 (2006.01) *H03K 5/19* (2006.01)
- (21) 国際出願番号: PCT/JP2012/055990
- (22) 国際出願日: 2012 年 3 月 8 日(08.03.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-054861 2011 年 3 月 12 日(12.03.2011) JP
- (71) 出願人(米国を除く全ての指定国について): 国立
大学法人東北大学(TOHOKU UNIVERSITY)
[JP/JP]; 〒9808577 宮城県仙台市青葉区片平二丁
目 1 番 1 号 Miyagi (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 羽生 貴弘
(HANYU Takahiro) [JP/JP]; 〒9808577 宮城県仙台市
青葉区片平二丁目 1 番 1 号 国立大学法人東北
大学内 Miyagi (JP). 鬼沢 直哉(ONIZAWA Naoya)
[JP/JP]; 〒9808577 宮城県仙台市青葉区片平二丁
目 1 番 1 号 国立大学法人東北大学内 Miyagi
(JP). 松本 敦(MATSUMOTO Atsushi) [JP/JP]; 〒
9808577 宮城県仙台市青葉区片平二丁目 1 番 1
号 国立大学法人東北大学内 Miyagi (JP).
- (74) 代理人: 平山 一幸(HIRAYAMA Kazuyuki); 〒
1600022 東京都新宿区新宿 2 丁目 3 - 1 0 新
宿御苑ビル 6 階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,
CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,
KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT,
LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA,
RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV,
SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC,
VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ
ア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,
MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告(条約第 21 条(3))

(54) Title: ASYNCHRONOUS DATA TRANSFER DEVICE

(54) 発明の名称: 非同期データ転送装置

[図1]



(57) Abstract: Provided is an asynchronous data transfer device able to detect a wiring fault without a delay assumption by monitoring the amount of current, and having both delay fault tolerance and wiring fault tolerance at the same time. An LSI asynchronous data transfer device (1) installed between IP cores comprises a first wiring (3a) connected to a first IP core, a second wiring (3b) connected to a second IP core, a transmitter (2) connected to the first wiring (3a), a receiver (4) connected to the second wiring (3b), and a third wiring (3c) connecting the transmitter (2) and the receiver (4). The transmitter (2) comprises: an input unit (2A) having an encoder (5) and an input controller (6); and an output unit (2B). The encoder (5) of the transmitter (2) is provided with current driver circuits (11a, 11b, 11c, 11d) for detecting an open fault of the third wiring (3c).

(57) 要約:

[続葉有]



電流量の監視による遅延仮定なしで配線故障の検出ができ、遅延故障耐性と配線故障耐性を同時に有する非同期データ転送装置を提供する。IPコア間に配設するLSIの非同期データ転送装置1において、第1のIPコアに接続する第1の配線3aと、第2のIPコアに接続する第2の配線3bと、第1の配線3aに接続する送信器2と、第2の配線3bに接続する受信器4と、送信器2と受信器4とを接続する第3の配線3cと、を含み、送信器2は、符号器5と入力制御部6とを有する入力部2Aと、出力部2Bと、を含み、送信器2の符号器5は、第3の配線3cのオープン故障を検出する電流ドライバ回路11a、11b、11c、11dを備える。

明 細 書

発明の名称：非同期データ転送装置

技術分野

[0001] 本発明は、非同期データ転送装置に関する。さらに、詳しくは、本発明は、遅延時間及び配線故障耐性を有する、非同期データ転送装置に関する。

背景技術

[0002] 半導体集積回路は、最小加工寸法の微細化が進み、量産レベルの最小加工寸法は32nmに達しており、集積されるトランジスタ数の規模が大きくなっている。このような大規模集積回路は、システムLSIとも呼ばれている。システムLSIは、システムオンチップ（System-on-Chips：SOC）とも呼ばれている。

[0003] システムLSIは、一般に複数の処理機能単位であるIPコア（Intellectual Property Core）で構成されている。近年の最小加工寸法の微細化によって、システムLSIの1チップ中には演算、デジタル信号演算（DSP）、メモリ等のIPコアが集積できるようになっている。これらIPコア間をパケット情報に基づき、IPコアに隣接して配設されるルーターを介して通信する方式がネットワークオンチップ（Network-on-Chip：NOC）と呼ばれている（非特許文献1参照）。

[0004] ネットワークオンチップ内の1チップ中に配置される各IPコアは、各IPコアのクロック周波数で動作している。つまり、各IPコアは、通常異なるクロック周波数で動作している。各IPコア間の通信方式としては、バス通信等で用いられるクロックによる同期方式とクロックを用いない非同期通信方式がある。同期方式では、設計自由度がなく消費電力が多い。

[0005] 近年、各IPコア間の通信方式としては、上記した従来の同期方式の欠点を改善するため、非同期通信方式が採用されることが多くなっている。この非同期通信方式にも4相方式と2相方式がある（非特許文献2，3参照）。

[0006] 4相の非同期通信方式では、4相方式のプロトコルを用い、擬似遅延不感の論理方式 (quasi-delay-insensitive、以下、QDI論理型とも呼ぶ。) によるルーターや通信リンクが設計されている (非特許文献4参照)。

[0007] さらに、システムLSIの1チップ中の総配線長は、1kmにもなっている (非特許文献5参照)。配線数はさらに増加するだけでなく、配線のエレクトロマイグレーションによるオープン (断線) の故障が深刻な問題になりつつあり、配線の信頼性に対する検討が必要になっている (非特許文献5～8参照)。

[0008] 図17は、従来の非同期データ転送装置100の構成を示すブロック図であり、(a)は配線が正常な場合、(b)は配線がオープン故障の場合を示している。

図17(a)に示すように、非同期データ転送装置100は、LSI中の隣接する複数のモジュール101、102との間に内部配線103が形成されている。モジュール101、102は、例えばIPコアである。故障が無い場合には、モジュール101とモジュール102との間で非同期通信が行われている。内部配線103は、現状の技術では、銅(Cu)を用いた配線層で形成されている。

しかしながら、図17(b)に示すように、トランジスタの動作中に、エレクトロマイグレーションによってCu配線に空孔 (ボイドとも呼ぶ。) が生じた場合には、配線103にオープンの故障が生じる (非特許文献6参照)。さらに、加工寸法の微細化によって電流密度が増加するので、オープンによる故障の問題は、将来の技術ではよりクリチカルになる (非特許文献7参照)。

[0009] 図18は、QDI論理型の非同期データ転送装置における通信リンクを示す図である。この図に示すように、通信はモジュール101と102との間で、リクエスト (要求) - アクノレッジ (受信確認) に基づくハンドシェイキングによって行われている。

最初に、左のモジュール101は、入力ポートからリクエスト情報を有し

ているデータ、つまり、(DATA+REQ)を送信する。

第2に、右のモジュール102は、送信されたデータを出力ポートで受信し、それから、受信確認情報となるアクノレッジ信号（以下、ACK信号と呼ぶ。）を左側のモジュールに送信する。

[0010] ファンアウトの点における配線は大凡等しい遅延時間でなければならないという仮定の上記QDI型論理では、時間的な制約がないので、非同期回路はプロセスばらつき及び電圧と温度との変動によって生じる遅延故障に対して影響を受けないという利点がある（非特許文献4）。

しかしながら、配線故障のような永久故障は、QDI論理型の非同期データ転送装置にとって致命的な状態となる。それぞれの通信リンクにおいて、その出力が変わる前には(DATA+REQ)信号又は(ACK)信号に対して待機しているので、配線故障によって(DATA+REQ)信号又は(ACK)信号が変化しないときは、出力は決して変わらない。

[0011] 図19は、出力ポートにおける従来の配線故障を検出する方法の問題点を示す図である。QDI論理型の論理では、入力される全てのデータがモジュールの出力ポートで検出されたときに、データが受信される。もしも、ただの1ビットのデータが受信されない場合でも、データが受信されない。この1ビットの喪失は、配線故障又は遅延故障によって発生する。しかしながら、これらの二つの故障は、モジュールの出力ポートで見分けることができない。配線故障が発生した場合にはデータが受信されないので、通信は致命的な状態となる。致命的な状態を防止するためには、配線故障を検出する時間的な仮定が有効となる。

[0012] しかしながら、時間的な仮定をした場合には、表1の出力ポートに示すように、非同期データ転送装置がQDI論理型ではなくなる。従って、出力ポートにおいてQDI論理型の非同期データ転送装置が配線故障だけを検出することは、不可能である。

[表1]

	出力ポート	入力ポート
		フィードバック無し
配線故障監視	○	×
遅延故障監視	○	×
二つの故障の識別	×	—
配線故障の検知	○	×
遅延不感(QDI)	×	—

[0013] 配線故障だけを検出するためは、配線故障と遅延故障とを区別する必要がある。遅延故障は、送信された信号だけに影響するので、遅延故障は入力ポートでは無視できる。QDI論理型の非同期データ転送装置が配線故障だけを検出するためには、入力ポートにおいて配線故障を検出する必要がある。しかしながら、表1の入力ポートに示すように、従来のアーキテクチャーでは、入力ポートにおいて配線故障と遅延故障の両方とも検出できなかった。

[0014] 非特許文献9には、配線故障時に、故障の配線を正常の配線と入れ替える方法が提案されているが、その故障検出方法については明記されていない。

[0015] 非特許文献10には、データ転送を二重化しその二つのデータを比較することで永久故障検出を行っているが、データ転送機能の回復を行うことができない。

[0016] 非特許文献11では、データ転送を三重化し、そのデータの多数決を取ることで、配線故障検出およびデータ転送機能の維持（回復）を行っているが、その検出方法はある時間範囲内、つまり遅延仮定に基づいているため、遅延故障耐性と配線故障耐性の両立は実現されていない。

[0017] 非特許文献12及び13には、非特許文献9～11のように回路的なレベルではなく、アルゴリズムレベルで配線故障に対応することが提案されている。

先行技術文献

非特許文献

[0018] 非特許文献1: L. Benini and G. De Micheli, "Networks on chips: A new SoC paradigm," IEEE Trans. Comput., vol. 35, no.1, pp.70-78, Jan. 2002

非特許文献2: M. Krstic, et al., "Globally asynchronous locally synchronous circuits: Overview and outlook," IEEE Des. Test Comput., vol. 24, no.5, pp.430-441, Sep./Oct. 2007

非特許文献3: D. Lattard, E. Beigne, R. Clemidy, Y. Durand, R. Lemaire, P. Vivet, and F. Berens, "A Reconfigurable Baseband Platform Based on an Asynchronous Network-on-Chip," IEEE J. Solid-State Circuits (JSSC), vol.43, no.1, Jan. 2008

非特許文献4: J. Sparso, and S. Furber, "Principles of Asynchronous Circuit Design," Kluwer Academic Publisher, pp.9-28, 2001

非特許文献5: International Technology Roadmap for Semiconductors, 2007 edition, Interconnect Chapter; <http://www.itrs.net/Links/20Q1ITRS/2007#Chapters/2007#Interconnect.pdf>

非特許文献6: J. Gill, T. Sullivan, S. Yankee, H. Barth and A. von Glasow, "Investigation of via-dominated multi-modal electromigration failure distributions in dual damascene Cu interconnects with a discussion of the statistical implications," Proc. Int. Ref. Phys. Symp., pp. 298-304, 2002

非特許文献7: Z. Choi, M. Tsukasa, J. M. Lee, G. -H. Choi, S. Choi and J. -T. Moon, "Effect of pre-existing void in sub-30nm Cu Interconnect Reliability," Proc. IEEE Int. Reliability Physics Symposium (IRPS), pp.903-905, 2010

非特許文献8: Y. Ohtake, N. Onizawa, and T. Hanyu, "High-Performance Asynchronous Intra-Chip Communication Link Based on a Multiple-Valued-Current-Mode Single-Track Scheme," Proc. IEEE Int. Symp., Circuits and Systems, pp.1000-1003, Taipei, Taiwan, May 2009

非特許文献9: T. Lehtonen, P. Liljeberg and J. Plosila, "Online Reconfigurable Self-Timed Links for Fault Tolerant NoC," VLSI Design, vol. 2007, Article ID 94676, 2007

非特許文献10 : T. Verdel and Y. Makris, "Duplication-Based Concurrent Error Detection in Asynchronous Circuits: Shortcomings and Remedies," Proc. IEEE Int. Symp. Defect and Fault Tolerance in VLSI Systems 2002, pp.345-353, 2002

非特許文献11 : S. Almkharizim and O. Sinanoglu, "A Hazard-Free Majority Voter for TMR-Based Fault Tolerance in Asynchronous Circuits," Proc. Design and Test Workshop 2007, pp.93-98, 2007

非特許文献12 : V. Puente, J. A. Gregorio, F. Vallejo and R. Beivide, "Immunet: A cheap and robust fault-tolerant packet routing mechanism," ACM SIGARCH Computer Architecture News, 32(2):198, 2004

非特許文献13 : D. Fick, A. DeOrio, G. Chen, V. Bertacco, D. Sylvester and D. Blaauw, "A Highly Resilient Routing Algorithm for Fault-Tolerant NoCs," Proc Design, Automation and Test in Europe, 2009, pp.21-26, 2009

非特許文献14 : W. J. Bainbridge, and S. B. Furber, "Delay Insensitive System-on-Chip Interconnect using 1-of-4 Data Encoding," Proc. 7th IEEE Int. Symp. Asynchronous Circuits Syst., pp.74-82, Mar. 2001

発明の概要

発明が解決しようとする課題

[0019] 従来の回路レベルでの配線故障の対応方法（非特許文献9～11）において、非特許文献9では、前述の通り、配線故障時に、故障の配線を正常の配線と入れ替える方法が提案されているが、故障検出方法については明記されていない。

[0020] 非特許文献10では、永久故障検出を行っているが、データ転送機能を回復することができない。

[0021] 非特許文献11では、検出方法はある時間範囲内、つまりQDI論理型ではなく遅延仮定に基づいているため、遅延故障耐性と配線故障耐性の両立は実現されていない。

[0022] 非同期データ転送装置において遅延故障耐性がない場合には、半導体プロセス、電源電圧、温度のばらつきにより、回路動作時の信頼性の低下を招く。また、配線故障耐性がないことにより、配線故障の検出ができない。たとえ配線故障の検出ができて、配線故障の検出までに時間が掛かるため、ネットワークオンチップシステム全体の動作に与える影響は非常に大きくなる。このため、高信頼性を有しているネットワークオンチップの実現は困難であった。

[0023] このように、従来の非同期データ転送装置では、遅延故障耐性と配線故障耐性を同時に有している非同期データ転送装置が実現されていないという課題がある。

[0024] 本発明は、上記課題に鑑み、電流量の監視による遅延仮定なしで配線故障検出ができ、遅延故障耐性と配線故障耐性を同時に有する非同期データ転送装置を提供することを目的としている。

課題を解決するための手段

[0025] 上記目的を達成するため、本発明に従う非同期プロトコル変換装置は、I Pコア間に配設されるLSIの非同期データ転送装置において、第1のI Pコアに接続される第1の配線と、第2のI Pコアに接続される第2の配線と、第1の配線に接続される送信器と、第2の配線に接続される受信器と、送信器と受信器とを接続する第3の配線と、を含み、送信器は、符号器と入力制御部とを有している入力部と、出力部と、を含み、送信器の符号器は、第3の配線のオープン故障を検出する電流ドライバ回路を備えていることを特徴とする。

[0026] 上記構成において、受信器は、好ましくは、入力部と、復号器と出力制御部とを有している出力部と、を含んでいる。

送信器及び受信器は、好ましくは、擬似遅延不感の論理方式で動作をする。

符号器は、好ましくは、電流源と、電流源に接続されるインバータと、インバータに接続されるカレントミラー回路と、カレントミラー回路に接続さ

れるインバータと、を含んで構成されている。

復号器は好ましくは、カレントミラー回路と、カレントミラー回路に接続されるインバータと、を含んで構成されている。

好ましくは、送信器の入力部には I N 信号が入力され、入力部から受信器に D A T A 信号及び E R R _ D A T A 信号が出力され、受信器の出力部から O U T 信号が出力される。

好ましくは、 I N 信号、 D A T A 信号、 E R R _ D A T A 信号及び O U T 信号から D A T A B L O C K が構成され、該 D A T A B L O C K は、正常モード、故障モード、構成モード及び復旧モードの動作を行う。

本発明の非同期データ転送装置によれば、好ましくは、正常モードにおいて、配線故障を符号器で検出して、送信器は故障モードに遷移し、故障モードでは、送信器は故障情報を受信器に送信し、同時に復旧符号を故障符号に基づいて生成し、受信器は故障モードに遷移し、送信器は、復旧符号に基づいて構成モードに遷移し、送信器が復旧符号を受信器に送信すると、受信器が前記構成モードに遷移し、送信器は、構成モードにおいて、復旧符号に基づいて配線故障を有している配線を排除するように再構成され、送信器は、復旧モードに遷移し、受信器は、構成モードにおいて、送信器からの信号によって復旧モードに遷移し、復旧モードにおいて、送信器から受信器への信号は、配線故障を有している配線を正常な配線に置き換えて送信される。

発明の効果

[0027] 本発明の非同期データ転送装置によれば、非同期データ転送が遅延の仮定なし、つまり、上記した電流量の監視による遅延仮定なしで配線故障検出ができる遅延故障耐性と、入力側の電流量の監視によって配線故障耐性とを同時に実現できる。遅延故障耐性により L S I 内部のプロセス、電源電圧、温度ばらつきによる影響を受けることなく、信頼性の高い回路動作が可能になる。さらに、配線故障を遅延仮定なしに検出できることから検出を高速に行うことが可能となるため、配線故障時にネットワークオンチップのシステム全体の動作に与える影響を最小限にすることが可能となる。

図面の簡単な説明

- [0028] [図1]本発明の非同期データ転送装置の構成を示すブロック図である。
- [図2]本発明の非同期データ転送装置が配設されるLSIの構成を示すブロック図である。
- [図3]図1に示す送信器中の符号器のブロック図である。
- [図4]符号器中のドライバの回路図である。
- [図5]本発明の電流の監視に基づく遅延時間に鈍感な配線故障の検出ができることを説明する回路図であり、(a)は配線に故障が無いときを、(b)は配線にオープン故障が生じた場合を示している。
- [図6]本発明の通信リンクのアーキテクチャを示す図である。
- [図7]送信器の入力制御部の回路図である。
- [図8]送信器の出力部の回路図である。
- [図9]受信器中の復号器のブロック図である。
- [図10]C素子の動作を説明する図であり、(a)はC素子の構成を示す回路図、(b)はC素子の動作の真理値表を示している。
- [図11]復号器中の検知器の回路図である。
- [図12]受信器の出力制御部の回路図である。
- [図13]受信器の入力部の回路図である。
- [図14]DATA BLOCKとACK BLOCKのモードを示す図であり、(a)は、DATA BLOCKの4モード、(b)は、ACK BLOCKの2モードを示している。
- [図15]故障から復旧するシステムのタイミングチャートである。
- [図16]シミュレーションのタイミングチャートである。
- [図17]従来の非同期データ転送装置の構成を示すブロック図である。
- [図18]QDI論理型の非同期データ転送装置における通信リンクを示す図である。
- [図19]出力ポートにおける従来の配線故障を検出する方法の問題点を示す図である。

符号の説明

- [0029] 1 : 非同期データ転送装置
- 2 : 送信器
- 3 : 配線
- 3 a : 第 1 の配線
- 3 b : 第 2 の配線
- 3 c : 第 2 の配線
- 4 : 受信器
- 5 : 符号器
- 5 a, 5 b : A N D 回路
- 5 c : O R 回路
- 5 d : 第 1 のマルチプレクサ
- 5 e : 第 2 のマルチプレクサ
- 6 : 入力制御部
- 6 a, 6 b : O R 回路
- 6 c, 6 d, 6 e : A N D 回路
- 6 f、6 g : 非同期式 R S ラッチ
- 6 h, 6 i, 6 j, 6 k, 6 l, 6 m : 非同期式 G ラッチ
- 6 n : マルチプレクサ
- 7 : 復号器
- 7 a : A N D 回路
- 7 b : マルチプレクサ
- 7 c : C 素子
- 8 : 出力制御部
- 8 a : パストランジスタ
- 8 b, 8 c : 非同期 R S ラッチ
- 8 d, 8 e, 8 f : A N D 回路
- 8 g, 8 h, 8 i, 8 j, 8 k : O R 回路

11 : ドライバ回路

11 a, 11 b, 11 c, 11 d : 電流ドライバ回路

12 : 電流源

13, 15 : インバータ

14 : カレントミラー回路

16, 17 : 電流受信回路

18 : OR回路

19 : 検知器

19 a, 19 b, 19 c, 19 d, 19 e, 19 f : 電流検知器

20 : L S I

21 : I Pコア

22 : ルーター

25 : AND回路

発明を実施するための形態

[0030] 以下、図面を参照しながら本発明の実施形態を具体的に説明する。

図1は、本発明の非同期データ転送装置1の構成を示すブロック図である。この図に示すように、本発明の非同期データ転送装置1は、I Pコア間に配設されるL S Iにおいて、後述する第1のI Pコアに接続される第1の配線3 aと、後述する第2のI Pコアに接続される第2の配線3 bと、第1の配線3 aに接続される送信器2と、第2の配線3 bに接続される受信器4と、送信器2と受信器4とを接続する第3の配線3 cと、を含んで構成されている。

送信器2は、I N信号が入力される入力部(I N P U T B L O C K) 2 Aと出力部(O U T P U T B L O C K) 2 Bとから構成されている。入力部2 AはI N信号が入力される符号器5と、符号器5に接続される入力制御部6とから構成されている。

[0031] 受信器4は、送信器2からD A T A信号及びE R R _ D A T A信号が入力される出力部(O U T P U T B L O C K) 4 Aと入力部(I N P U T B

LOCK) 4 Bとから構成されている。出力部 4 Aは、送信器 2 から DATA 信号及び ERR__DATA 信号が入力される復号器 7 と、復号器 7 に接続される出力制御部 8 とから構成されている。

[0032] 送信器 2 の入力部 2 A に入力される IN 信号と、送信器 2 の入力部 2 A から出力され受信器 4 の出力部 4 A で受信される DATA 信号及び ERR__DATA 信号と、受信器 4 の出力部 4 A から出力される OUT 信号と、を纏めて DATA BLOCK (データブロック) と呼ぶ。

[0033] 送信器 2 の出力部 2 B から出力される ACK__IN 信号と、送信器 2 の出力部 2 B に受信器 4 の入力部 4 B から送信される ACK 信号及び ERR__ACK 信号と、受信器 4 の入力部 4 B に入力される ACK__OUT 信号と、を纏めて ACK BLOCK (アクノレッジブロック) と呼ぶ。

[0034] 図 2 は、本発明の非同期データ転送装置 1 が配設される LSI 20 の構成を示すブロック図である。図に示すように配設される LSI 20 は、複数の IP コア 21 と、複数の IP コア 21 に隣接して配設される本発明の非同期データ転送装置 1 とを含んで構成されている。非同期データ転送装置 1 の送信器 2 は、第 1 の配線 3 a を介して第 1 の IP コア 21 a に接続されている。非同期データ転送装置 1 の受信器 4 は、第 2 の配線 3 b を介して第 2 の IP コア 21 b に接続されている。非同期データ転送装置 1 は、IP コア 21 a と IP コア 21 b との通信リンクとなっている。さらに、非同期データ転送装置 1 は、IP コア 21 間、例えば、IP コア 21 c と IP コア 21 d に接続され非同期データの送受信を行うルーター 22 等の間を接続する配線間に挿入されていてもよい。

[0035] 図 3 は、図 1 に示す送信器 2 中の符号器 5 のブロック図である。符号器 5 は、IN 信号が接続される第 1 の AND 回路 5 a 及び第 2 の AND 回路 5 b と、第 1 の AND 回路 5 a の出力が入力される OR 回路 5 c と、この OR 回路 5 c の出力等が入力される第 1 のマルチプレクサ 5 d と、第 2 の AND 回路 5 b の出力等が入力される第 2 のマルチプレクサ 5 e と、第 1 及び第 2 のマルチプレクサ 5 d, 5 e の出力が入力されるドライバ回路 11 と、から構

成されている。

[0036] IN信号は、1-o-f-4符号化されているとする（非特許文献12参照）。正常モードでは、IN信号とDATA信号の符号は同じである。

[0037] 図4は、符号器5中のドライバ11の回路図である。ドライバ回路11は、4つの電流ドライバ回路11a, 11b, 11c, 11dから構成されている。電流ドライバ回路11aは、電源V_{dd}に接続される電流源12と、この電流源12に接続されるインバータ13と、このインバータ13のソースに接続されるカレントミラー回路14と、カレントミラー回路14の出力に接続されるインバータ15とから構成されている。

各電流ドライバ回路11a~11dにおいて、I_{in}は、配線故障が無い場合にはI_wとI_dに分離する。ここで、電圧レベルV_dは低(Low)である。

一度配線故障が生じると、I_wを流す配線3cがオープンになるのでI_dが大きくなる。カレントミラー回路14を使用してI_dがI_cにコピーされるので、V_cは大きなI_dによって低下する。その結果、V_dはインバータ15によって高(High)となり、高(High)の信号V_dが故障符号(Fault code)を生成する。

[0038] 図5は、本発明の電流の監視に基づく遅延時間に鈍感な配線故障の検出ができることを説明する回路図であり、(a)は配線3cに故障が無いときを、(b)は配線3cにオープンの故障が生じた場合を示している。

図5(a)に示すように、配線3cに故障が無いときには、入力ポートにおいて、電流I_{in}は、送信電流I_wと検出電流I_dに分離する。配線3cに故障が無い場合には、DATA信号が送信されたときには、送信電流I_wが配線3cを流れてI_{out}となる。エレクトロマイグレーションによって配線3cの抵抗が時間と共に増大することによって、送信電流I_wは減少し、検出電流I_dが増加する。

一方、図5(b)に示すように、配線3cにオープンの故障が発生すると、I_{out}は流れなくなり、検出電流I_dが増加する。オープンの故障中の検出電流I_dは、配線故障が無い場合に比較して大きいので、検出電流I_dを閾値と比較することで配線故障の有無を識別できる。このため、電流の流れの監視に

基づく遅延時間に鈍感な配線故障を検出することができる。

[0039] 図6は、本発明のリンクのアーキテクチャーを示す図である。この図に示すように、配線故障の情報は、送信器2の入力側におけるフィードバックによって得られる。配線故障と遅延故障とを区別する必要がないので、配線故障は時間的な仮定をしないで検出することができる。これにより、後述する表8に示すように、遅延時間に鈍感な、つまり、Q D I論理型で配線故障を検出することができる。

[0040] 図7は、送信器2の入力制御部6の回路図である。入力制御部6は、2個のO R回路6 a、6 bと、3個のA N D回路6 c、6 d、6 eと、2個の非同期式R Sラッチ6 f、6 gと、6個の非同期式Gラッチ6 h、6 i、6 j、6 k、6 l、6 mと、マルチプレクサ6 nと、から構成されている。

[0041] 入力制御部6に接続される符号器5の電流ドライバ回路1 1 a～1 1 dでは、後述する正常モードで、配線3 cのオープン故障が検出されると、故障符号が生成されて、入力制御部6に送信される。入力制御部6は、故障符号を受信する。

[0042] 表2は、上記正常モード中のD A T A B L O C K用の1-of-4符号を示している。ここで、データは4ビットの符号語（コードワード）で表されている。

[表2]

	論理値	DATA
データ	"0"	(0, 0, 0, 1)
	"1"	(0, 0, 1, 0)
	"2"	(0, 1, 0, 0)
	"3"	(1, 0, 0, 0)
スペーサー		(0, 0, 0, 0)

[0043] 図8は、送信器2の出力部2 Bの回路図である。出力部2 Bは、E R R A C K信号が入力される電流受信回路1 6と、A C K信号が入力される電流受信回路1 7と、電流受信回路1 6、1 7の出力が入力されるO R回路1 8とから構成されている。電流受信回路1 6は、カレントミラー回路1 4と、カレントミラー回路1 4に接続されるインバータ1 5とから構成されている。

。電流受信回路 17 も電流受信回路 16 と同様に構成されている。

[0044] 図 9 は、受信器 4 中の復号器 7 の回路図である。復号器 7 は DATA 信号及び ERR__DATA 信号が入力される検知器 19 と、この検知器 19 の出力である Out#data 信号と故障モード信号とが入力される AND 回路 7a と、この AND 回路 7a の出力と検知器 19 の出力である Out#err 信号が入力されるマルチプレクサ 7b と、マルチプレクサ 7b の出力が入力される C 素子 7c とから構成されている。

[0045] 図 10 は、C 素子 7c の動作を説明する図であり、それぞれ (a) は C 素子 7c の構成を示す回路図、(b) は C 素子 7c の動作の真理値表を示している。図 10 (a) に示すように、C 素子 7c は、非同期式の回路に使用される双安定の記憶素子であり、待ち合わせ回路や合流回路とも呼ばれている。

図 10 (b) に示すように、全ての入力が論理"1"になると出力が論理"1"になり、全ての入力が論理"0"になると出力が論理"0"になる。入力に論理"1"と"0"が混在した状態では、直前の出力を維持する。

[0046] 図 11 は、復号器 7 中の検知器 19 の回路図である。検知器 19 は、4 つの電流検知器 19a, 19b, 19c, 19d から構成されている。電流検知器 19a ~ 19d のそれぞれは、DATA 信号が入力されるカレントミラー回路 14 と、カレントミラー回路 14 の出力に接続されるインバータ 15 と、から構成されている。ERR__DATA 信号が入力される電流検知器 19e も、上記電流検知器 19a と同様の構成である。

[0047] 図 11 に示すように、電流検知器 19a では電流 I_{out} が電圧 V_{out} に変換される。正常モードでは、DATA 信号と OUT 信号の符号は同じである。

一度配線故障が生じると、ERR__DATA 信号は"1"となる。"1"は、「故障」を意味する。これにより、モードは故障モードに遷移する。

故障モードでは、復旧符号が送信器 2 から送信されたとき、復旧符号は受信器 4 に記憶される。この記憶データはモードを構成モードに遷移させる。

図 9 のマルチプレクサ 7b からなる出力セクタでは、(DATA, ER

R_DATA)とOUTとの間の接続は、復旧符号に基づいて配線3cの内、オープン故障を有している配線3cを排除するように再構成される。それからデータは、DATA、ERR_DATAを通過する1-of-5符号によって送信される。そして、モードは復旧モードに移す。

[0048] 図12は、受信器4の出力制御部8の回路図である。出力制御部8は、復号器7からの信号がパストランジスタ8aを介して入力される第1の非同期RSラッチ8bと、第2の非同期RSラッチ8cと、3個のAND回路8d、8e、8fと、5個のOR回路と8g、8h、8i、8j、8kと、から構成されている。

[0049] 図13は、受信器4の入力部4Bの回路図である。入力部4Bは、Ack#internalに接続される二つのAND回路25と、第1のAND回路25aの出力に接続されるインバータ13と、インバータ13に接続される電流源12と、第2のAND回路25bの出力に接続される電流検知器19fとから構成されている。

[0050] 図14は、DATA_BLOCKとACK_BLOCKのモードを示す図であり、(a)は、DATA_BLOCKの4モード、(b)は、ACK_BLOCKブロックの2モードを示している。

図14(a)に示すように、DATA_BLOCKでは、DATA_BLOCKの信号の送信及び受信に使用される配線3cの状態によって、正常モード(NORMAL)、故障モード(FAULT)、構成モード(CONFIG)及び復旧モード(RECOVERY)の四つの動作を行う。

図14(b)に示すように、ACK_BLOCKでは、ACK_BLOCKの信号の送信及び受信に使用される配線3cの状態によって、正常モード(NORMAL)と、復旧モード(RECOVERY)の動作を行う。

[0051] 通信リンクでは、4相符号を使用している。送信器2と受信器4との間のデータ伝送は、電流モードの信号で行い、他の回路は電圧モードの信号を使用している。

[0052] 図15は、故障から復旧するシステムのタイミングチャートである。この

例では、配線 3 c の内、データ”3”に関連する一つの配線 3 c はオープンである。最初に、DATA BLOCKとACK BLOCKとは、正常モードで動作している。

[0053] 最初にDATA BLOCKのモードについて説明する。

正常モードでは、非同期データ転送装置 1 における通信リンク（非特許文献 14 参照）と同様に、1-of-4 符号に基づいて動作している。

[0054] 最初に、データ”0”として（0，0，0，1）が送信器 2 から受信器 4 へ送信される。

2 番目に、受信器 4 はデータ”0”を検出し、そしてデータ”0”の受信に対してACK信号として（1，0）を送信器 2 に送信する。

[0055] ここで、表 3 は、ACK BLOCK用の 2 線符号を示している。

[表3]

	モード	(ACK, ERR ACK)
Ack	正常	(1, 0)
	構成	(0, 1)
スペーサー		(0, 0)

[0056] 3 番目に、送信器 2 はACK信号を検出し、そしてスペーサーとして（0，0，0，0）を受信器 4 に送信する。

4 番目に、受信器 4 はスペーサーを検出し、そしてスペーサーとして（0，0）を送信器 2 に送信する。このようにして、4 相プロトコルでは、1 通信当たり 4 ステップが必要となる。DATA BLOCKでは、4 相方式のプロトコルを用いている。

[0057] データ”3”が送信されたとき、配線故障は送信器 2 中の符号器 5 で検出される。これにより、送信器 2 のモードは故障モードに遷移する。

[0058] 表 4 は故障モード中のDATA BLOCK用の 1 線符号を示している。ERR_DATA信号は、1 ビットの符号語（コードワード）で表されている。

[表4]

モード	ERR_DATA
故障	1
スペーサー	0

[0059] 送信器 2 は故障情報として故障情報 (Fault) を受信器 4 に送信する。故障符号が生成されると送信器 2 は故障モードに変化する。一方、DATA 信号は (0, 0, 0, 0) から変化しない。同時に、復旧符号は故障符号に基づいて生成される。

受信器 4 が故障情報 (Fault) を検出すると、受信器 4 のモードは故障モードに遷移し、次のモードである構成モードで復旧符号を受信する準備が整う。それから、送信器 2 のモードは復旧モードに遷移する。

[0060] 表 5 は、構成モード中の DATA BLOCK 用の 1-of-4 符号を示している。

復旧符号は、オープン故障を有している配線 3 c を排除するために生成される。送信器 2 が復旧符号 "3" として (0, 0, 0, 1) を受信器 4 へ送信した場合、受信器 4 は、既に故障モードにおいて故障情報を受信しているので、(0, 0, 0, 1) を復旧符号 "3" として認識する。

[表5]

	論理値	DATA
データ	"0"	(1, 0, 0, 0)
	"1"	(0, 1, 0, 0)
	"2"	(0, 0, 1, 0)
	"3"	(0, 0, 0, 1)
スペーサー		(0, 0, 0, 0)

[0061] 受信器 4 が構成モードに変化すると、データ "3" に関するオープン配線 3 c は、ERR_DATA 信号の配線 3 c によって置き換えられる。受信器 4 は、構成モードにおいて、復旧符号に基づいて配線故障を有している配線を正常な配線に置き換える。最後に、送信器 2 のモードは、復旧モードに遷移する。

[0062] 表 6 は、復旧モード中における DATA BLOCK 用の 1-of-5 符号を

示している。

[表6]

	論理値	(DATA, ERR_DATA)
復旧符号	“0”	(0, 0, 0, 1, 0)
	“1”	(0, 0, 1, 0, 0)
	“2”	(0, 1, 0, 0, 0)
	“3”	(0, 0, 0, 0, 1)
スペーサー		(0, 0, 0, 0, 0)

[0063] 送信器2は、データ“3”として(0, 0, 0, 0, 1)を受信器4に送信する。

受信器4は、データ“3”として(0, 0, 0, 0, 1)を認識し、その結果、復旧モードで動作する。これにより、データ“3”に関する配線故障下でデータ転送を行う復旧モードで動作する。

[0064] モードが構成モードに遷移するとき、符号器5の出力は復旧符号となる。復旧符号は故障の無い配線3cを使用して生成されるので、故障符号は(0, 0, 0, 0)に戻る。

図3の第1のAND回路5a及び第2のAND回路5bからなる入力セレクトタでは、(DATA, ERR_DATA)とINとの間の接続は、復旧符号に基づいて配線3cの内オープン故障を有している一つの配線を排除するように再構成される。

モードが復旧モードに遷移するとき、DATA信号及びERR_DATA信号のデータは1-of-5符号によって送信される。復旧モードにおいて、送信器2から受信器4への信号、例えばERR_DATA信号は、配線故障を有している配線を正常な配線に置き換えて送信される。

[0065] 次に、ACK BLOCKのモードについて説明する。

ACK信号に対して、故障－復旧系のモードは、図14(b)に示すように遷移する。

第一に、ACK信号は正常モードで動作している。

ACK BLOCKの配線故障が受信器4の入力部4Bで検出されたときには、ACK BLOCKの2線符号は、表3に示すように(1, 0)から

(0, 1) に変化する。

復旧モードでは、送信器 2 の出力部 2 B はどのモードでも 2 線符号の論理和によって Acknowledgement 情報を検出することで、Acknowledgement 情報は ACK BLOCK の配線故障下で受信される。Acknowledgement 情報は、確認情報とも呼ばれている。

[0066] 送信器 2 の入力制御部 6 の動作について、纏めて説明する。

(正常モード)

符号器 5 の電流ドライバ 1 1 a ~ 1 1 d でオープン故障が検出されると、故障符号が生成され、入力制御部 6 に送出される。故障符号は、表 2 に示す符号と同じである。この故障符号は図 7 に示す入力制御部 6 の非同期 RS ラッチ 6 g に入力される。

(故障モード)

符号器 5 の電流ドライバでオープン故障が検出されると、故障符号に対応した 4 線の内の 1 線が高(high)となることで、故障符号が生成される。これにより、表 4 の ERR__DATA 信号に対応する故障情報 (Fault) が生成される。

(構成モード)

符号器 5 の故障符号が低(low)になると同時に、CONFIG MODE 信号を高(high)にする (図 3 の CONFIG MODE 信号を参照)。

次に、表 5 に示す復旧符号を生成する。

(復旧モード)

CONFIG MODE 信号を low にすると同時に、RECOVERY MODE 信号を高(high)にする (図 3 の RECOVERY MODE 信号を参照)。

[0067] 次に受信器 4 の出力制御部 8 の動作について、纏めて説明する。

(正常モード)

送信器 2 から表 4 の Fault が転送されてくると、Fault(Out#err)が高(high)になる。この信号は、図 1 2 に示す受信器 4 の出力制御部 8 で受信し、非同期 RS ラッチ 8 b に入力される。

(故障モード)

図 1 2 における FAULT MODE 信号を高(high)にする。

(構成モード)

図 1 2 において、表 5 の復旧符号である Recovery code によって Out#data 信号が、送信器 2 から送信されてくると、受信器 4 の出力制御部 8 で受信され、第 2 の非同期 R S ラッチ 8 c に保存される。

(復旧モード)

図 1 2 の RECOVERY MODE 信号を高(high)にする。

[0068] 以上、説明したように、本発明の非同期データ転送装置 1 によれば、電流量の監視に基づく配線のオープン（永久）故障の検出を実現することができる。つまり、データ転送時に入力電流を受信側への「データ転送電流」 I_w と、監視用の「フィードバック電流」 I_d に分流を行う。この 2 つの電流量の合計値は一定なため、配線故障時は「データ転送電流」 I_w がカットオフされる一方で、「フィードバック電流」 I_d は単調に増加する。「フィードバック電流」 I_d の増加を送信側で検出することで、遅延仮定なしに配線故障が検出可能になる。検出した故障配線を予備の正常な配線 3 c と入れ替えることで、非同期データ転送装置 1 としての機能が回復する。

これにより、本発明の非同期データ転送装置 1 では、Q D I 論理型の非同期データ転送の遅延故障耐性を有しながら、配線故障耐性を実現することが可能となる。

[0069] 本発明の非同期データ転送装置 1 の機能を表 7 に示す。表 7 には、表 1 の従来の非同期データ転送装置の機能も示している。表 7 に示すように、本発明の非同期データ転送装置 1 では、従来できなかった入力ポートでの配線故障監視と検知とを Q D I 論理型で行うことができる。

[表7]

	本発明	従来例	
	入力ポート	入力ポート	出力ポート
	フィードバック有り	フィードバック無し	
配線故障監視	○	×	○
遅延故障監視	×	×	○
二つの故障の識別	○	—	×
配線故障の検知	○	×	○
遅延不感(QDI)	○	—	×

実施例

[0070] 以下、本発明を実施例によりさらに詳細に説明する。

本発明の非同期データ転送装置1の回路をSilterra社の0.13 μm のCMOS技術で作成し、HSPICEで評価した。送信器2と受信器4との間の配線3cの長さは1mmである。配線3cはパイモデルでシミュレーションした。パイモデルのパラメータとして、抵抗は91 Ω/mm とし、容量は84 fF/mmとした。

[0071] 図16は、シミュレーションのタイミングチャートである。図16では、配線3cがData”3”の故障の場合を示す。 I_{in} は165 μA とした。

図16に示すように、DATA信号がオープン故障を有する配線3cを介して送信されるとき、 I_d が大きくなる。この I_d が通信リンクを復旧するように故障モードに遷移する。

[0072] 表8は、本発明を比較例と対比した表である。

表8に示すように、本発明の場合には、配線故障検出と配線故障下での動作補正、つまり復旧が可能である。また、遅延時間に不感であるQDI論理型に対応している。配線数はnビットに対して2n+3であり、使用したトランジスタ数は1280個であった。スループットは837 Mbps、消費電力は584 μW 、エネルギーは698 fJ/bitであった。

[表8]

項目	本発明	比較例1	比較例2	比較例3
		1-of-4符号化	1-of-4符号化 (二重化)	1-of-4符号化 (TMR)
配線故障検出	○	×	○	○
故障下での動作補正	○	×	×	○
遅延時間不感感(QDI)	有り	有り	無し	無し
配線数(nビット)	$2n+3$	$2n+1$	$2 \times (2n+1)$	$3 \times (2n+1)$
スループット(Mbps)	837	840	741	622
電力(μW)	584	328	616	761
エネルギー(fJ/bit)	698	388	831	1223
トランジスタ数	1280	545	1049	1659

[0073] 一方、1-of-4符号による従来例（非特許文献9参照）では、QDI論理型には対応しているが、配線故障検出と配線故障下での動作補正ができない。配線数はnビットに対して $2n+1$ であり、使用したトランジスタ数は545個であった。スループットは840Mbps、消費電力は328 μW 、エネルギーは388fJ/bitであった。

[0074] 一方、二重化した1-of-4符号による従来例（非特許文献10参照）では、QDI論理型には対応していないが、配線故障検出はできるが、配線故障下での動作補正ができないものである。配線数はnビットに対して $2 \times (2n+1)$ であり、使用したトランジスタ数は1049個であった。スループットは741Mbps、消費電力は616 μW 、エネルギーは831fJ/bitであった。

[0075] 一方、三重化した1-of-4符号による従来例（非特許文献11参照）では、QDI論理型には対応していないが、本発明と同様に配線故障検出と配線故障下での動作補正、つまり復旧が可能である。配線数はnビットに対して $3 \times (2n+1)$ であり、使用したトランジスタ数は1223個であった。スループットは622Mbps、消費電力は761 μW 、エネルギーは1223fJ/bitであった。

[0076] 上記の結果から、本発明の遅延及び配線故障耐性を有する非同期データ転送装置1は、遅延時間に不感であるQDI論理型に対応し、配線故障の検出と故障した配線の復旧が可能である。また、本発明の非同期データ転送装置

1の使用トランジスタ数は、比較例2と比較例3との間の数であるが、スループットは、比較例1と同様に高速である。またその消費電力は、比較例2及び3よりも低くなった。また、 n ビットへ拡張した場合でも入力制御部6及び出力制御部8はビット幅に依存しないことから、トランジスタ数は比較例2及び比較例3よりも小さくなる。

[0077] 本発明の非同期データ転送装置1を使用したネットワークオンチップは、プロセス、電源電圧、温度変動に伴う遅延変動耐性を有するだけでなく、LSI20の経年劣化に伴う配線故障耐性をも有しているので、信頼性の高いシステムを実現できる。このため、過酷な環境下での使用が見込まれる車載用及び宇宙用のシステムオンチップ(SoC)に用いることができる。第4世代の携帯電話等にも応用できる。

[0078] 本発明の非同期データ転送装置1はクロック信号を用いない非同期式であることから、クロック信号を生成する回路の削除に伴う電力の削減も可能であるために、システムの低電力化も可能である。

[0079] 本発明は、上記実施の形態に限定されるものではなく、特許請求の範囲に記載した発明の範囲内で種々の変形が可能であり、それらも本発明の範囲内に含まれることはいうまでもない。

請求の範囲

- [請求項1] I P コア間に配設されるL S Iの非同期データ転送装置において、
第1のI P コアに接続される第1の配線と、
第2のI P コアに接続される第2の配線と、
上記第1の配線に接続される送信器と、
上記第2の配線に接続される受信器と、
上記送信器と上記受信器とを接続する第3の配線と、を含み、
上記送信器は、符号器と入力制御部とを有している入力部と、出力部と、を含み、
上記送信器の符号器は、上記第3の配線のオープン故障を検出する電流ドライバ回路を備えていることを特徴とする、非同期データ転送装置。
- [請求項2] 前記受信器は、入力部と、復号器と出力制御部とを有している出力部と、を含んでいることを特徴とする、請求項1に記載の非同期データ転送装置。
- [請求項3] 前記送信器及び受信器は、擬似遅延不感の論理方式の動作を行なうことを特徴とする、請求項1又は2に記載の非同期データ転送装置。
- [請求項4] 前記符号器は、電流源と、該電流源に接続されるインバータと、該インバータに接続されるカレントミラー回路と、該カレントミラー回路に接続されるインバータと、を含んで構成されることを特徴とする、請求項1に記載の非同期データ転送装置。
- [請求項5] 前記復号器は、カレントミラー回路と、該カレントミラー回路に接続されるインバータと、を含んで構成されることを特徴とする、請求項2に記載の非同期データ転送装置。
- [請求項6] 前記送信器の入力部にはI N信号が入力され、該入力部から前記受信器にD A T A信号及びE R R _ D A T A信号が出力され、前記受信器の出力部からO U T信号が出力されることを特徴とする、請求項1に記載の非同期データ転送装置。

[請求項7] 前記 I N 信号、前記 D A T A 信号、前記 E R R _ D A T A 信号、及び前記 O U T 信号により D A T A B L O C K が構成され、該 D A T A B L O C K は、正常モード、故障モード、構成モード及び復旧モードの動作を行うことを特徴とする、請求項 6 に記載の非同期データ転送装置。

[請求項8] 前記正常モードにおいて、配線故障を前記符号器で検出して、前記送信器は前記故障モードに遷移し、

前記故障モードでは、前記送信器は故障情報を前記受信器に送信し、同時に復旧符号を故障符号に基づいて生成し、前記受信器は故障モードに遷移し、

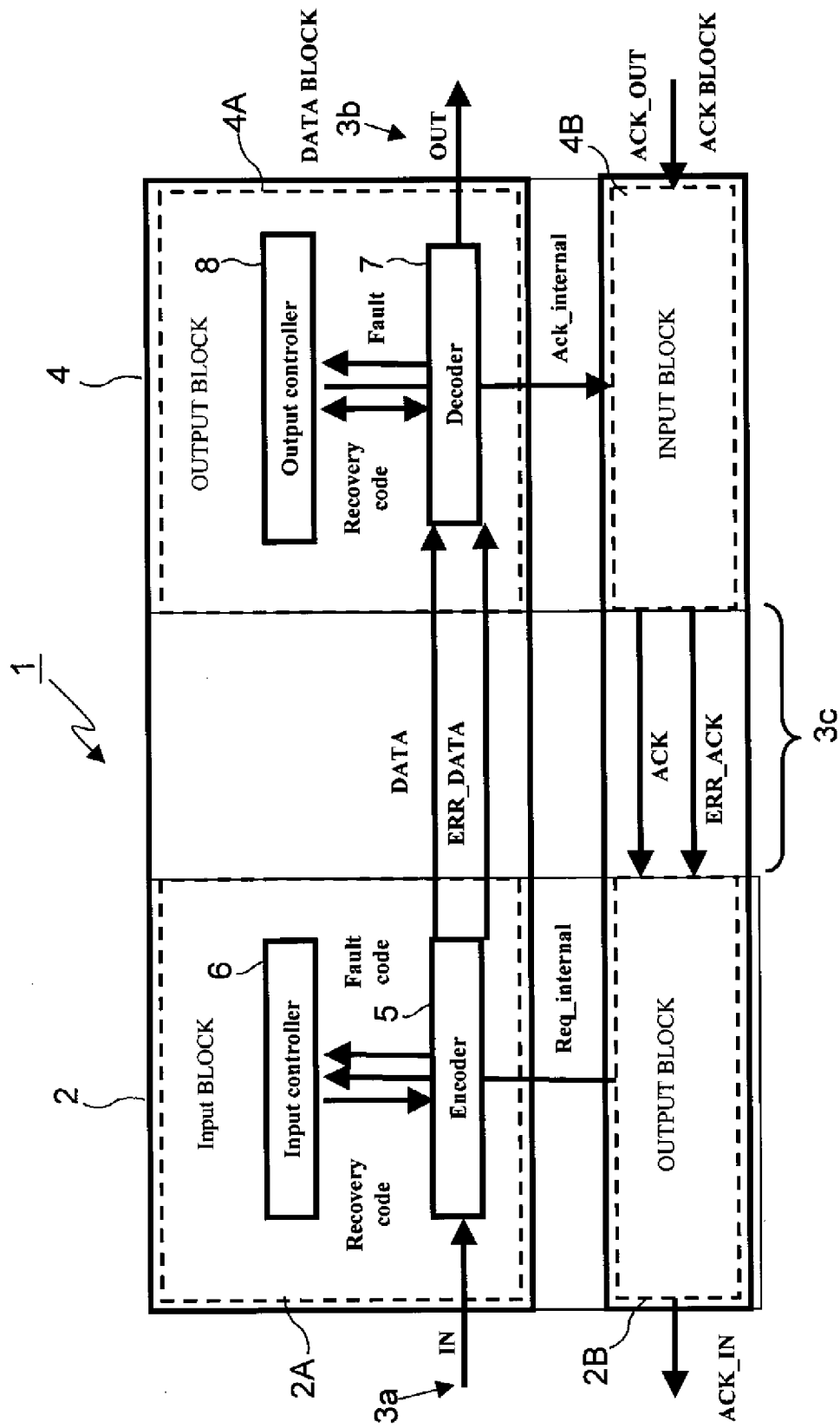
前記送信器は、上記復旧符号に基づいて前記構成モードに遷移し、該送信器が上記復旧符号を受信器に送信すると、該受信器が前記構成モードに遷移し、

前記送信器は、前記構成モードにおいて、上記復旧符号に基づいて配線故障を有している配線を排除するように再構成され、該送信器は、復旧モードに遷移し、

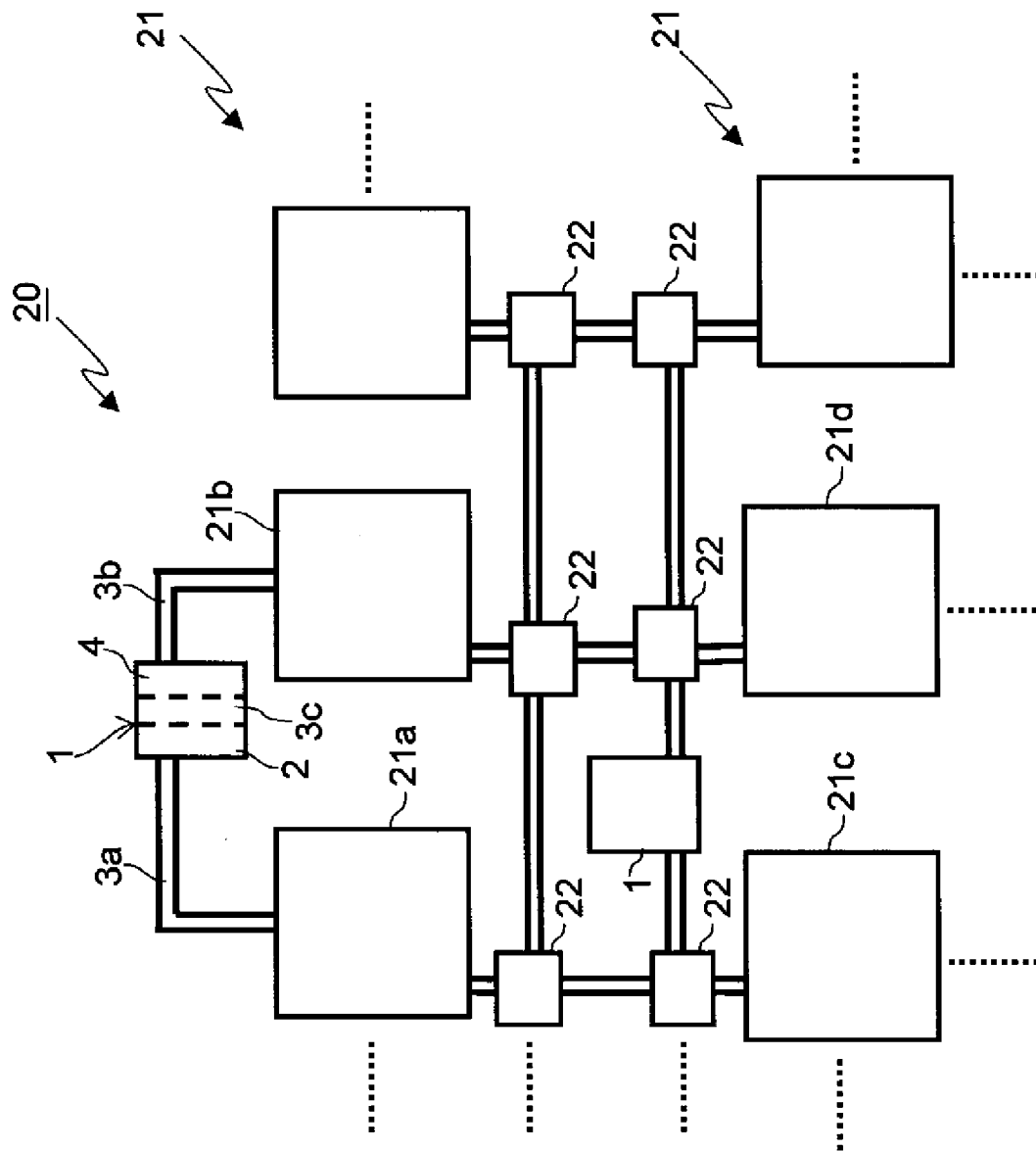
前記受信器は、前記構成モードにおいて、前記送信器からの信号によって復旧モードに遷移し、

前記復旧モードにおいて、前記送信器から前記受信器への信号は、前記配線故障を有している配線を正常な配線に置き換えて送信されることを特徴とする、請求項 6 又は 7 に記載の非同期データ転送装置。

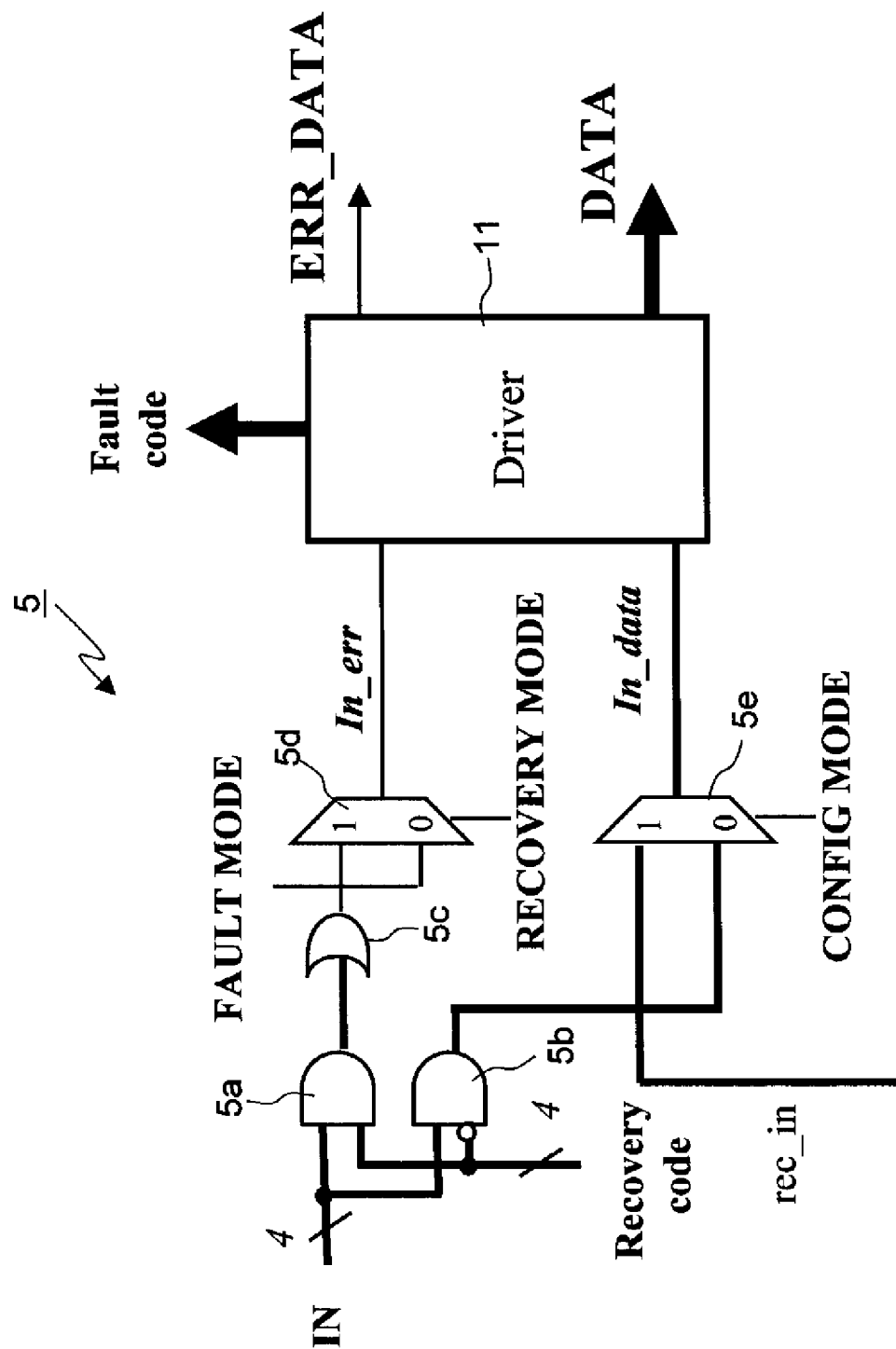
[図1]



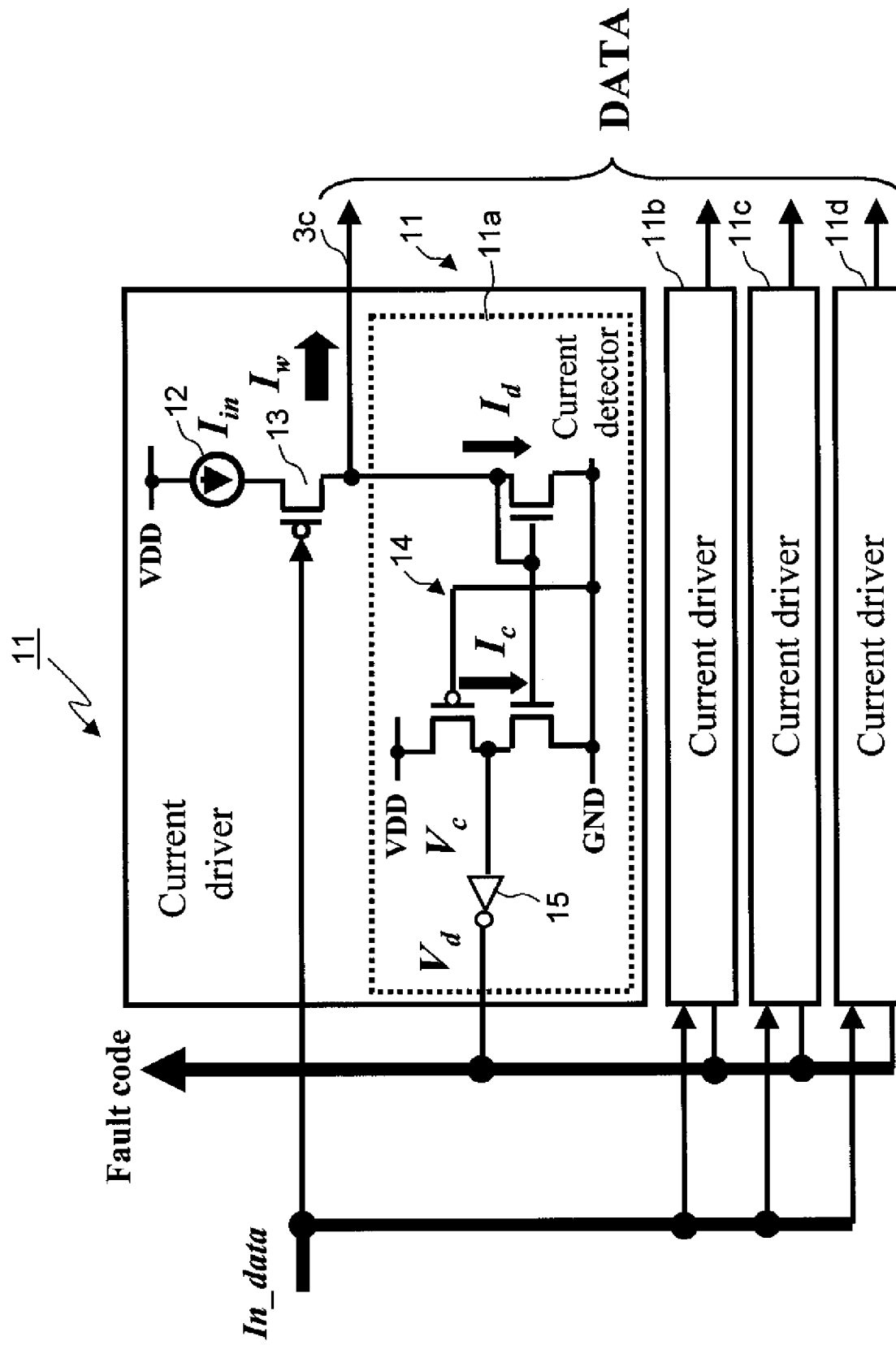
[図2]



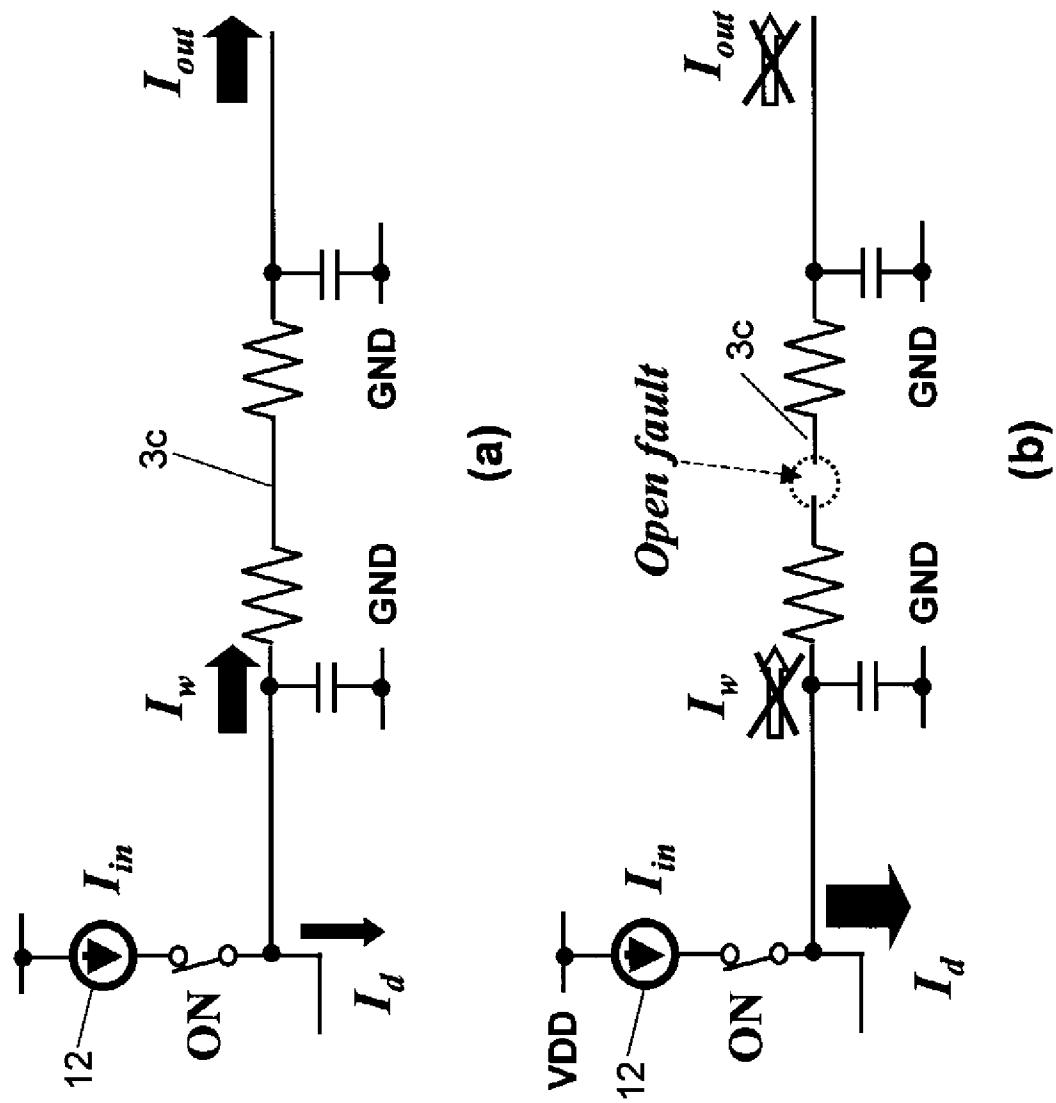
[図3]



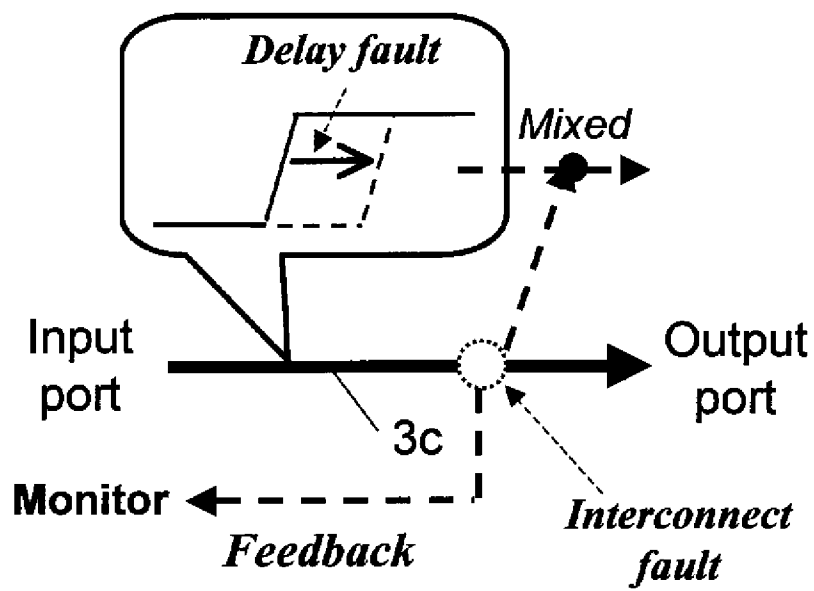
[図4]



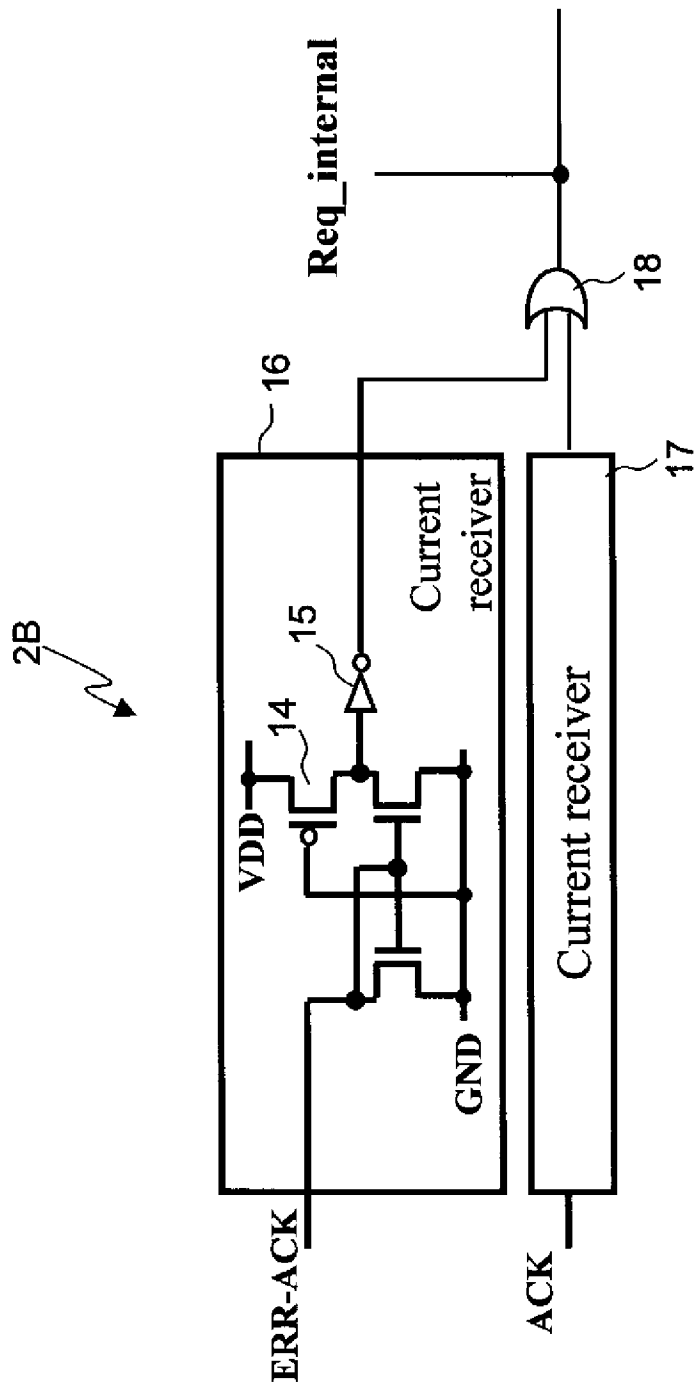
[図5]



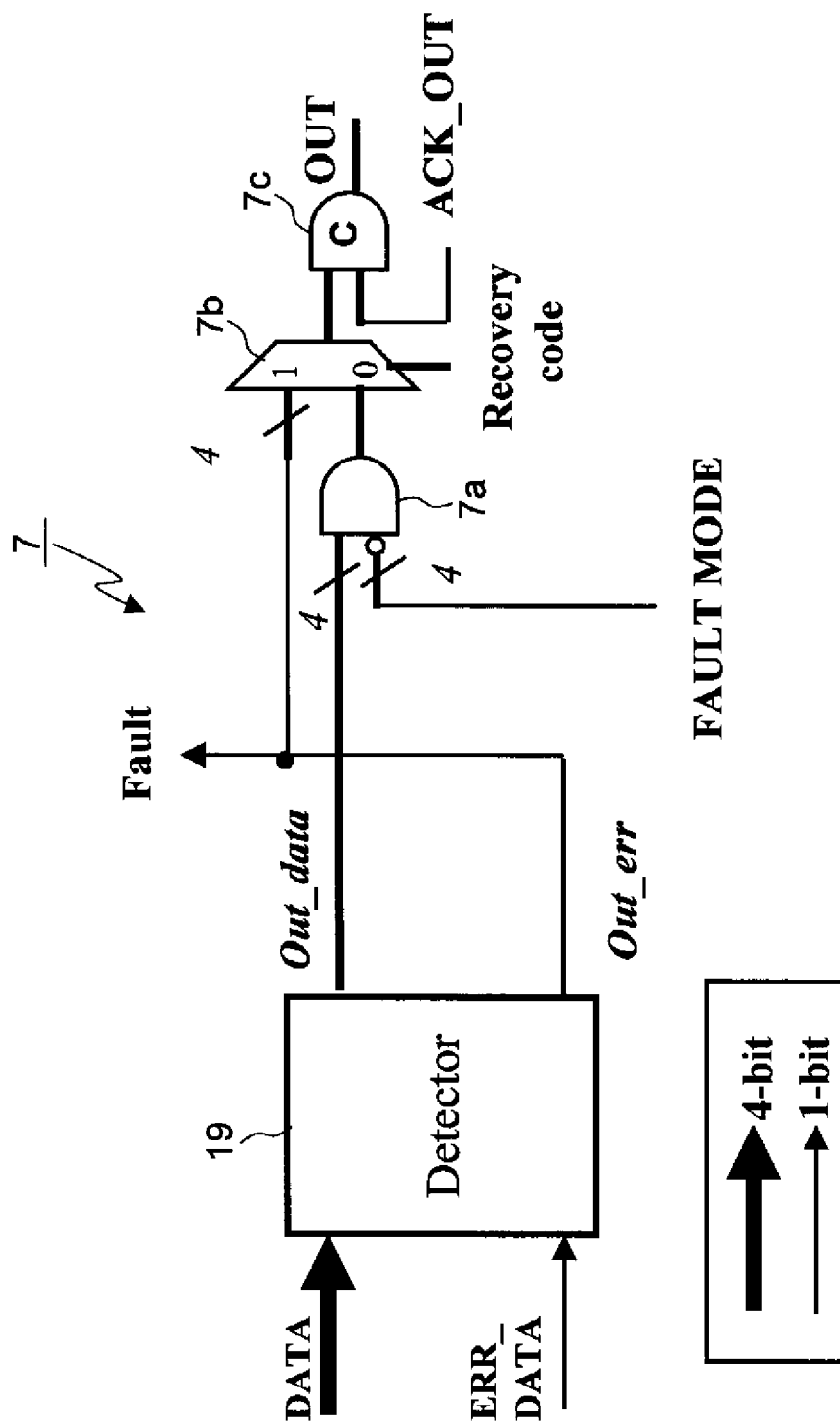
[図6]



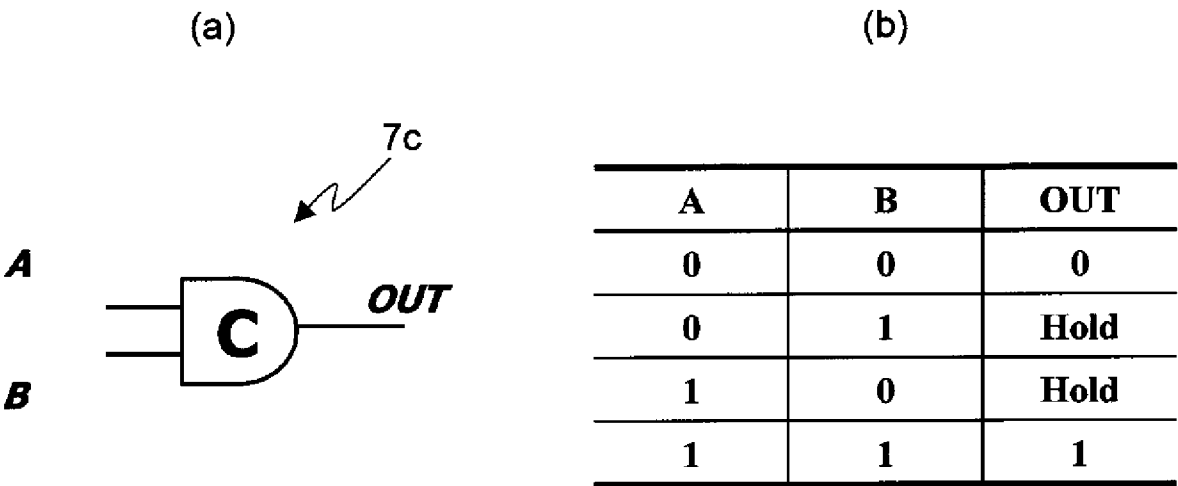
[図8]



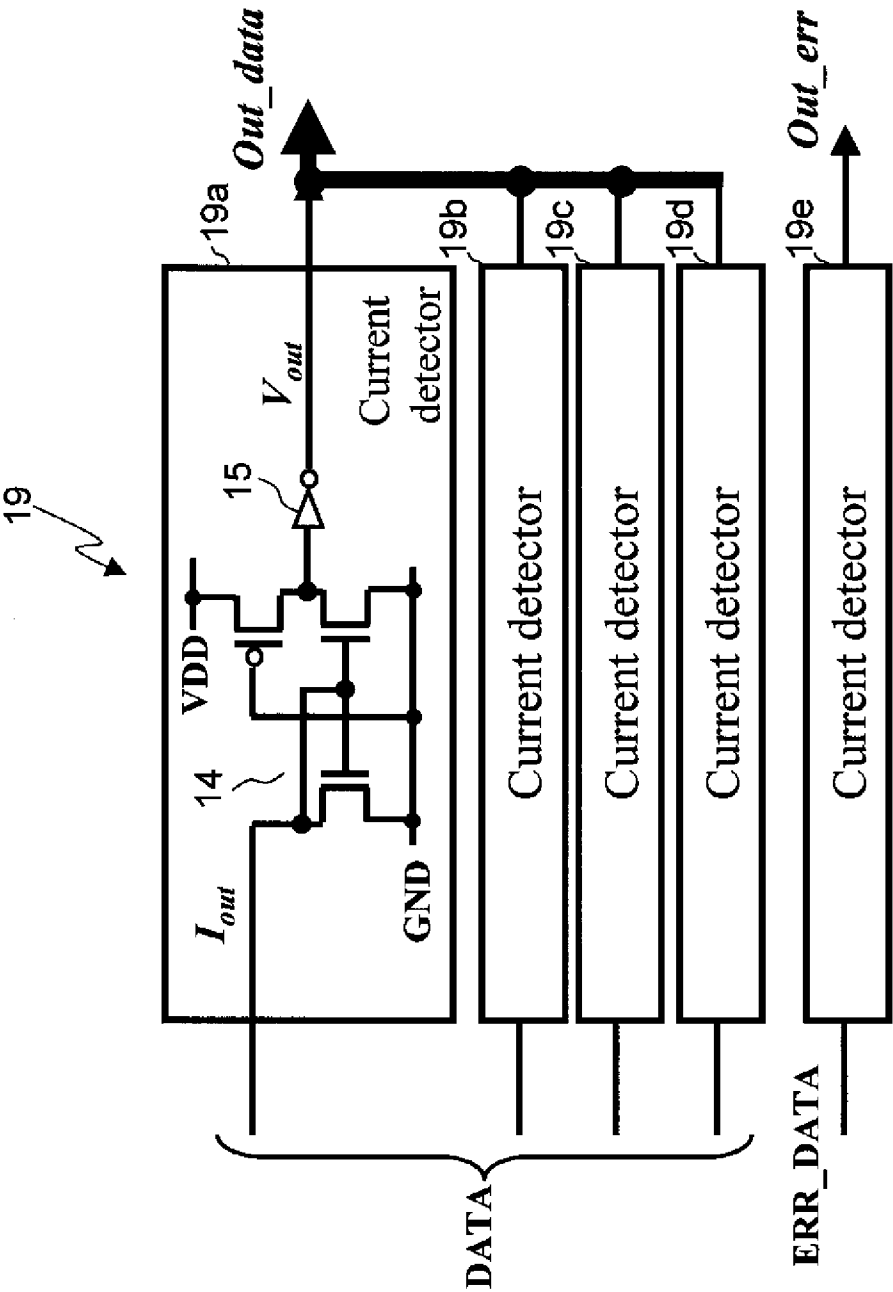
[図9]



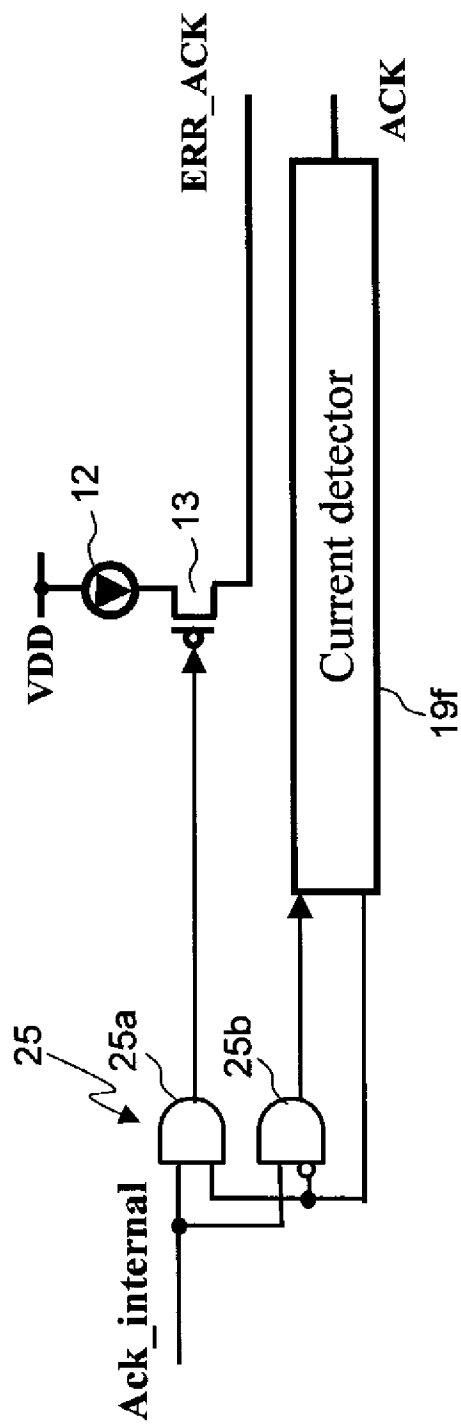
[図10]



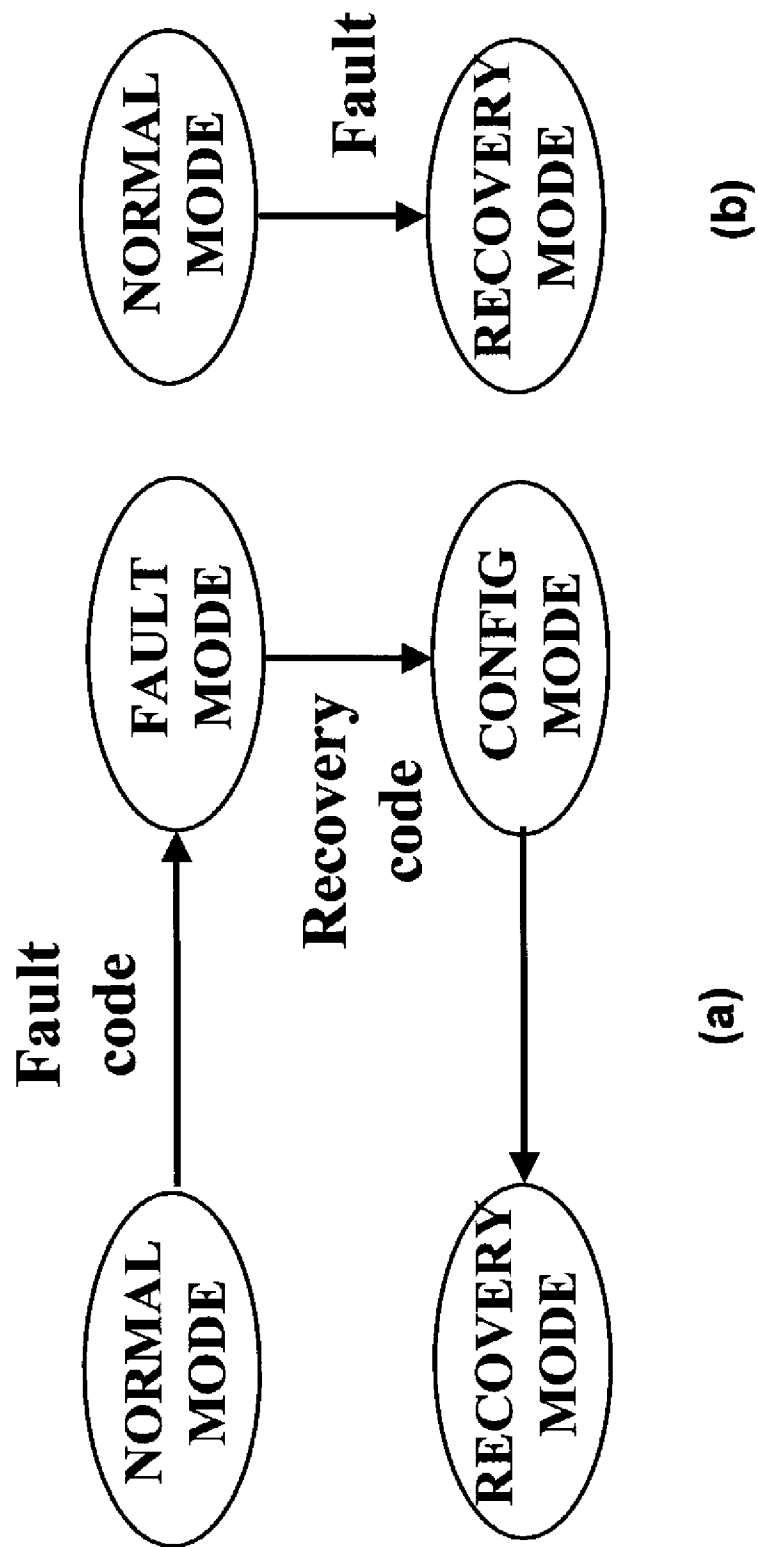
[図11]



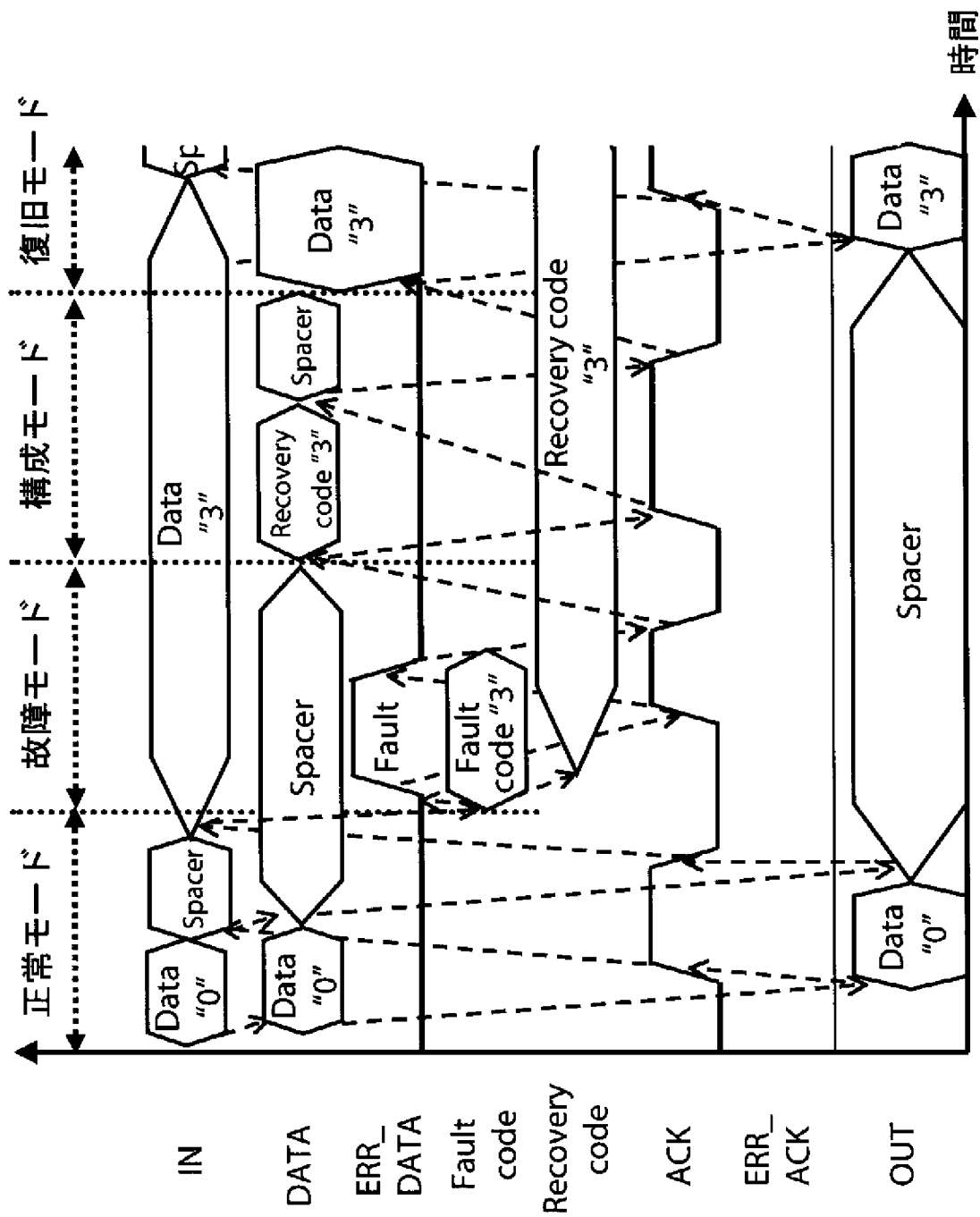
4B



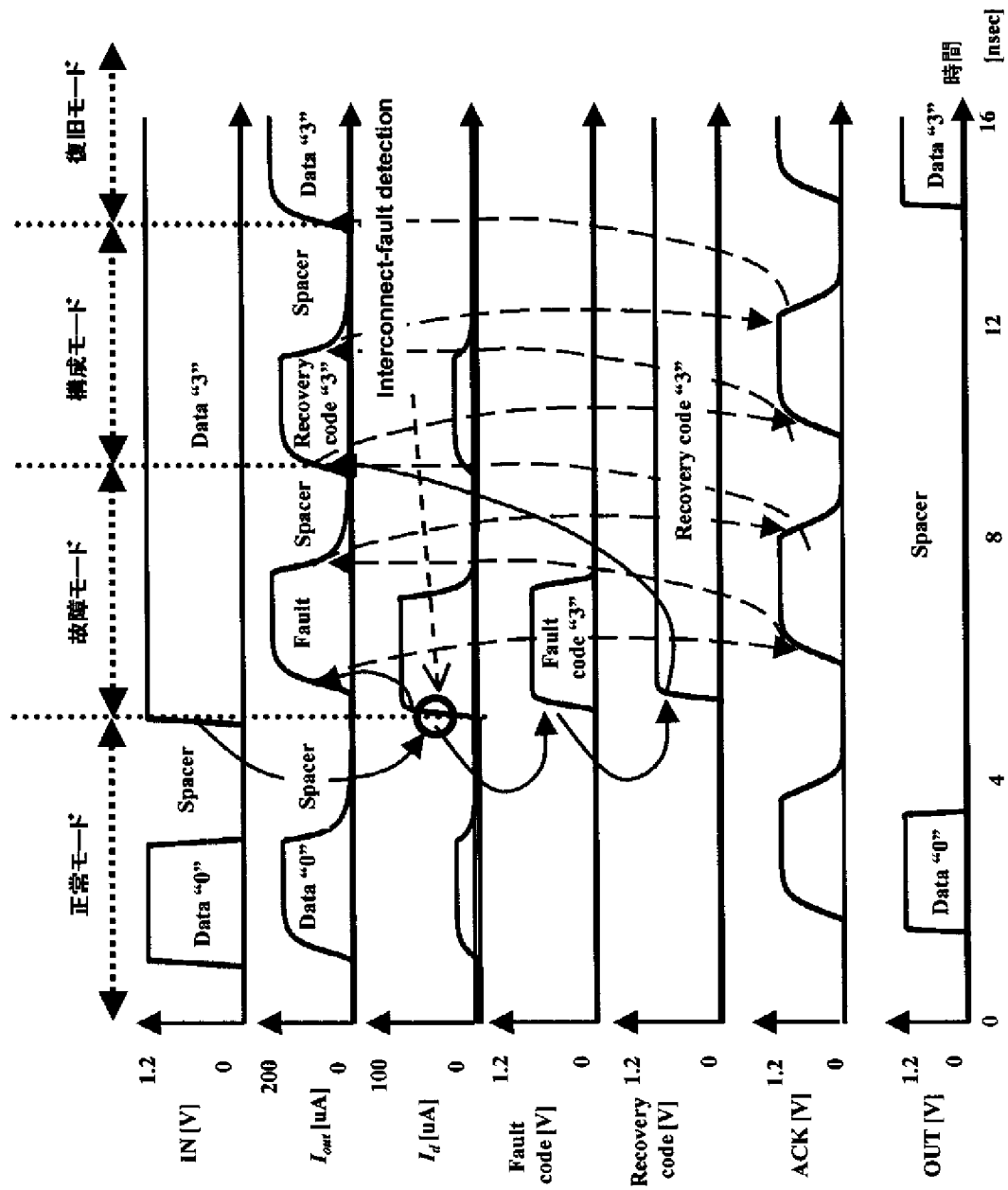
[図14]



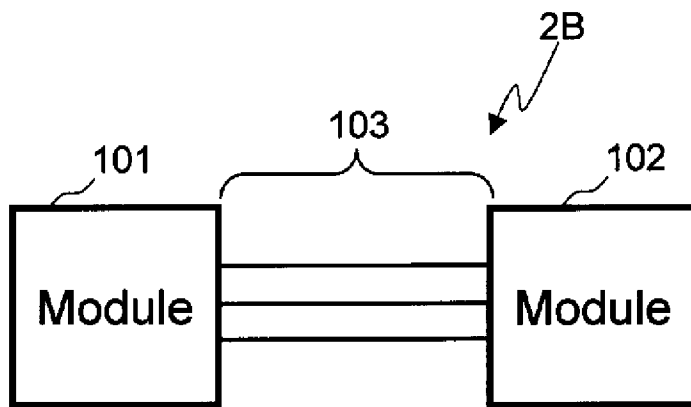
[図15]



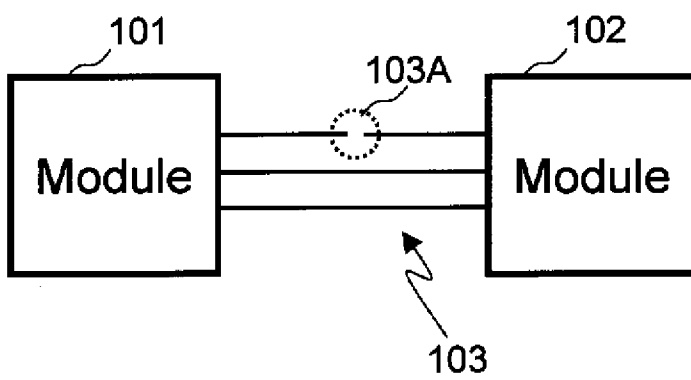
[図16]



[図17]

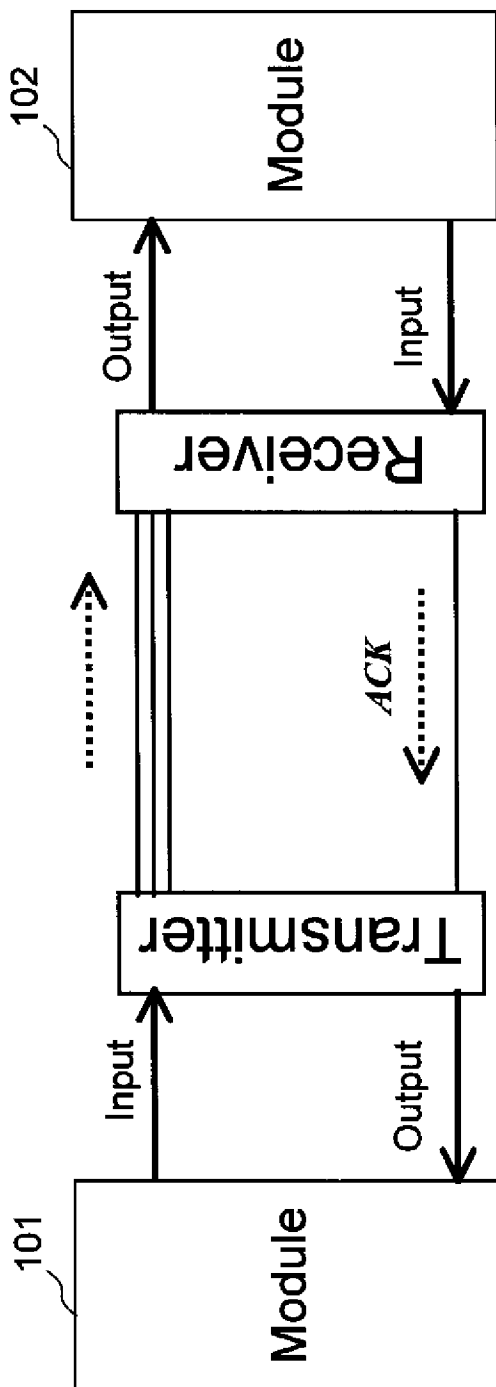


(a)

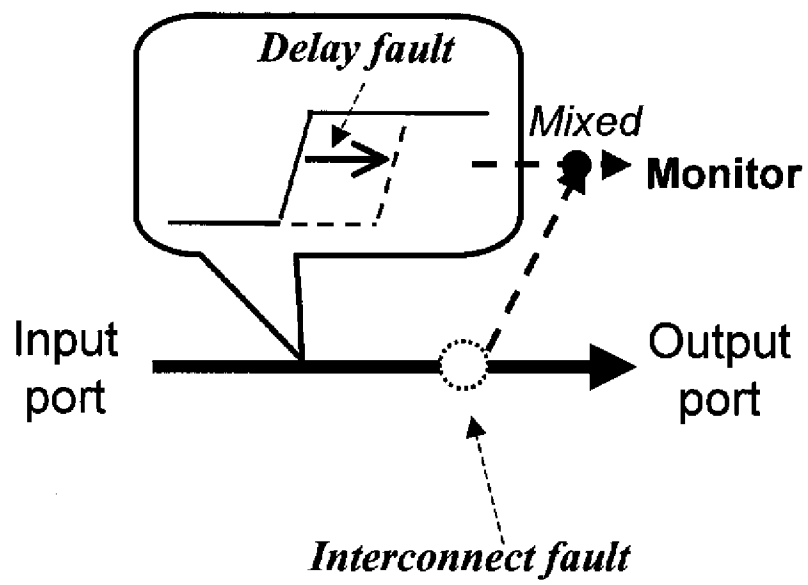


(b)

[図18]



[図19]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/055990

A. CLASSIFICATION OF SUBJECT MATTER

H04L25/02(2006.01) i, H03K5/19(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04L25/00-25/66, H03K5/19

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2007-501550 A (Robert Bosch GmbH), 25 January 2007 (25.01.2007), entire text; all drawings & US 2007/0073449 A1 & EP 1654825 A & WO 2005/015817 A1 & DE 10335904 A & CN 1833395 A	1-8
A	Benini, L., De Micheli, G., Networks on chips: a new SoC paradigm, Computer, Vol.35, No.1, 2002.01, p.70-78	1-8



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
22 March, 2012 (22.03.12)

Date of mailing of the international search report
03 April, 2012 (03.04.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H04L25/02 (2006.01)i, H03K5/19 (2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H04L25/00-25/66, H03K5/19

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2007-501550 A (ローベルト ボッシュ ゲゼルシャフト ミッ ト ベシュレンクテル ハフツング) 2007.01.25, 全文, 全図 & US 2007/0073449 A1 & EP 1654825 A & WO 2005/015817 A1 & DE 10335904 A & CN 1833395 A	1-8
A	Benini, L., De Micheli, G., Networks on chips: a new SoC paradigm, Computer, Vol. 35, No. 1, 2002.01, p. 70-78	1-8

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 2 . 0 3 . 2 0 1 2

国際調査報告の発送日

0 3 . 0 4 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

白井 亮

5 K

3 3 6 3

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 6