



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0110021
(43) 공개일자 2017년10월10일

(51) 국제특허분류(Int. Cl.)
H03K 19/0185 (2006.01) *H03K 19/00* (2006.01)

(52) CPC특허분류
H03K 19/018521 (2013.01)
H03K 19/0013 (2013.01)

(21) 출원번호 10-2017-0033072

(22) 출원일자 2017년03월16일
심사청구일자 없음

(30) 우선권주장
JP-P-2016-057403 2016년03월22일 일분(JP)

(71) 출원인
르네사스 일렉트로닉스 가부시키가이샤
일본 도쿄도 고토쿠 도요스 3쵸메 2방 24고

(72) 발명자
다까야나기 고지
일본 도쿄도 고다이라시 조스이촌 쪽 5쵸메 20-1
르네사스 시스템 디자인 가부시키가이샤 내

(74) 대리인
장수길, 이중희

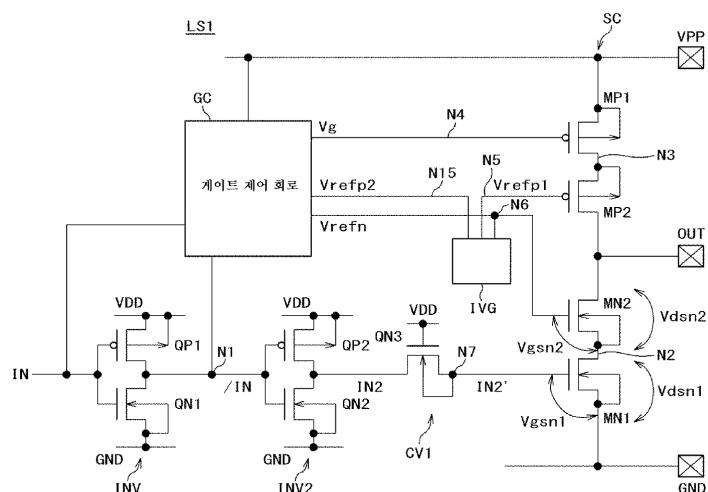
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 반도체 장치

(57) 요약

고내압 구조의 트랜지스터를 사용하지 않고, 고진폭의 신호를 출력하면, 트랜지스터에 저진폭의 신호의 전압을 초과하는 드레인-소스간의 전압이 인가되는 경우가 있다. 반도체 장치는 저진폭의 논리 신호에 의해 고진폭의 신호를 출력하는 레벨 시프트 회로를 구비한다. 그 레벨 시프트 회로는, 직렬 접속 회로와, 제1 전원에 접속되는 제1 게이트 제어 회로와, 그 제1 전원의 전위보다도 높은 제2 전원에 접속되는 제2 게이트 제어 회로와, 그 제1 게이트 제어 회로와 그 직렬 접속 회로 사이에 배치되는 전위 변환 회로를 구비한다. 그 전위 변환 회로는 그 직렬 접속 회로의 N채널형 MOS 트랜지스터의 게이트에 그 제1 전원의 전위보다도 낮고 기준 전원의 전위보다도 높은 제1 레벨의 전위를 공급한다.

대표 도



명세서

청구범위

청구항 1

반도체 장치는 저진폭의 논리 신호에 의해 고진폭의 신호를 출력하는 레벨 시프트 회로를 갖는 반도체 칩을 구비하고,

상기 레벨 시프트 회로는,

직렬 접속 회로와,

전위 생성 회로와,

제1 전원에 접속되는 제1 게이트 제어 회로와,

상기 제1 전원의 전위보다도 높은 제2 전원에 접속되는 제2 게이트 제어 회로와,

상기 제1 게이트 제어 회로와 상기 직렬 접속 회로 사이에 배치되는 제1 전위 변환 회로를 구비하고,

상기 직렬 접속 회로는,

소스가 상기 제2 전원에 접속되는 제1 P채널형 MOS 트랜지스터와,

소스가 상기 제1 P채널형 MOS 트랜지스터의 드레인에 접속되는 제2 P채널형 MOS 트랜지스터와,

소스가 기준 전원에 접속되는 제1 N채널형 MOS 트랜지스터와,

소스가 상기 제1 N채널형 MOS 트랜지스터의 드레인에 접속되는 제2 N채널형 MOS 트랜지스터와,

상기 제2 P채널형 MOS 트랜지스터의 드레인과 상기 제2 N채널형 MOS 트랜지스터의 드레인이 접속되는 제1 출력 노드를 구비하고,

상기 전위 생성 회로는, 상기 제2 전원의 전위보다도 낮고 상기 기준 전원의 전위보다도 높은 상기 제2 P채널형 MOS 트랜지스터의 게이트에 인가하는 제1 전위와, 상기 제2 전원의 전위보다도 낮고 상기 기준 전원의 전위보다도 높은 상기 제2 N채널형 MOS 트랜지스터의 게이트에 인가하는 제2 전위와, 상기 제2 전원의 전위보다도 낮고 상기 기준 전원의 전위보다도 높은 제3 전위를 생성하고,

상기 제1 게이트 제어 회로는, 상기 기준 전원의 전위와 상기 제1 전원의 전위 사이의 진폭이며, 제1 N채널형 MOS 트랜지스터의 게이트를 제어하는 제1 신호를 생성하고,

상기 제2 게이트 제어 회로는, 상기 제1 전위와 상기 제2 전원의 전위 사이의 진폭이며, 상기 제1 P채널형 MOS 트랜지스터의 게이트를 제어하는 제2 신호를 생성하고,

상기 제1 전위 변환 회로는 상기 제1 N채널형 MOS 트랜지스터의 게이트에 상기 제1 신호의 고레벨보다도 낮고 기준 전원의 전위보다도 높은 제1 레벨의 전위를 공급하는 반도체 장치.

청구항 2

제1항에 있어서,

상기 제1 P채널형 MOS 트랜지스터의 기판은 상기 제2 전원에 접속되고,

상기 제2 P채널형 MOS 트랜지스터의 기판은 상기 제1 P채널형 MOS 트랜지스터의 드레인에 접속되고,

상기 제1 N채널형 MOS 트랜지스터의 기판은 상기 기준 전원에 접속되고,

상기 제2 N채널형 MOS 트랜지스터의 기판은 상기 제1 N채널형 MOS 트랜지스터의 드레인에 접속되는 반도체 장치.

청구항 3

제1항에 있어서,

상기 제1 전위 변환 회로는 상기 제1 N채널형 MOS 트랜지스터의 게이트에 제1 제어 신호에 기초하여 상기 제1 레벨의 전위보다도 높은 전위를 공급하는 반도체 장치.

청구항 4

제3항에 있어서,

상기 제2 게이트 제어 회로와 상기 직렬 접속 회로 사이에 배치되는 제2 전위 변환 회로를 더 구비하고,

상기 제2 전위 변환 회로는 상기 제1 P채널형 MOS 트랜지스터의 게이트에 상기 제2 신호의 저레벨보다도 높고 제2 전원 전위보다도 낮은 제2 레벨의 전위를 공급하는 반도체 장치.

청구항 5

제4항에 있어서,

상기 제2 전위 변환 회로는 상기 제1 P채널형 MOS 트랜지스터의 게이트에 제2 제어 신호에 기초하여 상기 제2 레벨의 전위보다도 낮은 전위를 공급하는 반도체 장치.

청구항 6

제1항에 있어서,

상기 제1 전위 변환 회로는 게이트가 상기 제1 전원에 접속되는 제3 N채널형 MOS 트랜지스터를 포함하는 제1 트랜스퍼 게이트를 갖고, 상기 제3 N채널형 MOS 트랜지스터의 기판은 상기 제1 트랜스퍼 게이트의 제2 출력 노드에 접속되는 반도체 장치.

청구항 7

제3항에 있어서,

상기 제1 전위 변환 회로는 게이트에 상기 제1 제어 신호가 인가되는 제3 P채널형 MOS 트랜지스터를 포함하는 제2 트랜스퍼 게이트를 갖고, 상기 제3 P채널형 MOS 트랜지스터의 기판은 상기 제2 트랜스퍼 게이트의 제1 입력 노드에 접속되는 반도체 장치.

청구항 8

제4항에 있어서,

상기 제2 전위 변환 회로는 게이트가 상기 제1 전원에 접속되는 제4 P채널형 MOS 트랜지스터를 포함하는 제3 트랜스퍼 게이트를 갖고, 상기 제4 P채널형 MOS 트랜지스터의 기판은 상기 제3 트랜스퍼 게이트의 제2 입력 노드에 접속되는 반도체 장치.

청구항 9

제5항에 있어서,

상기 제2 전위 변환 회로는 게이트에 상기 제2 제어 신호가 인가되는 제4 N채널형 MOS 트랜지스터를 포함하는 제4 트랜스퍼 게이트를 갖고, 상기 제4 N채널형 MOS 트랜지스터의 기판은 상기 제4 트랜스퍼 게이트의 제3 출력 노드에 접속되는 반도체 장치.

청구항 10

제1항에 있어서,

상기 제1 게이트 제어 회로는,

입력 신호를 반전한 반전 신호를 출력하는 제1 인버터 회로와,

상기 반전 신호를 반전한 상기 제1 신호를 출력하는 제2 인버터 회로를 구비하는 반도체 장치.

청구항 11

제10항에 있어서,

상기 제1 인버터 회로는,

소스가 상기 제1 전원에 접속되는 제5 P채널형 MOS 트랜지스터와,

소스가 상기 기준 전원에 접속되는 제5 N채널형 MOS 트랜지스터와,

상기 제5 P채널형 MOS 트랜지스터의 게이트와 제5 N채널형 MOS 트랜지스터의 게이트가 접속되는 제3 입력 노드와,

상기 제5 P채널형 MOS 트랜지스터의 드레인과 제5 N채널형 MOS 트랜지스터의 드레인이 접속되는 제4 출력 노드를 구비하고,

상기 제3 입력 노드에 상기 입력 신호가 인가되고, 상기 제4 출력 노드에 상기 반전 신호가 인가되는 반도체 장치.

청구항 12

제10항에 있어서,

상기 제2 게이트 제어 회로는,

상기 제1 전위 및 상기 제2 전위로 클램프하는 클램프 회로와,

상기 제2 전원 전위와 상기 제1 전위 사이에서 동작하는 래치 회로와,

상기 제2 전위와 상기 기준 전위 사이에서 동작하는 래치 반전 회로를 구비하고,

상기 래치 회로의 제5 출력 노드로부터 상기 제2 신호가 출력되는 반도체 장치.

청구항 13

제12항에 있어서,

상기 래치 회로는, 소스가 모두 상기 제2 전원에 접속되고, 서로 게이트가 다른 드레인에 접속되어 있는 제6 및 제7 P채널형 MOS 트랜지스터를 포함하고, 상기 제6 P채널형 MOS 트랜지스터의 드레인이 상기 제7 출력 노드에 접속되어 있는 회로인 반도체 장치.

청구항 14

제12항에 있어서,

상기 클램프 회로는, 서로 드레인이 접속되어 있는 제8 P채널형 MOS 트랜지스터와 제6 N채널형 MOS 트랜지스터의 직렬 접속 회로와, 서로 드레인이 접속되어 있는 제9 P채널형 MOS 트랜지스터와 제7 N채널형 MOS 트랜지스터의 직렬 접속 회로를 포함하고, 상기 제10 P채널형 MOS 트랜지스터의 소스가 상기 제6 P채널형 MOS 트랜지스터의 드레인에 접속되고, 상기 제9 P채널형 MOS 트랜지스터의 소스가 상기 제7 P채널형 MOS 트랜지스터의 드레인에 접속되고, 상기 제8 및 제9 P채널형 MOS 트랜지스터의 게이트에는 공통으로 상기 제3 전위가 인가되고, 상기 제6 및 제7 N채널형 MOS 트랜지스터의 게이트에는 공통으로 상기 제2 전위가 인가되어 있는 회로인 반도체 장치.

청구항 15

제12항에 있어서,

상기 래치 반전 회로는, 서로 소스가 상기 기준 전원에 접속되어 있는 제8 및 제9 N채널형 MOS 트랜지스터를 포함하고, 상기 제8 및 제9 N채널형 MOS 트랜지스터의 드레인은, 각각, 상기 제6 및 제7 N채널형 MOS 트랜지스터의 소스에 접속되고, 상기 제8 N채널형 MOS 트랜지스터의 게이트에는 상기 반전 신호가 인가되고, 상기 제9 N채널형 MOS 트랜지스터의 게이트에는 상기 입력 신호가 인가되는 회로인 반도체 장치.

청구항 16

반도체 장치는 저전압의 논리 신호에 의해 고전압의 신호를 출력하는 레벨 시프트 회로를 갖는 반도체 칩을 구비하고,

상기 레벨 시프트 회로는,

직렬 접속 회로와,

제1 전원에 접속되는 제1 게이트 제어 회로와,

상기 제1 전원의 전위보다도 높은 제2 전원에 접속되는 제2 게이트 제어 회로와,

상기 제2 게이트 제어 회로와 상기 직렬 접속 회로 사이에 배치되는 제2 전위 변환 회로를 구비하고,

상기 직렬 접속 회로는,

소스가 상기 제2 전원에 접속되는 제1 P채널형 MOS 트랜지스터와,

소스가 상기 제1 P채널형 MOS 트랜지스터의 드레인에 접속되는 제2 P채널형 MOS 트랜지스터와,

소스가 기준 전원에 접속되는 제1 N채널형 MOS 트랜지스터와,

소스가 상기 제1 N채널형 MOS 트랜지스터의 드레인에 접속되는 제2 P채널형 MOS 트랜지스터와,

상기 제2 P채널형 MOS 트랜지스터의 드레인과 상기 제2 N채널형 MOS 트랜지스터의 드레인이 접속되는 제1 출력 노드를 구비하고,

상기 전위 생성 회로는, 상기 제2 전원의 전위보다도 낮고 상기 기준 전원의 전위보다도 높은 상기 제2 P채널형 MOS 트랜지스터의 게이트에 인가하는 제1 전위와, 상기 제2 전원의 전위보다도 낮고 상기 기준 전원의 전위보다도 높은 상기 제2 N채널형 MOS 트랜지스터의 게이트에 인가하는 제2 전위를 생성하고,

상기 제1 게이트 제어 회로는, 상기 기준 전원의 전위와 상기 제1 전원의 전위 사이의 진폭이며, 제1 N채널형 MOS 트랜지스터의 게이트를 제어하는 제1 신호를 생성하고,

상기 제2 게이트 제어 회로는, 상기 제1 전위와 상기 제2 전원의 전위 사이의 진폭이며, 상기 제1 P채널형 MOS 트랜지스터의 게이트를 제어하는 제2 신호를 생성하고,

상기 제2 전위 변환 회로는 상기 제1 P채널형 MOS 트랜지스터의 게이트에 상기 제2 신호의 저레벨보다도 높고 제2 전원 전위보다도 낮은 제2 레벨의 전위를 공급하는 반도체 장치.

청구항 17

제16항에 있어서,

상기 제1 P채널형 MOS 트랜지스터의 기판은 상기 제2 전원에 접속되고,

상기 제2 P채널형 MOS 트랜지스터의 기판은 상기 제1 P채널형 MOS 트랜지스터의 드레인에 접속되고,

상기 제1 N채널형 MOS 트랜지스터의 기판은 상기 기준 전원에 접속되고,

상기 제2 N채널형 MOS 트랜지스터의 기판은 상기 제1 N채널형 MOS 트랜지스터의 드레인에 접속되는 반도체 장치.

청구항 18

제16항에 있어서,

상기 제2 전위 변환 회로는 상기 제1 P채널형 MOS 트랜지스터의 게이트에 제2 제어 신호에 기초하여 상기 제2 레벨의 전위보다도 낮은 전위를 공급하는 반도체 장치.

청구항 19

제16항에 있어서,

상기 제2 전위 변환 회로는 게이트가 상기 제1 전원에 접속되는 제4 P채널형 MOS 트랜지스터를 포함하는 제3 트랜스퍼 게이트를 갖고, 상기 제4 P채널형 MOS 트랜지스터의 기판은 상기 제3 트랜스퍼 게이트의 제2 입력 노드

에 접속되는 반도체 장치.

청구항 20

제18항에 있어서,

상기 제2 전위 변환 회로는 게이트에 상기 제2 게어 신호가 인가되는 제4 N채널형 MOS 트랜지스터를 포함하는 제4 트랜스퍼 게이트를 갖고, 상기 제4 N채널형 MOS 트랜지스터의 기판은 상기 제4 트랜스퍼 게이트의 제3 출력 노드에 접속되는 반도체 장치.

발명의 설명

기술 분야

[0001] 본 개시는 반도체 장치에 관한 것이며, 예를 들어 레벨 시프트 회로를 구비하는 반도체 장치에 적용 가능하다.

배경기술

[0002] 레벨 시프트 회로는, 상이한 전원 전압에서 동작하는 회로간에 있어서의 신호 진폭을 각각의 전원 전압에 따른 값으로 변환하는 회로이다. 예를 들어, 미세화된 반도체 집적 회로에 있어서는, 회로의 소비 전력 저감이나 소자의 신뢰도 등의 관점에서 저전압계의 전원 전압이 사용된다. 한편, 외부 회로와의 사이에서 신호를 입출력하는 입출력 회로에 있어서는, 종래와 마찬가지의 전원 전압(고전압계의 전원 전압)이 사용된다. 이 때문에, 집적 회로 내부의 저전압계 전원 회로의 신호 레벨을, 고전압계 전원 회로의 신호 레벨로 변환하는 레벨 시프트 회로가 필요로 된다. 일본 특허 공개 평8-148988호(특허문헌 1)에는, 「기본적으로 부하 소자와, 고전압의 대략 1/2로 게이트 바이어스된 일 도전형의 MOS 트랜지스터와, 동일하게 고전압의 대략 1/2로 게이트 바이어스된 역도전형의 MOS 트랜지스터와, 저진폭의 논리 입력이 게이트에 인가된 역도전형의 MOS 트랜지스터를 이 순서로 고전압과 GND 사이에 직렬 접속하여 각 MOS 트랜지스터의 게이트막에 가해지는 전압을 모두 낮게 한다」는 것이 개시되어 있다.

선행기술문헌

특허문헌

[0003] (특허문헌 0001) 일본 특허 공개 평8-148988호 공보

발명의 내용

해결하려는 과제

[0004] 특허문헌 1과 같이, 고내압 구조의 트랜지스터를 사용하지 않고(저내압 구조의 트랜지스터를 사용하여), 고진폭의 신호(고전압(VPP))를 출력하면, 트랜지스터에 저진폭의 신호(저전압(VDD))를 초과하는 드레인-소스간의 전압(Vds)이 인가되는 경우가 있다.

[0005] 그 밖의 과제와 신규 특징은, 본 명세서의 기술 및 첨부 도면으로부터 명백하게 될 것이다.

과제의 해결 수단

[0006] 본 개시 중, 대표적인 것의 개요를 간단하게 설명하면, 하기와 같다.

[0007] 즉, 반도체 장치는 저진폭의 논리 신호에 의해 고진폭의 신호를 출력하는 레벨 시프트 회로를 구비한다. 상기 레벨 시프트 회로는, 직렬 접속 회로와, 제1 전원에 접속되는 제1 게이트 제어 회로와, 상기 제1 전원의 전위보다도 높은 제2 전원에 접속되는 제2 게이트 제어 회로와, 상기 제1 게이트 제어 회로와 상기 직렬 접속 회로 사이에 배치되는 전위 변환 회로를 구비한다. 상기 전위 변환 회로는 상기 직렬 접속 회로의 N채널형 MOS 트랜지스터의 게이트에 상기 제1 전원의 전위보다도 낮고 기준 전원의 전위보다도 높은 제1 레벨의 전위를 공급한다.

발명의 효과

[0008] 상기 반도체 장치에 따르면, 트랜지스터의 드레인-소스간의 전압을 저감할 수 있다.

도면의 간단한 설명

[0009] 도 1은 비교예에 따른 레벨 시프트 회로의 회로도.

도 2는 게이트 제어 회로의 회로도.

도 3은 중간 전위 생성 회로의 회로도.

도 4는 실시예 1에 따른 레벨 시프트 회로의 회로도.

도 5는 실시예 1에 따른 반도체 장치의 블록도.

도 6은 실시예 2에 따른 레벨 시프트 회로의 회로도.

도 7은 실시예 2에 따른 반도체 장치의 블록도.

도 8은 실시예 3에 따른 레벨 시프트 회로의 회로도.

도 9는 실시예 4에 따른 레벨 시프트 회로의 회로도.

도 10은 실시예 5에 따른 레벨 시프트 회로의 회로도.

발명을 실시하기 위한 구체적인 내용

[0010] 이하, 비교예 및 실시예에 대하여, 도면을 사용하여 설명한다. 단, 이하의 설명에 있어서, 동일 구성 요소에는 동일 부호를 붙이고 반복 설명을 생략하는 경우가 있다.

[0011] 본원 발명자들은 고내압 구조의 트랜지스터를 사용하지 않고, 또한 트랜지스터의 게이트 산화막에 과대한 전압이 가해지지 않도록, 저전폭(OV~VDD)의 논리 신호에 의해, 고전폭(OV~VPP)의 신호를 출력하는 기술(이하, 비교예라 함)에 대하여 검토하였다. 도 1은 비교예에 따른 레벨 시프트 회로도이다.

[0012] 비교예에 따른 레벨 시프트 회로 LSR은 인버터 INV, INV2와 게이트 제어 회로 GC와 중간 전위 생성 회로 IVG와 직렬 회로 SC를 구비한다. 게이트 제어 회로인 인버터 INV는, 저전원 전위(VDD)와 접지 전위(GND) 사이에, 게이트가 입력 신호(IN)에 접속되는 P채널형 MOS 트랜지스터(이하, 「PMOS 트랜지스터」라 함) QP1과, 게이트가 입력 신호(IN)에 접속되는 N채널형 MOS 트랜지스터(이하, 「NMOS 트랜지스터」라 말함) QN1이 직렬로 접속되어 구성되어 있다. IN은 0~VDD의 저전폭 신호이다. 게이트 제어 회로인 인버터 INV2는, 저전원 전위(VDD)와 접지 전위(GND) 사이에, 게이트가 반전 신호(/IN)에 접속되는 PMOS 트랜지스터 QP2와, 게이트가 반전 신호(/IN)에 접속되는 NMOS 트랜지스터 QN2가 직렬로 접속되어 구성되어 있다. 인버터 INV2는 제1 신호(IN2)를 생성한다.

[0013] 게이트 제어 회로 GC는 제2 신호(Vg)를 생성한다. 상세는 후술한다. 중간 전위 생성 회로 IVG는 제1 전위(Vrefp1), 제2 전위(Vrefp2) 및 제3 전위(Vrefn)를 생성한다. 상세는 후술한다.

[0014] 직렬 회로 SC는, 고전원 전위(VPP)와 접지 전위(GND) 사이에, PMOS 트랜지스터 MP1과, PMOS 트랜지스터 MP2와, NMOS 트랜지스터 MN2와, NMOS 트랜지스터 MN1이 직렬 접속되어 구성되어 있다. PMOS 트랜지스터 MP1의 게이트에 제2 신호(Vg)가 인가된다. PMOS 트랜지스터 MP2의 게이트에 제1 전위(Vrefp1)가 인가된다. NMOS 트랜지스터 MN2의 게이트에 제2 전위(Vrefn)가 인가된다. NMOS 트랜지스터 MN1의 게이트에 인버터 INV2의 출력 신호인 제1 신호(IN2)가 인가된다. 제2 신호(Vg)는 VPP/2~VPP의 전위의 신호이다. 제1 전위(Vrefp1) 및 제3 전위(Vrefn)는 VPP/2 근방의 전위이다. PMOS 트랜지스터 MP1의 기관 전극이 고전원 전위(VPP)에 접속되고, NMOS 트랜지스터 MN1의 기관 전극이 접지 전위(GND)에 접속된다. PMOS 트랜지스터 MP2의 기관 전극이 PMOS 트랜지스터 MP2의 소스에 접속되고, NMOS 트랜지스터 MN2의 기관 전극이 NMOS 트랜지스터 MN2의 소스에 접속되고, PMOS 트랜지스터 MP2와 NMOS 트랜지스터 MN2의 접속점으로부터 출력 신호(OUT)가 취출되고 있다.

[0015] 저전원 전위(VDD)와 접지 전위(GND) 사이에 접속되는 트랜지스터와, 고전원 전위(VPP)와 접지 전위(GND) 사이에 접속되는 트랜지스터는 동일한 프로세스로 형성되는 저내압 디바이스이다. 바꾸어 말하면, 인버터 INV를 구성하는 트랜지스터와 직렬 회로 SC를 구성하는 트랜지스터의 내압은 동일 정도이고, 각 트랜지스터의 내압은 VDD 보다도 높지만, VPP보다도 낮다. VDD는 예를 들어 1.8V, VPP는 예를 들어 3.3V, GND는 예를 들어 0V이다.

[0016] 도 2는 게이트 제어 회로의 회로도이다. 게이트 제어 회로 GC는 고전원 전위(VPP)와 접지 전위(GND)간에, PMOS 트랜지스터 MP1과, 게이트에 제2 전위(Vrefp2)가 인가된 PMOS 트랜지스터 MP12와, 게이트에 제3 전위(Vrefn)가

인가된 NMOS 트랜지스터 MN12와, 게이트에 입력 신호(IN)가 인가된 NMOS 트랜지스터 MN11이 직렬 접속된 직렬 회로가 설치되어 있다.

[0017] 또한, 게이트 제어 회로 GC는 고전원 전위(VPP)와 접지 전위(GND)간에, PMOS 트랜지스터 MP13과, 게이트에 제2 전위(Vrefp2)가 인가된 PMOS 트랜지스터 MP14와, 게이트에 제3 전위(Vrefn)가 인가된 NMOS 트랜지스터 MN14와, 게이트에 반전 신호(/IN)가 인가된 NMOS 트랜지스터 MN13이 직렬 접속된 직렬 회로가 설치되어 있다.

[0018] PMOS 트랜지스터 MP11의 게이트가 PMOS 트랜지스터 MP13과 MP14의 접속점인 노드 N13에, PMOS 트랜지스터 MP13의 게이트가 PMOS 트랜지스터 MP11과 PMOS 트랜지스터 MP12의 접속점인 노드 N11에 접속된다. 그와 함께, PMOS 트랜지스터 MP11, MP13의 기판 전극이 VPP에, NMOS 트랜지스터 MN11, MN13의 기판 전극이 GND에 접속된다. PMOS 트랜지스터 MP12, MP14의 기판 전극이 각각 PMOS 트랜지스터 MP12, MP14의 소스에 접속되고, NMOS 트랜지스터 MN12, MN14의 기판 전극이 각각 NMOS 트랜지스터 MN12, MN14의 소스에 접속된다. 노드 N13과 접속되는 노드 N4로부터 게이트 전위(Vg)가 취출되고 있다. $Vrefp2=VPP/2-|Vtp|$ 로 함으로써, Vg는 VPP/2~VPP 사이의 진폭의 전위로 된다.

[0019] PMOS 트랜지스터 MP11과 PMOS 트랜지스터 MP13은 서로 게이트와 드레인을 크로스 커플함으로써 래치 회로 LT가 구성되어, 정상 전류를 차단할 수 있다.

[0020] PMOS 트랜지스터 MP12, MP14와 NMOS 트랜지스터 MN12, MN14로 클램프 회로 CL이 구성된다. PMOS 트랜지스터 MP11, MP13의 드레인 전위는 클램프 회로 CL에 의해 Vrefp2까지만 강하한다. NMOS 트랜지스터 MN11, MN13의 드레인 전위는 클램프 회로 CL에 의해 Vrefn까지만 상승한다.

[0021] NMOS 트랜지스터 MN11, MN13으로 래치 반전 회로 LI가 구성되고, 입력 신호(IN) 및 반전 신호(/IN)에 기초하여 래치 회로 LT의 상태를 반전할 수 있다.

[0022] 도 3은 중간 전위 생성 회로의 회로도이다. 중간 전위 생성 회로 IVG는 고전원 전위(VPP)와 접지 전위(GND) 사이에 저항 소자 R1 및 저항 소자 R2가 직렬 접속되고, 제1 전위(Vrefp1) 및 제3 전위(Vrefn)는 저항 소자 R1과 저항 소자 R2의 접속점으로부터 취출되고 있고, 저항 소자 R1의 저항값을 r1, 저항 소자 R2의 저항값을 r2라 하면,

[0023] 그 값은 다음 식(1)에 의해 주어진다.

$$Vrefp1 = Vrefn = r_2 / (r_1 + r_2) \quad \dots \quad (1)$$

[0024] [0025] 본 예에서는 $Vrefp1=Vrefn$ 이지만, $VPP/2$ 근방의 전압이면 $Vrefp1 \neq Vrefn$ 이어도 된다. 중간 전위 생성 회로 IVG는 고전원 전위(VPP)와 접지 전위(GND) 사이에 저항 소자 R3 및 저항 소자 R4가 직렬 접속되고, 제2 전위(Vrefp2)는 저항 소자 R3과 저항 소자 R4의 접속점으로부터 취출되고 있고, 저항 소자 R3의 저항값을 r3, 저항 소자 R4의 저항값을 r4로 하면, 그 값은 다음 식(2)에 의해 주어진다.

$$Vrefp2 = r_4 / (r_3 + r_4) \quad \dots \quad (2)$$

[0027] 저항 소자 R1, R2, R3, R4는 PMOS 트랜지스터나 NMOS 트랜지스터로 형성해도 된다.

[0028] 다음에 동작의 설명을 한다. 여기서, "H"는 저전원 전위(VDD), "HH"는 고전원 전위(VPP), "L"은 접지 전위(GND)이다. 접지 전위는 기준 전위라고도 한다.

[0029] 먼저, 입력 신호(IN)가 "L"인 경우, 노드 N1은 "H"로 되고, NMOS 트랜지스터 MN1이 오프함과 함께, 게이트 제어 회로 GC의 출력의 노드 N4가 $Vrefp2+|Vtp|$ 이므로 ($VPP-Vrefp2-|Vtp|$)>|Vtp|이면, PMOS 트랜지스터 MP1이 온하여 PMOS 트랜지스터 MP1과 PMOS 트랜지스터 MP2의 접속점인 노드 N3이 "HH"로 풀업된다. ($VPP-Vrefp1$)>|Vtp|이면, PMOS 트랜지스터 MP2도 온하여 출력 신호(OUT)도 "HH"로 되고, 또한 NMOS 트랜지스터 MN1과 NMOS 트랜지스터 MN2의 접속점인 노드 N2가 ($Vrefn-Vtn$)까지, NMOS 트랜지스터 MN2를 통해, 풀업되어 안정된다.

[0030] 한편, 입력 신호(IN)가 "H"인 경우, 노드 N1은 "L"로 되고, NMOS 트랜지스터 MN1이 온하여 NMOS 트랜지스터 MN1과 NMOS 트랜지스터 MN2의 접속점인 노드 N2가 "L"로 풀다운된다. $Vrefn > Vtn$ 이면 NMOS 트랜지스터 MN2도 온하여 출력 신호(OUT)도 "L"로 된다. 또한 출력의 노드 N4가 "HH"이므로, PMOS 트랜지스터 MP1이 오프하고, 따라서, 노드 N3이 ($Vrefp1+|Vtp|$)까지, PMOS 트랜지스터 MP2를 통해 풀다운 되어 안정된다.

- [0031] 이상 설명한 바와 같이, 도 1에 도시한 비교예에 따르면, VDD~GND간에서 진폭하는 입력 신호(IN)로 고전압을 제어하여, "L"과 "HH"의 출력 신호(OUT)를 얻을 수 있다. PMOS 트랜지스터 MP1의 드레인~소스간에는 최고 (VPP-Vrefp2-|Vtp|)의 전압이, PMOS 트랜지스터 MP2의 드레인~소스간에는 최고 (Vrefp1+|Vtp|)의 전압이, NMOS 트랜지스터 MN1의 드레인~소스간에는 최고 (Vrefn-Vtn)의 전압이, NMOS 트랜지스터 MN2의 드레인~소스간에는 최고 (VPP-Vrefn+Vtn)의 전압이 각각 인가된다. Vrefp1 및 Vrefn을 VPP/2 근방의 전압으로 설정함으로써, MOS 트랜지스터의 드레인~소스간에 고전압(VPP)이 인가되는 것이 회피된다.
- [0032] 또한, PMOS 트랜지스터 MP1의 게이트 산화막에는 최고 (VPP-Vrefp2-|Vtp|)의 전압이, PMOS 트랜지스터 MP2의 게이트 산화막에는 최고 (VPP-Vrefp1)의 전압이, NMOS 트랜지스터 MN1의 게이트 산화막에는 최고 VDD의 전압이, NMOS 트랜지스터 MN2의 게이트 산화막에는 최고 Vrefn의 전압이 각각 인가된다. Vrefp1 및 Vrefn을 VPP/2 근방의 전압으로 설정함으로써 MOS 트랜지스터의 게이트 산화막에 강전계가 인가되는 것이 회피된다.
- [0033] 이들에 의해, PMOS 트랜지스터 MP1, MP2 및 NMOS 트랜지스터 MN1, MN2를 고내압 구조로 할 필요가 없어지기 때문에, 제조 공정이 복잡화되어 제조 비용이 높아진다고 하는 문제점도 해소된다.
- [0034] 그러나, 출력 신호(OUT)가 "HH"로부터 "L"로 천이하는 경우, 인버터 IV2의 출력 신호(IN2)는 "H"에서 Vgsn1=VDD로 된다. 노드 N2의 전위는 Vdsn1로 된다. Vgsn2는 Vrefn-Vdsn1이며, Vrefn=VPP/2로 하면, Vgsn2=VPP/2-Vdsn1로 된다. 실제의 사용예로서, VPP=3.3V, VDD=1.8V로 가정하면, Vgsn2=1.65V-Vdsn1, Vgsn1=1.8V이며, Vgsn2<Vgsn1로 된다. 이에 의해, NMOS 트랜지스터 MN2의 온 저항이 NMOS 트랜지스터 MN1의 온 저항보다도 커져, Vdsn2>Vdsn1로 되기 때문에, NMOS 트랜지스터 MN2의 소스-드레인간 전압이 커진다. Vdsn2=VPP-Vdsn1=3.3V-Vdsn1=1.8V+1.5V-Vdsn1=VDD+1.5V-Vdsn1이며, Vdsn1<1.5V로 되면, Vdsn2>VDD로 된다.
- [0035] 또한, 출력 신호(OUT)가 "L"로부터 "HH"로 천이하는 경우, 노드 N4는 Vrefp2+|Vtp|에서 Vgsp1=VPP-Vrefp2-|Vtp|로 된다. Vrefp2=VPP/2-|Vtp|로 하면, Vgsp1=VPP/2로 된다. 노드 N3의 전위는 VPP-Vdsp1로 된다. Vgsp2는 (VPP-Vdsp1)-Vrefp1이며, Vrefp1=VPP/2로 하면, Vgsp2=VPP/2-Vdsp1로 된다. 실제의 사용예로서, VPP=3.3V, VDD=1.8V로 가정하면, Vgsp2=1.65V-Vdsp1, Vgsp1=1.65V이며, Vdsp1>0V이므로 Vgsp2<Vgsp1로 된다. 이에 의해, PMOS 트랜지스터 MP2의 온 저항이 PMOS 트랜지스터 MP1의 온 저항보다도 커져, Vdsp2>Vdsp1로 되기 때문에, PMOS 트랜지스터 MP2의 소스-드레인간 전압이 커진다. Vdsp2=VPP-Vdsp1=3.3V-Vdsp1=1.8V+1.5V-Vdsp1=VDD+1.5V-Vdsp1이며, Vdsp1<1.5V로 되면, Vds2>VDD로 된다.
- [0036] 핫 캐리어(HCI) 열화와 Vds의 관계는, 일반적으로, 하기의 식(3)으로 나타내어진다.
- [0037]
$$HC\ I \text{ 열화} \propto \exp(-\gamma \sqrt{V_{ds}}) \quad \dots \quad (3)$$
- [0038] 즉, Vds2가 크면 NMOS 트랜지스터 MN2의 핫 캐리어 열화가 지수 함수적으로 증가하게 된다. 특히 상기 회로에서는, 저내압 트랜지스터를 사용하여, 고진폭의 신호를 출력하고 있기 때문에, 상기와 같이 VDD를 초과하는 Vds 가 인가되는 경우가 있어, 열화가 심해진다.
- [0039] <실시 형태>
- [0040] Vgsn1을 낮게 하는 수단(인버터 INV의 출력 전위를 낮게 하는 전위 변환 회로)을 게이트 제어 회로인 인버터 INV와 N채널형 MOS 트랜지스터 MN1의 게이트 사이에 설치한다. 또한, Vgsp1을 낮게 하는 수단(게이트 제어 회로 GC의 출력 전위를 높게 하는 전위 변환 회로)을 게이트 제어 회로 GC와 P채널형 MOS 트랜지스터 MP1의 게이트 사이에 설치한다.
- [0041] 이에 의해, Vgsn1=Vgsn2, Vgsp1=Vgsp2로 되면, Vdsn1=Vdsn2=VPP/2=1.65V<1.8V=VDD, Vdsp1=Vdsp2=VPP/2=1.65V<1.8V=VDD로 되어, Vdsn2, Vdsp2를 낮게 할 수 있다.
- [0042] [실시 예 1]
- [0043] 도 4는 실시 예 1에 따른 레벨 시프트 회로의 회로도이다. 레벨 시프트 회로 LS1은 인버터 INV2의 출력과 NMOS 트랜지스터 MN1의 게이트 사이에 전위 변환 회로 CV1을 추가하고 있는 점을 제외하고, 레벨 시프트 회로 LSR과 마찬가지이다. 전위 변환 회로 CV1은 NMOS 트랜지스터 QN3(NMOS 트랜스퍼 게이트)을 포함하고, NMOS 트랜지스터 QN3은 출력 전위를 입력 전위와 상이하게 한다. NMOS 트랜지스터 QN3의 게이트에 VDD가 인가되고, NMOS 트랜지스터 QN3의 기판 전극은 NMOS 트랜지스터 MN1의 게이트(노드 N7)가 접속된다. 인버터 INV2의 출력 진폭은 0~VDD이며, NMOS 트랜지스터 QN3을 통한 노드 N7의 과도 상태의 진폭은 0~(VDD-Vtn)으로 된다. Vtn은 NMOS 트랜지스터 QN3의 역치이다. 그것에 의해 NMOS 트랜지스터 MN1의 온 시의 Vgsn1은 VDD-Vtn으로 되고, 비교예와

비교하여 V_{tn} 은 작아진다. V_{gsn1} 이 작아짐으로써, NMOS 트랜지스터 MN1의 온 저항은 높아져, V_{dsn1} 이 커진다. 노드 N2의 전위는 NMOS 트랜지스터 MN1과 NMOS 트랜지스터 MN2의 분압에 의해 정해지기 때문에, V_{dsn1} 이 커지면 V_{dsn2} 는 작아진다. 전술한 식(3)의 관계로부터, V_{dsn2} 가 작아짐으로써, NMOS 트랜지스터 MN2의 핫 캐리어 열화를 억제할 수 있다. 직렬 회로 SC에서는, PMOS 트랜지스터 MP2의 기판 전극이 PMOS 트랜지스터 MP2의 소스에 접속되고, NMOS 트랜지스터 MN2의 기판 전극이 NMOS 트랜지스터 MN2의 소스에 접속되어 있지만, PMOS 트랜지스터 MP2의 기판 전극이 고전원 전위(VPP)에 접속되고, NMOS 트랜지스터 MN2의 기판 전극이 접지 전위(GND)에 접속되는 구성이어야 된다. 직렬 회로의 구성의 변경은 이하의 실시예 2~5에도 적용할 수 있다. 또한, 게이트 제어 회로 GC에서는, PMOS 트랜지스터 MP12, MP14의 기판 전극이 각각 PMOS 트랜지스터 MP12, MP14의 소스에 접속되고, NMOS 트랜지스터 MN12, MN14의 기판 전극이 각각 NMOS 트랜지스터 MN12, MN14의 소스에 접속되어 있지만, PMOS 트랜지스터 MP12, MP14의 기판 전극이 각각 VPP에 접속되고, NMOS 트랜지스터 MN12, MN14의 기판 전극이 각각 GND에 접속되는 구성이어야 된다. 게이트 제어 회로의 구성의 변경은 이하의 실시예 2~5에도 적용할 수 있다.

[0044]

도 5는 실시예 1에 따른 반도체 장치의 블록도이다. 반도체 장치(50)는 반도체 장치인 SoC(51)와 전원 IC(52)를 구비한다. SoC(51)는 내부 회로(53)와 I/O 회로(54, 55)를 하나의 반도체 기판(반도체 칩) 상에 구비한다. 레벨 시프트 회로 LS1은 I/O 회로(54, 55)의 출력 회로에 사용된다. 또한, 본 예에서는, I/O 회로(54)는 출력 회로, I/O 회로(55)는 입력 회로 및 출력 회로로서 동작한다. 전원 IC(52)로부터 고전원 전위(VPP=3.3V) 및 저전원 전위(VDD)가 SoC(51)의 I/O 회로(54, 55)에 공급된다. 내부 회로(53)로부터 출력되는 신호의 진폭은 0V~VDD이며, I/O 회로(54, 55)에 공급된다. I/O 회로(54, 55)의 레벨 시프트 회로 LS1에 의해 진폭이 0V~VDD인 신호의 진폭이 0V~VPP인 신호로 변환되어, SoC(51)의 외부에 출력된다.

[0045]

[실시예 2]

[0046]

도 6은 실시예 2에 따른 레벨 시프트 회로의 회로도이다. 실시예 2에 따른 레벨 시프트 회로 LS2는 고전원 전위(VPP)가 높을 때의 핫 캐리어 열화의 억제와, VPP가 낮을 때(NMOS 트랜지스터의 내압을 초과하지 않는 정도)의 고속 동작을 양립하는 회로이다. 레벨 시프트 회로 LS2는 전위 변환 회로를 제외하고, 레벨 시프트 회로 LS1과 마찬가지이다. 전위 변환 회로 CV2는, NMOS 트랜지스터 QN3과 병렬로 접속되는 PMOS 트랜지스터 QP3(PMOS 트랜스퍼 게이트)을 구비한다. PMOS 트랜지스터 QP3의 게이트에 POC 신호가 인가되고, PMOS 트랜지스터 QP3의 기판 전극은 인버터 INV2의 출력이 접속된다. VPP가 높을 때는, POC 신호를 "H"(VDD)로 하고, PMOS 트랜지스터 QP3을 오프로 한다. 그 경우, 회로 동작은 실시예 1과 마찬가지이며, 노드 N7의 "H" 레벨이 (VDD-V_{tn})으로 됨으로써, 실시예 1과 마찬가지로 NMOS 트랜지스터 QN2의 핫 캐리어 열화를 억제할 수 있다. VPP가 낮을 때는, POC 신호를 "L"(GND)로 하고, PMOS 트랜지스터 QP3을 온으로 한다. 이에 의해, 노드 N7의 "H" 레벨은 VDD로 되고, 진폭은 0V~VDD로 되어, 고속 동작이 가능해진다.

[0047]

도 7은 실시예 2에 따른 정보 기기의 블록도이다. 정보 기기(70)는 반도체 장치인 SoC(71)와 전원 IC(72)와 SD 메모리 카드(76)를 구비한다. SoC(71)는 SD 호스트 컨트롤러(73)와 I/O 회로(74, 75)를 하나의 반도체 기판(반도체 칩) 상에 구비한다. SD 호스트 컨트롤러(73)는 도시하지 않은 CPU와 SD 메모리 카드(76)간의 데이터나 제어 신호를 교환하기 위한 것이고, 예를 들어 클럭 신호(CLK)나 커맨드(CMD)를 출력하여, 데이터(DAT)의 송수신을 행한다. 레벨 시프트 회로 LS2는 I/O 회로(74, 75)의 출력 회로에 사용된다. 또한, 본 예에서는, I/O 회로(74)는 출력 회로, I/O 회로(75)는 입력 회로 및 출력 회로로서 동작한다. 전원 IC(72)로부터 고전원 전위(VPP=3.3V 또는 1.8V)가 SoC(71)의 I/O 회로(74, 75)에 공급된다. 전원 IC(72)로부터 저전원 전위(VDD=1.8V)가 SD 호스트 컨트롤러(73) 및 I/O 회로(74, 75)에 공급된다. 전원 IC(72)는, POC 신호가 "L"일 때는 1.8V를 공급하고, POC 신호가 "H"일 때는 3.3V를 공급한다. SD 호스트 컨트롤러(73)로부터 출력되는 신호의 진폭은 0V~VDD이며, I/O 회로(74, 75)에 공급된다. 또한, 전원 IC(72)는 SoC(71)에 내장해도 된다.

[0048]

SoC(71)와 SD 메모리 카드(76)의 신호의 교환은, 3.3V 레벨과 1.8V 레벨의 2개의 모드가 있다. 저속 동작시 3.3V 레벨에서, 고속 동작시 1.8V 레벨에서 동작한다. 예를 들어 SD 메모리 카드 규격 3.0에서는, 전원 전압이 3.3V일 때에 최대 50㎱, 전원 전압이 1.8V일 때에 최대 208㎱에서 동작하여, 전원 전압이 1.8V일 때쪽이 보다 고속 동작이 요구된다. SoC(71)의 전원 전위(VPP)는 전원 IC(72)로부터 3.3V 또는 1.8V가 공급된다. SoC(71)측의 POC 신호에 의해, 전원 IC(72)의 출력 전원 전위의 3.3V/1.8V의 전환을 행한다. 또한 제어 신호 POC에 의해, I/O 회로(74, 75)의 동작 모드의 3.3V/1.8V의 전환을 행하고, 1.8V일 때에 I/O 회로(74, 75)가 고속 동작하도록 회로를 전환한다.

[0049]

[실시예 3]

[0050] 도 8은 실시예 3에 따른 레벨 시프트 회로의 회로도이다. 실시예 3에 따른 레벨 시프트 회로 LS3은 PMOS 트랜지스터의 핫 캐리어를 억제하는 회로이다. 레벨 시프트 회로 LS3은 게이트 제어 회로 GC와 PMOS 트랜지스터 MP1 사이에 전위 변환 회로 CV3을 추가하고 있는 점을 제외하고, 레벨 시프트 회로 LSR과 마찬가지이다. 전위 변환 회로 CV3은 PMOS 트랜지스터 QP4(PMOS 트랜스퍼 게이트)를 포함하고, 출력 전위를 입력 전위와 상이하게 한다. PMOS 트랜지스터 QP4의 게이트에 VDD가 인가되고, PMOS 트랜지스터 QP4의 기판 전극은 PMOS 트랜지스터 PN1의 게이트(노드 N8)가 접속된다. 그것에 의해, 노드 N8의 레벨은 $(VPP/2+Vtp) \sim VPP$ 로 된다. 그것에 의해 Vgsp1이 작아지고, Vdsp1이 커진다. Vdsp1이 커지면, Vdsp2는 작아져, PMOS 트랜지스터 MP2의 핫 캐리어 열화가 억제된다. 레벨 시프트 회로 LS3은 실시예 1과 마찬가지로 SoC(51)의 I/O 회로(54, 55)에 사용된다.

[실시예 4]

[0052] 도 9는 실시예 4에 따른 레벨 시프트 회로의 회로도이다. 실시예 4에 따른 레벨 시프트 회로 LS4는 고전원 전위(VPP)가 높을 때의 핫 캐리어 열화의 억제와, VPP가 낮을 때(MOS 트랜지스터의 내압을 초과하지 않는 정도)의 고속 동작을 양립하는 회로이다. 레벨 시프트 회로 LS4는 전위 변환 회로를 제외하고, 레벨 시프트 회로 LS3과 마찬가지이다. 전위 변환 회로 CV4는 PMOS 트랜지스터 QN4와 병렬로 접속되는 NMOS 트랜지스터 QN4(NMOS 트랜스퍼 게이트)를 구비한다. NMOS 트랜지스터 QN4의 게이트에 /POC 신호가 인가되고, NMOS 트랜지스터 QN4의 기판 전극은 게이트 제어 회로 GC의 출력(노드 N4)이 접속된다. VPP가 높을 때는, /POC 신호를 "L"(GND)로 하여, NMOS 트랜지스터 QN4를 오프로 한다. 그 경우, 회로 동작은 실시예 3과 마찬가지이며, 노드 N8의 "L" 레벨이 $(VPP/2+Vtp)$ 로 됨으로써, 실시예 3과 마찬가지로 PMOS 트랜지스터 MP2의 핫 캐리어 열화를 억제할 수 있다. VPP가 낮을 때는, /POC 신호를 "H"(VDD)로 하여, NMOS 트랜지스터 QN4를 온으로 한다. 이에 의해, 노드 N8의 "L" 레벨은 VPP/2로 되고, 진폭은 VPP/2 ~ VPP로 되어, 고속 동작이 가능해진다. 레벨 시프트 회로 LS4는 실시예 2와 마찬가지로 SoC(71)의 I/O 회로(74, 75)에 사용된다. 이 경우, I/O 회로(74, 75)에는 /POC 신호가 입력된다.

[실시예 5]

[0054] 도 10은 실시예 5에 따른 레벨 시프트 회로의 회로도이다. 실시예 5에 따른 레벨 시프트 회로 LS5는 고전원 전위(VPP)가 높을 때, PMOS 트랜지스터 MP2 및 NMOS 트랜지스터 MN2의 양쪽의 핫 캐리어 열화의 억제와, VPP가 낮을 때(MOS 트랜지스터의 내압을 초과하지 않는 정도)의 고속 동작을 양립하는 회로이다. 레벨 시프트 회로 LS5는 실시예 2와 실시예 4를 조합한 회로이며, 그 동작은 실시예 2 및 실시예 4와 마찬가지이다. 레벨 시프트 회로 LS5는 실시예 2와 마찬가지로 SoC(71)의 I/O 회로(74, 75)에 사용된다. 이 경우, I/O 회로(74, 75)에는 POC 신호 및 /POC 신호가 입력된다.

[0055] 실시예에서는, 고내압 구조의 트랜지스터를 사용하지 않고, 또한 트랜지스터의 게이트 산화막에 과대한 전압이 가해지지 않도록, 저진폭(OV~VDD)의 논리 신호에 의해, 고진폭(OV~VPP)의 신호를 출력하는 회로에서, 출력부는 PMOS 트랜지스터 및 NMOS 트랜지스터를 각각 복수단 직렬로 접속한 구성이다.

[0056] 실시예 1, 2, 5에서는, NMOS 트랜지스터의 게이트와 게이트 제어 회로 사이에, 트랜스퍼 게이트를 접속함으로써, 세로 적층한 각각의 NMOS 트랜지스터에 가해지는 Vds(소스-드레인간 전압)를 적절하게 제어하여, 고전원 전위(VPP)가 높을 때의 NMOS 트랜지스터의 핫 캐리어 열화를 억제함과 함께, 실시예 2, 5에서는, VPP가 낮을 때에 고속 동작을 실현한다.

[0057] 실시예 3, 4, 5에서는, PMOS 트랜지스터의 게이트와 게이트 제어 회로 사이에, 트랜스퍼 게이트를 접속함으로써, 세로 적층한 각각의 PMOS에 가해지는 Vds(소스-드레인간 전압)를 적절하게 제어하여, 고전원 전위(VPP)가 높을 때의 PMOS 트랜지스터의 핫 캐리어 열화를 억제함과 함께, 실시예 4, 5에서는, VPP가 낮을 때에 고속 동작을 실현한다.

[0058] 실시예에 따르면, 저내압 디바이스를 사용한 고전압 출력 회로의 신뢰성을 향상시킬 수 있다. 특히 신뢰성 열화가 현저해지는, 미세화된 최첨단 프로세스에 유효하다. 프로세스가 미세화됨에 따라서, 핫 캐리어에 의한 트랜지스터 성능의 열화가 현저해지고 있다.

[0059] 이상, 본 발명자에 의해 이루어진 발명을 실시 형태 및 실시예에 기초하여 구체적으로 설명하였지만, 본 발명은 상기 실시 형태 및 실시예에 한정되는 것은 아니고, 다양하게 변경 가능한 것은 물론이다.

[0060] 실시예 1과 실시예 3을 조합하여, 전위 변환 회로 CV1과 전위 변환 회로 CV3의 양쪽을 사용하도록 해도 된다.

[0061] 실시예 1~5는 출력 드라이버의 예이지만, 마찬가지로 트랜지스터를 세로 적층으로 하여 게이트 바이어스를 제

어하여, 고전압에 견디도록 하는 회로에 대하여, 동일한 방법이 적용 가능하다.

부호의 설명

[0062]

50 : 반도체 장치

70 : 정보 기기

51, 71 : SoC

52, 72 : 전원 IC

54, 74 : I/O 회로

55, 74 : I/O 회로

LS1, LS2, LS3, LS4, LS5 : 레벨 시프트 회로

GC : 게이트 제어 회로

IVG : 중간 전위 생성 회로

INV, INV2 : 인버터

MN1, MN2 : NMOS 트랜지스터

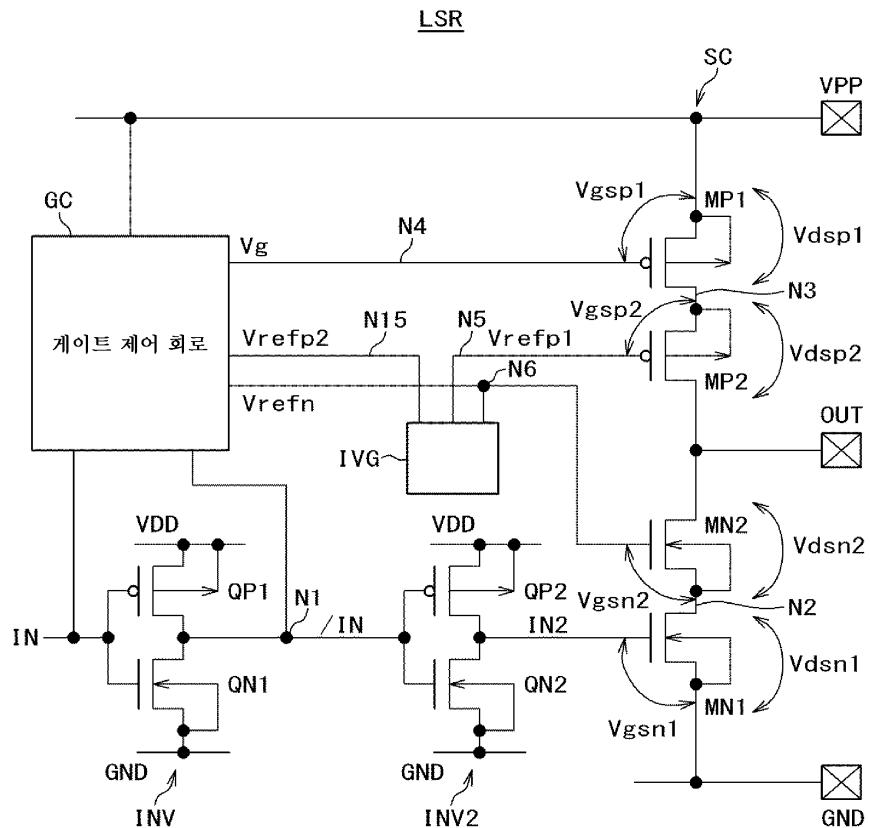
MP1, MP2 : PMOS 트랜지스터

QN3, QN4 : NMOS 트랜지스터

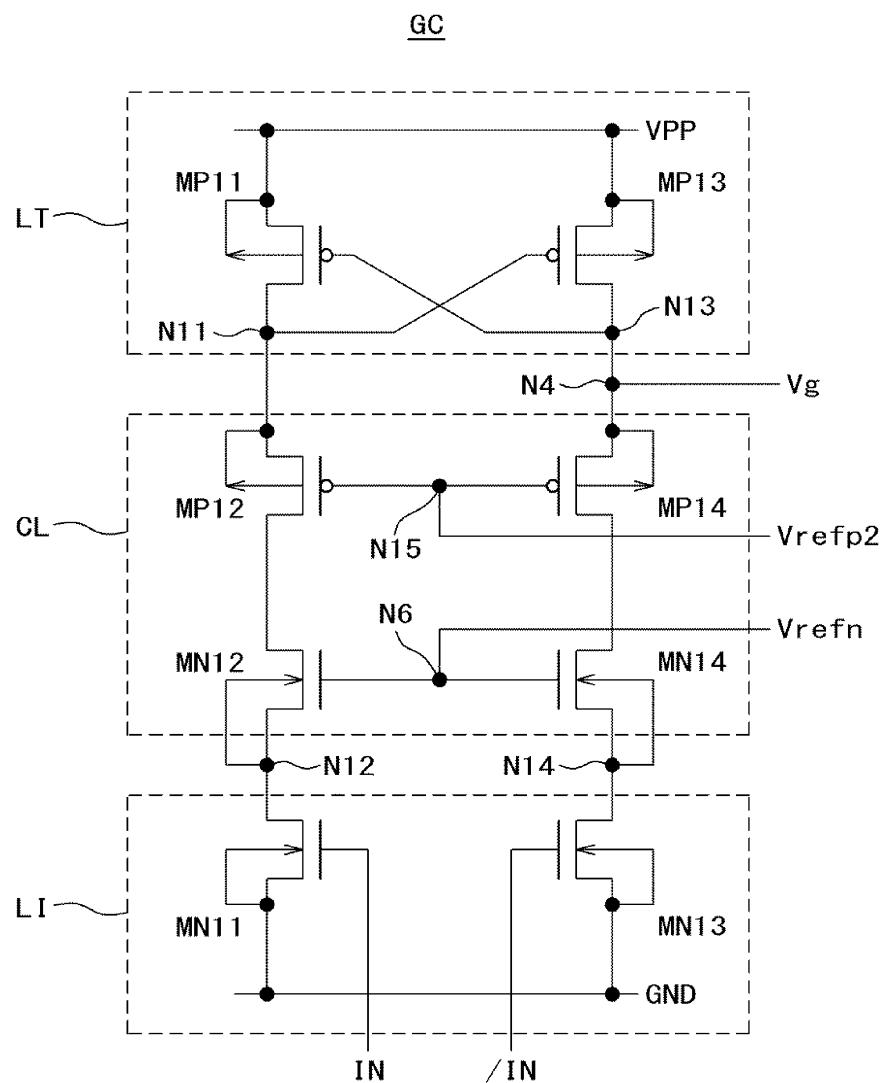
QP3, QP4 : PMOS 트랜지스터

도면

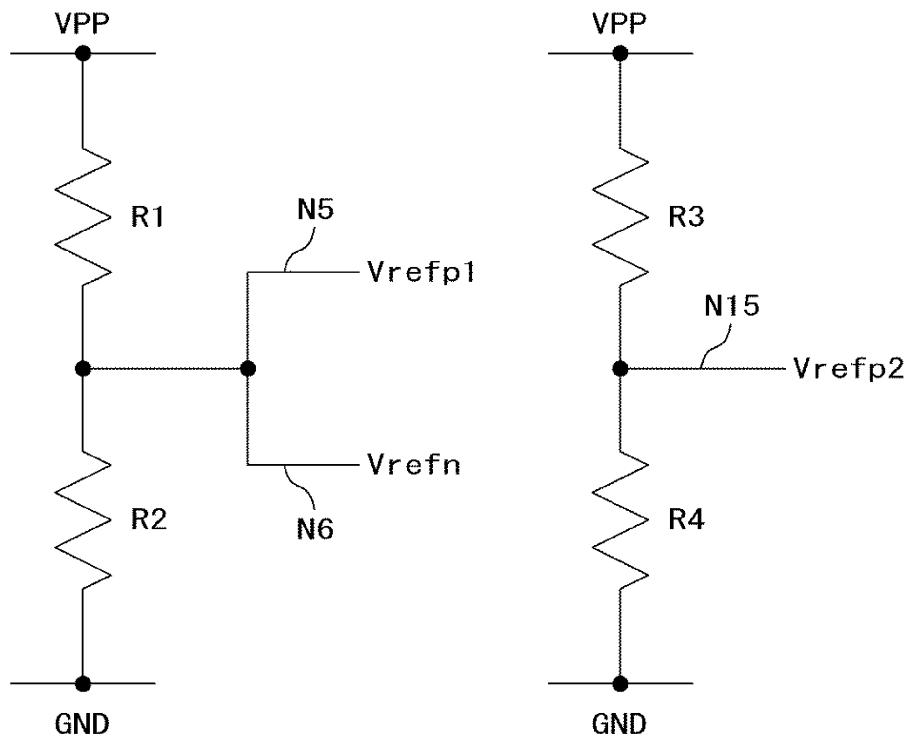
도면1



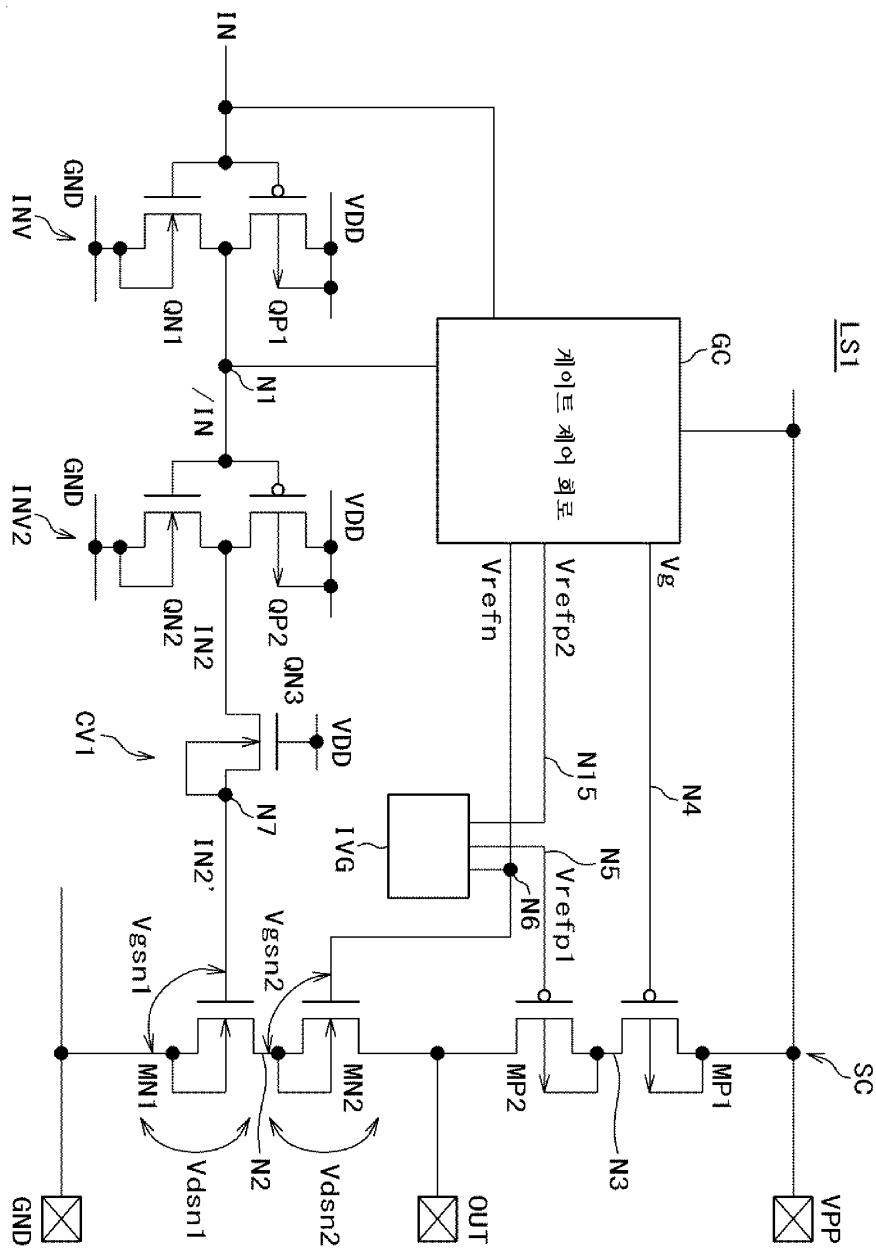
도면2



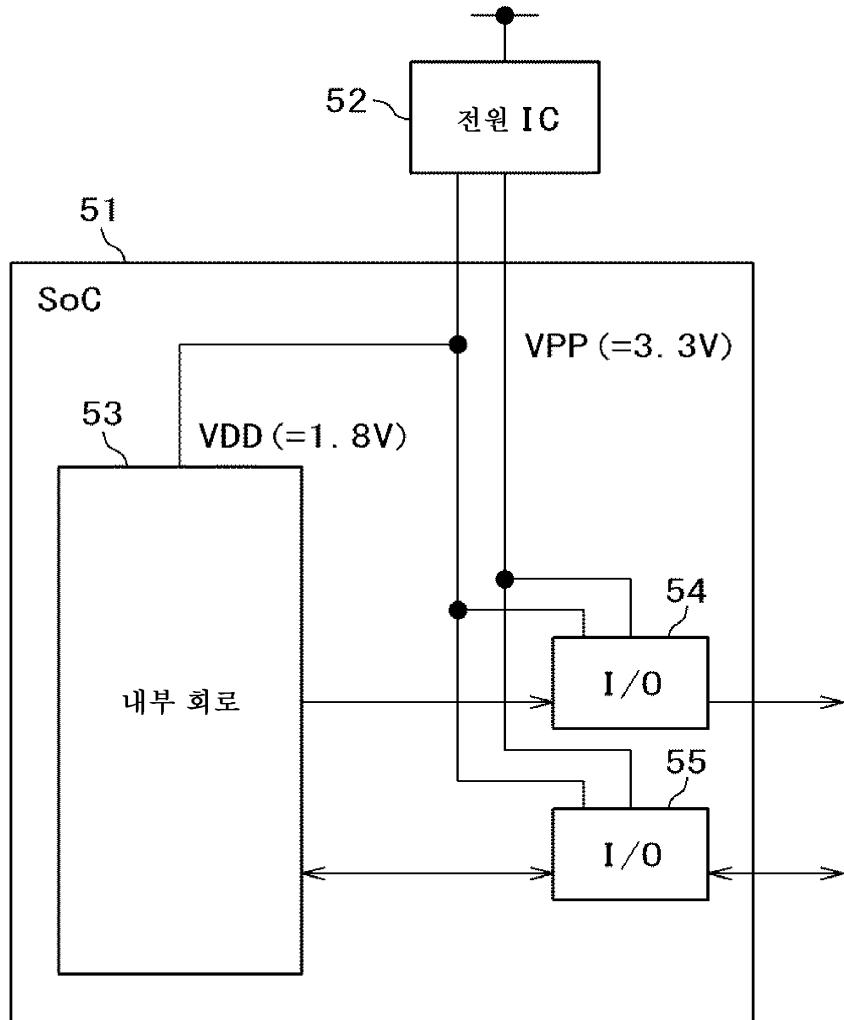
도면3

IVG

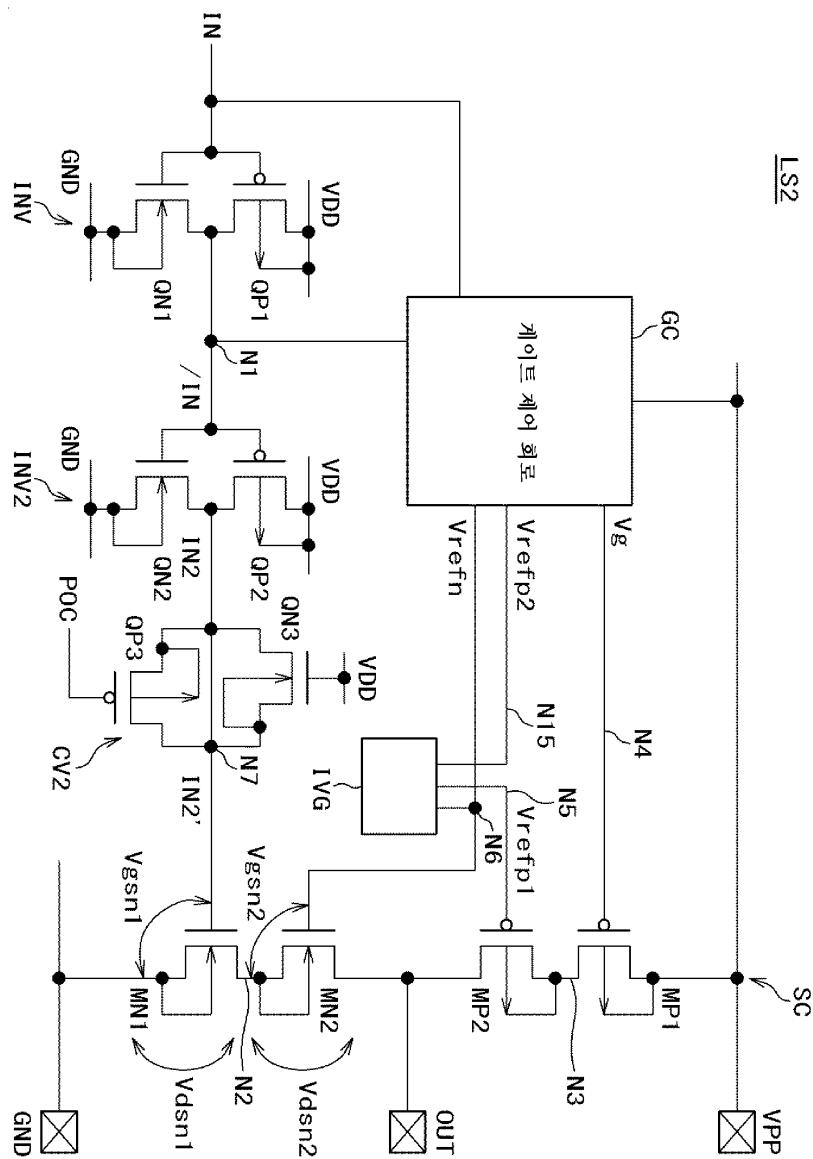
도면4



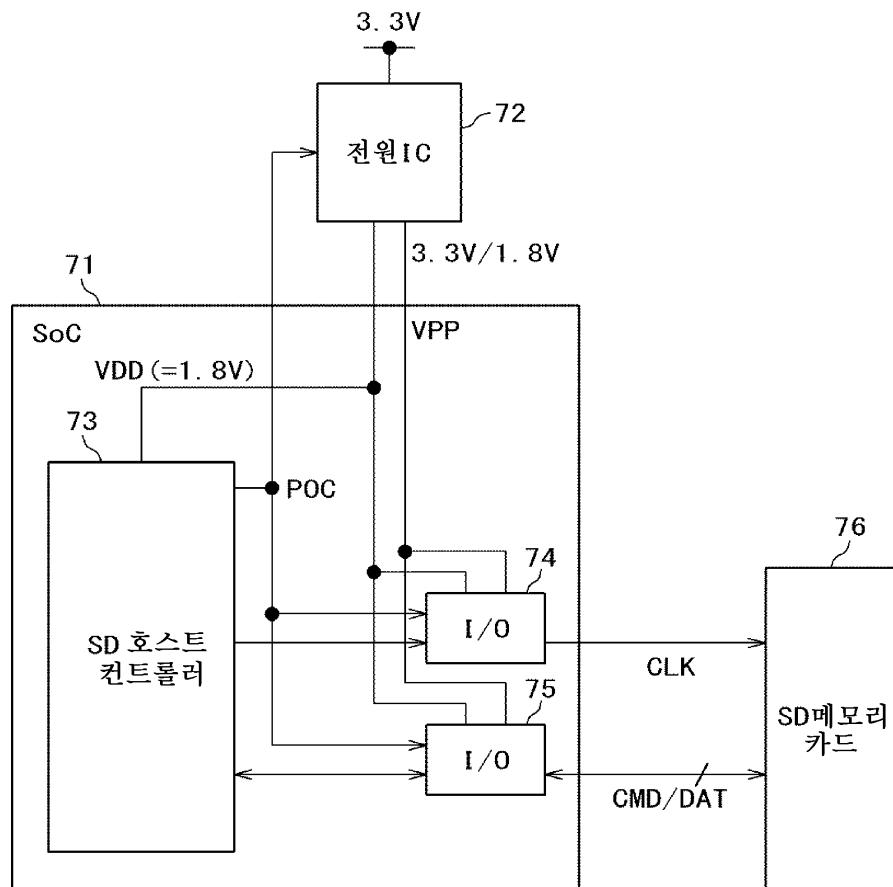
도면5

50

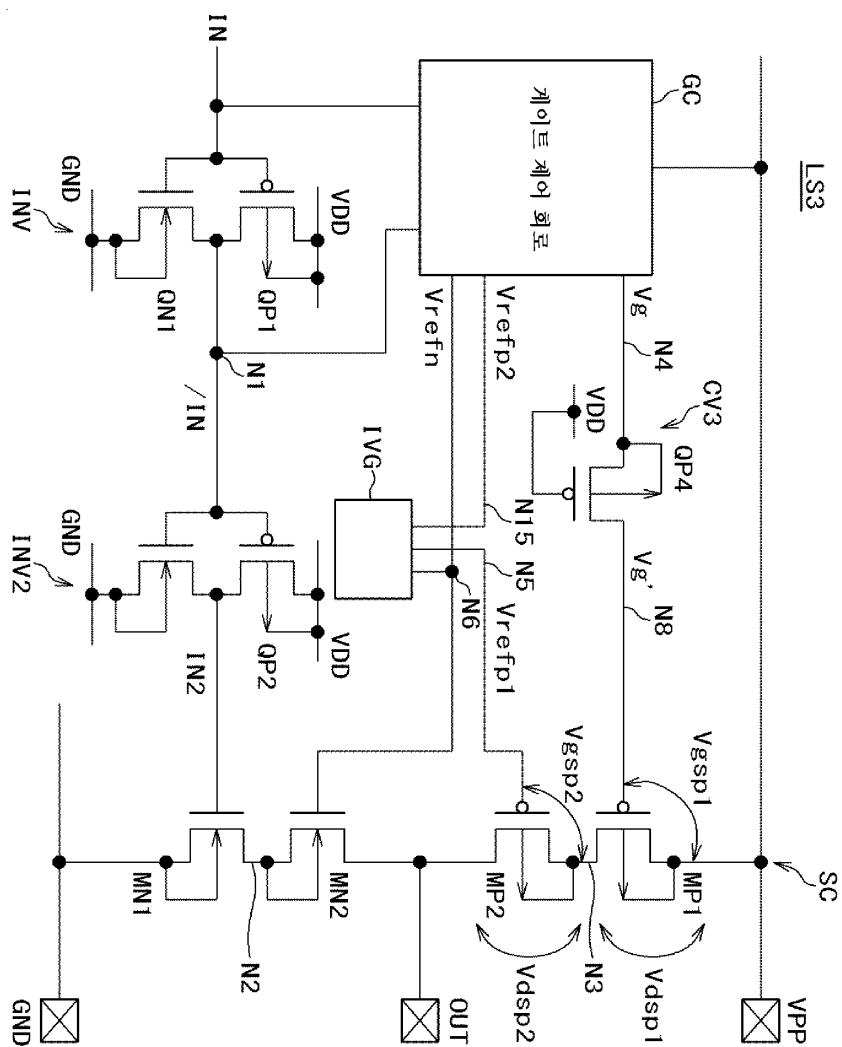
도면6



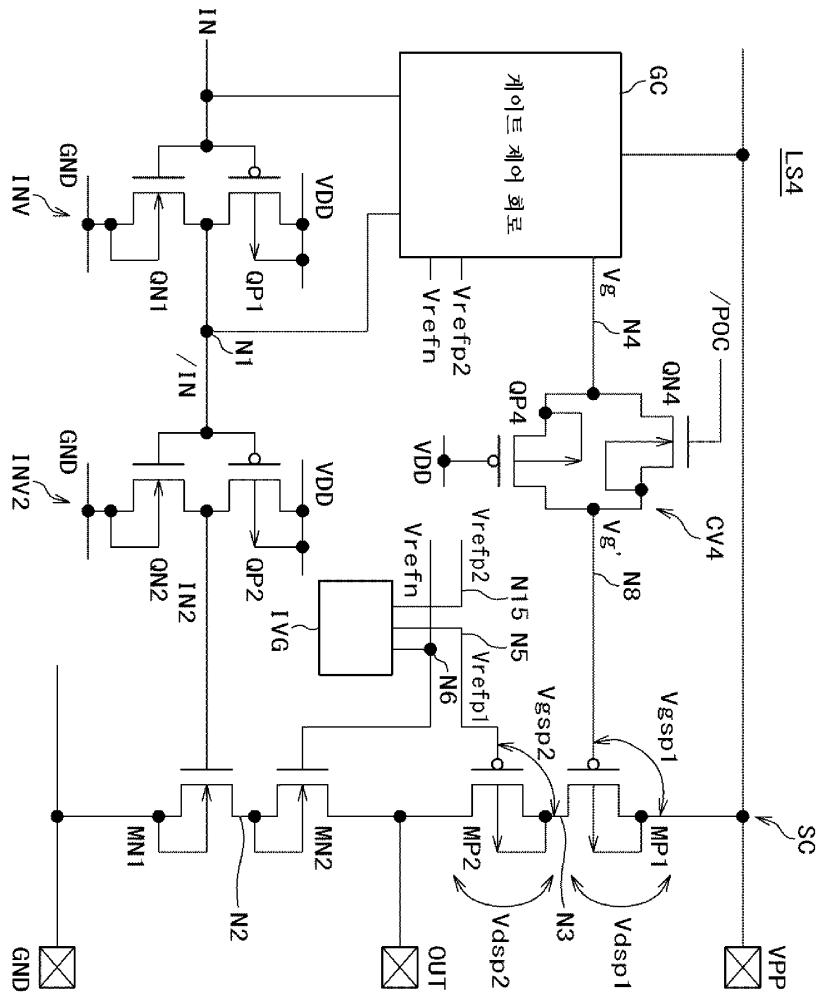
도면7

70

도면8



도면9



도면10

