



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0097448
(43) 공개일자 2016년08월18일

(51) 국제특허분류(Int. Cl.)
H01L 29/73 (2006.01) H01L 29/66 (2006.01)
(52) CPC특허분류
H01L 29/7311 (2013.01)
H01L 29/6684 (2013.01)
(21) 출원번호 10-2015-0018900
(22) 출원일자 2015년02월06일
심사청구일자 2015년02월06일

(71) 출원인
서강대학교산학협력단
서울특별시 마포구 백범로 35 (신수동, 서강대학교)
(72) 발명자
최우영
서울특별시 마포구 신수로 15 102동 403호 (현석동, 강변힐스테이트)
(74) 대리인
권오준

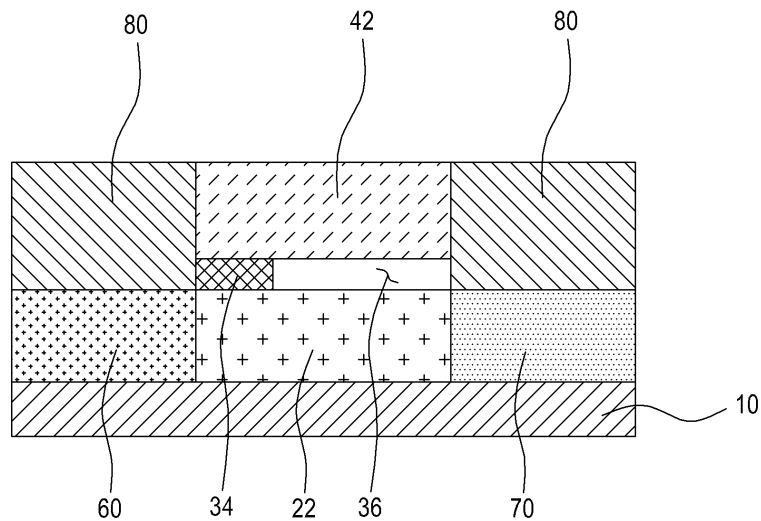
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 저전력 터널링 전계효과 트랜지스터 및 그 제조방법

(57) 요약

본 발명은 터널링 전계효과 트랜지스터에 관한 것으로, 종래 게이트 절연막 대신 터널링 접합 부위에는 고유전율 막을, 나머지 부위에는 에어갭으로 형성함으로써, 터널링 접합 부위의 에너지 밴드 경사를 크게 하여 낮은 구동 전류 해결은 물론 게이트와 드레인 사이의 기생 커패시턴스를 최소화하여 저전력 고속동작이 가능하고, 이극성 동작 문제를 근본적으로 해결할 수 있게 된 저전력 터널링 전계효과 트랜지스터 및 그 제조방법에 관한 것이다.

대표도 - 도9



이 발명을 지원한 국가연구개발사업

과제고유번호 10039174

부처명 산업통상자원부

연구관리전문기관 한국산업기술평가관리원

연구사업명 산업융합원천기술개발사업

연구과제명 22nm급 이하 파운드리 소자 및 PDK 기술 개발

기 여 율 1/2

주관기관 삼성전자주식회사

연구기간 2014.03.01 ~ 2015.02.28이 발명을 지원한 국가연구개발사업

과제고유번호 10044842

부처명 산업통상자원부

연구관리전문기관 한국산업기술평가관리원

연구사업명 산업융합원천기술개발사업

연구과제명 0.7 V 이하 저전압 구동을 위한 Post-CMOS 미래 반도체소자 원천기술 개발

기 여 율 1/2

주관기관 서강대학교산학협력단

연구기간 2014.06.01 ~ 2015.05.31

명세서

청구범위

청구항 1

반도체 기판에 일정거리 떨어져 형성된 P+ 영역과 N+ 영역, 상기 P+ 영역과 상기 N+ 영역 사이에 형성된 채널영역, 상기 채널영역 상에 형성된 게이트를 포함하여 구성된 터널링 전계효과 트랜지스터에 있어서,
상기 게이트와 상기 채널영역 사이에는 채널길이 방향으로 실리콘 산화막보다 유전율이 큰 고유전율막과 에어갭(airgap)이 나누어 형성된 것을 특징으로 하는 터널링 전계효과 트랜지스터.

청구항 2

제 1 항에 있어서,
상기 채널영역은 P형 불순물이 상기 P+ 영역보다 약하게 도핑되거나 도핑되지 않은 진성영역(intrinsic region)으로 형성되고,
상기 고유전율막은 상기 P+ 영역 쪽으로 형성된 것을 특징으로 하는 터널링 전계효과 트랜지스터.

청구항 3

제 1 항에 있어서,
상기 채널영역은 N형 불순물이 상기 N+ 영역보다 약하게 도핑되거나 도핑되지 않은 진성영역(intrinsic region)으로 형성되고,
상기 고유전율막은 상기 N+ 영역 쪽으로 형성된 것을 특징으로 하는 터널링 전계효과 트랜지스터.

청구항 4

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,
상기 반도체 기판은 SOI 기판 또는 벌크 실리콘 기판인 것을 특징으로 하는 터널링 전계효과 트랜지스터.

청구항 5

제 4 항에 있어서,
상기 반도체 기판은 SOI 기판이고,
상기 게이트, 상기 고유전율막 및 상기 에어갭은 상기 채널영역을 사이에 두고 앞뒤로 형성된 더블게이트(double-gate) 구조인 것을 특징으로 하는 터널링 전계효과 트랜지스터.

청구항 6

제 4 항에 있어서,
상기 게이트, 상기 고유전율막 및 상기 에어갭은 상기 채널영역의 삼면을 둘러싸며 형성된 트리플게이트(triple-gate) 구조인 것을 특징으로 하는 터널링 전계효과 트랜지스터.

청구항 7

제 4 항에 있어서,

상기 게이트, 상기 고유전율막 및 상기 에어갭은 상기 채널영역의 전면을 둘러싸며 형성된 게이트올어라운드 (Gate-All-Around: GAA) 구조인 것을 특징으로 하는 터널링 전계효과 트랜지스터.

청구항 8

반도체 기판에 실리콘 산화막보다 유전율이 큰 고유전율 물질 및 게이트 물질을 증착하고 식각하여 게이트 및 고유전율막을 형성하는 제 1 단계;

상기 기판 전면에 제 1 마스크 물질을 증착하고 상기 게이트의 일측이 보이도록 식각하여 제 1 마스크를 형성하는 제 2 단계;

상기 제 1 마스크를 도핑 마스크로 사용하며 상기 게이트의 일측과 인접된 상기 기판에 불순물을 주입하여 P+ 또는 N+ 영역을 형성하는 제 3 단계;

상기 기판 전면에 제 2 마스크 물질을 증착하고 상기 게이트의 타측이 보이도록 식각하여 제 2 마스크를 형성하는 제 4 단계;

상기 제 2 마스크를 도핑 마스크로 사용하며 상기 게이트의 타측과 인접된 상기 기판에 불순물을 주입하여 N+ 또는 P+ 영역을 형성하는 제 5 단계;

상기 고유전율막을 등방성으로 식각하여 상기 게이트의 일측 밑으로 에어갭이 형성되도록 하는 제 6 단계; 및

상기 게이트의 측면으로 상기 고유전율막 및 상기 에어갭을 둘러싸며 절연막을 형성하는 제 7 단계를 포함하여 구성된 것을 특징으로 하는 터널링 전계효과 트랜지스터를 제조하는 방법.

청구항 9

제 8 항에 있어서,

상기 반도체 기판은 SOI 기판 또는 벌크 실리콘 기판이고,

상기 제 1 마스크 물질 및 상기 제 2 마스크 물질은 감광물질이고,

상기 절연막은 산화막인 것을 특징으로 하는 터널링 전계효과 트랜지스터를 제조하는 방법.

발명의 설명

기술 분야

[0001] 본 발명은 터널링 전계효과 트랜지스터에 관한 것으로, 더욱 상세하게는 통상의 게이트 절연막 대신 터널링 접합 부위에는 고유전율막을 형성하고 나머지 부위에는 에어갭으로 형성한 저전력 터널링 전계효과 트랜지스터 및 그 제조방법에 관한 것이다.

배경 기술

[0002] 터널링 전계효과 트랜지스터(Tunnel Field-Effect Transistor: TFET)는 기본적으로, 도 1과 같이, 실리콘 산화막을 게이트 절연막(5)으로 하고, 통상의 MOSFET과 달리 채널영역(3) 양측으로 서로 반대 극성을 갖는 불순물로 비대칭 소스(2)/드레인(4)을 형성하는 것을 특징으로 한다.

[0003] N 채널 TFET인 경우, 매몰 산화막(1) 상에 P형으로 약하게 도핑되거나 도핑 되지 않은 진성 SOI 기판의 채널영역(3) 양측으로 소스(2)는 P+ 영역, 드레인(4)은 N+ 영역으로 형성된다. 여기서, P+ 영역은 P형 불순물의 고농도 도핑층을, N+ 영역은 N형 불순물의 고농도 도핑층을 각각 말한다(이하, 동일함).

[0004] 상기 구조에서, 게이트 절연막(5) 상의 게이트(6)에 양(+)의 구동전압이 인가되고, 소스(2) 및 드레인(4)에 역바이어스 전압이 각각 인가하게 되면, 도 2와 같이, 채널영역(3)과 소스(2) 사이에 에너지 밴드 경사를 갖는 터

널링 접합(tunneling junction)이 형성되어 소스(2)의 가전자대(E_v)에 있던 전자(e)가 채널영역(3)의 전도대(E_c)로 밴드 대 밴드(band-to-band)로 터널링되며 구동전류(I_{ON})가 흐르게 된다. P 채널 TFET인 경우는 상술한 N 채널 TFET인 경우와 대칭적 구조를 가지고, 대칭적인 동작을 하게 된다.

[0005] 상술한 TFET 구조 및 동작상 특징으로, 기존 MOSFET의 물리적 한계 즉 문턱전압이하 기울기(Subthreshold Swing: SS)가 상온에서 60mV/dec 이하로 낮아질 수 없는 문제점을 극복할 수 있어, MOSFET을 대체할 수 있는 차세대 소자로 많은 연구가 되어 왔다.

[0006] 그러나, 터널링 전계효과 트랜지스터는 낮은 구동전류, 이극성 동작(ambipolar behavior) 문제, 게이트와 드레인 사이의 기생 커패시턴스(capacitance) 등으로 인하여, 기존 MOSFET을 대체할 만한 성능을 보여주지 못하고 있다.

[0007] 상기 터널링 전계효과 트랜지스터의 낮은 구동전류 문제를 해결하고자, 본 발명자는 한국등록특허 제10-1108915호에서 도 3의 구조를 제안한 바 있다. 도 3의 구조의 핵심 내용은 도 1의 게이트 절연막(5) 대신 소스(2)와 채널영역(3)의 터널링 접합 부위에는 고유전율막(5a)을 형성하고 나머지 부위에는 통상의 게이트 절연막(5)을 그대로 사용함으로써, 도 2에서 에너지 밴드 경사가 접합부위에서 더욱 가파르게 하여 큰 터널링 전류로 구동전류를 높이고자 한 점에 있다.

[0008] 그런데 한국등록특허 제10-1108915호에서 제안된 구조로는 게이트(6)와 드레인(4) 사이의 기생 커패시턴스는 게이트 절연막(5)의 존재로 없애기 어려워 저전력 구동시 특히, 고속동작을 위한 소자로 사용하기에는 적합하지 않은 문제점이 있다. 그리고 고유전율막(5a)과 통상의 게이트 절연막(5)의 유전율 차이만으로 이극성 동작 문제를 근본적으로 해결하기 어려운 문제점과 서로 다른 절연막으로 게이트 절연막을 형성해야 하므로 통상보다 추가 공정이 요구되는 문제점도 있다.

발명의 내용

해결하려는 과제

[0009] 본 발명은 상기와 같은 종래 문제를 해결하기 위하여 제안된 것으로서, 통상의 게이트 절연막 대신 터널링 접합 부위에는 고유전율막을, 나머지 부위에는 에어갭으로 형성한 저전력 터널링 전계효과 트랜지스터 및 그 제조방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0010] 상기 목적을 달성하기 위하여, 본 발명에 의한 터널링 전계효과 트랜지스터는 반도체 기판에 일정거리 떨어져 형성된 P+ 영역과 N+ 영역, 상기 P+ 영역과 상기 N+ 영역 사이에 형성된 채널영역, 상기 채널영역 상에 형성된 게이트를 포함하여 구성된 터널링 전계효과 트랜지스터에 있어서, 상기 게이트와 상기 채널영역 사이에는 채널 길이 방향으로 실리콘 산화막보다 유전율이 큰 고유전율막과 에어갭(airgap)이 나누어 형성된 것을 특징으로 한다.

[0011] 상기 채널영역은 P형 불순물이 상기 P+ 영역보다 약하게 도핑되거나 도핑되지 않은 진성영역(intrinsic region)으로 형성되고, 상기 고유전율막은 상기 P+ 영역 쪽으로 형성된 것을 본 발명에 의한 터널링 전계효과 트랜지스터의 다른 특징으로 한다.

[0012] 상기 채널영역은 N형 불순물이 상기 N+ 영역보다 약하게 도핑되거나 도핑되지 않은 진성영역(intrinsic region)으로 형성되고, 상기 고유전율막은 상기 N+ 영역 쪽으로 형성된 것을 본 발명에 의한 터널링 전계효과 트랜지스터의 다른 특징으로 한다.

[0013] 상기 반도체 기판은 SOI 기판 또는 벌크 실리콘 기판인 것을 본 발명에 의한 터널링 전계효과 트랜지스터의 다른 특징으로 한다.

[0014] 상기 반도체 기판은 SOI 기판이고, 상기 게이트, 상기 고유전율막 및 상기 에어갭은 상기 채널영역을 사이에 두고 앞뒤로 형성된 더블게이트(double-gate) 구조인 것을 본 발명에 의한 터널링 전계효과 트랜지스터의 다른 특징으로 한다.

[0015] 상기 게이트, 상기 고유전율막 및 상기 에어갭은 상기 채널영역의 삼면을 둘러싸며 형성된 트리플게이트(triple-gate) 구조인 것을 본 발명에 의한 터널링 전계효과 트랜지스터의 다른 특징으로 한다.

[0016] 상기 게이트, 상기 고유전율막 및 상기 에어갭은 상기 채널영역의 전면을 둘러싸며 형성된 게이트올라라운드 (Gate-All-Around: GAA) 구조인 것을 본 발명에 의한 터널링 전계효과 트랜지스터의 다른 특징으로 한다.

[0017] 한편, 본 발명에 의한 터널링 전계효과 트랜지스터의 제조방법은 반도체 기판에 실리콘 산화막보다 유전율이 큰 고유전율 물질 및 게이트 물질을 증착하고 식각하여 게이트 및 고유전율막을 형성하는 제 1 단계; 상기 기판 전면에 제 1 마스크 물질을 증착하고 상기 게이트의 일측이 보이도록 식각하여 제 1 마스크를 형성하는 제 2 단계; 상기 제 1 마스크를 도핑 마스크로 사용하며 상기 게이트의 일측과 인접된 상기 기판에 불순물을 주입하여 P+ 또는 N+ 영역을 형성하는 제 3 단계; 상기 기판 전면에 제 2 마스크 물질을 증착하고 상기 게이트의 타측이 보이도록 식각하여 제 2 마스크를 형성하는 제 4 단계; 상기 제 2 마스크를 도핑 마스크로 사용하며 상기 게이트의 타측과 인접된 상기 기판에 불순물을 주입하여 N+ 또는 P+ 영역을 형성하는 제 5 단계; 상기 고유전율막을 등방성으로 식각하여 상기 게이트의 일측 밑으로 에어갭이 형성되도록 하는 제 6 단계; 및 상기 게이트의 측면으로 상기 고유전율막 및 상기 에어갭을 둘러싸며 절연막을 형성하는 제 7 단계를 포함하여 구성된 것을 특징으로 한다.

[0018] 상기 반도체 기판은 SOI 기판 또는 벌크 실리콘 기판이고, 상기 제 1 마스크 물질 및 상기 제 2 마스크 물질은 감광물질이고, 상기 절연막은 산화막인 것을 본 발명에 의한 터널링 전계효과 트랜지스터 제조방법의 다른 특징으로 한다.

발명의 효과

[0019] 본 발명은 종래 게이트 절연막 대신 터널링 접합 부위에는 고유전율막을, 나머지 부위에는 에어갭으로 형성함으로써, 터널링 접합 부위의 에너지 밴드 경사를 크게 하여 낮은 구동전류 해결은 물론 게이트와 드레인 사이의 기생 커패시턴스를 최소화하여 저전력 고속 동작이 가능하고, 이극성 동작 문제를 근본적으로 해결할 수 있게 된 효과가 있다.

도면의 간단한 설명

[0020] 도 1은 종래 터널링 전계효과 트랜지스터(N 채널 TFET)의 기본 구조를 보여주는 단면도이다.

도 2는 도 1의 N 채널 TFET 구조에서 소스/드레인에 역바이어스, 게이트에 양(+)의 전압이 각각 인가될 때 P+ 영역과 접한 채널영역 사이에 터널링 접합으로 터널링 전류(ON CURRENT: I_{ON})가 발생됨을 보여주는 에너지 밴드도이다.

도 3은 한국등록특허 제10-1108915호에서 개시된 구조로, 도 1의 게이트 절연막 일부를 고유전율막으로 형성한 것을 보여주는 단면도이다.

도 4 내지 도 9는 본 발명의 일 실시 예에 따른 터널링 전계효과 트랜지스터의 제조 공정을 보여주는 단면도로, SOI 기판으로 반전층에 의한 N채널 터널링 전계효과 트랜지스터를 제조하는 공정 단계를 보여준다.

도 10은 본 발명의 다른 실시 예에 따라 SOI 기판으로 제조된 반전층에 의한 P채널 터널링 전계효과 트랜지스터의 구조를 보여주는 단면도이다.

도 11 및 도 12는 각각 본 발명의 다른 실시 예에 따라 벌크 실리콘 기판으로 제조된 반전층에 의한 N채널 터널링 전계효과 트랜지스터 및 P채널 터널링 전계효과 트랜지스터의 구조를 보여주는 단면도이다.

발명을 실시하기 위한 구체적인 내용

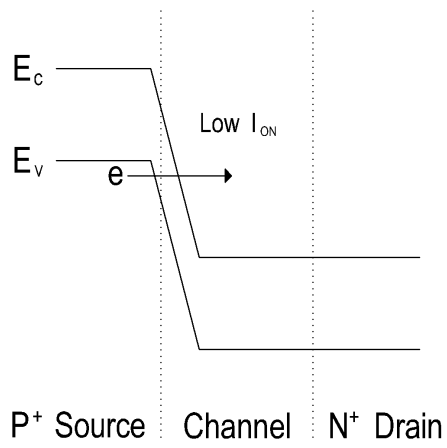
[0021] 이하, 첨부된 도면을 참조하며 본 발명의 바람직한 실시 예에 대하여 설명한다.

[0022] 본 발명의 일 실시 예에 의한 터널링 전계효과 트랜지스터는, 도 4 내지 도 9에 도시된 바와 같이, 반도체 기판(10, 20)에 일정거리 떨어져 형성된 P+ 영역(60)과 N+ 영역(70), 상기 P+ 영역과 상기 N+ 영역 사이에 형성된 채널영역(22), 상기 채널영역 상에 형성된 게이트(42)를 포함하여 구성된 터널링 전계효과 트랜지스터에 있어서, 상기 게이트(42)와 상기 채널영역(22) 사이에는 채널길이 방향으로 실리콘 산화막보다 유전율이 큰 고유전율막(34)과 에어갭(airgap: 36)이 나누어 형성된다.

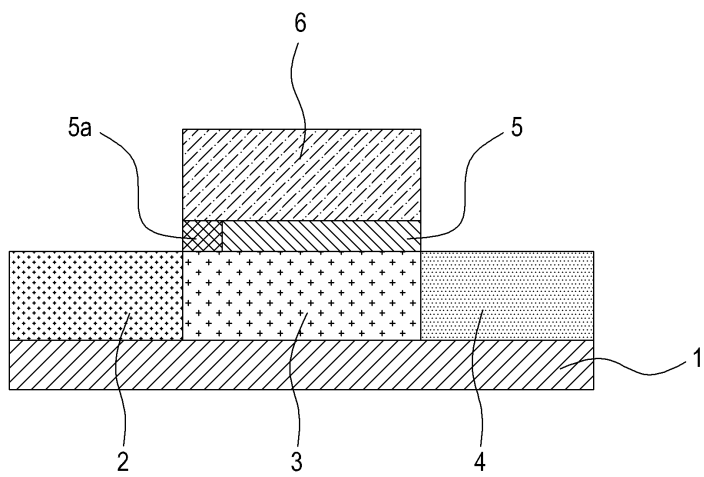
[0023] 여기서, 상기 채널영역(22)은, 도 9와 같이, P형 불순물이 상기 P+ 영역(60)보다 약하게 도핑되거나(P- 영역) 도핑되지 않은 진성영역(intrinsic region)으로 형성될 수 있고, 도 10과 같이, N형 불순물이 상기 N+ 영역(70)보다 약하게 도핑되거나(N- 영역) 도핑되지 않은 진성영역으로 형성될 수도 있다.

- [0024] 상기 고유전율막은 소자의 동작시 채널영역에 형성되는 채널과 터널링 집합을 이루는 P+ 영역 쪽 또는 N+ 영역 쪽에 부분적으로 형성되고, 나머지는 에어갭(airgap: 36)이 채널길이 방향으로 형성하게 된다. 구체적인 예로, 도 9와 같이 채널영역(22)이 P- 영역으로 형성되고, 반전층(inversion layer)에 의한 전자 채널로 터널링 집합이 P+ 영역 쪽에 형성될 경우에는 고유전율막(34)이 P+ 영역(60) 쪽에 부분적으로 형성되고, 도 10과 같이 채널영역(24)이 N- 영역으로 형성되고, 반전층(inversion layer)에 의한 정공 채널로 터널링 집합이 N+ 영역 쪽에 형성될 경우에는 고유전율막(38)이 N+ 영역(70) 쪽에 부분적으로 형성되고, 각 예에 있어서 나머지는 에어갭(airgap: 36)으로 유지하게 된다. 도 9 및 도 10의 예에서, 각 채널영역(22)(24)에 축적층(accumulation layer)에 의하여 채널이 형성될 경우에는, 도면으로 미도시되었으나, 터널링 집합은 상술한 예의 반대편에 형성되므로, 각 고유전율막(34)(38)도 반대편에 형성하게 된다.
- [0025] 상기 반도체 기판은, 도 4와 같이, 매몰 산화막(10) 위에 실리콘층(20)이 있는 SOI 기판일 수 있고, 도 11 및 도 12와 같이, 벌크 실리콘 기판(90, 90')일 수 있다.
- [0026] 도 9는 P형 불순물이 P+ 영역(60)보다 약하게 도핑된 SOI 기판의 P- 실리콘층(20)에 P+ 영역(60)과 N+ 영역(70), 그리고 P- 채널영역(22)이 형성되어, 반전층(inversion layer)에 의한 N채널 터널링 전계효과 트랜지스터로 동작되는 예를 보여준다.
- [0027] 도 10은 N형 불순물이 N+ 영역(70)보다 약하게 도핑된 SOI 기판의 N- 실리콘층에 P+ 영역(60)과 N+ 영역(70), 그리고 N- 채널영역(24)이 형성되어, 반전층(inversion layer)에 의한 P채널 터널링 전계효과 트랜지스터로 동작되는 예를 보여준다.
- [0028] 도 11은 P형 불순물이 P+ 영역(60)보다 약하게 도핑된 P- 벌크 실리콘 기판(90)에 P+ 영역(60)과 N+ 영역(70), 그리고 P- 채널영역(92)이 형성되어, 반전층(inversion layer)에 의한 N채널 터널링 전계효과 트랜지스터로 동작되는 예를 보여준다.
- [0029] 도 12는 N형 불순물이 N+ 영역(70)보다 약하게 도핑된 N- 벌크 실리콘 기판(90')에 P+ 영역(60)과 N+ 영역(70), 그리고 N- 채널영역(94)이 형성되어, 반전층(inversion layer)에 의한 P채널 터널링 전계효과 트랜지스터로 동작되는 예를 보여준다.
- [0030] 도 9 내지 도 12의 각 실시예에서 게이트(42)의 구조는 하나의 평면형으로 도시되어 있으나, 이에 한정되지 않는다.
- [0031] 즉, 도 9 내지 도 12의 각 실시예에서, 고유전율막(34, 38) 및 에어갭(36)은 채널영역(22, 24, 92, 94)을 사이에 두고 앞뒤로 형성된 더블게이트(double-gate) 구조로 형성될 수 있다.
- [0032] 다른 실시 예로, 고유전율막(34, 38) 및 에어갭(36)이 채널영역(22, 24, 92, 94)의 삼면을 둘러싸며 형성된 트리플게이트(triple-gate) 구조로 형성될 수 있다.
- [0033] 또 다른 실시 예로, 고유전율막(34, 38) 및 에어갭(36)이 채널영역(22, 24, 92, 94)의 전면을 둘러싸며 형성된 게이트올러라운드(Gate-All-Around: GAA) 구조로 형성될 수 있다.
- [0034] 상술한 각 실시 예는 공통으로 종래 게이트 절연막 대신 터널링 집합 부위에는 고유전율막(34, 38)을, 나머지 부위에는 에어갭(36)을 채널길이 방향으로 나누어 형성함으로써, 터널링 집합 부위의 에너지 밴드 경사를 크게 하여 구동전류를 높이고, 게이트와 드레인 사이에는 에어갭(36)을 두어 기생 커패시턴스를 최소화하여 저전력 고속동작이 가능함과 동시에, 고유전율막(34, 38)과 유전율 차이를 극대화 시킨 에어갭(36)의 형성으로 이극성 동작 문제도 근본적으로 해결할 수 있게 된다. 또는 상술한 구조적 특징은 후술하는 바와 같이, 제조 공정 측면에서도, 고유전율막 물질을 식각하여 제거된 공간으로 에어갭(36)을 형성하면 되므로, 공정도 간단한 장점이 있다.
- [0035] 본 발명에 의한 터널링 전계효과 트랜지스터의 제조방법에 관한 실시 예를 도 4 내지 도 9를 참조하며 설명하면, 하기와 같다.
- [0036] 우선, 도 4와 같이, 매몰 산화막(10) 위에 실리콘층(20)이 있는 SOI 기판 또는 벌크 실리콘 기판(90, 90') 등과 같은 반도체 기판을 준비하고(이하에서는 P-로 도핑된 SOI 기판을 기준으로 설명함), 도 5와 같이, 상기 반도체 기판에 실리콘 산화막보다 유전율이 큰 고유전율 물질(30) 및 게이트 물질(40)을 증착하고 식각하여, 도 6과 같이, 게이트(42) 및 고유전율막(32)를 형성한다(제 1 단계).
- [0037] 이때, 상기 고유전율 물질(30)은 실리콘 산화막(SiO_2)보다 유전율이 큰 물질이면 충분하나, 바람직하게는 스트

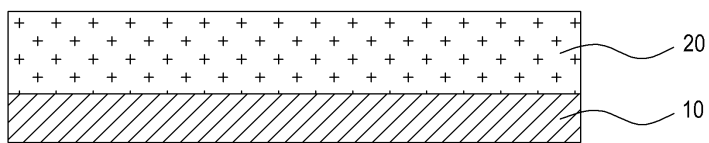
도면2



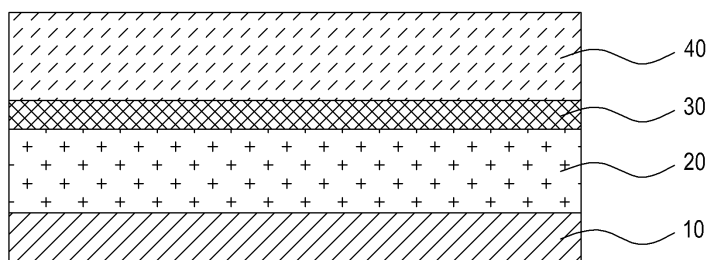
도면3



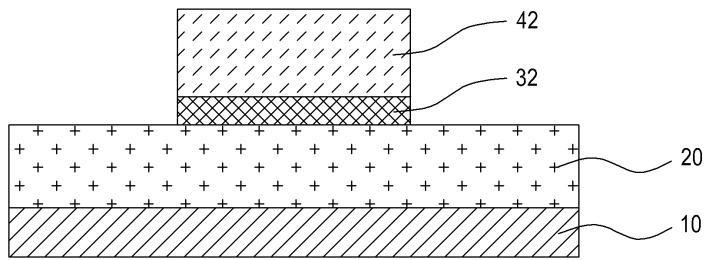
도면4



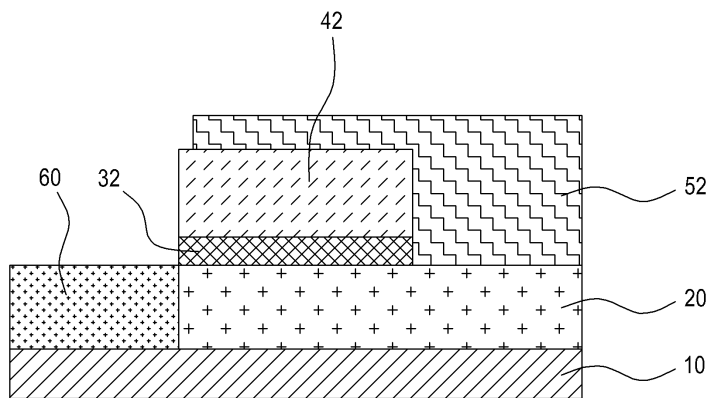
도면5



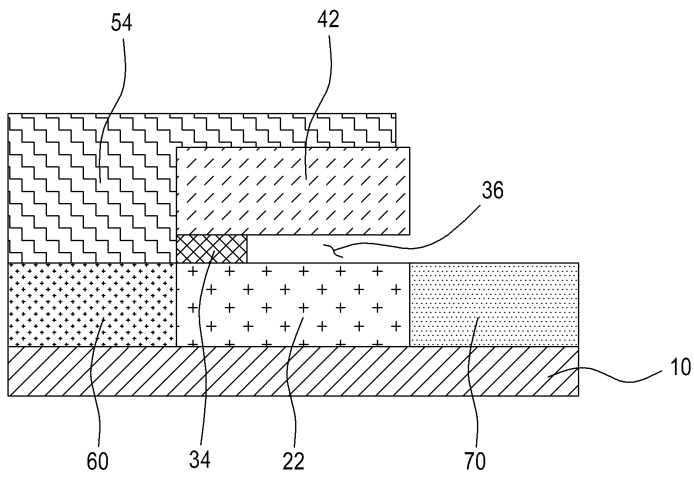
도면6



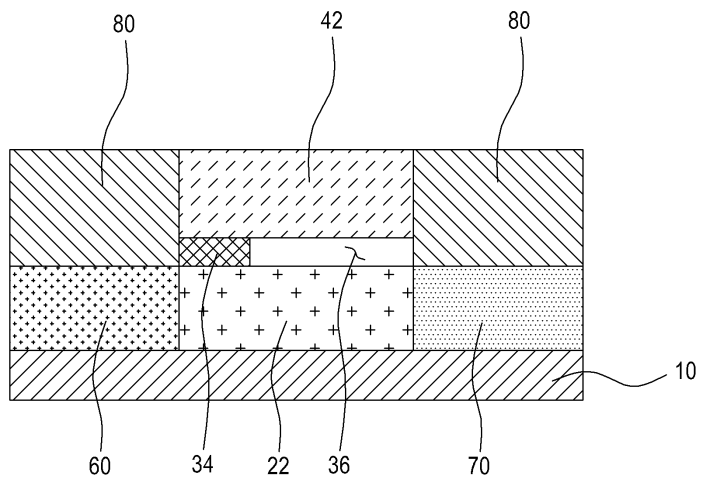
도면7



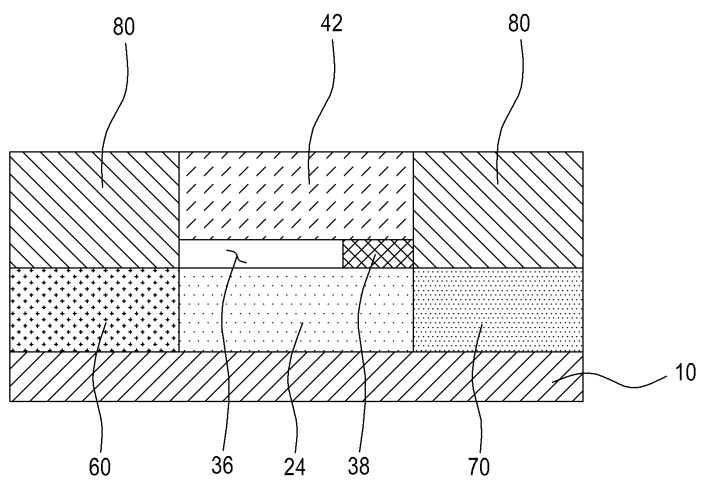
도면8



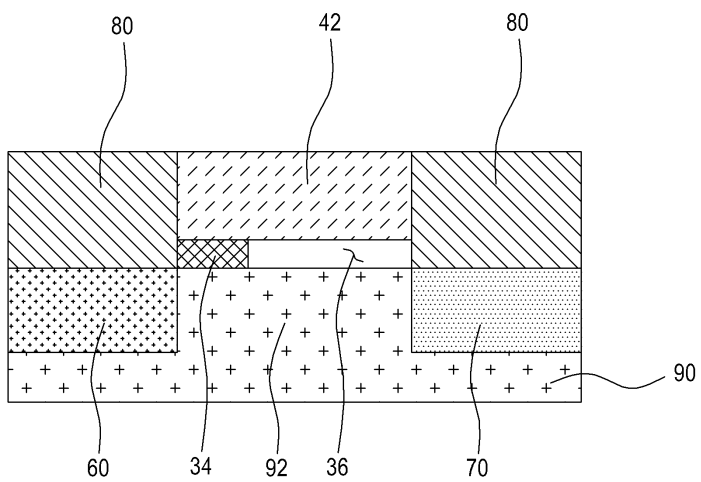
도면9



도면10



도면11



도면12

