



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0023452
(43) 공개일자 2015년03월05일

- (51) 국제특허분류(Int. Cl.)
H01L 21/20 (2006.01) *H01L 21/18* (2006.01)
H01L 27/15 (2006.01) *H01L 33/00* (2010.01)
H01L 33/20 (2010.01) *H01L 33/38* (2010.01)
H01L 31/02 (2006.01) *H01L 31/075* (2006.01)
H01L 31/18 (2006.01)
- (21) 출원번호 10-2014-7036038
 (22) 출원일자(국제) 2013년06월14일
 심사청구일자 없음
 (85) 번역문제출일자 2014년12월22일
 (86) 국제출원번호 PCT/EP2013/062423
 (87) 국제공개번호 WO 2013/189857
 국제공개일자 2013년12월27일
 (30) 우선권주장
 1255931 2012년06월22일 프랑스(FR)
 (뒷면에 계속)
- (71) 출원인
 소이텍
 프랑스, 에프-38190 베른느, 슈망 데 프랑크, 박
 페끄놀로지끄 데 풍텐느
- (72) 발명자
 제나드 파스칼
 프랑스, 에프-38190 프로쥬, 로띠제망 레 세리시
 에 3
- (74) 대리인
 정홍식

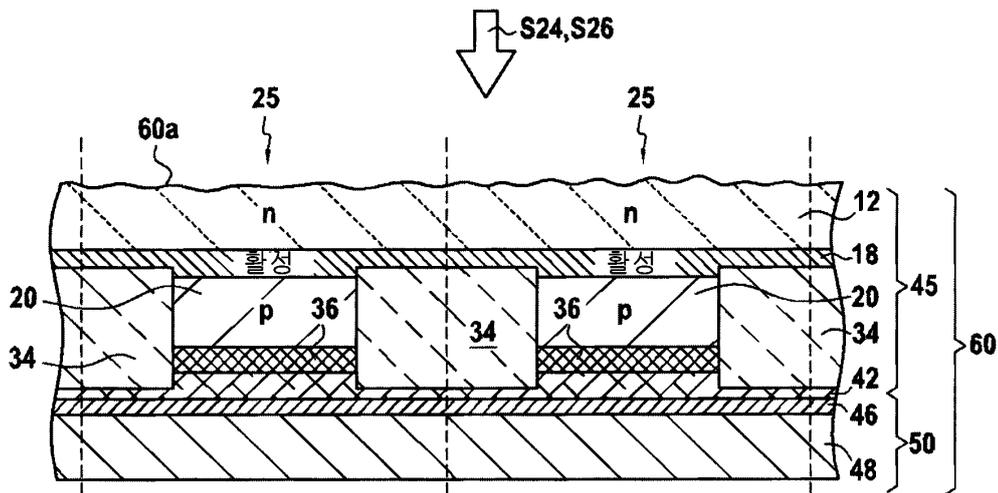
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 LED들 또는 태양 전지들의 구조들을 제조하는 방법

(57) 요약

본 발명은 적어도 하나의 p-형층(20), 활성 영역(18) 및 n-형층(12)을 각각 포함하는 기본 LED 또는 광기전 구조들의 제 1 기판(10) 상에의 형성, 기본 구조들에의 제 1 평탄 금속층(42)의 형성, 제 2 평탄 금속층(46)을 포함하는 전사 기판(50)의 제공, 실온에서 분자 접착에 의한 제 1 및 제 2 금속층들(42, 46)의 접합에 의한 전사 기판(50)과 기본 구조들의 조립, 및 제 1 기판(10)의 제거를 포함하는 제조 방법에 관한 것이다.

대표도 - 도2i



(30) 우선권주장

1255934 2012년06월22일 프랑스(FR)

1257617 2012년08월06일 프랑스(FR)

특허청구의 범위

청구항 1

제조 방법으로서:

- a) 복수의 기본 LED 또는 광기전 구조들(photovoltaic structures)의 제 1 기판 상에의 형성 - 각각은 적어도 하나의 p-형층, 활성 영역(active zone) 및 n-형층을 포함 -;
 - b) 상기 기본 구조들 상에의 제 1 평탄 금속층의 형성;
 - c) 전사 기판(transfer substrate)의 표면들 중 하나 상에 제 2 평탄 금속층을 포함하는 전사 기판의 제공;
 - d) 상기 제 1 및 제 2 금속층들의 접합에 의해 상기 전사 기판과 상기 기본 구조들의 조립 - 접합은 실온에서 분자 접착(molecular adhesion)에 의해 행해짐 -; 및
 - e) 상기 제 1 기판의 제거
- 를 포함하는, 제조 방법.

청구항 2

제 1 항에 있어서,

상기 제 1 기판 상의 상기 기본 구조들은 트렌치들에 의해 서로 이격되어 있는, 제조 방법.

청구항 3

제 2 항에 있어서,

상기 제조 방법은 단계들 a)와 b) 사이에:

상기 기본 구조들 사이에 존재하는 상기 트렌치들에의 절연 재료의 침착을 더 포함하는, 제조 방법.

청구항 4

제 2 항 또는 제 3 항에 있어서,

상기 기본 구조들 각각은 이완된 또는 부분적으로 이완된 재료의 아일랜드 상에 형성되는, 제조 방법.

청구항 5

제 4 항에 있어서,

상기 이완된 또는 부분적으로 이완된 재료는 InGaN인, 제조 방법.

청구항 6

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,

단계 b) 전에, 상기 기본 구조들 각각의 노출된 표면 상에의 p- 또는 n-형 전기 접촉 패드의 형성을 더 포함하는, 제조 방법.

청구항 7

제 1 항 내지 제 6 항 중 어느 한 항에 있어서,

단계들 b) 및 c) 각각은 1 nm RMS보다 작거나 같은 표면 거칠기를 획득하기 위해 상기 제 1 및 제 2 금속층들의 개개의 폴리싱의 부단계를 포함하는, 제조 방법.

청구항 8

제 7 항에 있어서,

단계들 d)와 e) 사이에, 100℃보다 낮거나 같은 온도에서의 어닐링 단계를 더 포함하는, 제조 방법.

청구항 9

제 1 항 내지 제 8 항 중 어느 한 항에 있어서,

상기 제 1 및 제 2 금속층들은 Cu, Al, Ti 및 W를 포함하는 그룹으로부터 선택된 재료로 제조되는, 제조 방법.

청구항 10

제 1 항 내지 제 9 항 중 어느 한 항에 있어서,

단계 a)에서 형성된 상기 기본 구조들은 적어도 하나의 p-n 접합을 각각 포함하는 광기전 구조들인, 제조 방법.

청구항 11

제 1 항 내지 제 9 항 중 어느 한 항에 있어서,

단계 a)에서 형성된 상기 기본 구조들은 LED 구조들이고 상기 활성 영역은 발광층인, 제조 방법.

청구항 12

제 1 항 내지 제 11 항 중 어느 한 항에 있어서,

단계 e) 후, 상기 기본 구조들을 분리하기 위해 상기 전사 기판을 절단하는 단계를 더 포함하는, 제조 방법.

명세서

기술분야

[0001] 본 발명은 발광 다이오드들(LED들)의 제조 및 태양(photovoltaic) 전지들의 제조에 관한 것이다.

배경 기술

[0002] LED들은 일반적으로 적어도 하나의 n-형층 또는 영역, 하나의 p-형층 또는 영역, 및 n-형층과 p-형층 사이에 배치된 활성층을 포함하는 층들의 스택에 대응하는 기본 구조들로부터 제조된다.

[0003] 태양 전지들에 대해, 이들은 적어도 하나의 p-n 접합(p-형층 및 형층의 접합)을 포함하는 기본 구조들로부터 제조된다. 이들 기본 구조들은 복수의 p-n 접합들을 포함할 수 있다. 이 기술분야에서 숙련된 사람에게 잘 알려져 있는 것과 같이, p-n 접합은 접합 주위에 위치한 공간 전하 영역(space charge region: ZCE)에 대응하는 활성 영역을 포함한다.

[0004] 위에서 언급한 기본 구조들은 필요한 층들의 스택이 에피택셜 성장에 의해 형성되는 동일한 성장 기판으로부터 형성될 수 있고, 이러한 스택의 부분들은 이후 기본 LED 또는 광기전 구조를 절연하기 위해 기판에서 절단된다.

[0005] 그러나, 다른 LED 또는 태양 전지 제조 동작들, 예컨대 n 및 p 접촉 패드들에 의한 배선, 또는 특히 후속 처리들을 행하는 데 필요한 성장 지지체의 분해/제거가 개별적으로 각각의 기본 구조의 레벨 상에서 전부 또는 부분적으로 행해지는데, 이것은 기본 구조들이 서로로부터 분리되고 따라서 하나의 구조가 한번에 다루어지는 것을 의미한다.

[0006] 동일한 것이 기계적 지지체 상의 LED들 또는 태양 전지들의 조립에 관련된 동작들 및 각각의 LED에 대해 개별적으로 행해지는 광변환 재료("인(phosphorus)")의 침착 동작들에 대해 참이다

[0007] 도 1a는 복수의 동일한 LED 구조들을 포함하는 성장 기판(예를 들어 사파이어)을 절단 후 얻어진 기본 LED 구조(3)를 개략적으로 표현한다. 기본 LED 구조(3)는 n-형층(4), 활성층(5) 및 p-형층(6)의 스택으로 구성된다. 이러한 기본 LED 구조(3)는 성장 기판(2) 상에 형성되고 또한 p-형층(6)의 상측 표면 상에, p-형층(6), 반사층(미러)(7)을 포함하고, 따라서, 전체는 다층 구조(1)를 형성한다.

[0008] 알려진 것과 같이, 다층 구조(1)는 이후 웨이퍼 접합 기판(8)과 미러 층(7)의 노출된 표면 상에 조립된다(도 1b). 전통적으로, 그것은 열압착 본딩(thermoccompression bonding)에 의해 이러한 조립체를 제조하는 것이 유용

하고, 이러한 본딩은 조립체의 강인성을 보장하기 위해 특정 압력의 인가 및 특히 높은 온도(300°C 이상)를 필요로 한다. 예를 들어, 이러한 본딩은 접합될 2개의 표면들 사이에 납땜을 가능하게 하는 금속-주석 합금을 이용하여 행해질 수 있다.

[0009] 일단 조립체가 완성되면, 성장 기관(2)(임시 기관으로서 작용)은 다층 구조(1)의 나머지로 부터 제거되고, 이와 같은 제거의 과정은 이 기술분야에서 숙련된 사람에게 잘 알려져 있다(도 1c).

[0010] 그러나, 출원인은 열압착 본딩 기술과 관련된 몇개의 주요 문제점들을 알아냈다.

[0011] 열압착 본딩 동안 온도의 증가는 성장 기관(2) 및 최종 기관(8)의 상당한 열팽창으로 이어지고, 이러한 팽창은 이들 기관들의 각각의 열팽창 계수(CTE)의 함수이다. 따라서, 만족스런 접합 결과들을 얻기 위해서는, 기관들(2, 8)이 LED 구조(3)와 CTE 면에서 호환 가능하도록 이들의 유형을 선택하는 것이 필요하다. 너무 큰 CTE 불일치는 균열들로 이어질 수 있고, 그 결과 문제의 구조들의 제조 수율들을 감소시킨다.

[0012] 접합 중 높은 온도는 또한 성장 기관의 변형(휨, 뒤틀림)을 발생시킨다. 이러한 변형 현상은 특히 접합될 구조의 성장 기관이 대형(예를 들어 150 또는 200 mm)일 때 증폭된다. 그 때, 이들 변형들을 제한하기 위해 조립 동안 더 큰 압력을 가할 필요가 있다. 현재의 관행은 열압착 본딩 동안 기계적 응력을 최소화하기 위해 최종 기관 상에 개별적으로 각각의 LED 구조를 접합하는 경향이 있다.

[0013] 이들 CTE 호환성 제한들은 기관들(2, 8)을 형성할 수 있는 재료들의 선택을 상당히 제한한다. 그러나, 선택은 예를 들어 재료 시장에서 비교적 이용 불가능하고 고가인 문제점을 가지는 게르마늄과 관계가 있을 수 있다.

발명의 내용

해결하려는 과제

[0014] 따라서, 효과적이고 특히 위에서 언급한 제한들 및 문제점들이 없게 하는 것을 가능하게 하는 LED들 또는 태양 전지들의 구조들을 제조하기 위한 기술에 대한 요구가 있다.

과제의 해결 수단

발명의 목적 및 요약

[0016] 본 발명은 a) 복수의 기본 LED 또는 광기전 구조들(photovoltaic structures)의 제 1 기관 상에의 형성 - 각각은 적어도 하나의 p-형층, 활성 영역 및 n-형층을 포함 -;

[0017] b) 기본 구조들 상에의 제 1 평탄 금속층의 형성;

[0018] c) 전사 기관(transfer substrate)의 표면들 중 하나 상에 제 2 평탄 금속층을 포함하는 전사 기관의 제공;

[0019] d) 제 1 및 제 2 금속층들의 접합에 의해 전사 기관과 기본 구조들의 조립 - 접합은 실온에서 분자 접촉에 의해 행해질 -; 및

[0020] e) 제 1 기관의 제거

[0021] 를 포함하는, 제조 방법에 관한 것이다.

[0022] 본 제조 방법은 유리하게는 전통적인 열압착 본딩(위에 나타냄)에 요구되는 압력 및 온도 조건들에 기인하는 기계적 응력들을 없게 하는 것을 가능하게 한다. 따라서, 제 1 기관(지지 기관) 및 전사 기관을 형성하는데 사용할 재료의 선택이 상당히 확장되는데, 그 이유는 기본 구조와의 엄격한 CTE 호환성이 더 이상 필요하지 않기 때문이다.

[0023] 따라서, 지지 기관을 형성하기 위해 예를 들어 어떠한 재료도 선택하는 것이 가능하게 된다. 즉, 그것은 예를 들어 실리콘(다량으로 널리 이용 가능하고 비교적 경제적인) 또는 금속(몰리브덴 등)의 기관일 수 있다.

[0024] 특정 실시예에 있어서, 제 1 기관 상의 기본 구조들은 트렌치들에 의해 서로 이격되어 있다.

[0025] 제조 방법은 단계들 a)와 b) 사이에, 기본 구조들 사이에 존재하는 트렌치들에의 절연 재료의 침착을 더 포함할 수 있다.

[0026] 각각의 기본 구조는 이완된 또는 부분적으로 이완된 재료의 아일랜드 상에 형성될 수 있고, 이러한 재료는 예를 들어, InGaN이다.

- [0027] 제 2 실시예에 따르면, 이 방법은 단계 b) 전에, 상기 기본 구조들 각각의 노출된 표면 상에의 p- 또는 n-형 전기 접촉 패드들의 형성을 더 포함한다.
- [0028] 따라서, 이 방법은 지지 기판 상에 존재하는 기본 구조들 모두 위에 전기 접촉 패드들을 일괄적으로 형성하는 것을 가능하게 한다. 일괄 형성은 장치 제조 수율들의 상당한 개선을 제공한다.
- [0029] LED 또는 태양 전지 디바이스들이 제조되어 서로 분리된 후, 이들 패드들은 기본 구조들과 전사 기판 사이에 전기적 접속을 보장하는 것을 가능하게 한다.
- [0030] 제 3 실시예에 따르면, 단계들 b) 및 c) 각각은 1 nm RMS보다 작거나 같은 표면 거칠기를 얻기 위해 제 1 및 제 2 금속층들의 폴리싱의 각각의 부단계를 포함하고, 단계 d)는 실온에서 분자 접착에 의한 접합에 의해 행해진다.
- [0031] 미리 이와 같은 표면 품질을 얻는 것은 이후 바람직한 조건들 하에서 분자 접착에 의해 접합을 행하는 것을 가능하게 한다.
- [0032] 이 방법은 단계들 d)와 e) 사이에, 100°C보다 낮거나 같은 온도에서의 어닐링 단계를 더 포함할 수 있다. 이러한 어닐링은 분자 접착에 의한 접합의 품질을 실질적으로 개선하는 것을 가능하게 한다.
- [0033] 더욱이, 제 1 및 제 2 금속층들은 Cu, Al, Ti 및 W를 포함하는 그룹으로부터 선택된 재료로 제조될 수 있다. 이들 2개의 금속층들은 동일한 조성 또는 상이한 조성들로 될 수 있다.
- [0034] 제 1 변형예에서, 단계 a)에서 형성된 기본 구조들은 적어도 하나의 p-n 접합을 각각 포함하는 광기전 구조들이다.
- [0035] 제 2 변형예에서, 단계 a)에서 형성된 기본 구조들은 상기 활성 영역이 발광층인 LED 구조들이다.
- [0036] 특정 실시예에 따르면, 이 방법은 또한 단계 e) 후, 기본 구조들을 분리하기 위해 전사 기판을 절단하는 단계를 포함한다.
- [0037] 이 발명의 다른 특징들 및 이점들은 제한적인 것으로 고려되지 않아야 하는 구현예를 도시하는 첨부 도면들과 관련하여, 아래에 제공되는 설명으로부터 발생할 것이다.

도면의 간단한 설명

- [0038] - 도 1a 내지 1c는 LED 디바이스들을 제조하는 알려진 방법의 주요 단계들을 나타내는 개략 횡단면도들이고;
- 도 2a 내지 2i는 본 발명의 제 1 실시예에 따른 LED 디바이스들의 제조를 나타내는 개략 횡단면도들이고;
- 도 3은 도 2a 내지 2i에 나타낸 제 1 실시예에서 구현되는 주요 단계들의 흐름도이고;
- 도 4a 내지 4i는 본 발명의 제 2 실시예에 따른 LED 디바이스들의 제조를 나타내는 개략 사시 및 단면도들이고;
- 도 5는 도 4a 내지 4i에 나타낸 제 2 실시예에서 구현되는 주요 단계들의 흐름도이다.

발명을 실시하기 위한 구체적인 내용

- [0039] 본 발명은 적어도 하나의 p-형층, 활성 영역 및 n-형층을 각각 포함하는 기본 LED 또는 광기전(즉, 태양 전지) 구조들의 제조에 적용한다,
- [0040] 이하에 기술되는 본 발명의 구현예들은 LED 디바이스들의 제조에 관한 것임이 주목될 것이다. 그러나, 본 발명은 태양 전지들의 제조에 동일하게 적용한다는 것이 이해될 것이며, 이들 전지들은 각각 적어도 하나의 p-n 접합(각각 p-n 접합은 위에서 언급한 활성 영역을 포함함)을 포함하는 기본 광기전 구조를 포함한다.
- [0041] 본 발명의 제 1 실시예에 따른 LED 디바이스들을 제조하는 방법이 도 2a 내지 2i 및 3을 참조하여 기술된다.
- [0042] 제 1 실시예에서, 이 방법은 플레이트 또는 지지 기판(10)으로부터 구현된다. 지지 기판(10)은 이 예에서는 사파이어이지만 특히 실리콘, 탄화 규소 또는 게르마늄과 같은 다른 재료들이 가능하다.
- [0043] n-형층(12)(약 1 또는 2 μm의 두께), 활성층(14)(약 10 nm) 및 p-형층(16)(약 100 nm 내지 200 nm의 두께)이 먼저 지지 기판(10) 상에 에피택시에 의해 연속해서 침착된다(각각 S2, S4 및 S6, 도 2a). 이들 층들이 제조되는 방식은 이 기술분야에서 숙련된 사람에게 알려져 있고, 따라서, 이 문헌에서는 더 상세히 기술되지 않을 것

이다.

- [0044] n- 및 p-형층들은 역순으로 형성될 수 있고 의도하지 않게 도핑된 서브-층들을 포함하는, 상이한 조성들, 두께들 또는 도펀트 농도들의 수개의 서브-층들을 포함할 수 있다.
- [0045] 활성층(18)은 단일의 두껍거나 얇은 층 또는 배리어 층들에 의해 서로 분리되어 있는 발광 양자 우물들의 복수의 층들로 형성될 수 있는 발광(electroluminescent)층이다.
- [0046] 이후 에칭 단계(S8, 도 2b)가 p-형층(16)의 두께에 걸쳐(및 또한 층(16)에 p-형 아일랜드들(20)을 형성하기 위해 활성층(18)의 두께의 일부에 선택적으로) 트렌치들(19)을 배치하기 위해 행해진다.
- [0047] 이러한 단계에서, 하나는 이때 p-형 절연 아일랜드(20), 활성층(28) 및 n-형층(12)을 각각 포함하는 복수의 기본 LED 구조들(25)을 포함하는 구조(28)를 가진다. 활성층(18) 및 n-형층(12)은 여기서 기본 LED 구조들(25)의 모두에 공통이라는 것이 주목될 것이다.
- [0048] 비제한적인 예로서, 각각의 p-형 아일랜드(20)는 여기서 길이가 1 mm인 측면들을 갖는 정사각 형상을 가진다. 최종 LED들의 치수의 적어도 일부 및 형상을 규정하는 이들 아일랜드들(20)의 형상 및 치수는 명백히 상이할 수 있고, 아일랜드들(20)은 특히 원형상을 가질 수 있다.
- [0049] 절연 재료(30), 여기서는 SiO₂의 층이 이후 기본 LED 구조들(25) 및 트렌치들(19)의 노출된 표면을 덮기 위해 플라즈마 증강 화학적 기상 침착(PECVD)에 의해 침착된다(단계 S10, 도 2c). 침착 후, 절연 재료(30)의 이러한 층은 화학-기계적 폴리싱(CMP) 또는 임의의 다른 적합한 폴리싱 기술(화학 에칭 등)에 의해 평탄화된다(도 2c). SiO₂ 층(30)은 또한 점성 SiO₂ 프리커서 조성물을, 스피너 상의 회전하는 기판 상에, 침착하는 것으로 구성되는 잘 알려진 스핀-온-글라스(SOG) 기술에 의해 형성될 수 있다. 이러한 침착 기술에 의해, SiO₂ 층은 후-침착 폴리싱 단계를 필요로 하지 않는 만족스러운 표면 품질을 가진다.
- [0050] 절연층(30)이 이후 각각의 p-형 아일랜드(20)의 상부에서 예를 들어 건식 또는 습식 선택적 화학 에칭에 의해 개방된다(단계 S12, 도 2d). 이러한 에칭 단계 S12의 마지막에서, 이렇게 만들어진 개구들(32)은 절연층(30)의 잔여 부분(34)에 의해 한정된다. 이를 위해, 구조에서 에칭될 영역들을 한정하는 개구들(수지가 없는 영역들)을 갖는 보호 수지층을 포함하는 에칭 마스크가 사용된다.
- [0051] 이후 p 접촉 패드들(36)이 적어도 하나의 도전 재료의 후자에 침착에 의해 개구들(32)에 형성된다(단계 S14, 도 2e). 접촉 패드(36) 재료들의 침착 동안, 사용된 마스크는 개구들(32)의 에칭을 위해 보존된다. 일단 p 접촉 패드들(36)이 형성되면, 에칭 마스크의 보호 수지가 제거되는데, 이것은 개구들(32)을 넘어 침착된 p 접촉 패드들(36)의 구성 재료들을 동시에 제거하는 것을 가능하게 한다.
- [0052] 따라서, 이 방법은 지지 기판 상에 존재하는 기본 구조들(25) 전체 상에 일괄적으로 전기 접촉 패드들을 형성하는 것을 가능하게 한다. 일괄 형성은 장치 제조 수율의 상당한 개선을 제공한다.
- [0053] p 접촉 패드들(138)을 형성하는 층은 특히:
- [0054] - 양호한 저항률 및 양호한 오믹 캐릭터를 얻기 위해 1 Å와 5 nm 사이의 두께를 갖는 Ni, Pd 또는 Pt와 같은 금속,
- [0055] - 대향 표면을 향해 떠나는 광자들(즉, 구조가 최종 기판으로 전사될 때 p-형층을 향해 이동하는 것들, 따라서 방출 표면은 n-형층(12)의 측면 상에서 발견됨), 및
- [0056] - 20과 50 nm 사이의 두께를 갖는, 예를 들어 WN 또는 TiN의 층 형태의 확산 배리어
- [0057] 를 포함할 수 있다.
- [0058] 제조 공정의 이러한 단계에서, 하나는 p 접촉 패드(36)가 각각 제공되는 복수의 기본 구조들(25)을 갖는 플레이트 형태의 구조(38)를 가진다.
- [0059] 다음은 기본 구조들(25) 및 절연 부분들(34)을 덮기 위한 구조(38)의 상측 표면(38a) 전체 상에의 금속층(40)의 형성이다(단계 S16, 도 2f). 금속층(40)은 예를 들어 플라즈마 증강 화학적 기상 침착(PECVD) 또는 얇은 층들의 형성에 적용되는 이 기술분야에서 숙련된 사람에게 알려진 임의의 다른 기술(SOG 기술 등)에 의해 제조된다. 금속 침착은 예를 들어 PVD(예를 들어 알루미늄의 금속층(40)의 경우에) 또는 전착 단계(electrodeposition phase)에 의해 선택적으로 추종되는 CVD에 의해 완전히 행해질 수 있다. 사용되는 침착 기술은 층(40)을 구성하

는 금속들에 의존한다.

- [0060] 도 2f에 나타난 것과 같이, 이렇게 침착된 금속층(40)은 하부 토폴로지(underlying topography) 형태, 특히 p 접촉 패드들(36)과 관련하여 절연 부분들(34)에 의해 형성되는 윤곽들(contours)을 특정 범위까지 추종한다. 이러한 예에서, 절연 부분들(34)은 인접 p 아일랜드들(20)과 관련하여 약 1 μm 높이의 "단차들(steps)"을 형성한다. 금속층(40)의 두께는 이후 추종하는 단계 S18 동안 적절히 평탄화될 수 있도록 하기 위해 선택된다(이하 참조). 이러한 예에서, 금속층의 두께는 약 3 μm 이다.
- [0061] 금속층(40)은 복수의 도전 서브-층들을 포함할 수 있고 또는 도전 재료의 단층으로 구성될 수 있다는 점이 주목되어야 한다. 금속층(40)은 예를 들어 다음의 도전 재료들(또는 적어도 2개의 조합); 구리, 알루미늄, 티탄 및 텅스텐 중 하나로 구성되는 적어도 하나의 서브-층을 포함할 수 있다. 대안으로, 금속층(40)은 예를 들어 위에서 언급한 재료들 중 하나로 형성되는 단층으로 구성된다.
- [0062] 금속층(40)은 이때 잔여 금속층(42)의 상측 표면(42a)이 후속 접합을 가능하게 하는 충분한 평탄도를 가지도록 화학-기계적 폴리싱(CMP)에 의해 제조된다(단계 S18, 도 2g). 이러한 폴리싱은 예를 들어 1 nm RMS보다 작거나 같고, 바람직하게는 0.5 nm RMS보다 작거나 같은 표면 거칠기(42a)를 얻는 것을 가능하게 한다(이 문헌에서 주어진 RMS의 거칠기 값들은 1 $\mu\text{m} \times 1 \mu\text{m}$ 의 표면에 대응한다는 것이 주목되어야 한다). 이하에 나타내는 것과 같이, 필요한 거칠기는 특히 다음에 올 접합 단계 S22 동안 사용될 접합 기술에 의존한다(이하 참조).
- [0063] 이러한 예에서, 폴리싱 S18은 폴리싱 단계 S18에 기인하는 입자들을 제거하기 위해 금속층(42)의 상측 표면(42a)의 세정 단계가 추종된다(단계 S20, 도 2g).
- [0064] 세정 S20은 폴리싱 단계 S18의 마지막에서 미리 얻어진 노출된 표면(42a)의 거칠기를 변경하지 않는 방식으로 행해져야 한다. 더욱이, 이러한 세정 단계 S20은 노출된 표면(42a)의 폴리싱 S18에 기인할 수 있는 잔류물들의 최대치를 제거하는 것을 가능하게 한다.
- [0065] 공정의 이러한 스테이지에서, 구조(45)는 p 접촉 패드가 각각 제공되는 복수의 기본 LED 구조들(25)을 갖는 플레이트의 형태로 얻어지고, 이들 구조들(25)은 평면 금속층(42)으로 덮인다. 그러므로, 금속층(42)에 요구되는 거칠기는 다음에 오는 접합 단계 S22(이하 참조)에서 사용될 접합 기술에 따라 약간 변할 수 있다.
- [0066] 변형예로서, 금속층(40)의 침착 S16으로 이행하기 전에 구조(38)의 노출된 표면(38a)의 화학-기계적 폴리싱(CMP)의 제 1 단계를 행하는 것이 가능하는 것이 주목되어야 한다. 이러한 금속 침착 후, 제 2 화학-기계적 폴리싱이 금속층(40)의 노출된 표면을 적당히 평탄화하기 위해 단계 S18에 나타난 것과 같이 행해진다. 이러한 변형예는 실질적으로 금속층(40)을 형성하기 위해 침착될 금속의 양을 절약하는 것을 가능하게 한다(금속층(40) 아래의 윤곽들은 제 1 폴리싱 단계 동안 제거된다). 이와 같은 절약들은 사용되는 금속이 고가일 때(예를 들어 금의 경우) 특히 유리하다. 한편, 이러한 변형예는 또한 가격 및 생산성 면에서 영향을 주는 추가의 폴리싱 단계를 포함한다.
- [0067] 일단 세정 단계 S20가 행해지면, 전사 기관(또는 수용 기관)(50)은 새로운 구조(52)를 얻기 위해, 구조(45)의 상측 표면(42a) 상에 접합된다(단계 S22, 도 2h).
- [0068] 전사 기관(50)은 반도체 재료(예를 들어 실리콘) 또는 금속(몰리브덴, 텅스텐 등)일 수 있다.
- [0069] 이러한 예에서, 전사 기관(50)은 그것의 접합 표면(50a) 상에, 접합 단계 S22 동안 금속층(42)과 접촉하는 금속층(46)을 포함한다. 금속층(42)은 다음의 원소들: Cu, Al, Ti 및 W 중 적어도 하나로 구성될 수 있다.
- [0070] 금속층들(42, 46)은 동일한 조성 또는 경우에 따라 상이한 조성들일 수 있다는 것이 또한 주목될 것이다.
- [0071] 일 변형예에 따르면, 전사 기관(50)은 단일 금속 플레이트(예컨대, 구리, 텅스텐 등의 플레이트)로 구성된다. 이러한 경우에, 전사 기관(50)의 본체(body)의 하나의 표면은 접합 단계 S22 동안 금속층(42)과 직접 접촉된다.
- [0072] 표면(42a)에 대해, 전사 기관(50)의 접합 표면(50a)은 바람직한 조건들 하에서 구조(45)와 접합을 행할 수 있도록 하기 위해 평탄하다. 그럼에도 불구하고, 이하에서 설명되는 것과 같이, 접합 표면(50a)에 요구되는 거칠기는 조립 단계 S22 동안 사용되는 접합 기술에 따라 약간 변할 수 있다.
- [0073] 제 1 변형예에서, 전사 기관(50) 상의 구조(45)의 조립은 (실온(예를 들어 20와 30°C 사이)에서) 분자 접착에 의해 금속층들(42, 46)을 접합하여 행해진다. 바람직한 조건들 하에서 행해질 분자 접착에 의한 접합을 위해서는, 금속층들(42, 46)의 접합 표면들(42a, 50a)의 거칠기가 1 nm RMS보다 작은, 바람직하게는 0.5 nm RMS보다 작거나 같을 필요가 있다. 따라서 금속층(42)의 폴리싱의 단계 S18는 이와 같은 거칠기를 달성하는 방식으로 구

성되어야 한다. 더욱이, 폴리싱 단계(예를 들어 CMP)는 구조(45)를 접합하기 전에 전사 기판(50)의 접합 표면(50a) 상에서 행해질 수 있다. 그러나, 요구되는 거칠기는 필요한 전사 기판(50)의 이와 같은 폴리싱 없이 달성될 수 있고, 즉 이것은 예를 들어 금속층(46)이 매우 얇은 층(예를 들어 5 nm)이고 또는 전사 기판(50)이 완전히 금속성(metallic)일 때 그 경우일 수 있다.

[0074] 그 자신의 권리로 잘 알려져 있는 것과 같이, 직접 접합으로도 불리는 분자 접착에 의한 접합의 원리는 2개의 표면들(여기서는, 표면들 42a 및 50a)을 직접 접촉시키는 것, 즉 특정 접합 재료(접착제, 왁스, 땀납 등)의 사용에 기초한다. 이와 같은 동작은 접합될 표면들이 충분히 평활하고 입자들 및 오염이 없고 이들이 접촉을 개시하는 것을 가능하게 하기 위해 충분히 가까워지는 것, 전형적으로 수 나노미터들보다 작은 거리로 가까워지는 것을 필요로 한다. 이러한 경우에, 2개의 표면들 간의 인력들은 분자 접착(접합될 2개의 표면들의 원자들 또는 분자들 간의 전자 상호작용들의 인력들(판 데르 발스 힘들)의 합에 의해 유도되는 접합)을 일으킬 수 있을 만큼 크다.

[0075] 분자 접착에 의한 접합은 구조(45) 및/또는 전사 기판(50)의 적어도 하나의 위치 상의(바람직하게는 플레이트의 주변 상의) 압점(pressure point)의 인가에 의해 개시될 수 있다. 이들 2개의 플레이트들 간의 접합파(bonding wave)는 이때 압력이 인가해지는 지점으로부터 전파된다. 그러나, 이와 같은 압력의 인가는 접합파의 전파를 개시시키기 위해 의무적이지 않다.

[0076] 분자 접착에 의한 접합 후, 전사 기판(50) 상의 구조(45)의 접합을 강화하기 위해 어닐링이 보통의 온도(바람직하게는 100°C보다 낮거나 같은)에서 행해질 수 있다.

[0077] 제 2 변형예에 따르면, 단계 S22에서의 접합은 실온에서 압축에 의해 행해진다. 이러한 기술은 특히 표면들(42a 및/또는 50a)의 거칠기가 클 때(전형적으로 0.5와 5 nm RMS 사이), 및 특히 표면들(42a, 50a)이 분자 접착에 의한 접합을 허용하기에는 충분히 평탄하지 않을 때 전사 기판(50) 상에서 구조(45)의 접합을 얻는 것을 가능하게 한다.

[0078] 제 3 변형예에 따르면, 단계 S22에서의 접합은 100°C보다 낮거나 같은 온도에서 압축에 의해 행해진다. 온도의 이러한 적당한 상승은 전사 기판(50) 상에서 구조(45)의 접합을 용이하게 하기 위해 행해질 수 있다. 압착 동작 가해지는 온도는 기판들(10, 50)의 재료들의 함수이고, 특히 이들 2개의 기판들의 CTE의 함수이다. 선택된 온도는 실제로 CTE 불일치로 인한 균열 위험들이 최소가 되도록 되어야 한다.

[0079] 전사 기판(50)은 바람직하게는 최종 LED 디바이스들에 대한 양호한 기계적 지지 및 p 접촉 패드들(36)에 대한 액세스를 보장하는 것을 가능하게 한다. 이러한 예에서, 전사 기판(50)은 그것의 접합 표면(50a)의 측으로부터, 절연 재료의 부분들에 의해 서로 절연된 구리 접촉 패드들(도시하지 않음)을 포함하고, 이들 부분들은 예를 들어 SiN이다. 이들 접촉 패드들 각각은 p 접촉 패드(36)의 적어도 일부와 정렬된 위치에 형성된다. 표면(50a) 상에 위치한 전사 기판(50)의 접촉 패드들에 대한 액세스는 예를 들어 그것의 대향 표면(50b)까지 전사 기판(50)의 두께를 가로지르는, "비아들(vias)"로도 불리는 수직 전자 접속부들(도시하지 않음)에 의해 보장된다.

[0080] 전사 기판(50)은 특히 알루미늄이나 또는 다결정 AlN, 양호한 열전도체들, 또는 실리콘으로 구성될 수 있다.

[0081] 일단 전사 기판(50) 및 구조(45)가 조립되면, 지지 기판(10)은 특히 사파이어 기판의 경우에 예를 들어 레이저 리프트-오프의 잘 알려진 기술에 의해, 또는 화학 에칭에 의해 제거된다(단계 S24, 도 2i).

[0082] 레이저 리프트-오프 또는 다른 비파괴 기술에 의한 제거의 경우에, 지지 기판(10)은 재사용될 수 있다.

[0083] 하나는 공정의 이러한 스테이지에서, 적어도 p 접촉들이 제공되는 기판이 배선되고 갖추어지는 하나의 또는 수 개의 기본 구조들(25)이 각각 형성되는 LED 디바이스들이 절단될 수 있는 구조(60)를 얻는다.

[0084] LED들 구조(60)의 표면(60a)이 지지 기판(10)으로부터 남아 있는 어떠한 잔류물들도 제거하기 위해 에칭될 수 있고 LED들 구조(60)로부터 광의 추출을 증가시키기 위해 구성될 수 있다는 점이 주목되어야 한다(단계 S26, 도 2i). 에칭은 특히 반응성 플라즈마 에칭(염소 처리한 또는 불소 처리한)에 의해 또는 UV 보조 화학(PEC) 에칭에 의해 행해질 수 있다.

[0085] 여기에 기술된 예에 있어서, 이후 n-형층(12) 상의 n 접촉 패드들을 전방 표면(60a) 상에 형성하는 것이 가능하다. 이들 n 접촉 패드들의 형성은 (동시에 모든 LED 구조들을 배선하기 위해) 절단 단계 전에 플레이트 전체 상에 일괄적으로 행해질 수 있고, 또는 대안으로 이들 패드들은 일단 절단 단계가 행해지면 각각의 LED 디바이스에 대해 독립적으로 제조될 수 있다.

- [0086] 백색광 LED 디바이스들의 형성의 경우에, 디바이스들에 의해 방출된 광을 백색광으로 변환할 수 있는 루미노포릭 재료(luminophoric material)의 층은 또한 예를 들어 표면(60a) 상에 액체 인계 조성물을 가한 다음 분산 용제(스핀-온-글라스)를 증발시키기 위해 어닐링하여 LED들 구조(60)의 표면(60a) 상에 침착될 수 있다.
- [0087] 더욱이, LED 디바이스들에는 예를 들어 구조(60)의 표면(60a) 상에 미세구조들을 나노- 또는 마이크로- 인쇄하여 프레넬 렌즈들과 같은 미세구조들이 제공될 수 있다.
- [0088] 더욱이, 절단 단계는 제조 공정의 마지막에서 구조(60)에 존재하는 LED 구조들을 분리하는 것을 가능하게 한다.
- [0089] 본 제조 방법은 유리하게는 전통적인 열압착(위에 나타냄)에 의한 접합에 필요한 압력 및 온도 조건들에 기인하는 기계적 응력들을 제거하는 것을 가능하게 한다. 따라서, 지지 기판 및 전사 기판을 형성하기 위해 사용할 재료의 선택이 상당히 확장되는데 그 이유는 기본 LED 구조와의 엄격한 CTE 호환성이 더 이상 필요로 되지 않기 때문이다. 따라서, 예를 들어, 지지 기판을 형성하기 위해 임의의 재료를 선택하는 것이 가능하게 된다. 즉, 그것은 예를 들어 실리콘(다량으로 널리 이용 가능하고 비교적 경제적인) 또는 금속(몰리브덴 등)의 기판일 수 있다.
- [0090] 바람직하게는 분자 접착에 의한 접합에 의해 실온에서 지지 기판 및 전사 기판의 조립을 행하는 것이 특히 유리하다. 이러한 유형의 접합은 기판들에 가해지는 기계적 응력들을 제한하고 변형들로 이어질 수 있는 어떠한 열팽창도 회피하는 것을 가능하게 한다. 따라서 기판들을 형성할 수 있는 재료들의 선택이 크게 확장된다.
- [0091] 도 4a 내지 4i 및 5는 본 발명의 제 2 실시예에 따른 LED 디바이스들의 제조를 나타낸다.
- [0092] 이 제 2 실시예는 전체적으로 보아 도 2a-2i 및 3을 참조하여 위에서 기술한 제 1 실시예와 매우 유사하다.
- [0093] 이 제 2 실시예는 기본 LED 구조들(여기서는 125로 표기됨)이 복합 성장 기판(100) 상에 형성되고, 후자가 지지 기판(110), 매립층(102) 및 성장 아일랜드들(104)(도 2a 및 2b)을 포함하는 점이 제 1 실시예와 다르다(도 2a 및 2b).
- [0094] 지지 기판은 여기서 101은 사파이어로 구성된다. 기판(110)은 또한 특히 실리콘, 탄화 규소 또는 게르마늄과 같은 반도체 재료로 구성될 수 있다. 매립층(102)은 여기서 SiO₂로 제조되는 적응층(adaptation layer)이다. 성장 아일랜드들(104)은 이완된 재료의 성장층으로부터, 여기서는 예를 들어 GaN의 시드층(seed layer) 상에 에피택셜 성장에 의해 제조되고 이후 매립층(102)을 통해 지지 기판(110) 위로 전사되는 InGaN의 층으로부터 얻어진다.
- [0095] 트렌치들(119)은 여기서 InGaN 성장 아일랜드들(104)을 한정하기 위해 성장층에 제조되었다. 이들 트렌치들은 또한 이완된 InGaN 표면을 감소시키는 것을 가능하게 한다. InGaN 층의 이완은 예를 들어 약간의 점성층(예컨대, InGaN(도시하지 않음) 아래에 사전에 배치되는 BPSG(borophosphosilicate glass))의 어닐링에 의해 본 제조 방법에 앞서 행해진다.
- [0096] 기본 LED 구조들(125)은 제 1 실시예에서 위에 기술한 각각의 단계들 S2, S4 및 S6 동안과 동일한 조건들에 따라 n-형층(112), 활성층(118) 및 p-형층(120)(단계들 S102, S104 및 S106 각각)을 성장 아일랜드들(104) 상에 에피택시에 의해 연속 침착하여 형성된다.
- [0097] 이러한 제 2 실시예는 서로로부터 기본 구조들(125)을 완전히 분리하기 위해 트렌치들(119)이 배치되는 점에서 위에서 기술한 제 1 실시예와 다르다(즉, 기본 구조(125)의 n-형층(112) 및 활성층(118)은 다른 기본 구조들(125)에 공통이 아니다).
- [0098] 다음 단계들 S110, S112, S114, S116, S118, S120, S122, S124 및 S126이 위에 기술한 단계들 S10, S12, S14, S16, S18, S20, S22, S24 및 S26과 동일한 조건들에 따라 행해지고, 따라서 이들은 간단하게 하기 위한 이유들 때문에 다시 기술되지 않을 것이다.
- [0099] 요소들 130, 132, 134, 136, 138, 140, 142, 145, 146, 150, 152 및 160은 특히 위에 기술한 요소들 30, 32, 34, 36, 38, 40, 42, 45, 46, 50, 52 및 60에 각각 대응하고 동일한 조건들에 따라 제조되었다.
- [0100] 제 2 실시예는 또한 그것이 지지 기판(110)의 제거 S124 후, 예를 들어 화학 에칭에 의해 매립층(102)의 제거(125) 후 성장 아일랜드들(104)의 제거를 포함한다는 점에서 위에 기술한 제 1 실시예에 다르다(도 4i). SiO₂의 매립층(102)은 여기서 지지 기판(110)의 분해를 용이하게 하는 것을 가능하게 한다.
- [0101] 일단 단계 S125가 행해지면, 제 1 실시예의 제거 단계 S25에서와 동일한 방식으로 지지 기판(110), 매립층(102)

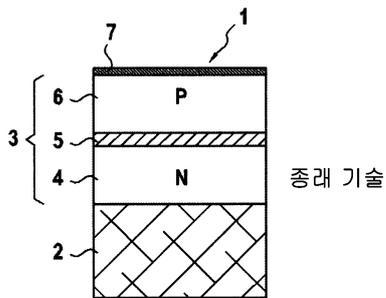
및 성장 아일랜드들(104)로부터 어떠한 잔류물들도 제거하는 것이 가능하다.

[0102]

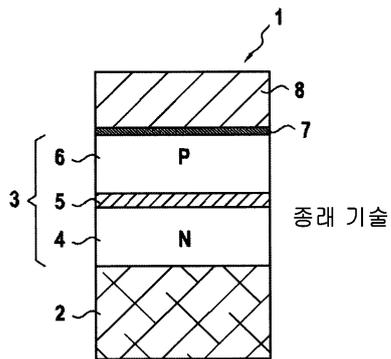
제 1 실시예에 관해 위에서 기술한 이점들은 또한 제 2 실시예에 적용한다.

도면

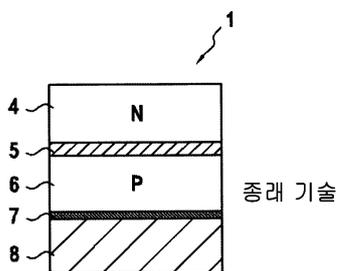
도면1a



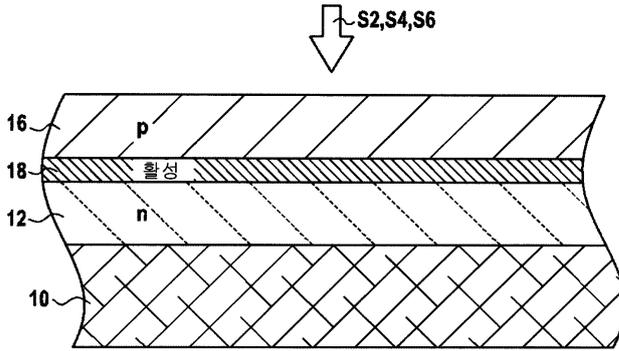
도면1b



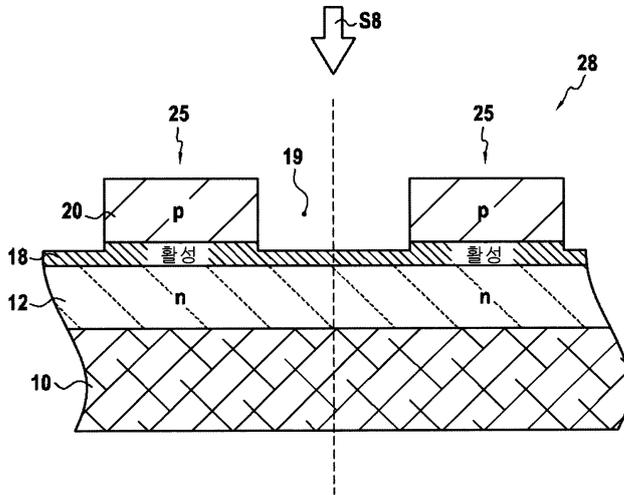
도면1c



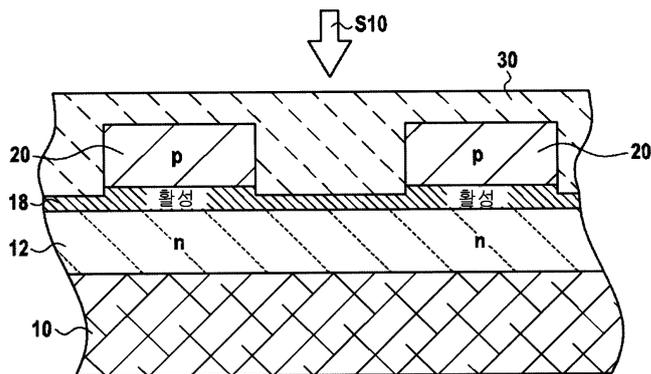
도면2a



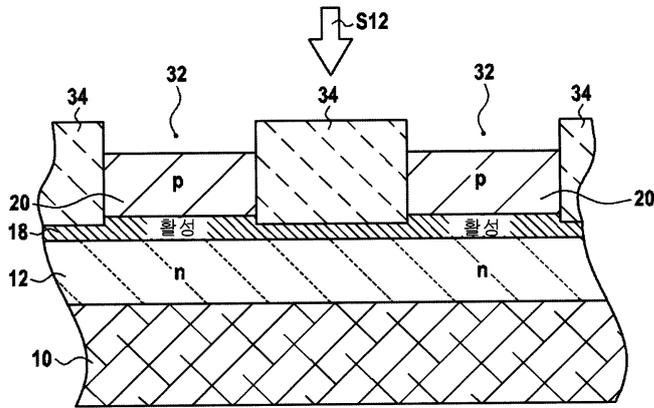
도면2b



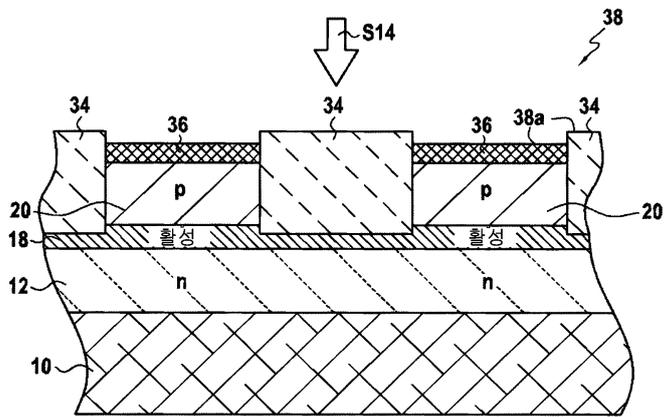
도면2c



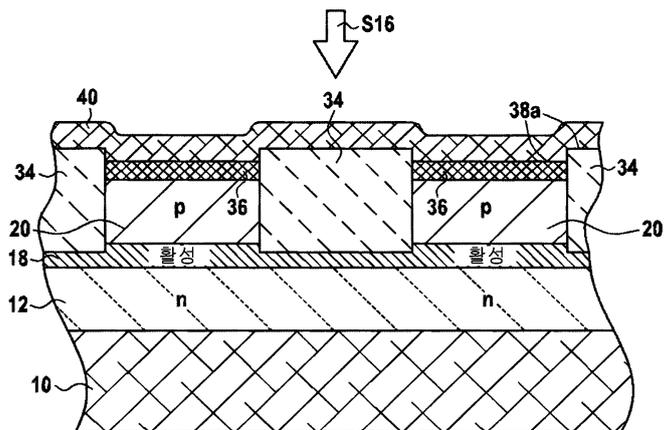
도면2d



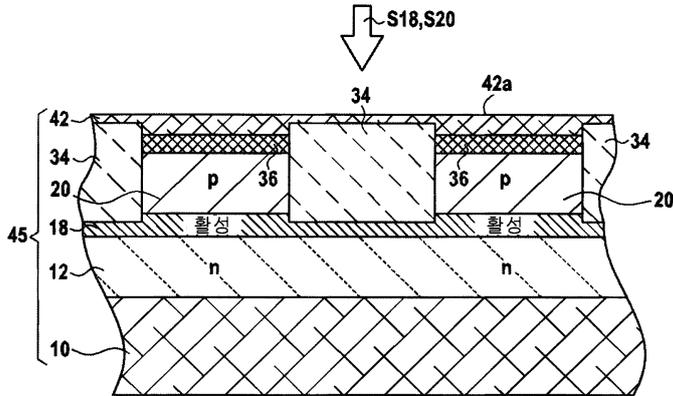
도면2e



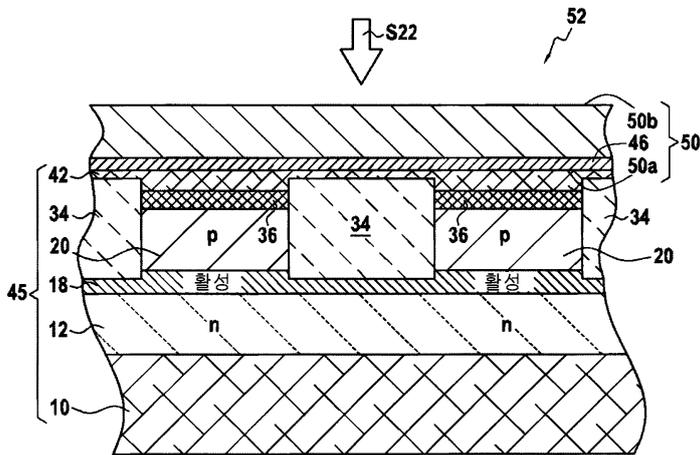
도면2f



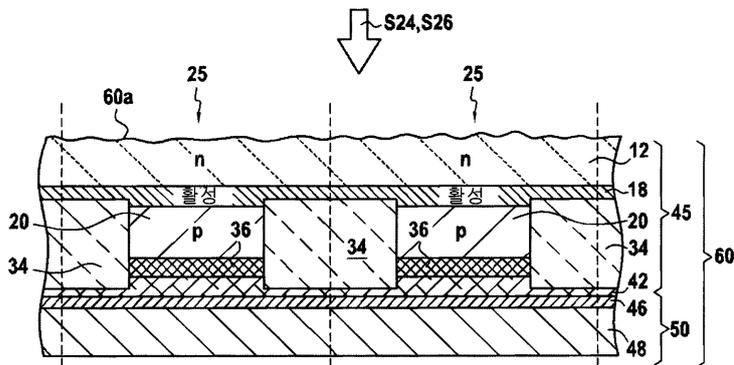
도면2g



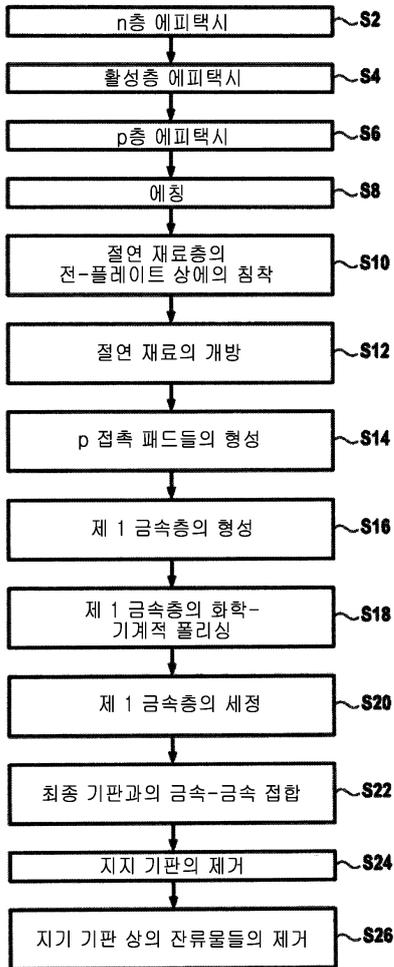
도면2h



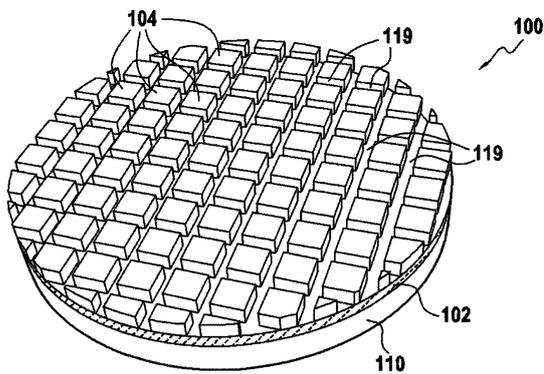
도면2i



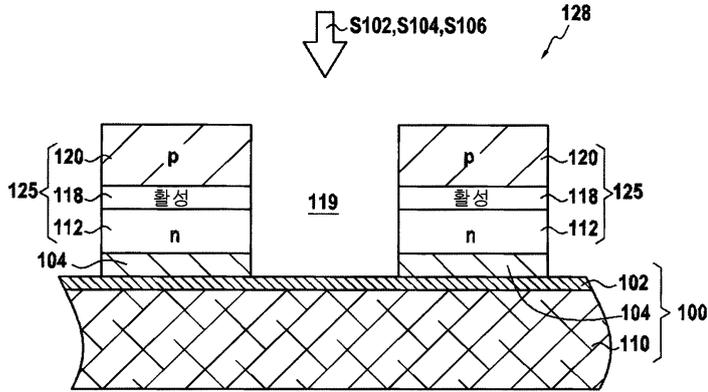
도면3



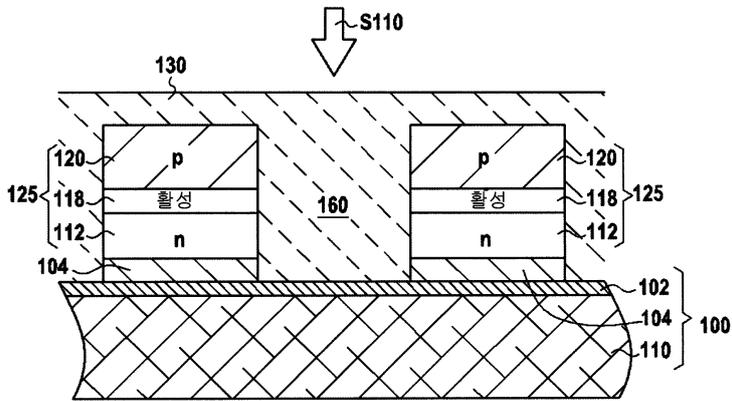
도면4a



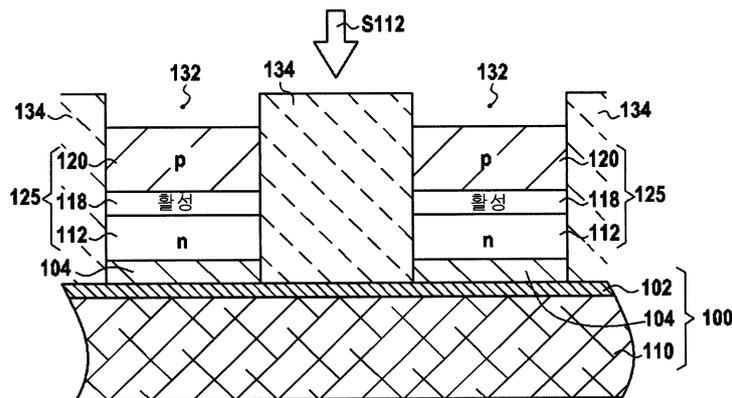
도면4b



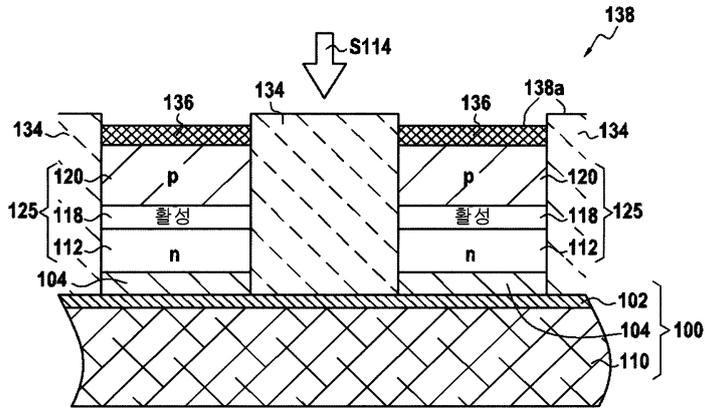
도면4c



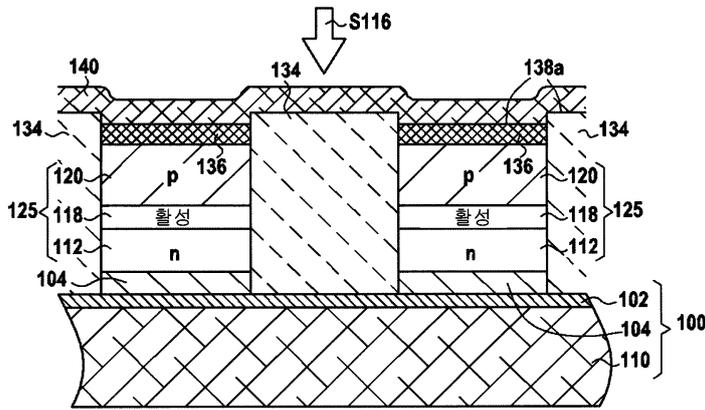
도면4d



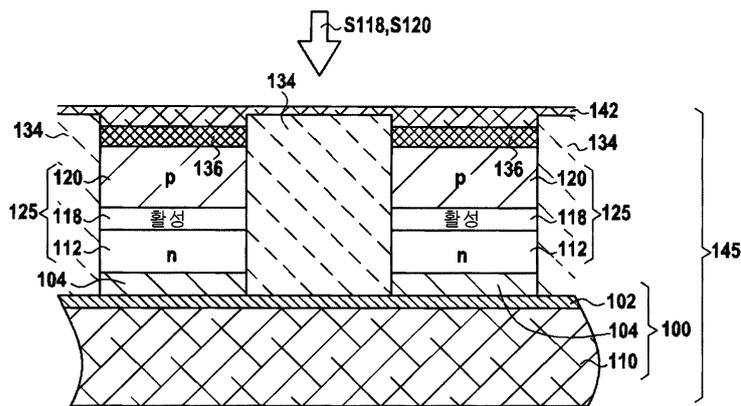
도면4e



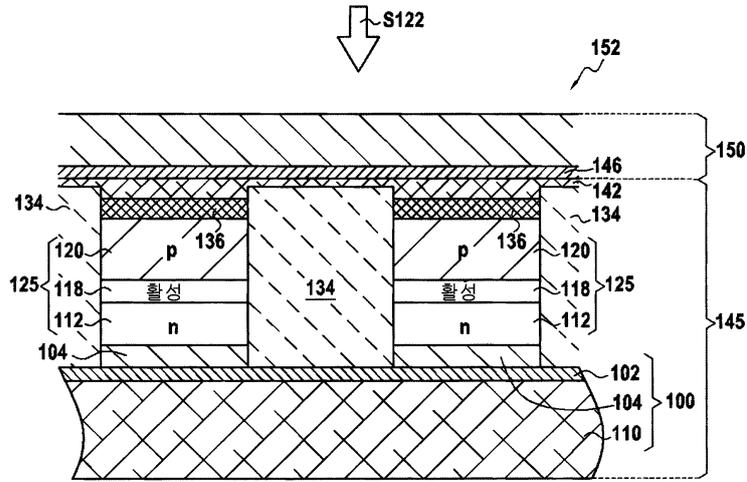
도면4f



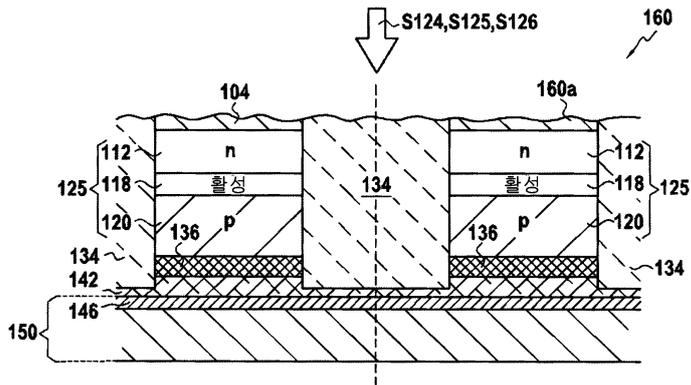
도면4g



도면4h



도면4i



도면5

