

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017年8月3日 (03.08.2017)



(10) 国际公布号
WO 2017/128575 A1

- (51) 国际专利分类号:
H01L 21/77 (2006.01) G02F 1/1362 (2006.01)
- (21) 国际申请号: PCT/CN2016/083563
- (22) 国际申请日: 2016年5月26日 (26.05.2016)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201610060729.7 2016年1月28日 (28.01.2016) CN
- (71) 申请人: 武汉华星光电技术有限公司 (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430070 (CN)。
- (72) 发明人: 贺超 (HE, Chao); 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430070 (CN)。

(74) 代理人: 深圳市德力知识产权代理事务所 (COMIPS INTELLECTUAL PROPERTY OFFICE); 中国广东省深圳市福田区上步中路深勘大厦 15E, Guangdong 518028 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE,

[见续页]

(54) Title: MANUFACTURING METHOD FOR LTPS ARRAY SUBSTRATE

(54) 发明名称: LTPS 阵列基板的制作方法

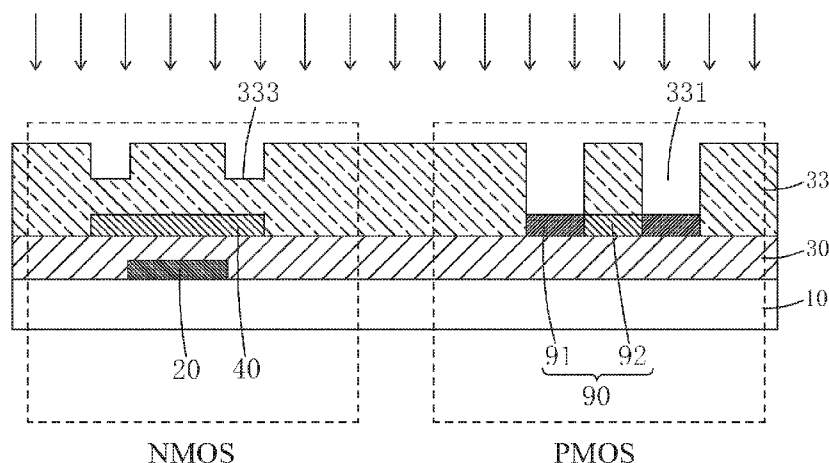


图9A

(57) Abstract: A manufacturing method for an LTPS array substrate, where a halftone mask is employed to integrate into one mask process three processes requiring three masks, namely an N-type heavy doping and a channel doping for a first polysilicon layer (40) of an NMOS region, and a P-type heavy doping for a second polysilicon layer (90) of a PMOS region, thus saving two exposure processes, greatly increasing exposure capacity, at the same time, by saving manufacturing costs for two masks, effectively reducing manufacturing costs for the LTPS array substrate, and providing the manufactured LTPS array substrate with great electrical properties.

(57) 摘要: 一种 LTPS 阵列基板的制作方法, 通过采用一道半色调光罩将 NMOS 区的第一多晶硅层 (40) 的 N 型重掺杂与沟道掺杂、及 PMOS 区的第二多晶硅层 (90) 的 P 型重掺杂这三道原本需要三道光罩的制程整合到一道光罩制程中, 节省两道曝光制程, 大大提升曝光产能, 同时节省了两张光罩的制作成本, 可有效降低 LTPS 阵列基板的制作成本, 制得的 LTPS 阵列基板具有良好的电学性能。



WO 2017/128575 A1



IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,
RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD,
TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

LTPS 阵列基板的制作方法

技术领域

本发明涉及显示技术领域，尤其涉及一种 LTPS 阵列基板的制作方法。

5

背景技术

随着显示技术的发展，液晶显示器（Liquid Crystal Display, LCD）等平面显示装置因具有高画质、省电、机身薄及应用范围广等优点，而被广泛的应用于手机、电视、个人数字助理、数字相机、笔记本电脑、台式计算机等各种消费性电子产品，成为显示装置中的主流。

现有市场上的液晶显示装置大部分为背光型液晶显示器，其包括液晶显示面板及背光模组（backlight module）。通常液晶显示面板由彩膜（CF, Color Filter）基板、薄膜晶体管（TFT, Thin Film Transistor）基板、夹于彩膜基板与薄膜晶体管基板之间的液晶（LC, Liquid Crystal）及密封胶框（Sealant）组成。

低温多晶硅（Low Temperature Poly Silicon, LTPS）是广泛用于中小电子产品中的一种液晶显示技术。传统的非晶硅材料的电子迁移率约 $0.5-1.0\text{cm}^2/\text{V}\cdot\text{S}$ ，而低温多晶硅的电子迁移率可达 $30-300\text{cm}^2/\text{V}\cdot\text{S}$ 。因此，低温多晶硅液晶显示器具有高解析度、反应速度快、高开口率等诸多优点。

但是另一方面，由于 LTPS 半导体器件的体积小、集成度高，所以整个 LTPS 阵列基板的制备工艺复杂，生产成本较高。

如图 1-6 所示，为现有的 CMOS（Complementary Metal Oxide Semiconductor, 互补金属氧化物半导体）LTPS 阵列基板的制作方法，包括如下步骤：

步骤 1、如图 1 所示，提供一基板 100，在所述基板 100 上定义出 NMOS（Negative channel Metal Oxide Semiconductor, N 型金属氧化物半导体）区与 PMOS（Positive channel Metal Oxide Semiconductor, P 型金属氧化物半导体）区；在所述基板 100 上沉积第一金属层，采用光刻制程对所述第一金属层进行图形化处理，得到位于 NMOS 区的遮光（Light Shield）层 200；

步骤 2、如图 2 所示，在所述基板 100 上依次沉积缓冲层 300 与非晶硅（a-Si）层，通过准分子激光退火工艺（ELA）将所述非晶硅（a-Si）层转化为多晶硅（poly-Si）层，采用光刻制程对所述多晶硅层进行图形化处理，得到位于 NMOS 区的第一多晶硅层 410、及位于 PMOS 区的第二多晶硅层

420;

步骤 3、如图 3 所示，在所述第一多晶硅层 410、第二多晶硅层 420、及缓冲层 300 上涂布第一光阻层 510，利用光罩对第一光阻层 510 进行曝光、显影后，对 NMOS 区的第一多晶硅层 410 进行沟道（Channel）掺杂；

5 步骤 4、如图 4 所示，在所述第一多晶硅层 410、第二多晶硅层 420、及缓冲层 300 上涂布第二光阻层 520，利用光罩对第二光阻层 520 进行曝光、显影后，对 NMOS 区的第一多晶硅层 410 的两端进行 N 型重掺杂；

步骤 5、如图 5 所示，在所述第一多晶硅层 410、第二多晶硅层 420、及缓冲层 300 上依次沉积栅极绝缘层 600 和第二金属层，对所述第二金属层进行图形化处理，得到分别对应于第一多晶硅层 410 与第二多晶硅层 420 10 上方的第一栅极 710 与第二栅极 720，以第一栅极 710 为掩模对所述第一多晶硅层 410 进行 N 型轻掺杂；

步骤 6、如图 6 所示，在所述第一栅极 710、第二栅极 720、及栅极绝缘层 600 上涂布第三光阻层 800，利用光罩对第三光阻层 800 进行曝光、显影后，对所述第二多晶硅层 420 的两侧进行 P 型重掺杂；

步骤 7、在所述第一栅极 710、第二栅极 720、及栅极绝缘层 600 上依次制作层间绝缘层、源漏极层、平坦化层、公共电极层、钝化保护层、及像素电极层等结构。

上述 LTPS 阵列基板的制作方法中，NMOS 区的第一多晶硅层 410 的 20 沟道掺杂与 N 型重掺杂、及 PMOS 区的第二多晶硅层 420 的 P 型重掺杂这三道制程均需要使用光刻工艺进行掺杂，共需要三道光罩，制程繁琐且生产成本低，因此，有必要提供一种 LTPS 阵列基板的制作方法，以解决该技术问题。

25 发明内容

本发明的目的在于提供一种 LTPS 阵列基板的制作方法，可有效降低 LTPS 阵列基板的制作成本，且制得的 LTPS 阵列基板具有良好的电学性能。

为实现上述目的，本发明提供一种 LTPS 阵列基板的制作方法，包括如下步骤：

30 步骤 1、提供一基板，在所述基板上定义出 NMOS 区与 PMOS 区，在所述基板上沉积第一金属层，对所述第一金属层进行图形化处理，得到位于 NMOS 区的遮光层；

步骤 2、在所述遮光层、及基板上形成缓冲层，在所述缓冲层上沉积非晶硅层，采用低温结晶工艺将所述非晶硅层转化为多晶硅层，对所述多晶

硅层进行图形化处理，得到位于 NMOS 区的第一多晶硅层、及位于 PMOS 区的第二多晶硅层；

步骤 3、在所述第一多晶硅层、第二多晶硅层、及缓冲层上涂布光阻层，采用一道半色调光罩对所述光阻层进行曝光、显影后，在所述光阻层上形成对应于所述第二多晶硅层两端的第一通孔，暴露出所述第二多晶硅层的两端，同时在所述光阻层上形成对应于所述第一多晶硅层两端的第一凹槽；以所述光阻层为掩模，对所述第二多晶硅层的两端进行 P 型重掺杂，得到两 P 型重掺杂区，所述第二多晶硅层上位于两 P 型重掺杂区之间的区域形成第二沟道区；

采用干蚀刻制程对所述光阻层进行灰化，减薄所述光阻层的厚度，使得第一凹槽转化为第二通孔，暴露出所述第一多晶硅层的两端，以所述光阻层为掩模，对所述第一多晶硅层的两端进行 N 型重掺杂，得到两 N 型重掺杂区；

采用光阻剥离制程将剩余的光阻层完全剥离，暴露出第一多晶硅层与第二多晶硅层，对所述第一多晶硅层、及第二多晶硅层进行 P 型轻掺杂，以实现所述第一多晶硅层的沟道掺杂。

所述 LTPS 阵列基板的制作方法还包括如下步骤：

步骤 4、在所述第一多晶硅层、第二多晶硅层、及缓冲层上沉积栅极绝缘层，在所述栅极绝缘层上沉积第二金属层，对所述第二金属层进行图形化处理，得到分别对应于第一多晶硅层与第二多晶硅层上方的第一栅极与第二栅极；

以所述第一栅极为光罩对所述第一多晶硅层进行 N 型轻掺杂，得到分别位于两 N 型重掺杂区内侧的两 N 型轻掺杂区，所述第一多晶硅层上位于两 N 型轻掺杂区之间的区域形成第一沟道区；

步骤 5、在所述第一栅极、第二栅极、及栅极绝缘层上沉积层间绝缘层，对所述层间绝缘层及栅极绝缘层进行图形化处理，得到位于所述 N 型重掺杂区上方的第一过孔及位于所述 P 型重掺杂区上方的第二过孔；

步骤 6、在所述层间绝缘层上沉积第三金属层，对所述第三金属层进行图形化处理，得到第一源极、第一漏极、第二源极、第二漏极，所述第一源极、第一漏极分别通过第一过孔与 N 型重掺杂区相接触，所述第二源极、第二漏极分别通过第二过孔与 P 型重掺杂区相接触；

步骤 7、在所述第一源极、第一漏极、第二源极、第二漏极、及层间绝缘层上形成平坦层，对所述平坦层进行图形化处理，得到位于所述第一漏极上方的第三过孔；

步骤 8、在所述平坦层上沉积第一透明导电氧化物层，对所述第一透明导电氧化物层进行图形化处理，得到公共电极；

步骤 9、在所述公共电极、及平坦层上沉积钝化保护层，所述钝化保护层包覆所述平坦层上的第三过孔，之后对所述钝化保护层进行图形化处理，得到位于所述第三过孔底部的钝化保护层上的第四过孔；

步骤 10、在所述钝化保护层上沉积第二透明导电氧化物层，对所述第二透明导电氧化物层进行图形化处理，得到像素电极，所述像素电极通过第四过孔与第一漏极相接触。

所述步骤 2 中，所述低温结晶工艺为准分子激光退火法或金属诱导横向晶化法。

所述步骤 3 中，所述 P 型重掺杂制程中植入的离子为硼离子，植入剂量为 1×10^{15} 个/cm²；所述 N 型重掺杂制程中植入的离子为磷离子，植入剂量为 4×10^{14} 个/cm²；所述 P 型轻掺杂制程中植入的离子为硼离子，植入剂量为 2×10^{12} 个/cm²。

所述步骤 4 中，所述 N 型轻掺杂制程中植入的离子为磷离子，植入剂量为 1.5×10^{13} 个/cm²。

所述步骤 5 还包括：对所述层间绝缘层进行去氢和活化处理。

采用快速热退火工艺对所述层间绝缘层进行去氢和活化处理。

所述基板为玻璃基板；所述第一金属层、第二金属层、第三金属层的材料为钼、钛、铝、铜中的一种或多种的堆栈组合；所述缓冲层、栅极绝缘层、层间绝缘层、及钝化保护层为氧化硅层、氮化硅层、或者由氧化硅层与氮化硅层叠加构成的复合层；所述平坦层为有机光阻材料。

所述第一透明导电氧化物层、第二透明导电氧化物层的材料为金属氧化物。

所述金属氧化物为铟锡氧化物、铟锌氧化物、铝锡氧化物、铝锌氧化物、或铟锆锌氧化物。

本发明还提供一种 LTPS 阵列基板的制作方法，包括如下步骤：

步骤 1、提供一基板，在所述基板上定义出 NMOS 区与 PMOS 区，在所述基板上沉积第一金属层，对所述第一金属层进行图形化处理，得到位于 NMOS 区的遮光层；

步骤 2、在所述遮光层、及基板上形成缓冲层，在所述缓冲层上沉积非晶硅层，采用低温结晶工艺将所述非晶硅层转化为多晶硅层，对所述多晶硅层进行图形化处理，得到位于 NMOS 区的第一多晶硅层、及位于 PMOS 区的第二多晶硅层；

步骤 3、在所述第一多晶硅层、第二多晶硅层、及缓冲层上涂布光阻层，采用一道半色调光罩对所述光阻层进行曝光、显影后，在所述光阻层上形成对应于所述第二多晶硅层两端的第一通孔，暴露出所述第二多晶硅层的两端，同时在所述光阻层上形成对应于所述第一多晶硅层两端的第一凹槽；

5 以所述光阻层为掩模，对所述第二多晶硅层的两端进行 P 型重掺杂，得到两 P 型重掺杂区，所述第二多晶硅层上位于两 P 型重掺杂区之间的区域形成第二沟道区；

采用干蚀刻制程对所述光阻层进行灰化，减薄所述光阻层的厚度，使得第一凹槽转化为第二通孔，暴露出所述第一多晶硅层的两端，以所述光

10 阻层为掩模，对所述第一多晶硅层的两端进行 N 型重掺杂，得到两 N 型重掺杂区；

采用光阻剥离制程将剩余的光阻层完全剥离，暴露出第一多晶硅层与第二多晶硅层，对所述第一多晶硅层、及第二多晶硅层进行 P 型轻掺杂，以实现

15 对所述第一多晶硅层的沟道掺杂；

步骤 4、在所述第一多晶硅层、第二多晶硅层、及缓冲层上沉积栅极绝缘层，在所述栅极绝缘层上沉积第二金属层，对所述第二金属层进行图形化处理，得到分别对应于第一多晶硅层与第二多晶硅层上方的第一栅极与第二栅极；

以所述第一栅极为光罩对所述第一多晶硅层进行 N 型轻掺杂，得到分别位于两 N 型重掺杂区内侧的两 N 型轻掺杂区，所述第一多晶硅层上位于两 N 型轻掺杂区之间的区域形成第一沟道区；

20

步骤 5、在所述第一栅极、第二栅极、及栅极绝缘层上沉积层间绝缘层，对所述层间绝缘层及栅极绝缘层进行图形化处理，得到位于所述 N 型重掺杂区上方的第一过孔及位于所述 P 型重掺杂区上方的第二过孔；

步骤 6、在所述层间绝缘层上沉积第三金属层，对所述第三金属层进行图形化处理，得到第一源极、第一漏极、第二源极、第二漏极，所述第一源极、第一漏极分别通过第一过孔与 N 型重掺杂区相接触，所述第二源极、第二漏极分别通过第二过孔与 P 型重掺杂区相接触；

25

步骤 7、在所述第一源极、第一漏极、第二源极、第二漏极、及层间绝缘层上形成平坦层，对所述平坦层进行图形化处理，得到位于所述第一漏极上方的第三过孔；

30

步骤 8、在所述平坦层上沉积第一透明导电氧化物层，对所述第一透明导电氧化物层进行图形化处理，得到公共电极；

步骤 9、在所述公共电极、及平坦层上沉积钝化保护层，所述钝化保护

层包覆所述平坦层上的第三过孔，之后对所述钝化保护层进行图形化处理，得到位于所述第三过孔底部的钝化保护层上的第四过孔；

步骤 10、在所述钝化保护层上沉积第二透明导电氧化物层，对所述第二透明导电氧化物层进行图形化处理，得到像素电极，所述像素电极通过
5 第四过孔与第一漏极相接触；

其中，所述步骤 2 中，所述低温结晶工艺为准分子激光退火法或金属诱导横向晶化法；

其中，所述步骤 3 中，所述 P 型重掺杂制程中植入的离子为硼离子，植入剂量为 1×10^{15} 个/cm²；所述 N 型重掺杂制程中植入的离子为磷离子，
10 植入剂量为 4×10^{14} 个/cm²；所述 P 型轻掺杂制程中植入的离子为硼离子，植入剂量为 2×10^{12} 个/cm²。

本发明的有益效果：本发明提供的一种 LTPS 阵列基板的制作方法，通过采用一道半色调光罩将 NMOS 区的第一多晶硅层的 N 型重掺杂与沟道掺杂、及 PMOS 区的第二多晶硅层的 P 型重掺杂这三道原本需要三道光罩的
15 制程整合到一道光罩制程中，节省两道曝光制程，大大提升曝光产能，同时节省了两张光罩的制作成本，可有效降低 LTPS 阵列基板的制作成本，制得的 LTPS 阵列基板具有良好的电学性能。

为了能更进一步了解本发明的特征以及技术内容，请参阅以下有关本发明的详细说明与附图，然而附图仅提供参考与说明用，并非用来对本发明加以限制。
20

附图说明

下面结合附图，通过对本发明的具体实施方式详细描述，将使本发明的技术方案及其它有益效果显而易见。

25 附图中，

图 1 为现有的 LTPS 阵列基板的制作方法的步骤 1 的示意图；
图 2 为现有的 LTPS 阵列基板的制作方法的步骤 2 的示意图；
图 3 为现有的 LTPS 阵列基板的制作方法的步骤 3 的示意图；
图 4 为现有的 LTPS 阵列基板的制作方法的步骤 4 的示意图；
30 图 5 为现有的 LTPS 阵列基板的制作方法的步骤 5 的示意图；
图 6 为现有的 LTPS 阵列基板的制作方法的步骤 6 的示意图；
图 7 为本发明的 LTPS 阵列基板的制作方法的步骤 1 的示意图；
图 8 为本发明的 LTPS 阵列基板的制作方法的步骤 2 的示意图；
图 9A-9C 为本发明的 LTPS 阵列基板的制作方法的步骤 3 的示意图；

图 10 为本发明的 LTPS 阵列基板的制作方法的步骤 4 的示意图；
图 11 为本发明的 LTPS 阵列基板的制作方法的步骤 5 的示意图；
图 12 为本发明的 LTPS 阵列基板的制作方法的步骤 6 的示意图；
图 13 为本发明的 LTPS 阵列基板的制作方法的步骤 7 的示意图；
5 图 14 为本发明的 LTPS 阵列基板的制作方法的步骤 8 的示意图；
图 15 为本发明的 LTPS 阵列基板的制作方法的步骤 9 的示意图；
图 16 为本发明的 LTPS 阵列基板的制作方法的步骤 10 的示意图。

具体实施方式

10 为更进一步阐述本发明所采取的技术手段及其效果，以下结合本发明的优选实施例及其附图进行详细描述。

请参阅图 7-16，本发明提供一种 LTPS 阵列基板的制作方法，包括如下步骤：

步骤 1、如图 7 所示，提供一基板 10，在所述基板 10 上定义出 NMOS 区与 PMOS 区，在所述基板 10 上沉积第一金属层，对所述第一金属层进行图形化处理，得到位于 NMOS 区的遮光层 20。

步骤 2、如图 8 所示，在所述遮光层 20、及基板 10 上形成缓冲层 30，在所述缓冲层 30 上沉积非晶硅层，采用低温结晶工艺将所述非晶硅层转化为多晶硅层，对所述多晶硅层进行图形化处理，得到位于 NMOS 区的第一多晶硅层 40、及位于 PMOS 区的第二多晶硅层 90。

具体的，所述低温结晶工艺可以为准分子激光退火法（Excimer Laser Annealing，ELA）或金属诱导横向晶化法（Metal Induced lateral Crystallization, MILC）等。

步骤 3、如图 9A 所示，在所述第一多晶硅层 40、第二多晶硅层 90、及缓冲层 30 上涂布光阻层 33，采用一道半色调光罩对所述光阻层 33 进行曝光、显影后，在所述光阻层 33 上形成对应于所述第二多晶硅层 90 两端的第一通孔 331，暴露出所述第二多晶硅层 90 的两端，同时在所述光阻层 33 上形成对应于所述第一多晶硅层 40 两端的第一凹槽 333；以所述光阻层 33 为掩模，对所述第二多晶硅层 90 的两端进行 P 型重掺杂，得到两 P 型重掺杂区 91，所述第二多晶硅层 90 上位于两 P 型重掺杂区 91 之间的区域形成第二沟道区 92；

如图 9B 所示，采用干蚀刻制程对所述光阻层 33 进行灰化，减薄所述光阻层 33 的厚度，使得第一凹槽 333 转化为第二通孔 335，暴露出所述第一多晶硅层 40 的两端，以所述光阻层 33 为掩模，对所述第一多晶硅层 40

的两端进行 N 型重掺杂，得到两 N 型重掺杂区 41；

如图 9C 所示，采用光阻剥离制程将剩余的光阻层 33 完全剥离，暴露出第一多晶硅层 40 与第二多晶硅层 90，对所述第一多晶硅层 40、及第二多晶硅层 90 进行 P 型轻掺杂，以实现所述第一多晶硅层 40 的沟道掺杂。

5 具体的，所述步骤 3 中，所述 P 型重掺杂制程中植入的离子为硼（B）离子，植入剂量为 1×10^{15} 个/cm²；所述 N 型重掺杂制程中植入的离子为磷（P）离子，植入剂量为 4×10^{14} 个/cm²；所述 P 型轻掺杂制程中植入的离子为硼（B）离子，植入剂量为 2×10^{12} 个/cm²。

10 以上三次掺杂制程，按照植入的先后顺序植入剂量依次减少，植入剂量最大的最先进行掺杂，这样可以减小后面掺杂元素对前面已掺杂区域的影响。

值得一提的是，所述步骤 3 通过采用一道半色调光罩将 NMOS 区的第一多晶硅层 40 的 N 型重掺杂与沟道掺杂、及 PMOS 区的第二多晶硅层 90 的 P 型重掺杂这三道原本需要三道光罩的制程整合到一道光罩制程中，节省了
15 两道曝光制程，大大提升曝光产能，同时节省了两张光罩的制作成本，可有效降低 LTPS 阵列基板的制作成本。

步骤 4、如图 10 所示，在所述第一多晶硅层 40、第二多晶硅层 90、及缓冲层 30 上沉积栅极绝缘层 51，在所述栅极绝缘层 51 上沉积第二金属层，对所述第二金属层进行图形化处理，得到分别对应于第一多晶硅层 40 与第二多晶硅层 90 上方的第一栅极 52 与第二栅极 93；
20

以所述第一栅极 52 为光罩对所述第一多晶硅层 40 进行 N 型轻掺杂，得到分别位于两 N 型重掺杂区 41 内侧的两 N 型轻掺杂区 43，所述第一多晶硅层 40 上位于两 N 型轻掺杂区 43 之间的区域形成第一沟道区 42。

具体的，所述步骤 4 中，所述 N 型轻掺杂制程中植入的离子为磷（P）
25 离子，植入剂量为 1.5×10^{13} 个/cm²。

步骤 5、如图 11 所示，在所述第一栅极 52、第二栅极 93、及栅极绝缘层 51 上沉积层间绝缘层 53，对所述层间绝缘层 53 及栅极绝缘层 51 进行图形化处理，得到位于所述 N 型重掺杂区 41 上方的第一过孔 55 及位于所述 P 型重掺杂区 91 上方的第二过孔 95，之后对所述层间绝缘层 53 进行去氢
30 和活化处理。

具体的，采用快速热退火工艺（RTA，Rapid Thermal Annealing）对所述层间绝缘层 53 进行去氢和活化处理。

步骤 6、如图 12 所示，在所述层间绝缘层 53 上沉积第三金属层，对所述第三金属层进行图形化处理，得到第一源极 61、第一漏极 62、第二源极

96、第二漏极 97，所述第一源极 61、第一漏极 62 分别通过第一过孔 55 与 N 型重掺杂区 41 相接触，所述第二源极 96、第二漏极 97 分别通过第二过孔 95 与 P 型重掺杂区 91 相接触。

步骤 7、如图 13 所示，在所述第一源极 61、第一漏极 62、第二源极 96、第二漏极 97、及层间绝缘层 53 上形成平坦层 70，对所述平坦层 70 进行图形化处理，得到位于所述第一漏极 62 上方的第三过孔 71。

步骤 8 如图 14 所示，在所述平坦层 70 上沉积第一透明导电氧化物层，对所述第一透明导电氧化物层进行图形化处理，得到公共电极 80。

步骤 9、如图 15 所示，在所述公共电极 80、及平坦层 70 上沉积钝化保护层 81，所述钝化保护层 81 包覆所述平坦层 70 上的第三过孔 71，之后对所述钝化保护层 81 进行图形化处理，得到位于所述第三过孔 71 底部的钝化保护层 81 上的第四过孔 85。

步骤 10、如图 16 所示，在所述钝化保护层 81 上沉积第二透明导电氧化物层，对所述第二透明导电氧化物层进行图形化处理，得到像素电极 82，所述像素电极 82 通过第四过孔 85 与第一漏极 62 相接触。

具体的，所述基板 10 为透明基板，优选为玻璃基板。

具体的，所述第一金属层、第二金属层、第三金属层的材料为钼 (Mo)、钛 (Ti)、铝 (Al)、铜 (Cu) 中的一种或多种的堆栈组合。

具体的，所述缓冲层 30、栅极绝缘层 51、层间绝缘层 53、及钝化保护层 81 为氧化硅 (SiO_x) 层、氮化硅 (SiN_x) 层、或者由氧化硅层与氮化硅层叠加构成的复合层。

具体的，所述平坦层 70 为有机光阻材料。

具体的，所述第一透明导电氧化物层、第二透明导电氧化物层的材料为金属氧化物，如铟锡氧化物、铟锌氧化物、铝锡氧化物、铝锌氧化物、铟锗锌氧化物、或其它合适的氧化物。

综上所述，本发明提供一种 LTPS 阵列基板的制作方法，通过采用一道半色调光罩将 NMOS 区的第一多晶硅层的 N 型重掺杂与沟道掺杂、及 PMOS 区的第二多晶硅层的 P 型重掺杂这三道原本需要三道光罩的制程整合到一道光罩制程中，节省两道曝光制程，大大提升曝光产能，同时节省了光罩的制作成本，可有效降低 LTPS 阵列基板的制作成本，制得的 LTPS 阵列基板具有良好的电学性能。

以上所述，对于本领域的普通技术人员来说，可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形，而所有这些改变和变形都应属于本发明权利要求的保护范围。

权 利 要 求

1、一种 LTPS 阵列基板的制作方法，包括如下步骤：

5 步骤 1、提供一基板，在所述基板上定义出 NMOS 区与 PMOS 区，在所述基板上沉积第一金属层，对所述第一金属层进行图形化处理，得到位于 NMOS 区的遮光层；

步骤 2、在所述遮光层、及基板上形成缓冲层，在所述缓冲层上沉积非晶硅层，采用低温结晶工艺将所述非晶硅层转化为多晶硅层，对所述多晶硅层进行图形化处理，得到位于 NMOS 区的第一多晶硅层、及位于 PMOS 10 区的第二多晶硅层；

步骤 3、在所述第一多晶硅层、第二多晶硅层、及缓冲层上涂布光阻层，采用一道半色调光罩对所述光阻层进行曝光、显影后，在所述光阻层上形成对应于所述第二多晶硅层两端的第一通孔，暴露出所述第二多晶硅层的 15 两端，同时在所述光阻层上形成对应于所述第一多晶硅层两端的第一凹槽；以所述光阻层为掩模，对所述第二多晶硅层的两端进行 P 型重掺杂，得到两 P 型重掺杂区，所述第二多晶硅层上位于两 P 型重掺杂区之间的区域形成第二沟道区；

采用干蚀刻制程对所述光阻层进行灰化，减薄所述光阻层的厚度，使得第一凹槽转化为第二通孔，暴露出所述第一多晶硅层的两端，以所述光 20 阻层为掩模，对所述第一多晶硅层的两端进行 N 型重掺杂，得到两 N 型重掺杂区；

采用光阻剥离制程将剩余的光阻层完全剥离，暴露出第一多晶硅层与第二多晶硅层，对所述第一多晶硅层、及第二多晶硅层进行 P 型轻掺杂， 25 以实现所述第一多晶硅层的沟道掺杂。

2、如权利要求 1 所述的 LTPS 阵列基板的制作方法，还包括如下步骤：

步骤 4、在所述第一多晶硅层、第二多晶硅层、及缓冲层上沉积栅极绝缘层，在所述栅极绝缘层上沉积第二金属层，对所述第二金属层进行图形化处理，得到分别对应于第一多晶硅层与第二多晶硅层上方的第一栅极与 30 第二栅极；

以所述第一栅极为光罩对所述第一多晶硅层进行 N 型轻掺杂，得到分别位于两 N 型重掺杂区内侧的两 N 型轻掺杂区，所述第一多晶硅层上位于两 N 型轻掺杂区之间的区域形成第一沟道区；

步骤 5、在所述第一栅极、第二栅极、及栅极绝缘层上沉积层间绝缘层，

对所述层间绝缘层及栅极绝缘层进行图形化处理，得到位于所述 N 型重掺杂区上方的第一过孔及位于所述 P 型重掺杂区上方的第二过孔；

步骤 6、在所述层间绝缘层上沉积第三金属层，对所述第三金属层进行图形化处理，得到第一源极、第一漏极、第二源极、第二漏极，所述第一源极、第一漏极分别通过第一过孔与 N 型重掺杂区相接触，所述第二源极、第二漏极分别通过第二过孔与 P 型重掺杂区相接触；

步骤 7、在所述第一源极、第一漏极、第二源极、第二漏极、及层间绝缘层上形成平坦层，对所述平坦层进行图形化处理，得到位于所述第一漏极上方的第三过孔；

步骤 8、在所述平坦层上沉积第一透明导电氧化物层，对所述第一透明导电氧化物层进行图形化处理，得到公共电极；

步骤 9、在所述公共电极、及平坦层上沉积钝化保护层，所述钝化保护层包覆所述平坦层上的第三过孔，之后对所述钝化保护层进行图形化处理，得到位于所述第三过孔底部的钝化保护层上的第四过孔；

步骤 10、在所述钝化保护层上沉积第二透明导电氧化物层，对所述第二透明导电氧化物层进行图形化处理，得到像素电极，所述像素电极通过第四过孔与第一漏极相接触。

3、如权利要求 1 所述的 LTPS 阵列基板的制作方法，其中，所述步骤 2 中，所述低温结晶工艺为准分子激光退火法或金属诱导横向晶化法。

4、如权利要求 1 所述的 LTPS 阵列基板的制作方法，其中，所述步骤 3 中，所述 P 型重掺杂制程中植入的离子为硼离子，植入剂量为 1×10^{15} 个/cm²；所述 N 型重掺杂制程中植入的离子为磷离子，植入剂量为 4×10^{14} 个/cm²；所述 P 型轻掺杂制程中植入的离子为硼离子，植入剂量为 2×10^{12} 个/cm²。

5、如权利要求 2 所述的 LTPS 阵列基板的制作方法，其中，所述步骤 4 中，所述 N 型轻掺杂制程中植入的离子为磷离子，植入剂量为 1.5×10^{13} 个/cm²。

6、如权利要求 2 所述的 LTPS 阵列基板的制作方法，其中，所述步骤 5 还包括：对所述层间绝缘层进行去氢和活化处理。

7、如权利要求 6 所述的 LTPS 阵列基板的制作方法，其中，采用快速热退火工艺对所述层间绝缘层进行去氢和活化处理。

8、如权利要求 2 所述的 LTPS 阵列基板的制作方法，其中，所述基板为玻璃基板；所述第一金属层、第二金属层、第三金属层的材料为钼、钛、铝、铜中的一种或多种的堆栈组合；所述缓冲层、栅极绝缘层、层间绝缘

层、及钝化保护层为氧化硅层、氮化硅层、或者由氧化硅层与氮化硅层叠加构成的复合层；所述平坦层为有机光阻材料。

9、如权利要求 2 所述的 LTPS 阵列基板的制作方法，其中，所述第一透明导电氧化物层、第二透明导电氧化物层的材料为金属氧化物。

5 10、如权利要求 9 所述的 LTPS 阵列基板的制作方法，其中，所述金属氧化物为铟锡氧化物、铟锌氧化物、铝锡氧化物、铝锌氧化物、或铟锗锌氧化物。

11、一种 LTPS 阵列基板的制作方法，包括如下步骤：

10 步骤 1、提供一基板，在所述基板上定义出 NMOS 区与 PMOS 区，在所述基板上沉积第一金属层，对所述第一金属层进行图形化处理，得到位于 NMOS 区的遮光层；

步骤 2、在所述遮光层、及基板上形成缓冲层，在所述缓冲层上沉积非晶硅层，采用低温结晶工艺将所述非晶硅层转化为多晶硅层，对所述多晶硅层进行图形化处理，得到位于 NMOS 区的第一多晶硅层、及位于 PMOS 15 区的第二多晶硅层；

步骤 3、在所述第一多晶硅层、第二多晶硅层、及缓冲层上涂布光阻层，采用一道半色调光罩对所述光阻层进行曝光、显影后，在所述光阻层上形成对应于所述第二多晶硅层两端的第一通孔，暴露出所述第二多晶硅层的两端，同时在所述光阻层上形成对应于所述第一多晶硅层两端的第一凹槽； 20 以所述光阻层为掩模，对所述第二多晶硅层的两端进行 P 型重掺杂，得到两 P 型重掺杂区，所述第二多晶硅层上位于两 P 型重掺杂区之间的区域形成第二沟道区；

采用干蚀刻制程对所述光阻层进行灰化，减薄所述光阻层的厚度，使得第一凹槽转化为第二通孔，暴露出所述第一多晶硅层的两端，以所述光 25 阻层为掩模，对所述第一多晶硅层的两端进行 N 型重掺杂，得到两 N 型重掺杂区；

采用光阻剥离制程将剩余的光阻层完全剥离，暴露出第一多晶硅层与第二多晶硅层，对所述第一多晶硅层、及第二多晶硅层进行 P 型轻掺杂，以实现对所述第一多晶硅层的沟道掺杂；

30 步骤 4、在所述第一多晶硅层、第二多晶硅层、及缓冲层上沉积栅极绝缘层，在所述栅极绝缘层上沉积第二金属层，对所述第二金属层进行图形化处理，得到分别对应于第一多晶硅层与第二多晶硅层上方的第一栅极与第二栅极；

以所述第一栅极为光罩对所述第一多晶硅层进行 N 型轻掺杂，得到分

别位于两 N 型重掺杂区内侧的两 N 型轻掺杂区，所述第一多晶硅层上位于两 N 型轻掺杂区之间的区域形成第一沟道区；

步骤 5、在所述第一栅极、第二栅极、及栅极绝缘层上沉积层间绝缘层，对所述层间绝缘层及栅极绝缘层进行图形化处理，得到位于所述 N 型重掺杂区上方的第一过孔及位于所述 P 型重掺杂区上方的第二过孔；

步骤 6、在所述层间绝缘层上沉积第三金属层，对所述第三金属层进行图形化处理，得到第一源极、第一漏极、第二源极、第二漏极，所述第一源极、第一漏极分别通过第一过孔与 N 型重掺杂区相接触，所述第二源极、第二漏极分别通过第二过孔与 P 型重掺杂区相接触；

步骤 7、在所述第一源极、第一漏极、第二源极、第二漏极、及层间绝缘层上形成平坦层，对所述平坦层进行图形化处理，得到位于所述第一漏极上方的第三过孔；

步骤 8、在所述平坦层上沉积第一透明导电氧化物层，对所述第一透明导电氧化物层进行图形化处理，得到公共电极；

步骤 9、在所述公共电极、及平坦层上沉积钝化保护层，所述钝化保护层包覆所述平坦层上的第三过孔，之后对所述钝化保护层进行图形化处理，得到位于所述第三过孔底部的钝化保护层上的第四过孔；

步骤 10、在所述钝化保护层上沉积第二透明导电氧化物层，对所述第二透明导电氧化物层进行图形化处理，得到像素电极，所述像素电极通过第四过孔与第一漏极相接触；

其中，所述步骤 2 中，所述低温结晶工艺为准分子激光退火法或金属诱导横向晶化法；

其中，所述步骤 3 中，所述 P 型重掺杂制程中植入的离子为硼离子，植入剂量为 1×10^{15} 个/cm²；所述 N 型重掺杂制程中植入的离子为磷离子，植入剂量为 4×10^{14} 个/cm²；所述 P 型轻掺杂制程中植入的离子为硼离子，植入剂量为 2×10^{12} 个/cm²。

12、如权利要求 11 所述的 LTPS 阵列基板的制作方法，其中，所述步骤 4 中，所述 N 型轻掺杂制程中植入的离子为磷离子，植入剂量为 1.5×10^{13} 个/cm²。

13、如权利要求 11 所述的 LTPS 阵列基板的制作方法，其中，所述步骤 5 还包括：对所述层间绝缘层进行去氢和活化处理。

14、如权利要求 13 所述的 LTPS 阵列基板的制作方法，其中，采用快速热退火工艺对所述层间绝缘层进行去氢和活化处理。

15、如权利要求 11 所述的 LTPS 阵列基板的制作方法，其中，所述基

板为玻璃基板；所述第一金属层、第二金属层、第三金属层的材料为钼、钛、铝、铜中的一种或多种的堆栈组合；所述缓冲层、栅极绝缘层、层间绝缘层、及钝化保护层为氧化硅层、氮化硅层、或者由氧化硅层与氮化硅层叠加构成的复合层；所述平坦层为有机光阻材料。

- 5 16、如权利要求 11 所述的 LTPS 阵列基板的制作方法，其中，所述第一透明导电氧化物层、第二透明导电氧化物层的材料为金属氧化物。

17、如权利要求 16 所述的 LTPS 阵列基板的制作方法，其中，所述金属氧化物为铟锡氧化物、铟锌氧化物、铝锡氧化物、铝锌氧化物、或铟锗锌氧化物。

10

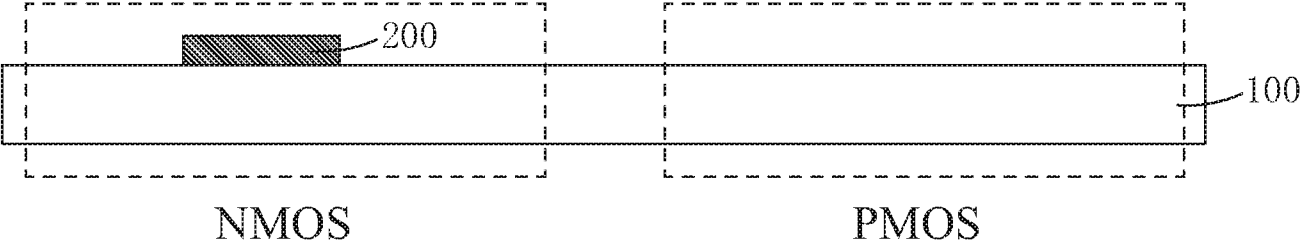


图1

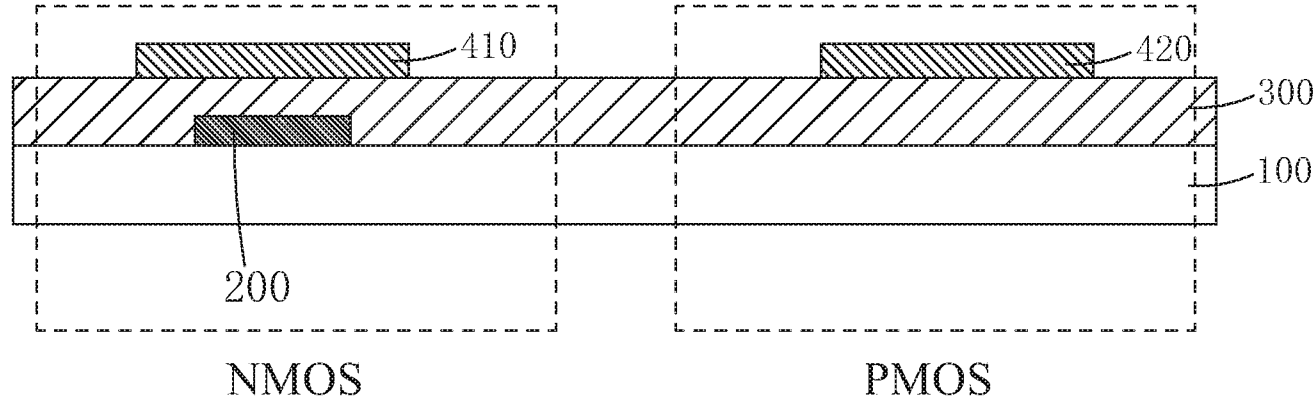


图2

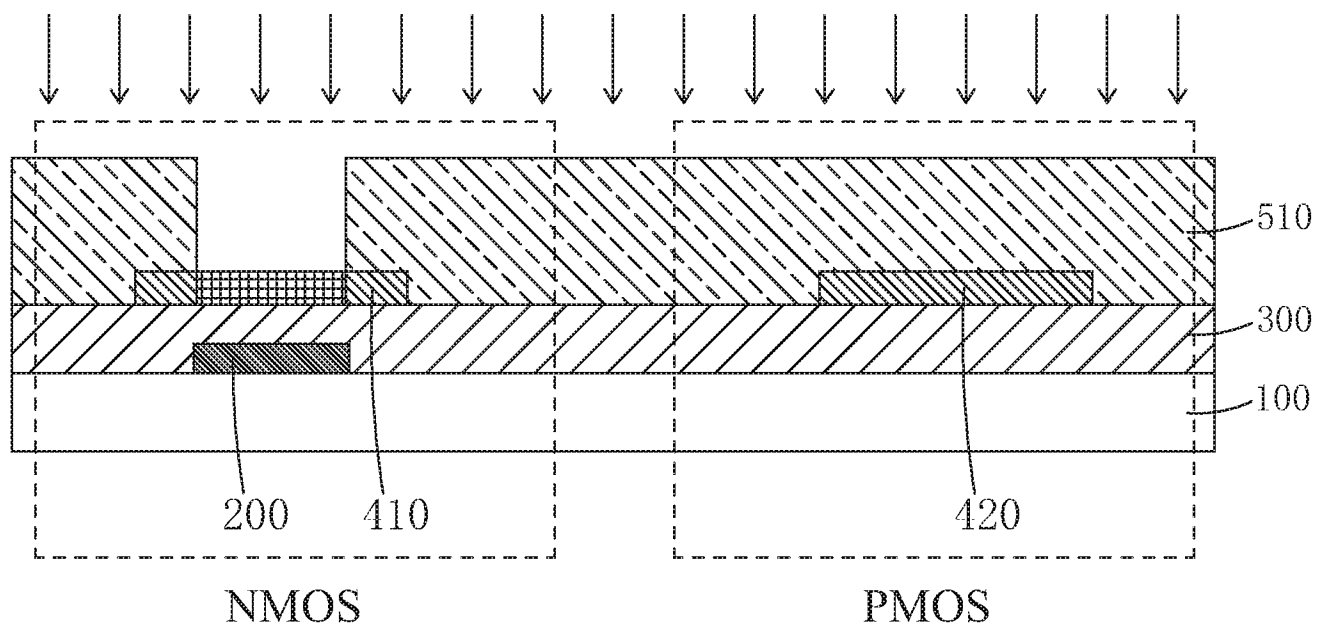


图3

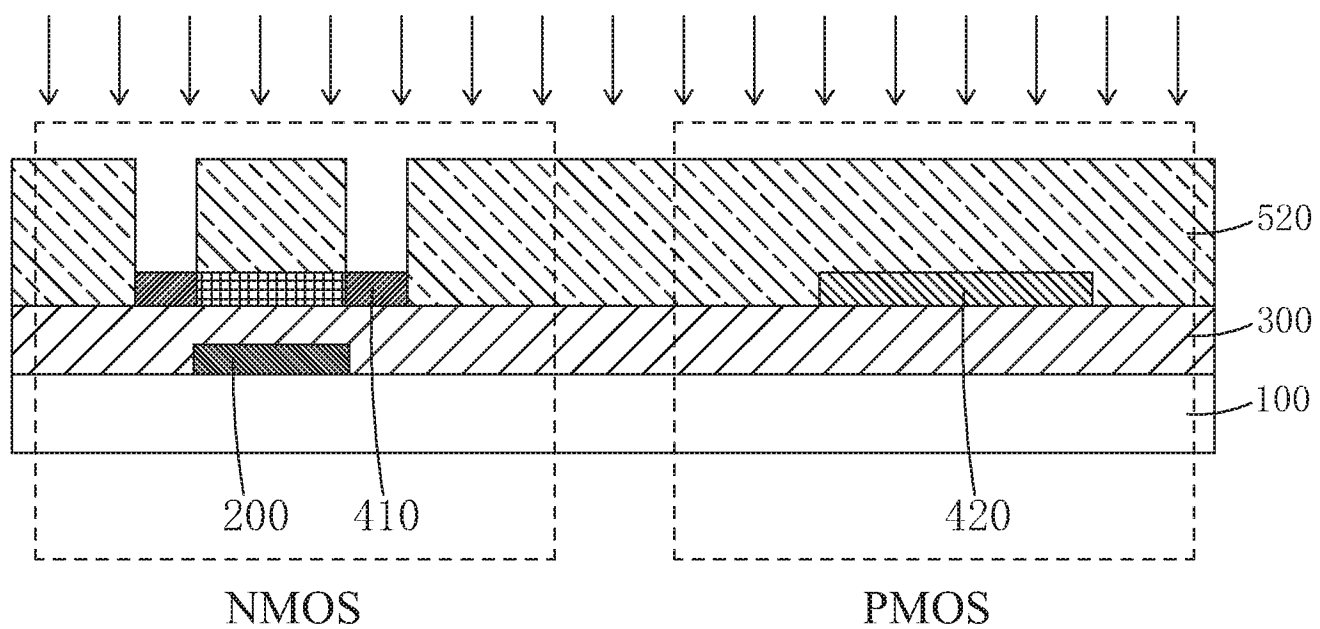


图4

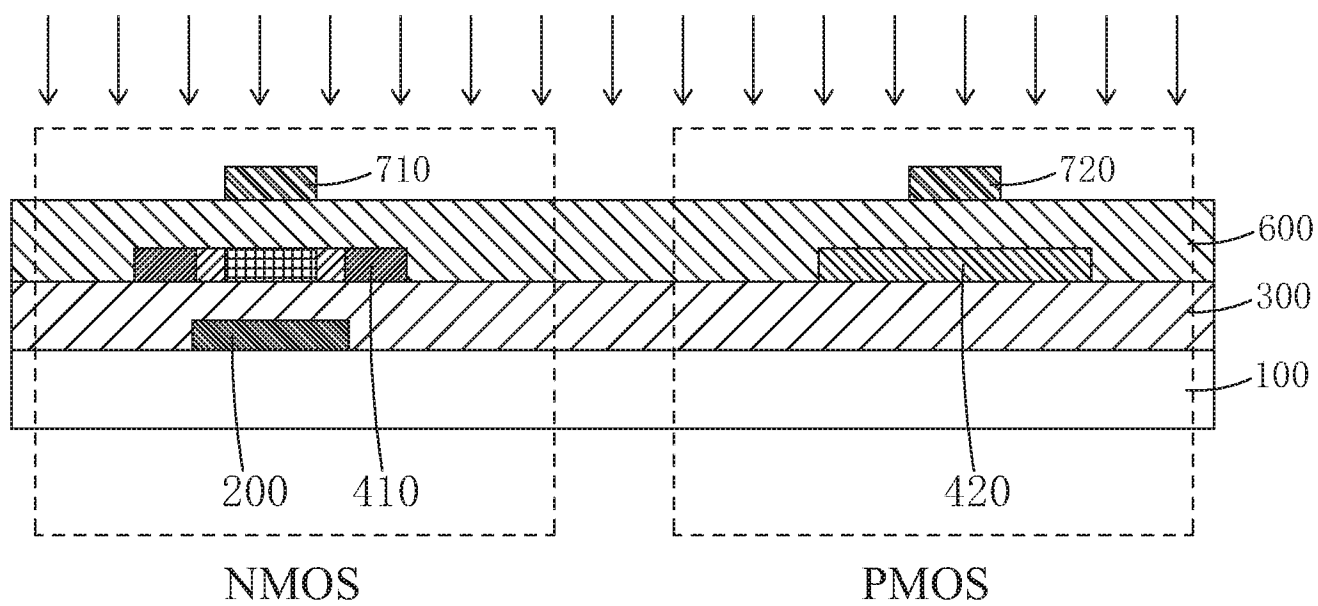


图5

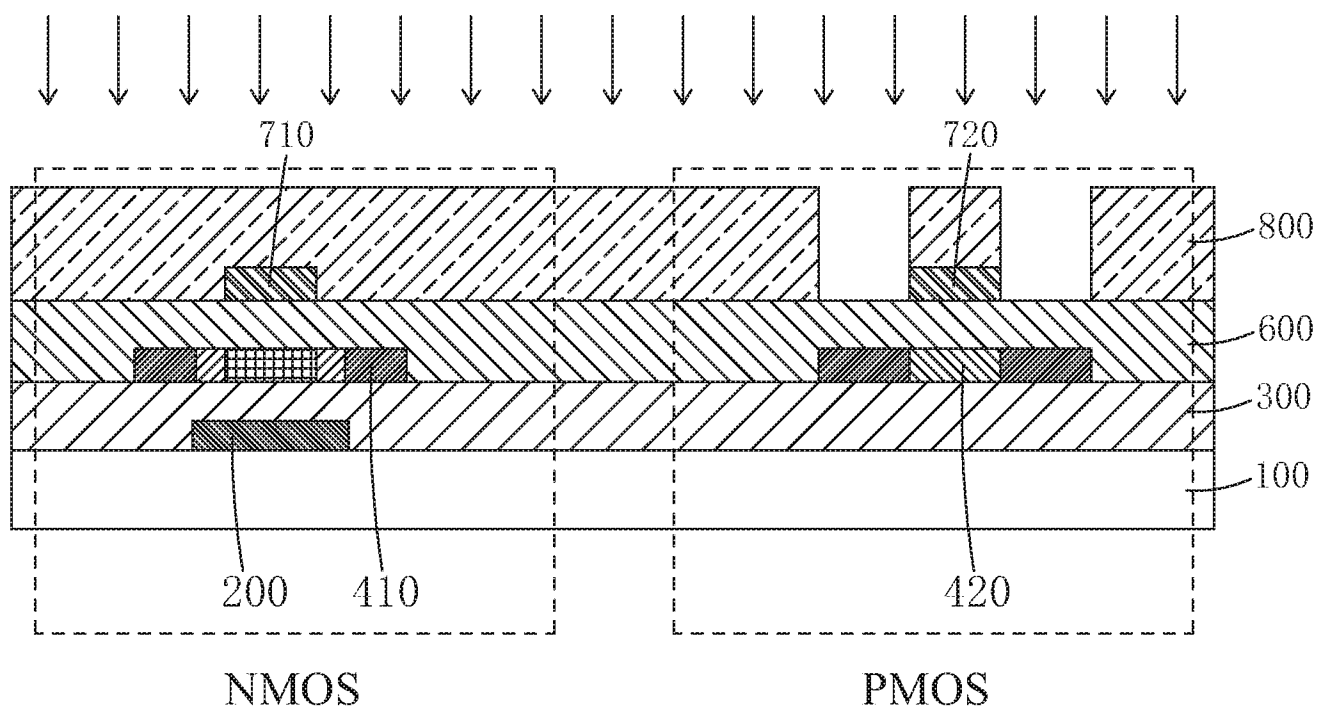


图6

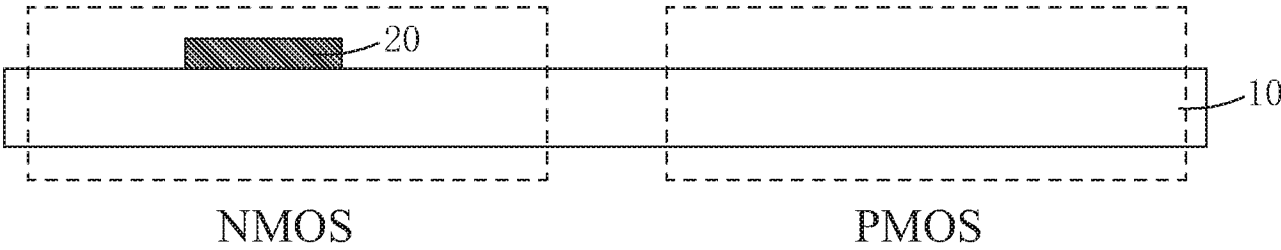


图7

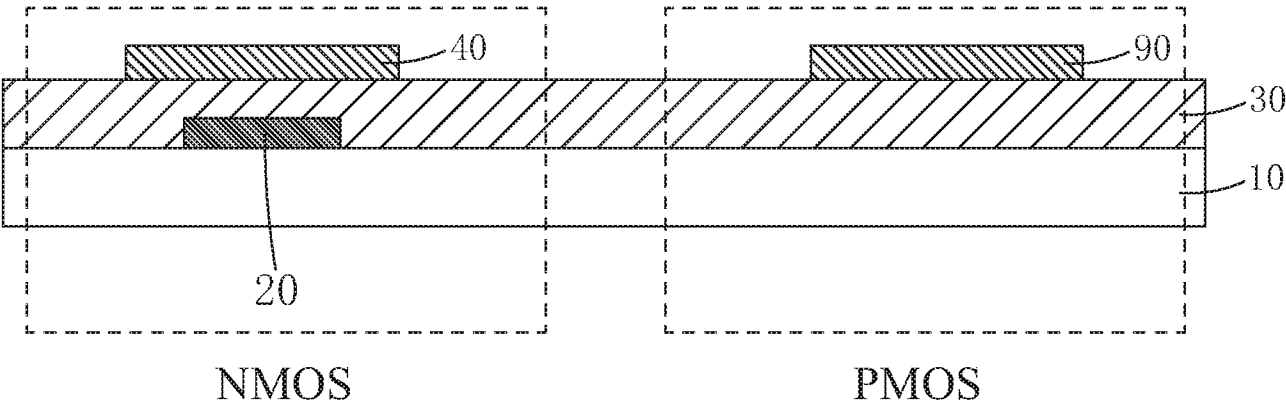


图8

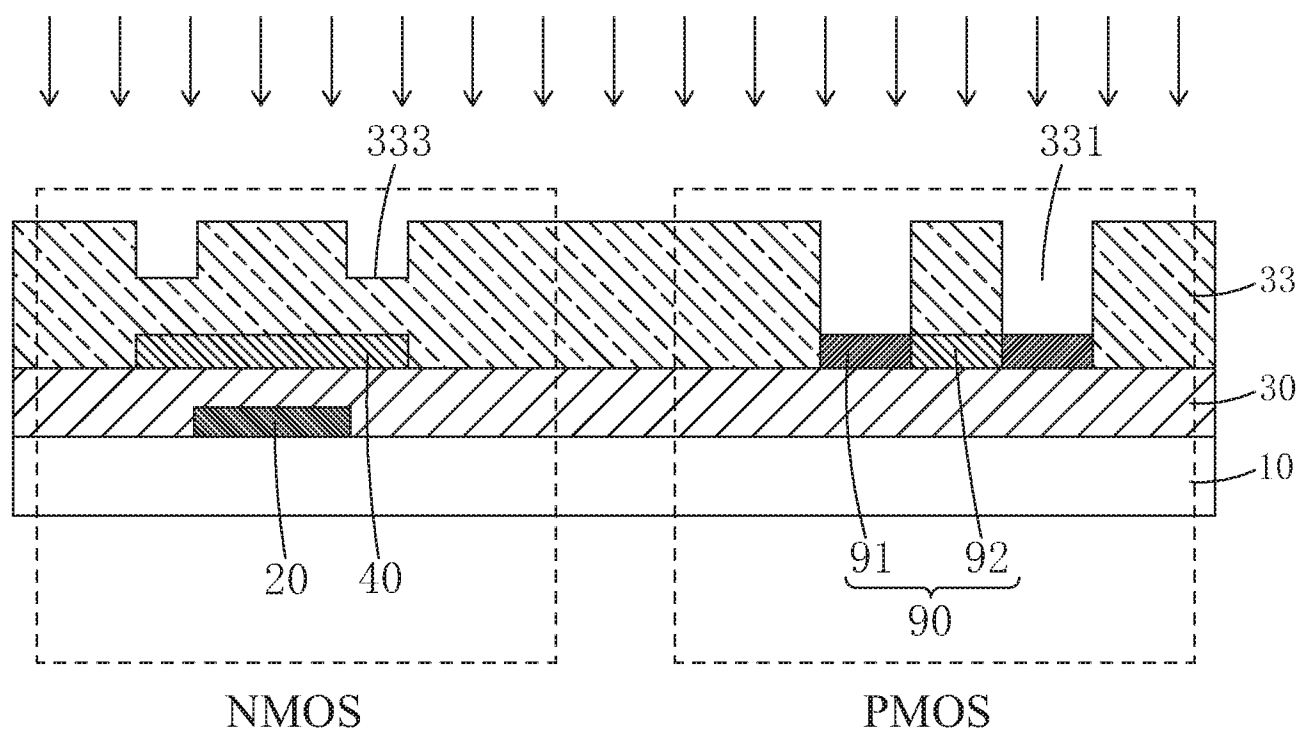


图9A

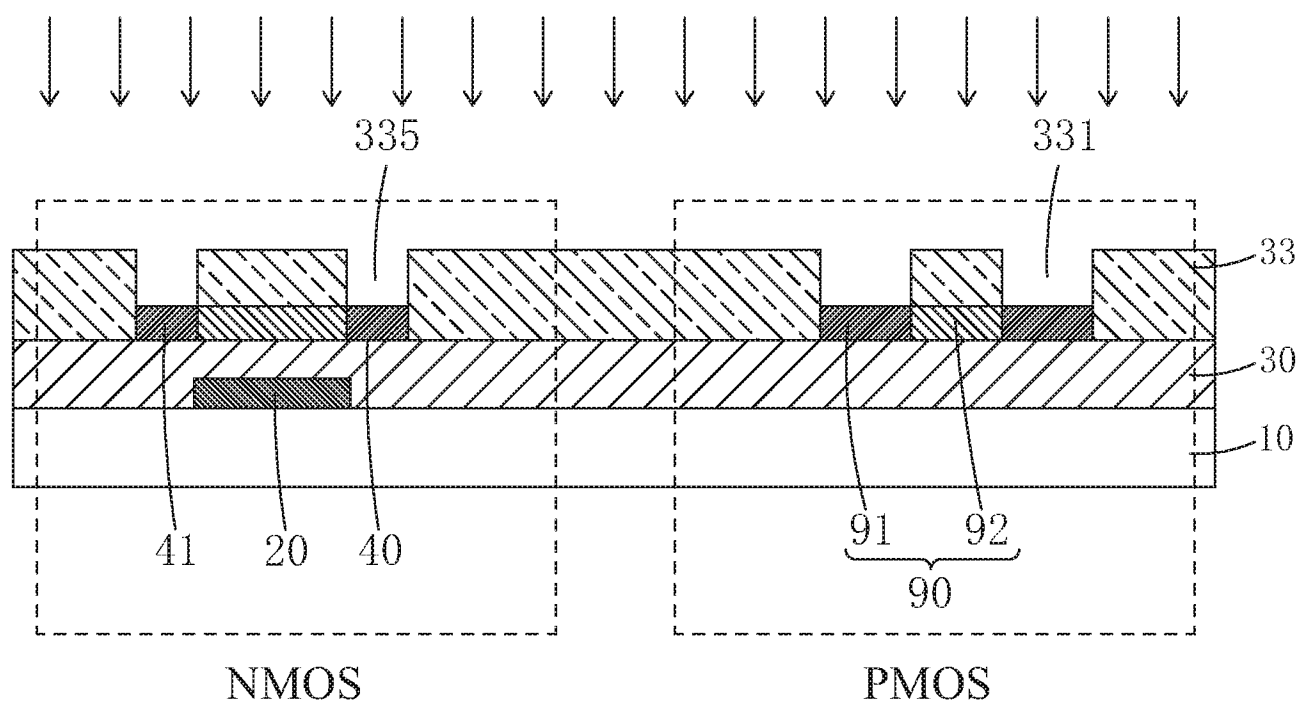


图9B

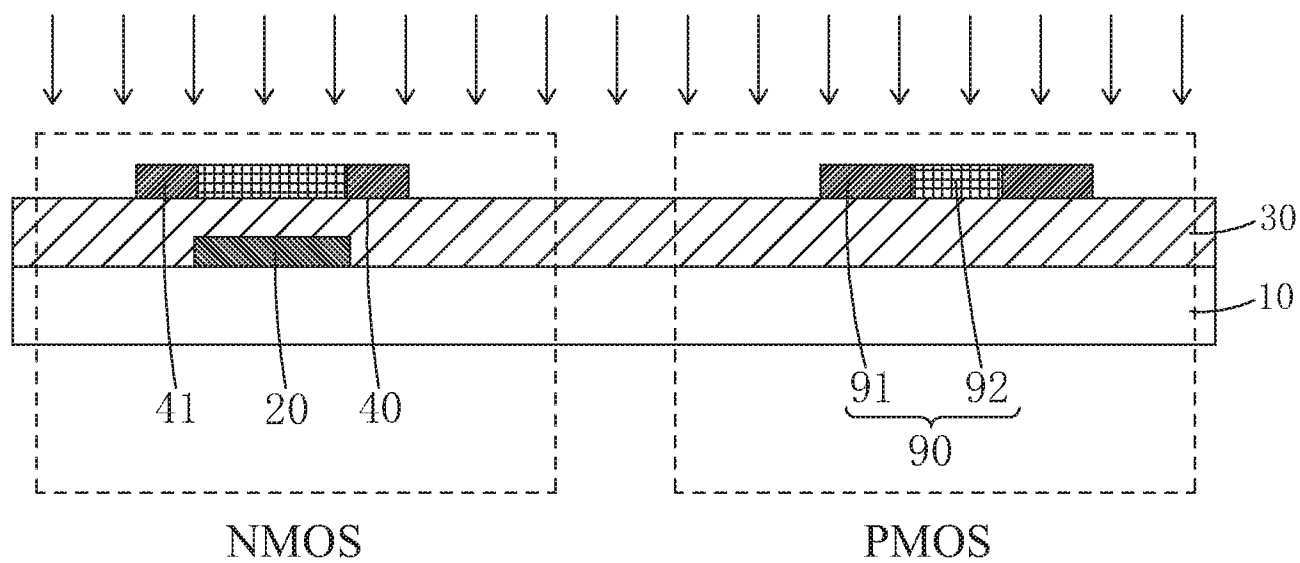


图9C

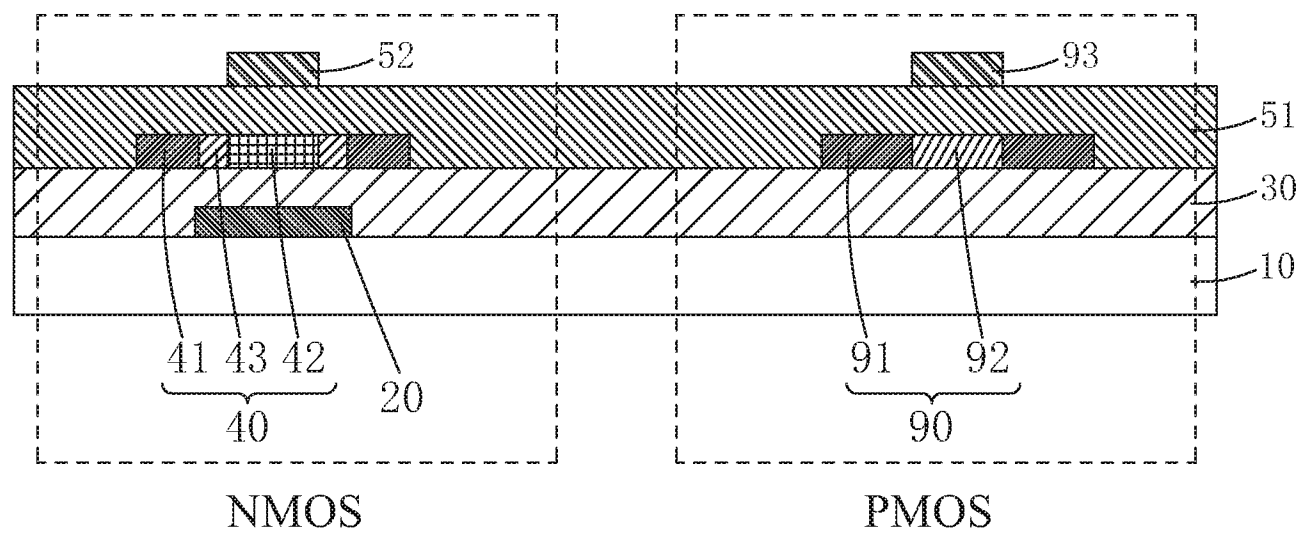


图10

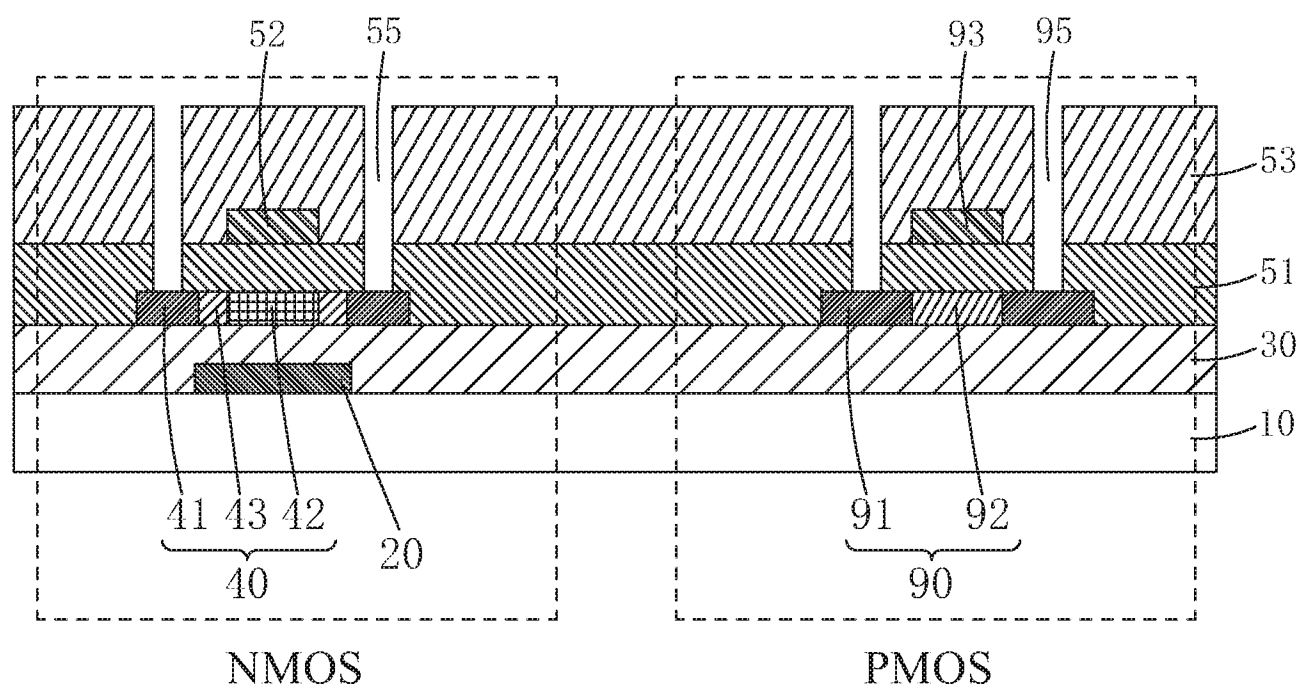


图11

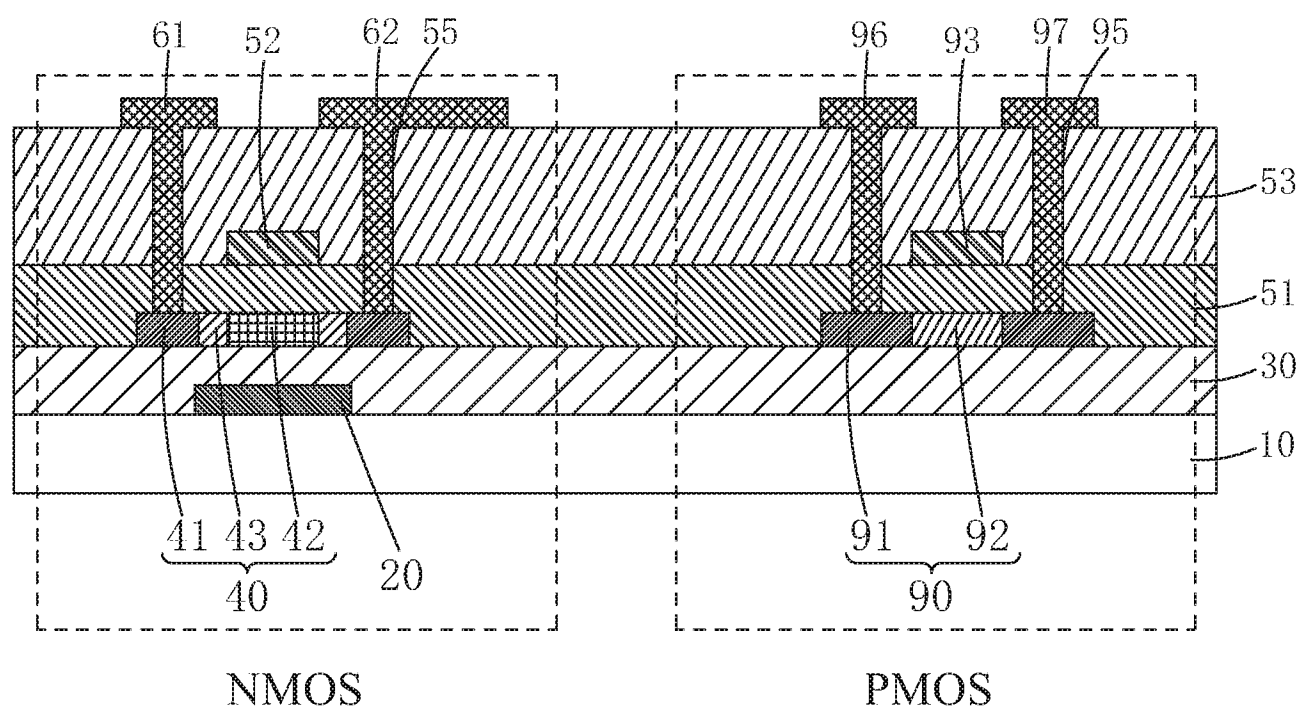


图12

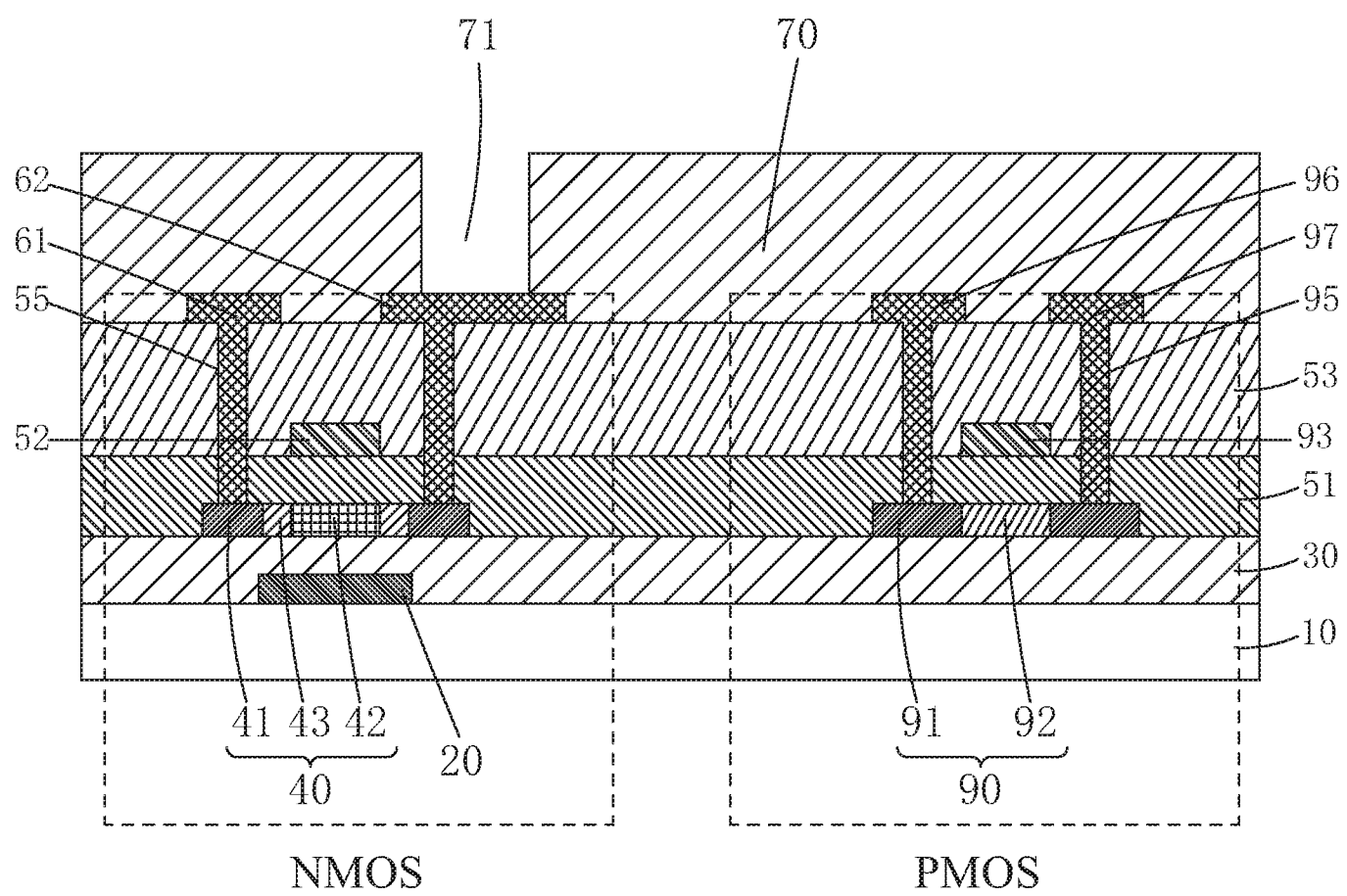


图13

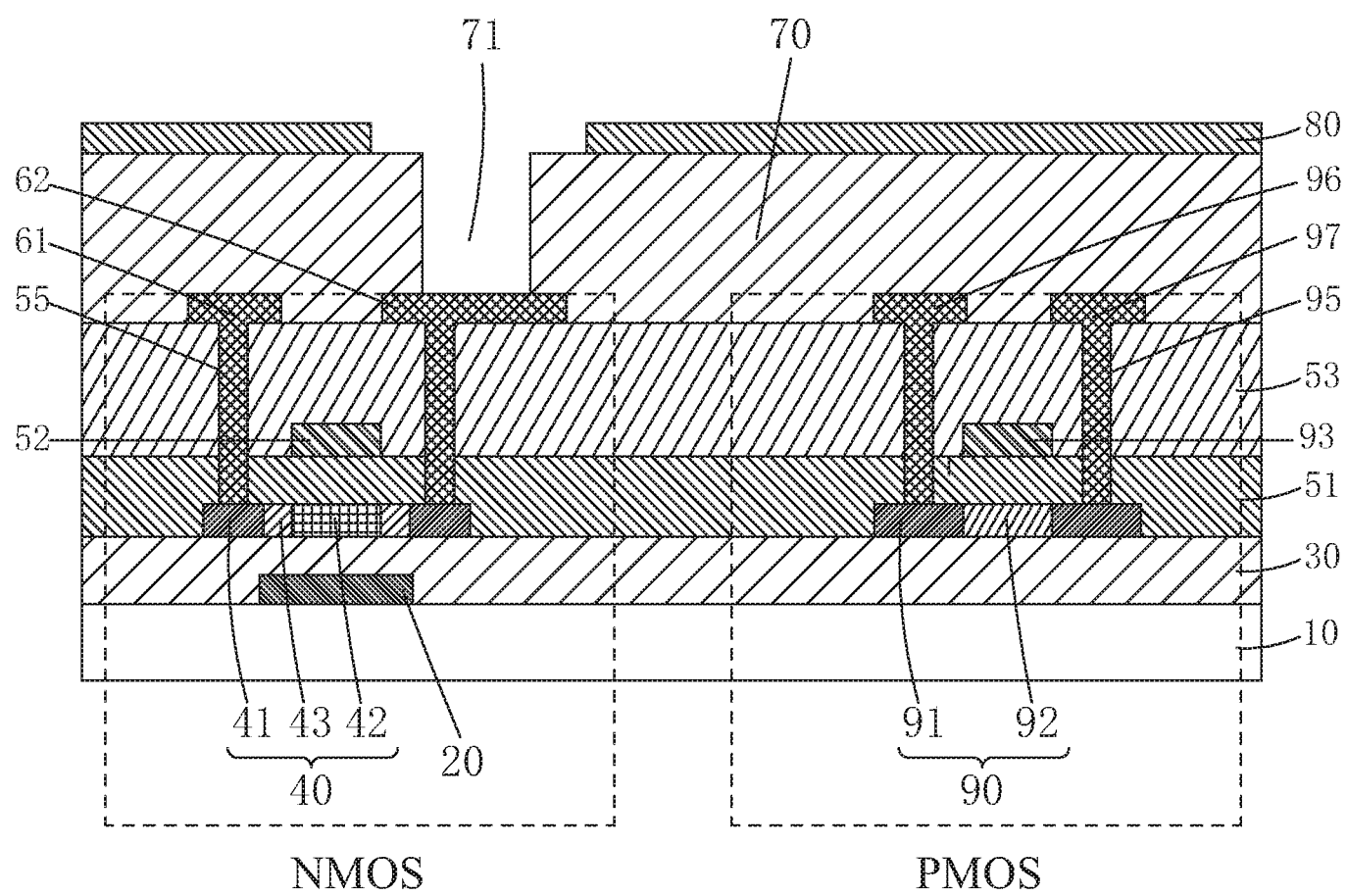


图14

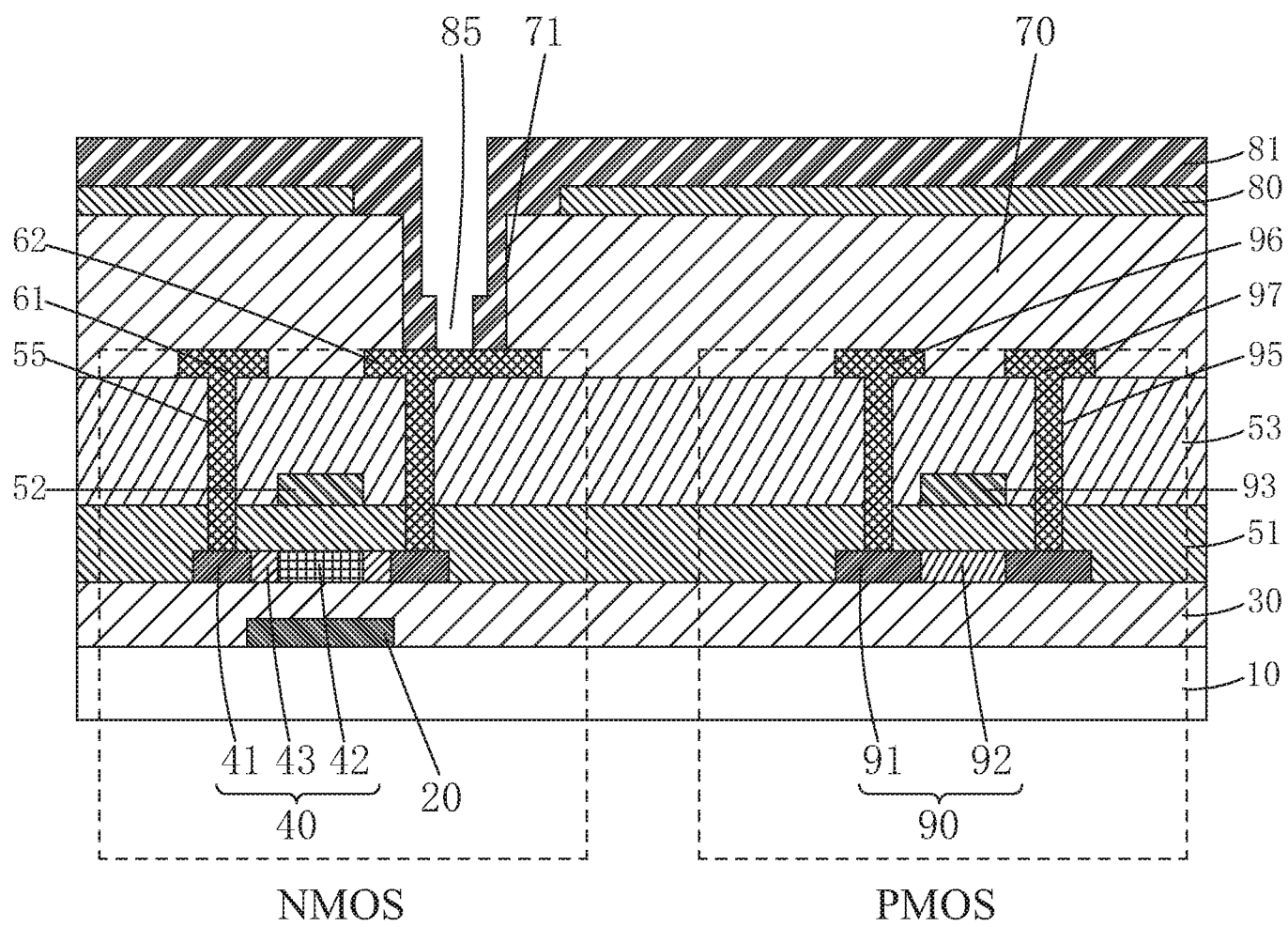


图15

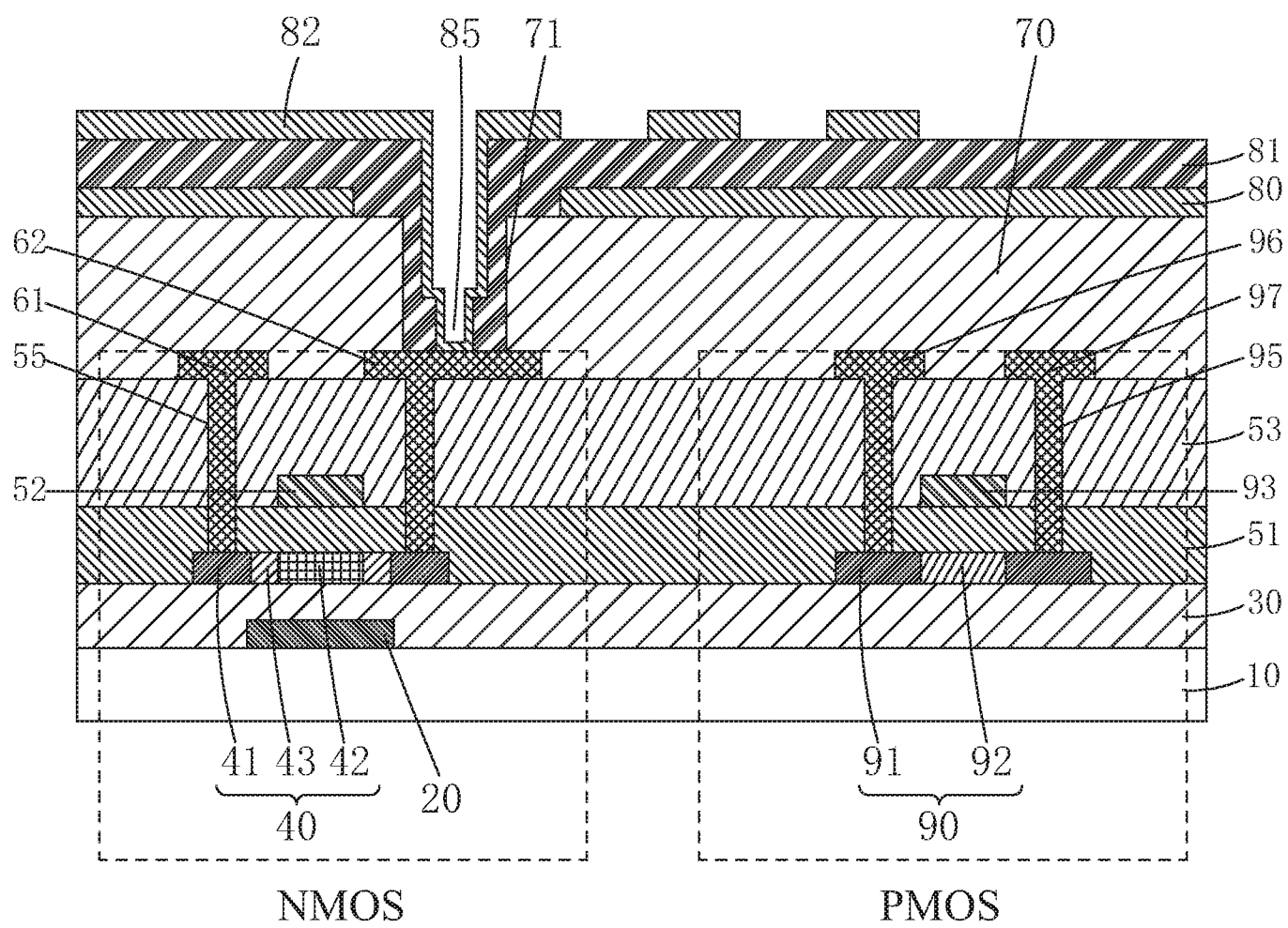


图16

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2016/083563

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/77 (2006.01) i; G02F 1/1362 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L; G02F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, DWPI, SIPOABS, CNTXT, TWTXT, USTXT, EPTXT, WOTXT, CNKI, CNPAT, ISI: half-tone mode, gray tone, half gray scale, half tone, half?tone, half-tone, mask, photomask, photo?mask, photo-mask, heav+, light+, dop+, implant+, CMOS, PMOS, NMOS, exposure

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 105489552 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 13 April 2016 (13.04.2016), claims 1-10, description, paragraphs [0060]-[0085], and figures 7-16	1-17
A	CN 1716571 A (SAMSUNG SDI CO., LTD.), 04 January 2006 (04.01.2006), the whole document	1-17
A	CN 105140124 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 09 December 2015 (09.12.2015), the whole document	1-17
A	US 2009104737 A1 (HITACHI DISPLAYS LTD.), 23 April 2009 (23.04.2009), the whole document	1-17

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 22 October 2016 (22.10.2016)	Date of mailing of the international search report 03 November 2016 (03.11.2016)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer WANG, Wenjie Telephone No.: (86-10) 62412092

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2016/083563

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 105489552 A	13 April 2016	None	
CN 1716571 A	04 January 2006	US 2006006469 A1	12 January 2006
		US 7572690 B2	11 August 2009
		KR 20060001754 A	06 January 2006
		CN 100437980 C	26 November 2008
		KR 100721553 B1	17 May 2007
CN 105140124 A	09 December 2015	None	
US 2009104737 A1	23 April 2009	JP 5292591 B2	18 September 2013
		US 8101472 B2	24 January 2012
		JP 2009099888 A	07 May 2009

A. 主题的分类 H01L 21/77 (2006.01) i; G02F 1/1362 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类																	
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) H01L; G02F 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNABS, DWPI, SIPOABS, CNTXT, TWTXT, USTXT, EPTXT, WOTXT, CNKI, CNPAT, ISI: 半调式, 半色调, 灰色调, 半灰阶, 半调, 光罩, 掩膜, 掩模, 轻, 重, 掺杂, 注入, 植入, 曝光, half tone, half?tone, half-tone, mask, photomask, photo?mask, photo-mask, heav+, light+, dop+, implant+, CMOS, PMOS, NMOS, exposure																	
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>PX</td> <td>CN 105489552 A (武汉华星光电技术有限公司) 2016年 4月 13日 (2016 - 04 - 13) 权利要求1-10、说明书第[0060]-[0085]段、附图7-16</td> <td>1-17</td> </tr> <tr> <td>A</td> <td>CN 1716571 A (三星SDI株式会社) 2006年 1月 4日 (2006 - 01 - 04) 全文</td> <td>1-17</td> </tr> <tr> <td>A</td> <td>CN 105140124 A (武汉华星光电技术有限公司) 2015年 12月 9日 (2015 - 12 - 09) 全文</td> <td>1-17</td> </tr> <tr> <td>A</td> <td>US 2009104737 A1 (HITACHI DISPLAYS LTD) 2009年 4月 23日 (2009 - 04 - 23) 全文</td> <td>1-17</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	PX	CN 105489552 A (武汉华星光电技术有限公司) 2016年 4月 13日 (2016 - 04 - 13) 权利要求1-10、说明书第[0060]-[0085]段、附图7-16	1-17	A	CN 1716571 A (三星SDI株式会社) 2006年 1月 4日 (2006 - 01 - 04) 全文	1-17	A	CN 105140124 A (武汉华星光电技术有限公司) 2015年 12月 9日 (2015 - 12 - 09) 全文	1-17	A	US 2009104737 A1 (HITACHI DISPLAYS LTD) 2009年 4月 23日 (2009 - 04 - 23) 全文	1-17
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求															
PX	CN 105489552 A (武汉华星光电技术有限公司) 2016年 4月 13日 (2016 - 04 - 13) 权利要求1-10、说明书第[0060]-[0085]段、附图7-16	1-17															
A	CN 1716571 A (三星SDI株式会社) 2006年 1月 4日 (2006 - 01 - 04) 全文	1-17															
A	CN 105140124 A (武汉华星光电技术有限公司) 2015年 12月 9日 (2015 - 12 - 09) 全文	1-17															
A	US 2009104737 A1 (HITACHI DISPLAYS LTD) 2009年 4月 23日 (2009 - 04 - 23) 全文	1-17															
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																	
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																	
国际检索实际完成的日期 2016年 10月 22日		国际检索报告邮寄日期 2016年 11月 3日															
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10) 62019451		受权官员 王文杰 电话号码 (86-10) 62412092															

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2016/083563

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	105489552	A	2016年 4月 13日	无			
CN	1716571	A	2006年 1月 4日	US	2006006469	A1	2006年 1月 12日
				US	7572690	B2	2009年 8月 11日
				KR	20060001754	A	2006年 1月 6日
				CN	100437980	C	2008年 11月 26日
				KR	100721553	B1	2007年 5月 17日
CN	105140124	A	2015年 12月 9日	无			
US	2009104737	A1	2009年 4月 23日	JP	5292591	B2	2013年 9月 18日
				US	8101472	B2	2012年 1月 24日
				JP	2009099888	A	2009年 5月 7日