



(12) 发明专利申请

(10) 申请公布号 CN 116830596 A

(43) 申请公布日 2023. 09. 29

(21) 申请号 202280011832.6

(22) 申请日 2022.03.14

(30) 优先权数据

2021-047622 2021.03.22 JP

(85) PCT国际申请进入国家阶段日

2023.07.26

(86) PCT国际申请的申请数据

PCT/JP2022/011415 2022.03.14

(87) PCT国际申请的公布数据

W02022/202451 JA 2022.09.29

(71) 申请人 松下知识产权经营株式会社

地址 日本大阪府

(72) 发明人 井上晓登

(74) 专利代理机构 中科专利商标代理有限责任

公司 11021

专利代理师 韩丁

(51) Int.Cl.

H04N 25/77 (2023.01)

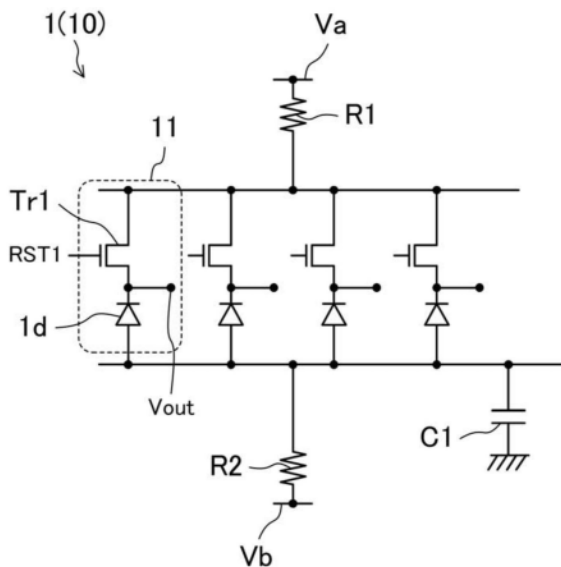
权利要求书2页 说明书12页 附图17页

(54) 发明名称

光检测器及距离测量系统

(57) 摘要

光检测器(1)包括多个像素电路(11)。各像素电路(11)包括SPAD(1d)和第一元件,该第一元件为可变电阻或开关,且一端与SPAD(1d)的一端相连。多个第一元件的另一端并联。多个SPAD(1d)的另一端并联,并且并联起来的另一端与第二电阻(R2)相连。第二电阻(R2)的电阻值 R_2 比第一元件的另一端的电阻分量的电阻值 R_1 高。



1. 一种光检测器,所述光检测器包括多个像素,其特征在于:
各个所述像素包括:
单光子雪崩二极管;以及
第一元件,所述第一元件为可变电阻或开关,所述第一元件的一端与所述单光子雪崩二极管的一端相连,
多个所述第一元件的另一端并联,
多个所述单光子雪崩二极管的另一端并联,并且多个所述单光子雪崩二极管的并联起来的所述另一端与第二电阻相连,
所述第二电阻的电阻值比所述第一元件的所述另一端的电阻分量的电阻值高。
2. 根据权利要求1所述的光检测器,其特征在于:
所述第一元件在复位期间处于导通状态,在曝光期间处于非导通状态。
3. 根据权利要求2所述的光检测器,其特征在于:
所述第二电阻在复位期间对雪崩倍增进行猝灭。
4. 根据权利要求3所述的光检测器,其特征在于:
所述第二电阻为 $100\ \Omega$ 以上。
5. 根据权利要求3所述的光检测器,其特征在于:
所述像素为1万像素以上。
6. 根据权利要求1到5中任一项权利要求所述的光检测器,其特征在于:
所述第一元件为第一复位晶体管。
7. 根据权利要求6所述的光检测器,其特征在于:
所述第一复位晶体管的导电型与所述单光子雪崩二极管的和该第一复位晶体管连接的一端的导电型相同。
8. 根据权利要求7所述的光检测器,其特征在于:
第一电容与所述第二电阻并联连接到多个所述单光子雪崩二极管的并联起来的另一端上,
由所述第二电阻和所述第一电容产生的电阻电容时间常数大于复位期间的时间宽度。
9. 根据权利要求1到8中任一项权利要求所述的光检测器,其特征在于:
各个所述像素还包括:
浮动扩散;
传输晶体管,所述传输晶体管将积累在所述单光子雪崩二极管中的电荷传输到所述浮动扩散;
第二复位晶体管,所述第二复位晶体管对所述浮动扩散进行复位;
源极跟随器晶体管,所述源极跟随器晶体管是读出所述浮动扩散的电压的源极跟随器电路的一部分,所述源极跟随器晶体管的栅极与所述浮动扩散相连;以及
选择晶体管,所述选择晶体管将所选择的像素的输出信号输出到信号输出线。
10. 根据权利要求9所述的光检测器,其特征在于:
各个所述像素还包括:
积累晶体管,所述积累晶体管的第一端与所述浮动扩散相连;以及
积累电容,所述积累电容与所述积累晶体管的与所述第一端不同的第二端相连。

11. 根据权利要求1到10中任一项权利要求所述的光检测器,其特征在于:
多个所述像素在半导体基板上布置成阵列状,
当俯视时,在相邻的所述单光子雪崩二极管彼此之间形成有半导体层,
在相邻的所述单光子雪崩二极管彼此之间的第一主面侧,没有布置沟槽或接触孔。
12. 根据权利要求1到11中任一项权利要求所述的光检测器,其特征在于:
多个所述像素布置成阵列状,
所述电阻分量是布线电阻,
将所述第一元件彼此连接起来的布线与多个焊盘相连,多个所述焊盘以包围多个所述像素的外周的方式布置。
13. 根据权利要求1到12中任一项权利要求所述的光检测器,其特征在于:
多个所述像素在半导体基板上布置成阵列状,
所述第二电阻布置在所述半导体基板的第二主面侧,
所述半导体基板布置在封装体上,
经由所述封装体的基底对所述第二电阻施加电压。
14. 根据权利要求13所述的光检测器,其特征在于:
所述第二电阻布置在所述半导体基板之外。
15. 根据权利要求14所述的光检测器,其特征在于:
所述第二电阻由布置在所述半导体基板与所述基底之间的电阻层形成。
16. 根据权利要求14所述的光检测器,其特征在于:
所述第二电阻设置在安装所述封装体的安装基板上。
17. 根据权利要求1到12中任一项权利要求所述的光检测器,其特征在于:
多个所述像素在半导体基板上布置成阵列状,
所述第二电阻布置在所述半导体基板的第一主面侧。
18. 根据权利要求17所述的光检测器,其特征在于:
光照射面为第二主面侧。
19. 根据权利要求18所述的光检测器,其特征在于:
所述半导体基板包含第一半导体基板和第二半导体基板,所述第二半导体基板与该第一半导体基板不同,
所述单光子雪崩二极管布置在所述第一半导体基板上,
各个所述晶体管布置在所述第二半导体基板上。
20. 一种距离测量系统,其特征在于:
所述距离测量系统具有:
受光部,所述受光部具有权利要求1到19中任一项权利要求所述的光检测器;
发光部,所述发光部朝向测量对象物发光;以及
运算部,所述运算部从所述受光部接收信号,计算到所述测量对象物为止的距离,所述信号与由所述测量对象物反射的反射光对应。

光检测器及距离测量系统

技术领域

[0001] 本公开涉及一种光检测器及距离测量系统。

背景技术

[0002] 近年来,高灵敏度的光检测器被用在医疗、通信、生物技术、化学、监控、车载、放射线检测等多个领域中。作为实现高灵敏度化的方案之一,使用了雪崩光电二极管(avalanche photodiode,以下也称为APD)。APD是一种光电二极管,其利用雪崩击穿(break down)对经光电转换而产生的信号电荷进行倍增,由此来提高对光的检测灵敏度。

[0003] 专利文献1、专利文献2分别公开了使用APD的光检测装置及固态成像装置。

[0004] 专利文献1:日本专利第5927334号公报

[0005] 专利文献2:日本公开专利公报特开2018-159472号公报

发明内容

[0006] -发明要解决的技术问题-

[0007] 在专利文献1中,多个APD并联,在各APD的阳极/阴极之间施加比击穿电压大的反向偏置电压。在多个APD上分别串联有猝灭电阻。利用该猝灭电阻停止雪崩倍增。

[0008] 在将专利文献1那样的光检测器用于例如TOF(Time Of Flight:飞行时间)法等检测射出光的用途的情况下,如果背景光的强度比射出光强,则会发生由背景光引起的误检测。

[0009] 在专利文献2中,在多个APD上分别串联有开关或晶体管。在专利文献2中,通过使这些开关或晶体管在复位期间成为导通状态,并在曝光期间成为截止状态,由此能够抑制由背景光引起的误检测。

[0010] 但是,在专利文献2的结构中,暗计数可能会由于在复位期间流过APD的直通电流而增加。

[0011] 本公开的目的在于:提供一种抑制由背景光引起的误检测,并且抑制暗计数的光检测器。

[0012] -用以解决技术问题的技术方案一

[0013] 为了解决上述技术问题,本公开的一个实施方式所涉及的光检测器包括多个像素,各个所述像素包括:单光子雪崩二极管;以及第一元件,所述第一元件为可变电阻或开关,所述第一元件的一端与所述单光子雪崩二极管的一端相连,多个所述第一元件的另一端并联,多个所述单光子雪崩二极管的另一端并联,并且多个所述单光子雪崩二极管的并联起来的所述另一端与第二电阻相连,所述第二电阻的电阻值比所述第一元件的另一端的电阻分量的电阻值高。

[0014] -发明的效果-

[0015] 根据本公开,能够抑制由背景光引起的误检测,并且抑制暗计数。

附图说明

- [0016] 图1是示出第一实施方式所涉及的光检测器的电路结构之一例的图；
- [0017] 图2是用于对第一实施方式所涉及的光检测器1的实验结果与现有的光检测器的实验结果进行比较的图；
- [0018] 图3是示出施加于第一实施方式所涉及的SPAD的电压的振幅和第一电源与第二电源的电压差之间的关系的曲线图；
- [0019] 图4是示出第二实施方式所涉及的光检测器之一例的方框图；
- [0020] 图5是第二实施方式所涉及的像素电路的时序图；
- [0021] 图6是示出第三实施方式所涉及的光检测器之一例的方框图；
- [0022] 图7是第三实施方式所涉及的像素电路的时序图；
- [0023] 图8是示出第四实施方式所涉及的光检测器之一例的方框图；
- [0024] 图9是第四实施方式所涉及的像素电路的时序图；
- [0025] 图10是示出第四实施方式所涉及的光检测器的模拟结果的图；
- [0026] 图11是示出图8的光检测器的器件结构之一例的俯视图；
- [0027] 图12是示出图8的光检测器的器件结构之一例的剖视图；
- [0028] 图13是示出图8的光检测器的器件结构之一例的俯视图；
- [0029] 图14是示出图8的光检测器的器件结构之一例的剖视图；
- [0030] 图15是示出图8的光检测器的器件结构的其他示例的剖视图；
- [0031] 图16是示出图8的光检测器的器件结构的其他示例的剖视图；
- [0032] 图17是示出图8的光检测器的器件结构的其他示例的剖视图；
- [0033] 图18是示出第五实施方式所涉及的距离测量系统的方框图。

具体实施方式

[0034] 下面,基于附图对本发明的实施方式进行详细的说明。以下对优选实施方式的说明在本质上仅为举例说明而已,完全没有限制本发明、其应用对象或其用途的意图。

[0035] 需要说明的是,在以下的说明中,晶体管的“一端”是指晶体管的源极及漏极中的任一者,晶体管的“另一端”是指晶体管的源极及漏极中的另一者。

[0036] (第一实施方式)

[0037] 图1是示出第一实施方式所涉及的光检测器的电路结构之一例的图。在本实施方式所涉及的光检测器1中,形成有像素阵列电路10。在光检测器1中,在半导体芯片151上形成有像素阵列200,多个像素101以阵列状布置成像素阵列200,具体情况见后述。像素阵列电路10由像素阵列200构成,后述的像素电路11由各像素101构成。

[0038] 像素阵列电路10包括第一电阻R1(电阻分量)、第二电阻R2、第一电容C1以及多个像素电路11。第一电阻R1的一端与第一电源Va相连。第二电阻R2的一端与第二电源Vb相连。第一电容C1的一端与接地电源相连。

[0039] 各像素电路11包括SPAD(Single Photon Avalanche Diode:单光子雪崩二极管)1d和第一晶体管Tr1(第一元件、第一复位晶体管)。SPAD是当光的单个粒子(光子)入射时,通过雪崩倍增输出一个振幅大的电脉冲信号电子元件。

[0040] 具体而言,第一晶体管Tr1的漏极(另一端)与其他像素电路11的第一晶体管Tr1的

漏极及第一电阻R1的另一端相连,第一晶体管Tr1的源极(一端)与SPAD 1d的阴极相连,第一晶体管Tr1的栅极接收第一复位信号RST1。SPAD 1d的阳极与另一SPAD 1d的阳极、第二电阻R2的另一端以及第一电容C1的另一端相连。即,在多个像素电路11中,第一晶体管Tr1的漏极并联,且与第一电阻R1的另一端相连。在多个像素电路11中,SPAD 1d的阳极并联,且与第二电阻R2的另一端及第一电容C1的另一端相连。

[0041] 在各像素电路11中,在第一晶体管Tr1的源极与SPAD 1d的阴极之间设置有节点,从该节点输出像素电路11的输出信号Vout。

[0042] 需要说明的是,在图1中,第一晶体管Tr1是N型晶体管,但也可以是P型晶体管,还可以是可变电阻或开关等。

[0043] 在光检测器1中,在复位期间对SPAD 1d的电压进行复位,在复位期间后的曝光期间对SPAD 1d进行曝光,在曝光期间后的读出期间从像素电路11输出(读出)表示曝光结果的信号(输出信号Vout)。各像素电路11的第一晶体管Tr1在复位期间接收高电平的第一复位信号RST1而成为导通状态,在曝光期间接收低电平的第一复位信号RST1而成为截止状态(非导通状态)。

[0044] 通过在光检测器1中构成如图1所示的像素阵列电路10,从而在曝光期间以外的期间产生的电压变动在复位期间被复位,因此能够抑制由背景光引起的误检测。通过使第二电阻R2的电阻值 R_2 大于第一电阻R1的电阻值 R_1 ,从而能够使在复位期间流过SPAD 1d的直通电流引起的电压降(voltage drop)主要在第二电阻R2中产生,因而能够抑制第一电阻R1及第一晶体管Tr1中的电压降。因此,如下文所述,能够抑制暗计数。

[0045] 尤其是,通过利用第二电阻R2对复位中的直通电流进行猝灭(quenching),从而能够进一步得到上述效果。

[0046] 在此,用以下的式(1)表示利用第二电阻R2对复位中的直通电流进行猝灭的条件。

[0047] [式1]

$$R_2 \geq \frac{\Delta V}{N I_{pix}} \quad \dots\dots \text{式(1)}$$

[0049] 需要说明的是, ΔV 是猝灭所要求的第一电容C1的电压变化, I_{pix} 是直通电流相对于一个像素电路11的电流值, N 是直通电流流过的像素电路11(像素101)的数量。此处, ΔV 与剩余偏置电压大致相同, I_{pix} 与第一晶体管Tr1的导通电流大致相同。此处,剩余偏置电压是指从施加于SPAD 1d的反向偏置电压,即第一电源Va与第二电源Vb的电压值的差分中减去SPAD 1d的击穿电压后的值,与一般的意义相同。

[0050] 此处,在 $\Delta V=1V$ 、 $I_{pix}=1\mu A$ 、 $N=10^4$ 的情况下, $R_2 \geq 100\Omega$ 。其中, I_{pix} 取决于SPAD 1d的面积及第一晶体管Tr1的W(栅极宽度)/L(栅极长度), N 取决于像素电路11(像素101)的数量、DCR(Dark Count Rate:暗计数率)、背景光的光强度。尤其是,在像素电路11的数量多的情况下,能够将电阻值 R_2 设为小电阻值。

[0051] 需要说明的是,第一电阻R1也可以不是安装在构成像素阵列电路10的半导体基板上的器件,第一电阻R1也可以是像素阵列电路10内的布线电阻或寄生分量。第一电阻R1也可以包含由第一晶体管Tr1的源极、漏极的扩散电阻、接触电阻、布线电阻、沟道电阻并联而成的并联电阻。在该情况下,像素101的数量越多,第一电阻R1的电阻值 R_1 就越低,因此优选像素101的数量多。第一电阻R1的电阻值 R_1 一般小于 100Ω ,也可以是 0Ω 。

[0052] 因此,为了实现比第一电阻 R_1 的电阻值 R_1 大的第二电阻 R_2 的电阻值 R_2 ,优选第二电阻 R_2 的电阻值 R_2 为 $100\ \Omega$ 以上。

[0053] 根据上述的式(1),猝灭所要求的第二电阻 R_2 的值根据像素电路11的数量而发生变化,像素电路11的数量越多,所要求的第二电阻 R_2 的值就越低,因此优选像素电路11的数量多。在使第二电阻的电阻值比第一电阻的电阻值大,即,使第二电阻的电阻值为 $100\ \Omega$ 的情况下,相对于典型值、即 $\Delta V=1V$ 、 $I_{pix}=1\ \mu A$,优选像素电路11(像素101)的数量为 10^4 以上。第二电阻 R_2 例如是上述半导体基板的扩散电阻、安装在上述半导体基板上的电阻、电路内的电阻、外接电阻等。第一电容 C_1 例如是结电容、安装半导体芯片时产生的电容、由安装基板的电路引起的电容、外接电容等。

[0054] 图2是用于对第一实施方式所涉及的光检测器1的实验结果与现有的光检测器的实验结果进行比较的图。图2中的现有的光检测器是专利文献2中记载的光检测器,与本实施方式所涉及的光检测器1相比,现有的光检测器的第二电阻 R_2 比第一电阻 R_1 低。需要说明的是,图2是在光检测器1及现有的光检测器中构成 1200×900 的像素(像素电路11)的情况下进行比较的结果。光检测器1及现有的光检测器的第二电阻 R_2 各自的电阻值 R_2 为 $1k\ \Omega$ 、 $10\ \Omega$ 。

[0055] 图2(a)、图2(b)分别示出将现有的光检测器及光检测器1在黑暗条件下的曝光期间的输出信号 V_{out} 与参考电压的差分作为图像进行输出的情况。在此,参考电压是刚复位后的输出信号 V_{out} 的值。刚经过曝光期间的输出信号 V_{out} 与参考电压的差分越大,在图像中显示得越白,越小则显示得越黑。如图2(a)、图2(b)所示,图2(a)比图2(b)白,可知在多个像素中,黑暗条件下的曝光期间的输出信号 V_{out} 的电压值相对于参考电压发生了变动。像这样,在现有的光检测器中,由于与第一电阻 R_1 的电阻值 R_1 相比,第二电阻 R_2 的电阻值 R_2 低,因此黑暗条件下的曝光期间的输出信号 V_{out} 的电压值相对于参考电压发生变动。该电压值的变动作为暗计数而成为画质劣化的主要原因。另一方面,在本发明的光检测器1中,由于第二电阻 R_2 的电阻值 R_2 比第一电阻 R_1 的电阻值 R_1 高,因此复位期间的输出信号 V_{out} 的变动得到抑制,暗计数减少。由此可知,利用图1的结构,而使得DCR得到抑制。

[0056] 图2(c)、图2(d)是分别示出现有的光检测器的DCR的变化及光检测器1的DCR的变化的曲线图。如图2(c)、图2(d)所示,可知利用图1的结构,而使得DCR得到抑制。

[0057] 需要说明的是,在图1中,第一晶体管 Tr_1 的源极与SPAD 1d的阴极相连,但也可以与SPAD 1d的阳极相连。

[0058] 在此,较佳的是:第一晶体管 Tr_1 的导电型与SPAD 1d的和第一晶体管 Tr_1 相连的一端(图1中为阴极)的导电型相同。在该情况下,第一电源 V_a 与第二电源 V_b 的电压差越大,流过第一晶体管 Tr_1 的直通电流就越大,其结果是,由第二电阻 R_2 引起的IR降(IR drop)越大。因此,即使增大第一电源 V_a 与第二电源 V_b 的电压差(反向偏置电压),也能够抑制施加于SPAD 1d的反向偏置电压产生变化。

[0059] 图3是示出在第一实施方式中,在第一晶体管 Tr_1 的导电型与SPAD 1d的和第一晶体管 Tr_1 相连的一端(在图1中为阴极)的导电型相同的情况下,施加于SPAD的电压的振幅和第一电源与第二电源的电压差之间的关系的曲线图。在图3中,横轴为第一电源 V_a 与第二电源 V_b 的电压差(反向偏置电压),纵轴为曝光期间的输出信号 V_{out} 距参考电压的电压振幅。并且,用实线表示光检测器1的实验结果,用虚线表示现有的光检测器的理论值。图3中

的现有的光检测器的理论值例如是专利文献1或专利文献2所记载的SPAD的理论值,是一般的SPAD的理论值。

[0060] 如图3所示,在现有的光检测器中,由于反向偏置电压与SPAD 1d的电压振幅成正比关系,因此为了在像素电路的可工作范围内工作,必须将反向偏置电压的范围限定得较窄。尤其是,可使用的反向偏置电压范围的上限值相对于下限值为1伏左右。相对于此,在光检测器1中,即使反向偏置电压为击穿电压以上的更高的电压,SPAD 1d的电压振幅也会收敛于像素电路的可工作范围内,因此能够将反向偏置电压的范围设定成击穿电压以上的较宽的范围。

[0061] 在通常情况下,击穿电压具有温度依赖性或芯片间差异,随着击穿电压的变动,可使用的反向偏置电压范围发生变动。因此,需要根据可使用的反向偏置电压范围的变动来分别设定第一电源Va及第二电源Vb的电压值。例如,在日本专利第5211095号公报中,包括一种电路,该电路使偏置条件随着温度变动而发生变化,从而抑制了因温度引起击穿电压变动而导致的输出或特性的变动,但在该结构中,电路规模、系统规模变大。相对于此,根据本实施方式所涉及的光检测器1,由于可使用的反向偏置电压范围宽,因此能够针对工作保证温度内的所有温度设定满足可使用的反向偏置电压范围的Va、Vb的值,而不需要如日本专利第5211095号公报所记载的那样的针对温度变化而改变偏置设定的结构。

[0062] 具体而言,在通常情况下,击穿电压在高温下高而在低温下低,在本实施方式所涉及的光检测器1中,由于能够将可使用的反向偏置电压范围的上限值设定得更宽,因此,较佳的是:对SPAD 1d施加工作保证温度内的最高温度下的击穿电压以上的反向偏置电压。

[0063] (第二实施方式)

[0064] 图4是示出第二实施方式所涉及的光检测器之一例的方框图。在图4中,光检测器1除了图1的结构以外,还包括驱动部21、选择部22、负载部23、信号处理电路24以及信号输出部25。

[0065] 像素阵列电路10包括多个像素电路12。各像素电路12除了图1的像素电路11的结构以外,还包括第二晶体管Tr2(源极跟随器晶体管)及第三晶体管Tr3(选择晶体管)。第二晶体管Tr2的一端与第三电源Vc相连,另一端与第三晶体管Tr3的一端相连,第二晶体管Tr2的栅极与第一晶体管Tr1的漏极及SPAD 1d的阴极相连。第三晶体管Tr3的栅极接收选择信号SEL,第三晶体管Tr3的另一端与信号输出线26相连。第三晶体管Tr3根据所输入的选择信号SEL,向信号输出线26输出输出信号Vout。

[0066] 驱动部21向各像素电路12的第一晶体管Tr1的栅极输出第一复位信号RST1,使第一晶体管Tr1工作。选择部22向第三晶体管Tr3的栅极输出选择信号SEL,使第三晶体管Tr3工作。信号处理电路24经由负载部23与信号输出线26相连,并接收从各像素电路12输出的输出信号Vout的输入。信号处理电路24对所输入的输出信号Vout进行规定的处理,并向信号输出部25输出信号。信号输出部25例如是PC或显示器等,根据从信号处理电路24输入的信号,以数值数据或图像数据等生成光检测器1的检测结果。

[0067] 图5是第二实施方式所涉及的像素电路的时序图。需要说明的是,在以下的说明中,“H”表示信号为高电平,“L”表示信号为低电平。图5示出一个像素电路12的工作情况。

[0068] 在图5中,一帧中包含复位期间、曝光期间以及读出期间。像素电路12反复执行一帧内的动作。

[0069] 在复位期间,由于第一复位信号RST1为高电平,选择信号SEL为低电平,因此第一晶体管Tr1成为导通状态,第三晶体管Tr3成为截止状态。这样一来,在复位期间,SPAD 1d的电压值被复位成第一电源Va的电压值。

[0070] 在曝光期间,由于第一复位信号RST1及选择信号SEL为低电平,因此第一晶体管Tr1及第三晶体管Tr3成为截止状态。因此,在曝光期间,当SPAD 1d接收入射光时,通过雪崩倍增生成信号电荷(进行曝光),因此SPAD 1d的阴极电压发生变化。

[0071] 在读出期间,由于第一复位信号RST1为低电平,选择信号SEL为高电平,因此第一晶体管Tr1成为截止状态,第三晶体管Tr3成为导通状态。这样一来,在读出期间,表示SPAD 1d的曝光结果的输出信号Vout就被输出到信号输出线26。

[0072] 需要说明的是,在图5中,分别设置了曝光期间和读出期间,但也可以省略曝光期间而仅设置读出期间,一边进行曝光一边从像素电路12读出曝光结果。

[0073] (第三实施方式)

[0074] 图6是示出第三实施方式所涉及的光检测器之一例的方框图。在图6的像素阵列电路10中,各像素电路13除了图4的像素电路12的结构以外,还包括第四晶体管Tr4(传输晶体管)、第五晶体管Tr5(第二复位晶体管)以及第二电容C2。

[0075] 第四晶体管Tr4的一端与第一晶体管Tr1的漏极及SPAD 1d的阴极相连,第四晶体管Tr4的栅极接收传输信号TRN,第四晶体管Tr4的另一端与浮动扩散FD(以下,有时简称为“FD”)相连。第四晶体管Tr4根据传输信号TRN将从SPAD 1d输出的信号电荷传输到FD。

[0076] 第五晶体管Tr5的一端与第四电源Vd相连,另一端与FD相连,第五晶体管Tr5的栅极接收第二复位信号RST2。第二电容C2的一端与FD相连,另一端与接地电源相连。

[0077] 在图6中,第二晶体管Tr2的栅极与FD相连。即,从SPAD 1d输出的信号电荷通过第四晶体管Tr4传输到FD,然后输入到第二晶体管Tr2的栅极。即,第二晶体管Tr2作为读出FD的电压的源极跟随器电路的一部分发挥作用。

[0078] 需要说明的是,第二电容C2是扩散杂散电容,其包含PN结电容、布线电容等。

[0079] 图7是第三实施方式所涉及的像素电路的时序图。与图5相同,图7示出一个像素电路13的工作情况。

[0080] 在图7中,一帧中包含复位期间、曝光·传输期间以及读出期间。像素电路13反复执行一帧内的动作。

[0081] 在复位期间,由于第一复位信号RST1及第二复位信号RST2为高电平,选择信号SEL为低电平,传输信号TRN为低电平,因此第一晶体管Tr1及第五晶体管Tr5成为导通状态,第三晶体管Tr3成为截止状态,第四晶体管Tr4成为截止状态。这样一来,在复位期间,SPAD 1d的电压值被复位成第一电源Va的电压值,FD的电压值被复位成第四电源Vd的电压值。需要说明的是,在复位期间,同时对SPAD 1d及FD进行复位,但也可以在复位期间内,分别设置对SPAD 1d进行复位的期间及对FD进行复位的期间。

[0082] 在曝光·传输期间,由于第一复位信号RST1及第二复位信号RST2为低电平,选择信号SEL为低电平,传输信号TRN为高电平,因此第一晶体管Tr1及第五晶体管Tr5成为截止状态,第三晶体管Tr3成为截止状态,第四晶体管Tr4成为导通状态。这样一来,在曝光·传输期间,当SPAD 1d接收入射光时,通过雪崩倍增生成信号电荷(进行曝光),因此SPAD 1d的阴极电压发生变化。由于由SPAD 1d生成的信号电荷经由第四晶体管Tr4及FD被传输到第二

电容C2,因此第二电容C2的电压发生变化。需要说明的是,在曝光·传输期间,同时进行对SPAD 1d的曝光和向FD传输信号电荷,但在曝光·传输期间内,也可以分别设置SPAD 1d的曝光期间和信号电荷的传输期间。

[0083] 在读出期间,由于第一复位信号RST 1及第二复位信号RST2为低电平,选择信号SEL为高电平,传输信号TRN为低电平,因此第一晶体管Tr 1及第五晶体管Tr5成为截止状态,第三晶体管Tr3成为导通状态,第四晶体管Tr4成为截止状态。这样一来,在读出期间,积累在第二电容C2中的信号电荷经由信号输出线26及负载部23被输出(读出)到信号处理电路24。即,输出输出信号Vout。与图4相比,在图6中,由于第四晶体管Tr4在读出期间成为截止状态,因此即使SPAD 1d在读出期间接收入射光,也不会从SPAD 1d向第二电容C2传输信号电荷,不会向信号处理电路24输出输出信号Vout。这样一来,能够将曝光期间设定得较短。

[0084] (第四实施方式)

[0085] 图8是示出第四实施方式所涉及的光检测器之一例的方框图。在图8的像素阵列电路10中,各像素电路14除了包括图6的像素电路13的结构以外,还包括第六晶体管Tr6(积累晶体管)及第三电容C3(积累电容)。

[0086] 第六晶体管Tr6的一端(第一端)与FD相连,第六晶体管Tr6的栅极接收计数信号CNT,第六晶体管Tr6的另一端(第二端)与第三电容C3的一端相连。第三电容C3的另一端与接地电源相连。第六晶体管Tr6根据计数信号CNT使传输到FD的信号电荷积累在第三电容C3中。需要说明的是,第三电容C3也可以比第二电容C2的电容大。

[0087] 图9是第四实施方式所涉及的像素电路的时序图。与图7相同,图9示出一个像素电路14的工作情况。

[0088] 在图9中,一帧中包含第一复位期间、多个(在图9中为三个)子帧(sub frame)以及读出期间。该子帧中包含曝光·传输期间、积累期间以及第二复位期间。像素电路14反复执行一帧内的动作。需要说明的是,一帧中也可以包含两个以上的子帧。

[0089] 在第一复位期间,由于第一复位信号RST1为高电平,选择信号SEL为低电平,传输信号TRN为低电平,第二复位信号RST2为高电平,计数信号CNT为高电平,因此第一晶体管Tr1成为导通状态,第三晶体管Tr3成为截止状态,第四晶体管Tr4成为截止状态,第五晶体管Tr5成为导通状态,第六晶体管Tr6成为导通状态。这样一来,在复位期间,SPAD 1d的电压值被复位成第一电源Va的电压值,FD的电压值及第三电容C3的电压值被复位成第四电源Vd的电压值。需要说明的是,在复位期间,同时对SPAD 1d、FD以及第三电容C3进行复位,但也可以在复位期间内分别设置对它们进行复位的期间。

[0090] 在曝光·传输期间,由于第一复位信号RST1为低电平,选择信号SEL为低电平,传输信号TRN为高电平,第二复位信号RST2为低电平,计数信号CNT为低电平,因此第一晶体管Tr1成为截止状态,第三晶体管Tr3成为截止状态,第四晶体管Tr4成为导通状态,第五晶体管Tr5成为截止状态,第六晶体管Tr6成为截止状态。这样一来,在曝光·传输期间,当SPAD1d接收入射光时,通过雪崩倍增生成信号电荷(进行曝光),因此SPAD 1d的阴极电压发生变化。由于由SPAD 1d生成的信号电荷经由第四晶体管Tr4及FD被传输到第二电容C2,因此第二电容C2的电压值发生变化。需要说明的是,在曝光·传输期间,同时进行对SPAD 1d的曝光和向FD传输信号电荷,但在曝光·传输期间内,也可以分别设置SPAD 1d的曝光期间

和信号电荷的传输期间。

[0091] 在积累期间,由于第一复位信号RST1为低电平,选择信号SEL为低电平,传输信号TRN为低电平,第二复位信号RST2为低电平,计数信号CNT为高电平,因此第一晶体管Tr1成为截止状态,第三晶体管Tr3成为截止状态,第四晶体管Tr4成为截止状态,第五晶体管Tr5成为截止状态,第六晶体管Tr6成为导通状态。因此,在积累期间,积累在第二电容C2中的信号电荷经由FD及第六晶体管Tr6被传输到第三电容C3,并积累在第三电容C3中。

[0092] 在第二复位期间,由于第一复位信号RST1为高电平,选择信号SEL为低电平,传输信号TRN为低电平,第二复位信号RST2为低电平,计数信号CNT为低电平,因此第一晶体管Tr1成为导通状态,第三晶体管Tr3成为截止状态,第四晶体管Tr4成为截止状态,第五晶体管Tr5成为截止状态,第六晶体管Tr6成为截止状态。这样一来,在第二复位期间,SPAD 1d的电压值被复位成第一电源Va的电压值,因此能够在下一曝光·传输期间对SPAD 1d进行曝光。需要说明的是,在第二复位期间,也可以使计数信号CNT为高电平,使第六晶体管Tr6为导通状态。

[0093] 在读出期间,由于第一复位信号RST1为低电平,选择信号SEL为高电平,传输信号TRN为低电平,第二复位信号RST2为低电平,计数信号CNT为高电平,因此第一晶体管Tr1成为截止状态,第三晶体管Tr3成为导通状态,第四晶体管Tr4成为截止状态,第五晶体管Tr5成为截止状态,第六晶体管Tr6成为导通状态。这样一来,在读出期间,积累在第三电容C3中的信号电荷经由信号输出线26及负载部23被输出(读出)到信号处理电路24。

[0094] 图10是示出第四实施方式所涉及的光检测器的模拟结果的图。图10的纵轴是输出信号Vout的电压振幅,横轴是关于一个SPAD 1d的光检测次数。

[0095] 在图8的光检测器1中,像素电路14根据SPAD 1d的光检测结果输出电压振幅不同的输出信号Vout。如图10所示,根据输出信号Vout的电压振幅,能够判断子帧内的SPAD 1d的光检测次数。通过根据输出信号Vout的电压振幅求出各像素电路14的光检测次数,由此能够求出入射到各像素电路14的SPAD 1d的光子数。在通常情况下,像素电路14内的电荷传输或电荷积累所需要的时间远比信号处理、信号输出所需要的时间短。例如相对于100万像素,信号处理、信号输出所需要的时间为1ms左右。另一方面,由于像素内的电荷传输·积累是在10ns~1ns的时间内进行的,因此与信号处理等所需要的时间相比,速度快10万倍以上。因此,通过本实施方式所涉及的光检测器,能够防止由信号处理、信号输出引起的延迟,从而提高有效的帧率。

[0096] (关于光检测器的器件结构)

[0097] 图11是示出图8的光检测器的器件结构之一例的俯视图。需要说明的是,在图11中,为了方便起见,在附图中省略了第一布线131~第三布线133以外的布线或透镜142等的图示。

[0098] 如图11所示,在半导体芯片151上安装有包含多个(在图11中为2×2)像素101的像素阵列200。在各像素101中构成有图8的像素电路14,在像素阵列200中构成有图8的像素阵列电路10。

[0099] 具体而言,在像素101中,在附图上部布置有SPAD 1d,在附图下部沿附图左右方向排列布置有第一晶体管Tr1~第六晶体管Tr6。

[0100] 在半导体基板的第一主面S1侧的布线层形成有:将SPAD 1d及第一晶体管Tr1连接

起来的第一布线131;将第二晶体管Tr2的栅极、第六晶体管Tr6的源极以及第四晶体管Tr4的漏极连接起来的第二布线132;以及将第一晶体管Tr1的漏极及第一电源Va连接起来的第三布线133。

[0101] 在此,第三布线133比其他布线粗,第三布线133的接触电阻、或布线电阻低。各像素101的第一晶体管Tr1的漏极通过第三布线133彼此相连,因此能够将第一电阻R1的电阻值抑制得较低。需要说明的是,在图11中,第一晶体管Tr1的漏极通过沿附图纵向延伸的第三布线133彼此相连,但也可以通过沿横向延伸的第三布线133相连,还可以通过构成为格子状的第三布线133相连。

[0102] 图12是示出图8的光检测器的器件结构之一例的剖视图。需要说明的是,图12示出了沿图11的A-A'线剖开的剖面。

[0103] 如图12所示,在半导体基板的第一主面S1侧形成有布线层,在第二主面S2侧形成有包含电极141的电极层。在布线层的附图上部,形成有包含透镜142的透镜层。

[0104] 在半导体基板上形成有第一半导体层111~第四半导体层114、第一阱121、第二阱122、第一晶体管Tr1。第二晶体管Tr2~第六晶体管Tr6也形成在该半导体基板上,省略图示。

[0105] 在半导体基板的第一主面S1侧,形成有第一导电型的第一半导体层111、和以包围第一半导体层111的方式布置的第一导电型的第三半导体层113。在第三半导体层113的附图右侧,形成有第一阱121、和以包围第一阱的方式布置的第二阱122。第一阱121以包围第一晶体管Tr1~第六晶体管Tr6的方式布置。

[0106] 在半导体基板的第二主面S2侧,形成有导电型与第一导电型不同的第二导电型的第二半导体层112、和以包围第二半导体层112的方式布置的第二导电型的第四半导体层114。

[0107] 由第一半导体层111~第四半导体层114构成SPAD 1d。由第一半导体层111及第二半导体层112形成SPAD 1d的倍增区域。需要说明的是,在图12中,光子从第一主面S1侧入射。经由电极141向SPAD 1d的阳极及第二半导体层112施加电压。

[0108] 在此,第二电阻R2也可以不安装在半导体基板上,也可以通过半导体基板的扩散电阻、半导体基板与电极之间的接合、电极的电阻等来实现。例如,能够通过降低半导体基板的杂质浓度、增加半导体基板的厚度来满足式(1)。这样一来,则不需要在半导体芯片或与半导体芯片相连的膜以外设置第二电阻R2,从而能够减少半导体芯片外的部件。

[0109] 第三半导体层113的与第一主面S1相接的区域的至少一部分也可以耗尽。第三半导体层113具有将相邻的第一半导体层111隔离的功能、以及将第一半导体层111与第一阱121隔离的功能。这样一来,就能够使相邻的第一半导体层111彼此之间、或者第一半导体层111与第一阱121之间的隔离距离变窄,使光检测器1进一步实现微细化。

[0110] 在布置有第三半导体层113的区域的与第一主面S1相接的区域,也可以不布置接触孔(contact)或沟槽。这样一来,就能够减少缺陷,降低噪声。

[0111] 较佳的是:通过第三半导体层113的耗尽而形成的势垒比由雪崩倍增引起的SPAD 1d的阴极、即第一半导体层111的电压的变化大。这样一来,能够防止电荷在相邻的SPAD 1d之间、或者相邻的SPAD 1d与第一阱121之间溢出。

[0112] 需要说明的是,在图12中,为了方便起见,用不同的半导体层来表现第一半导体层

111~第四半导体层114,但并不一定需要通过不同的杂质浓度、不同的杂质注入等来形成第一半导体层111~第四半导体层114,例如也可以是相同的杂质浓度。

[0113] 图13是示出图8的光检测器的器件结构之一例的俯视图。在图13中,示意性地示出了第三布线133的布置情况。

[0114] 如图13所示,在半导体芯片151上布置有包含多个像素101的像素阵列200、驱动部21、选择部22、负载部23以及信号处理电路24。在半导体芯片151上,沿着其外周以包围像素阵列200的方式布置有多个焊盘161。多个焊盘161例如包含与外部的第一电源Va~第四电源Vd相连且向像素101供电的焊盘161。如图13所示,第三布线133与多个焊盘161相连。在与第三布线133相连的焊盘161上连接有第一电源Va,焊盘161从第一电源Va处接受供电。这样一来,能够减小第一电阻R1的电阻值 R_1 。通过使第三布线133的粗细比半导体芯片151内的布线粗,也能够减小第一电阻R1的电阻值 R_1 。因此,容易满足式(1)的条件。

[0115] 图14是示出图8的光检测器的器件结构之一例的剖视图。如图14所示,在封装体155及基底156上层叠有粘接层154、电阻层153、接触层152、半导体芯片151。在图14中,电阻层153相当于第二电阻R2。这样一来,能够在半导体芯片151外以较小的面积布置第二电阻。需要说明的是,经由布线157从外部向半导体芯片151供电。

[0116] 图15是示出图8的光检测器的器件结构的其他示例的剖视图。与图11不同,在图15中,在电极层侧形成有透镜层。即,在图15中,光子从像素102的第二主面S2入射。在该情况下,将具有高透光率的材料用于电极141。例如,在所利用的波长区域为可见光~近红外的情况下,使用ITO(Indium Tin Oxide:氧化铟锡)等。

[0117] 图16是示出图8的光检测器的器件结构的其他示例的剖视图。与图15不同,在图16中,在半导体芯片151的受光区域外布置有第二布线132及第五半导体层115。需要说明的是,在图16中,沿附图左右方向排列布置有五个像素103。

[0118] 在图16中,经由第二布线132、第五半导体层115、第四半导体层114及电极141,对SPAD 1d的阳极(第二半导体层112)施加第二电源Vb的电压。在该情况下,较佳的是:第二电阻R2的主分量是第二布线132的布线电阻、或与第二布线132相连的电阻体。这样一来,能够将第二电阻R2设置在布线层或半导体基板内。作为与第二电阻R2相连的电阻体的示例,能列举出:布线电阻、接触电阻、扩散电阻等,尤其是,也可以使布线为多晶硅或氧化铝等高电阻的材料。

[0119] 需要说明的是,也可以不必设置电极141。这样一来,能够防止由电极的光反射及光吸收等引起的光灵敏度降低,从而能够提高灵敏度。

[0120] 较佳的是:第四半导体层114、第五半导体层115的电阻值比第二电阻R2及与第二布线相连的电阻体的电阻低。通过降低第四半导体层114的电阻值,由此能够防止半导体基板内的第四半导体层114的电压不均匀。

[0121] 图17是示出图8的光检测器的器件结构的其他示例的剖视图。在图17中,半导体芯片151包含第一半导体基板、第二半导体基板、透镜层以及布线层,在半导体芯片151中构成有多个像素104。

[0122] 具体而言,在第一半导体基板的第二主面S2侧设置有透镜层。在第一半导体基板的第一主面S1与第二半导体基板的第三主面S3之间设置有布线层。

[0123] 第一半导体基板包含构成SPAD 1d的第一半导体层111~第四半导体层114。在相

邻的第二半导体层112之间,形成有沿附图上下方向延伸的沟槽171。当俯视时,沟槽171以将像素104的第二半导体层112彼此分隔开的方式形成为格子状,省略图示。通过由反射入射光的材料形成沟槽171,从而能够抑制相邻的像素104之间串扰。

[0124] 在第二半导体基板上形成有第一阱121、第一晶体管Tr1、第四晶体管Tr4。第一晶体管Tr1及第四晶体管Tr4经由形成在布线层中的第一布线131与第一半导体层111相连。需要说明的是,图8的各晶体管形成在第二半导体基板上,省略图示。

[0125] 在布线层上形成有反射板172。反射板172由反射入射光的材料形成。这样一来,容易使入射到各像素104的入射光入射到SPAD 1d。

[0126] 在图17中,在第一半导体基板上形成有SPAD 1d,在第二半导体基板及布线层上构成晶体管或布线等电路。这样一来,就能够分别制造SPAD 1d和电路部分。由于晶体管或布线等构成在不同的基板(第二半导体基板)上,因此能够提高SPAD 1d的开口率,从而能够提高光的利用效率。

[0127] 图18是示出第五实施方式所涉及的距离测量系统的方框图。距离测量系统500包括:具有上述光检测器的受光部520;朝向测量对象物600发光的发光部510;控制受光部520及发光部510的控制部530;从受光部520接收与由测量对象物600反射的反射光对应的信号,计算到测量对象物600的距离的输出部540。

[0128] 距离测量系统500包括实现了高灵敏度化的上述光传感器(photo sensor),由此能够防止对于距离的误检测,高精度地求出到测量对象物600的距离。

[0129] 如上所述,作为在本申请中公开的技术的示例,对实施方式进行了说明。然而,本公开的技术并不限于此,也能够应用于进行了适当地变更、置换、附加、省略等而得到的实施方式中。

[0130] 需要说明的是,在图11~图18中,以在半导体芯片151上构成图8的光检测器的情况为例进行了说明,但不限于此,也可以与图8同样地,在半导体芯片151上构成图1、图4以及图6中的任一个光检测器。

[0131] -符号说明-

[0132] 10 像素阵列电路

[0133] 11~14 像素电路

[0134] 101~104 像素

[0135] 200 像素阵列

[0136] 1d SPAD

[0137] R1 第一电阻(电阻分量)

[0138] R2 第二电阻

[0139] C1 第一电容

[0140] C2 第二电容

[0141] C3 第三电容(积累电容)

[0142] Tr1 第一晶体管(第一元件、第一复位晶体管)

[0143] Tr2 第二晶体管(源极跟随器晶体管)

[0144] Tr3 第三晶体管(选择晶体管)

[0145] Tr4 第四晶体管(传输晶体管)

- [0146] Tr5 第五晶体管(第二复位晶体管)
- [0147] Tr6 第六晶体管(积累晶体管)
- [0148] FD 浮动扩散

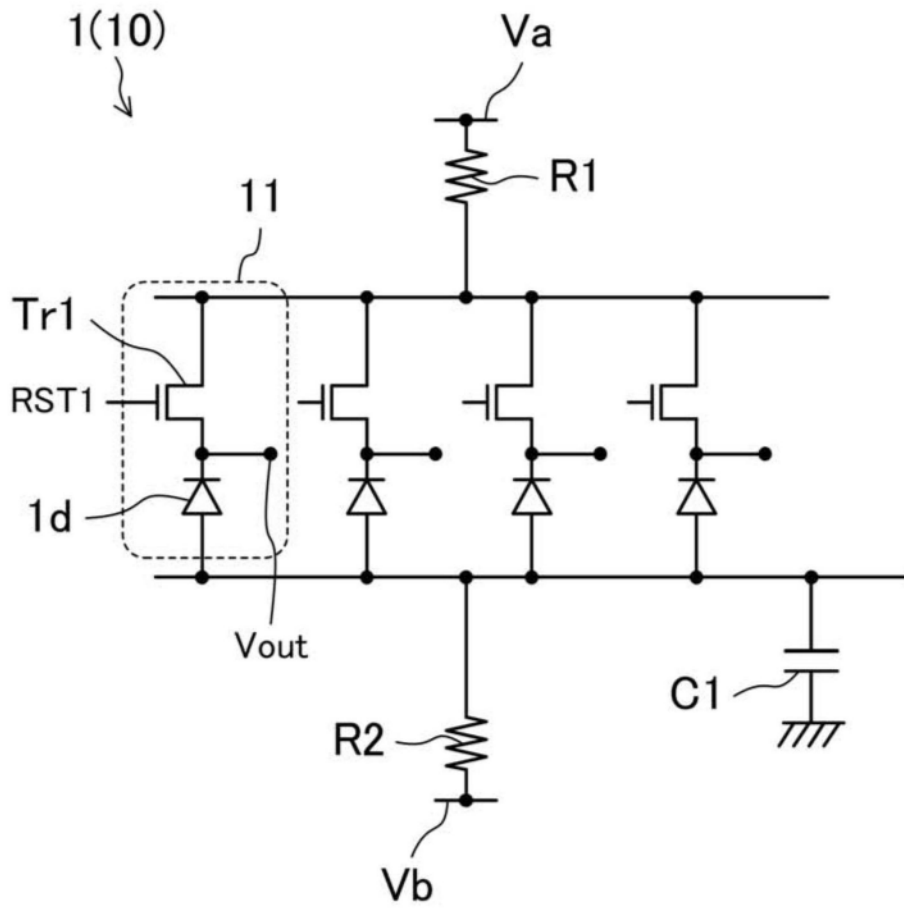


图1

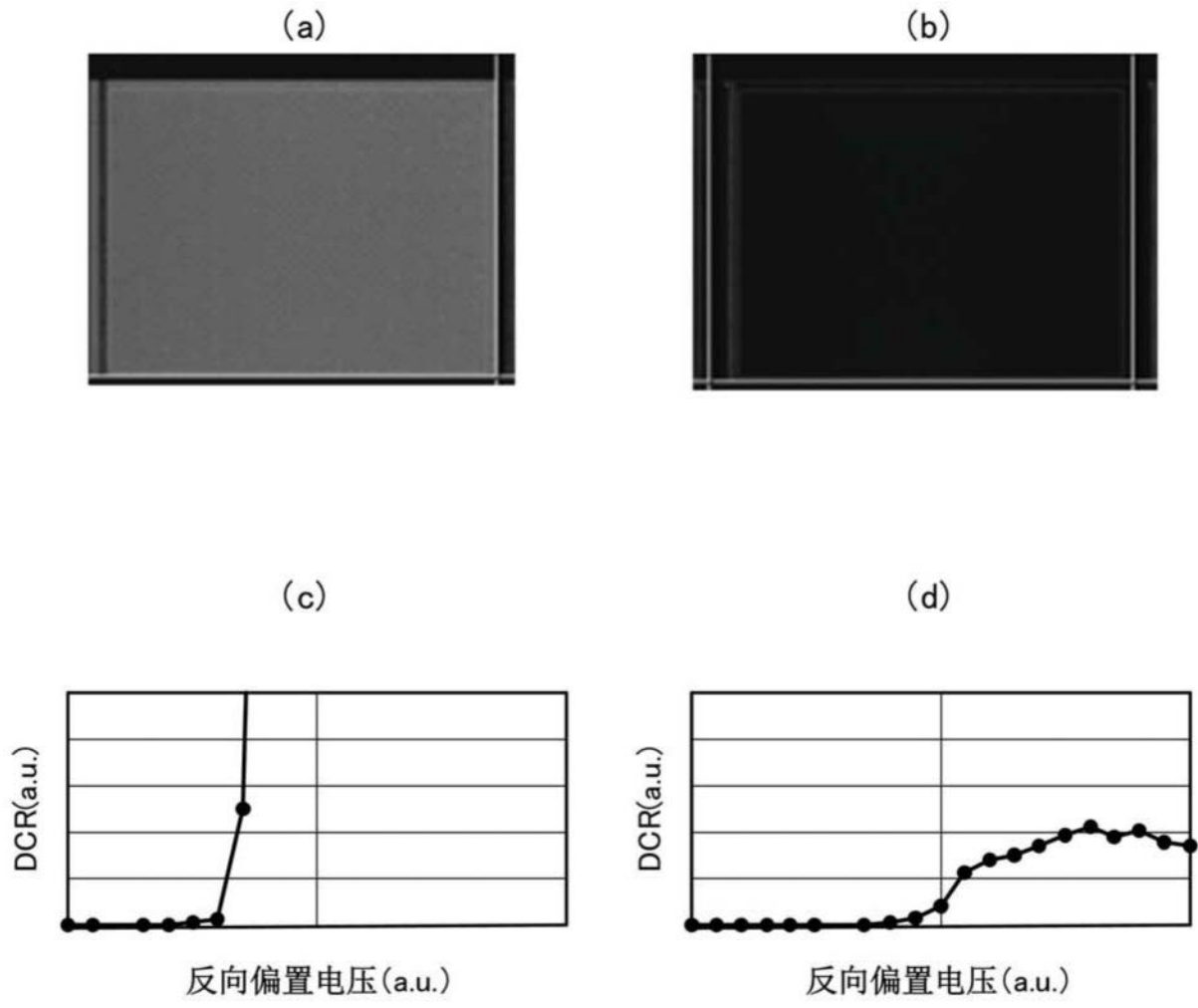


图2

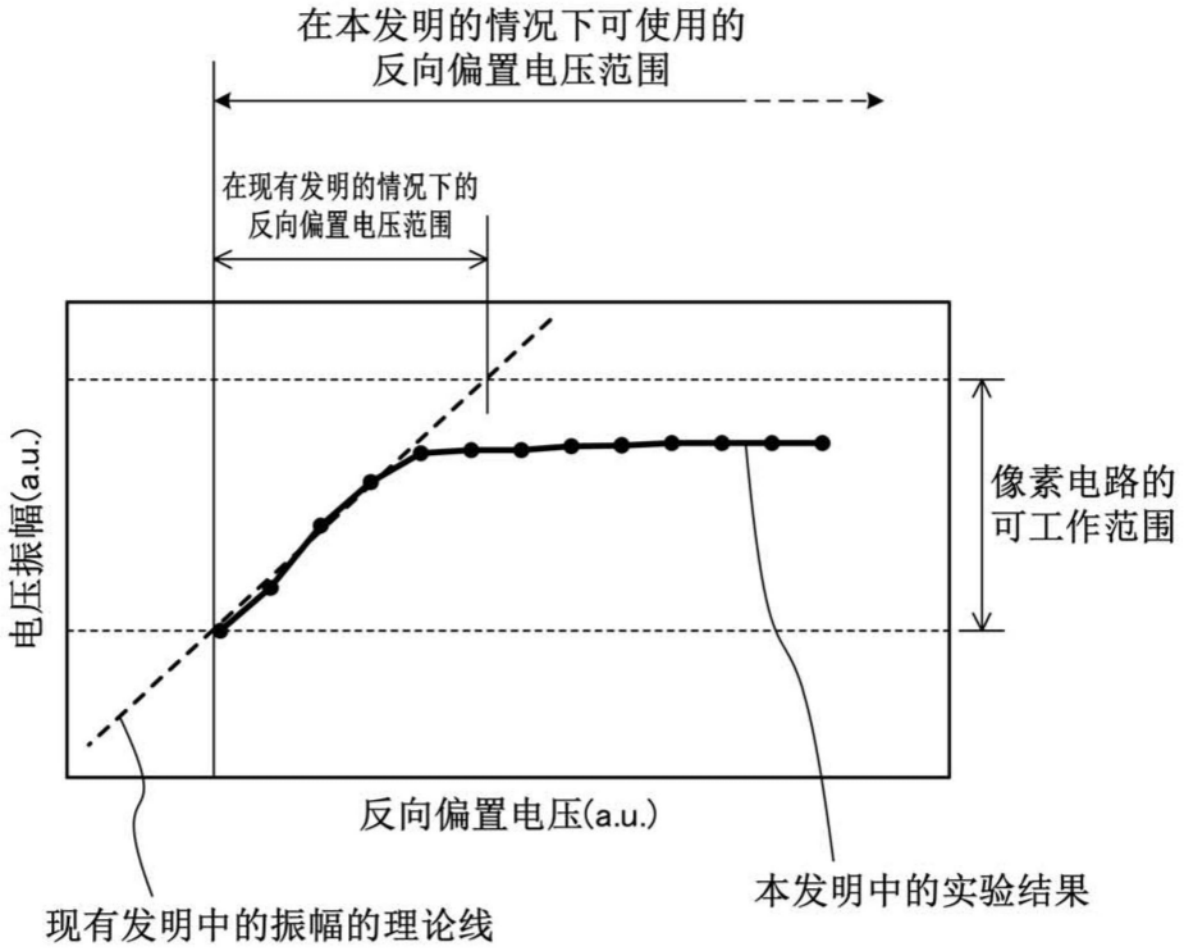


图3

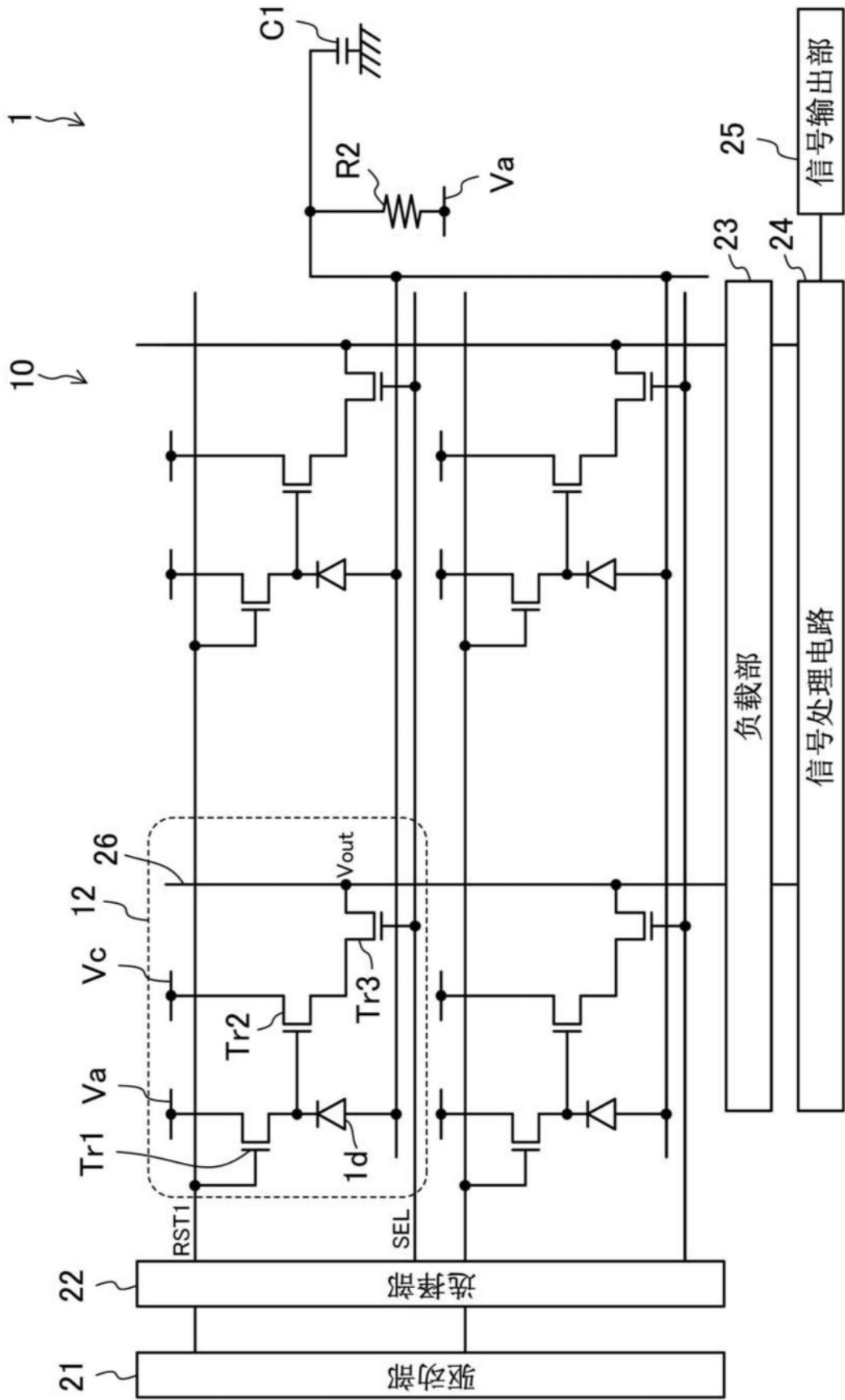


图4

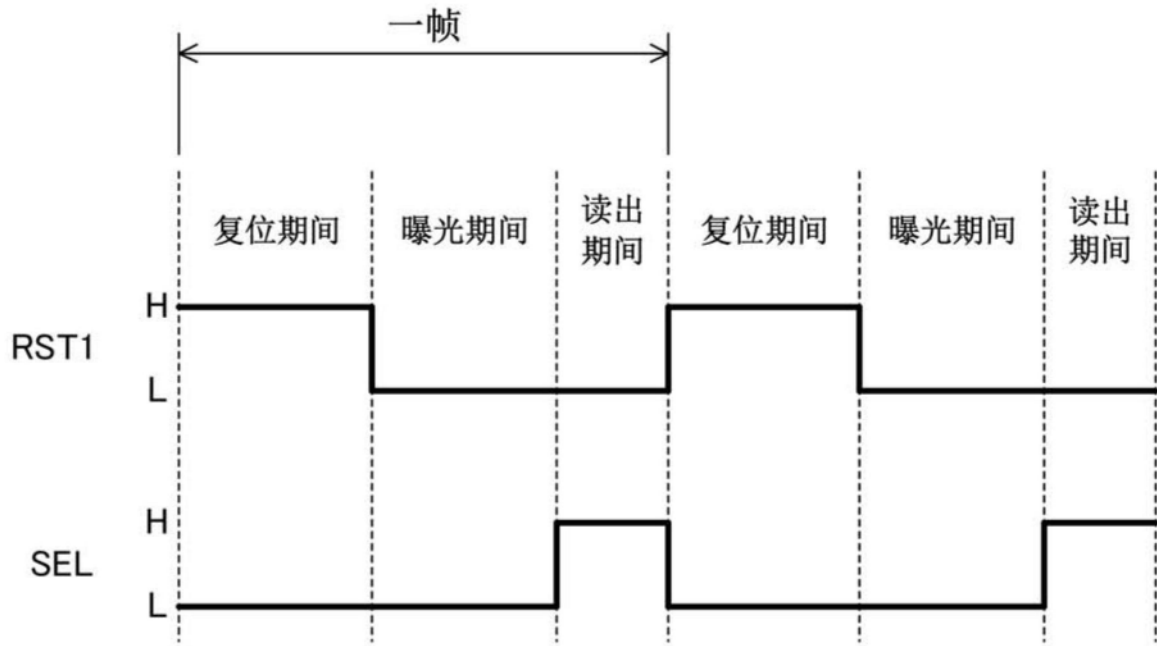


图5

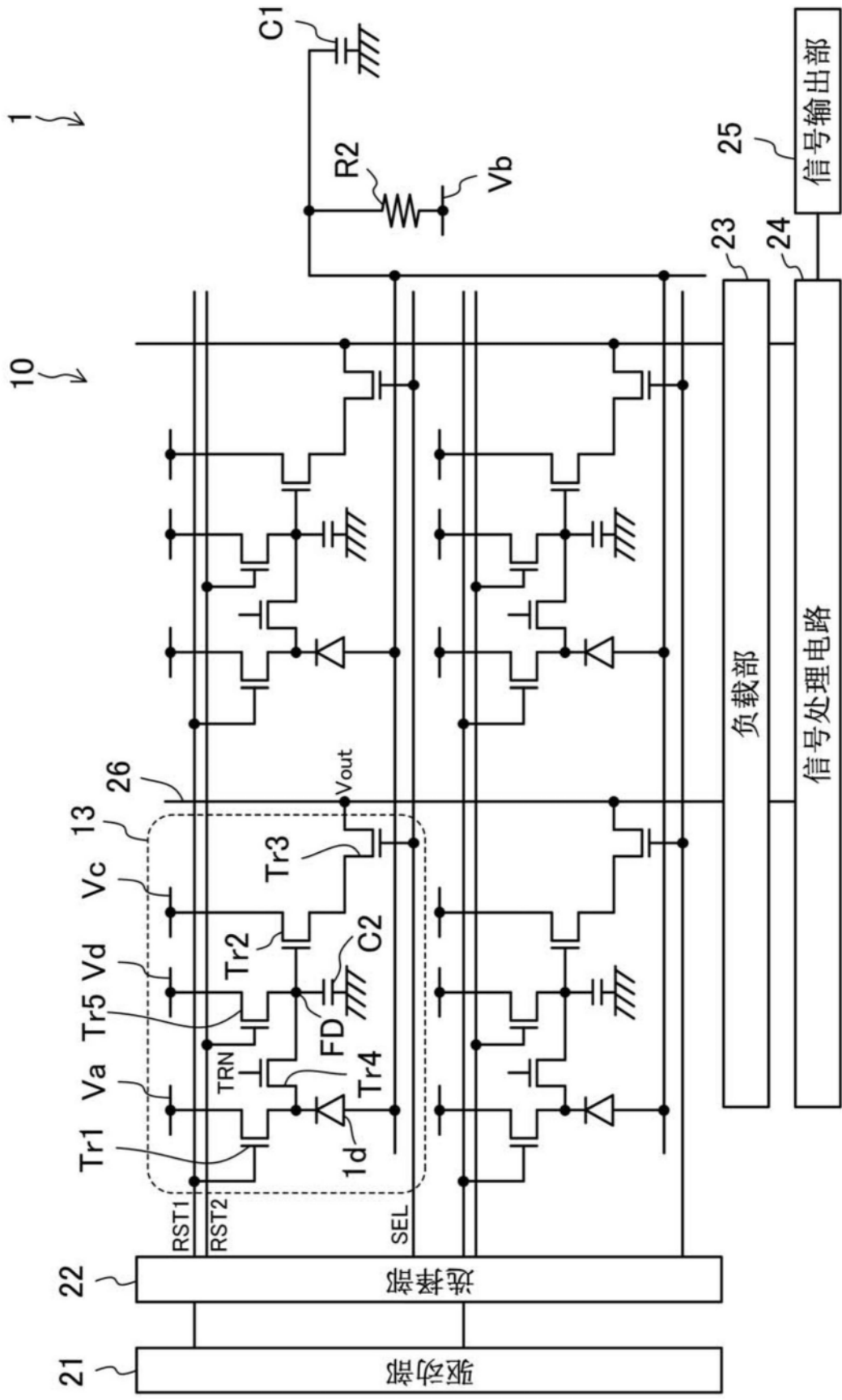


图6

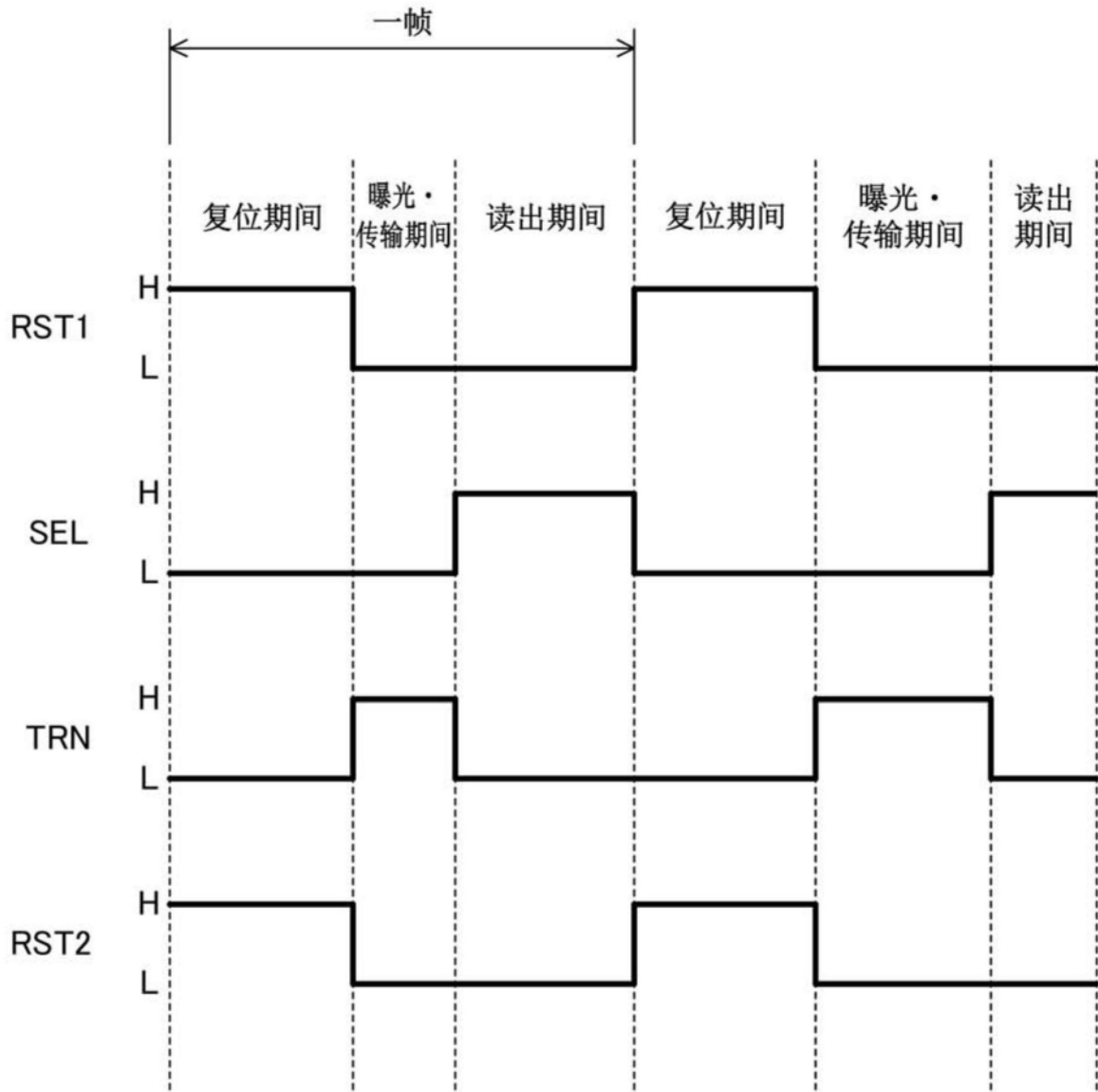


图7

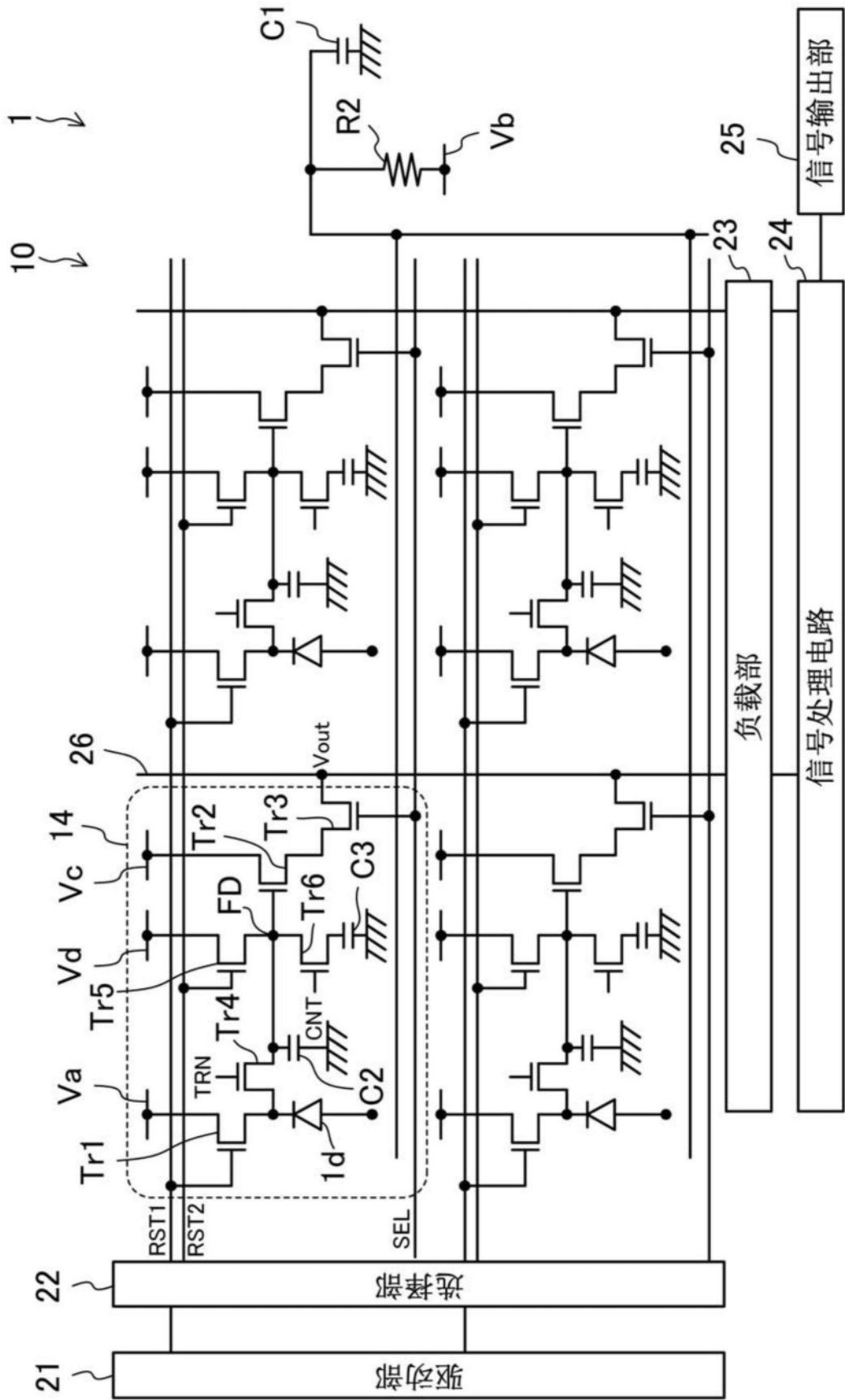


图8

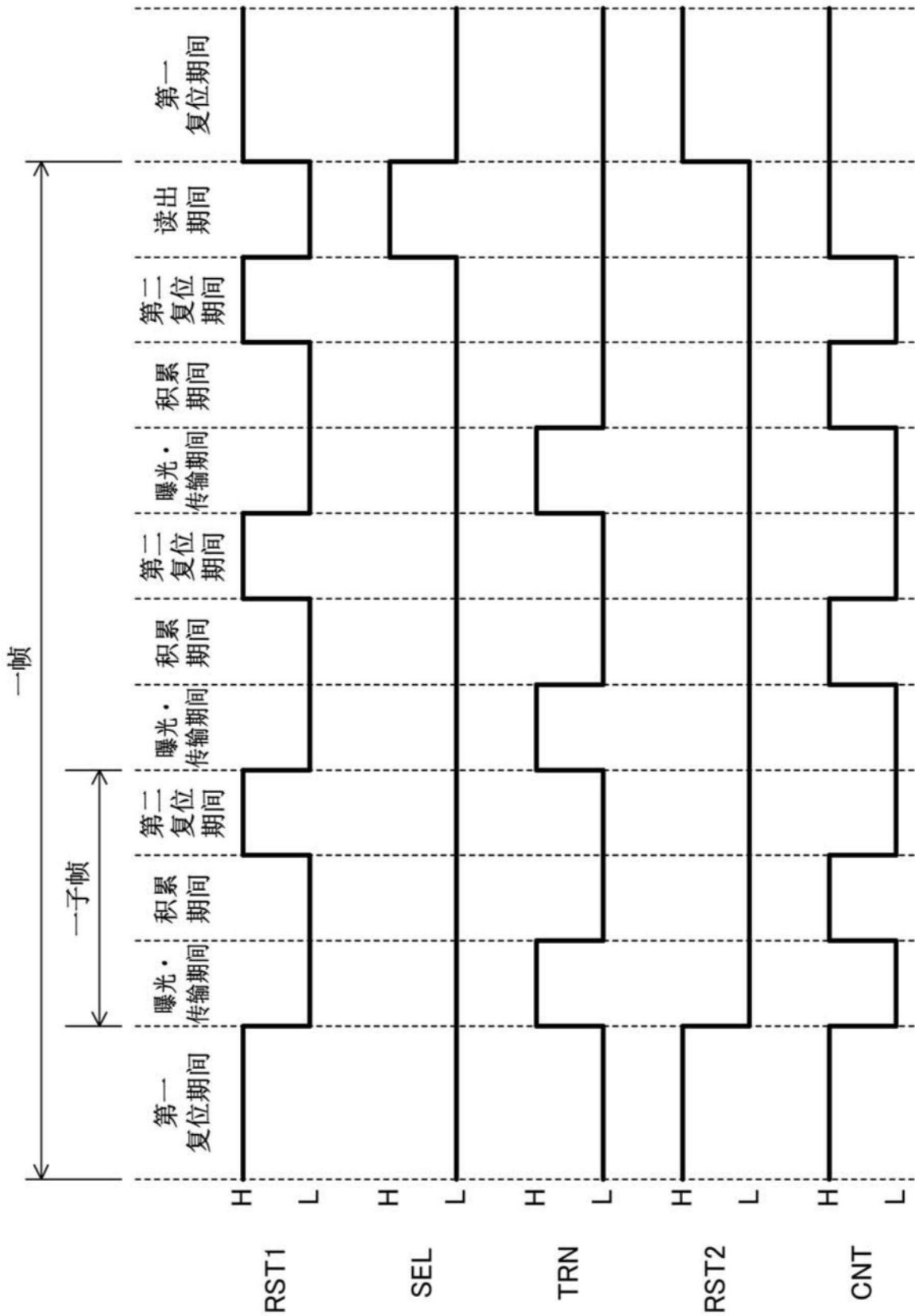


图9

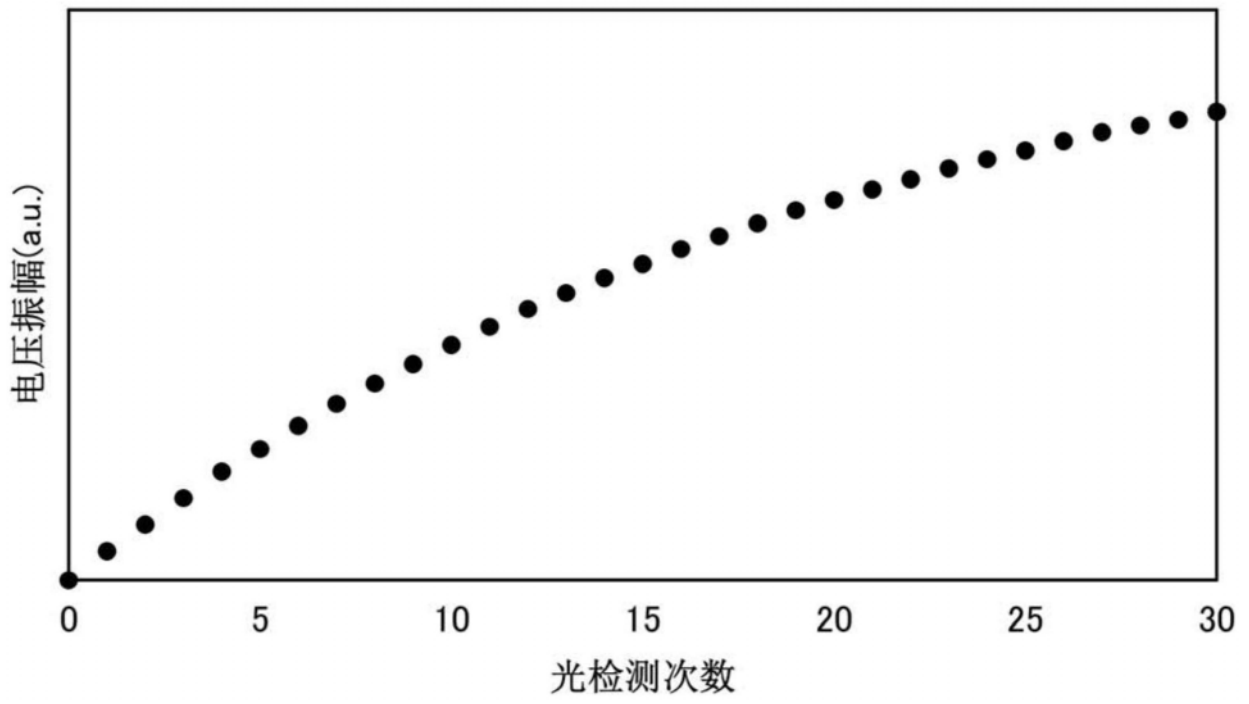


图10

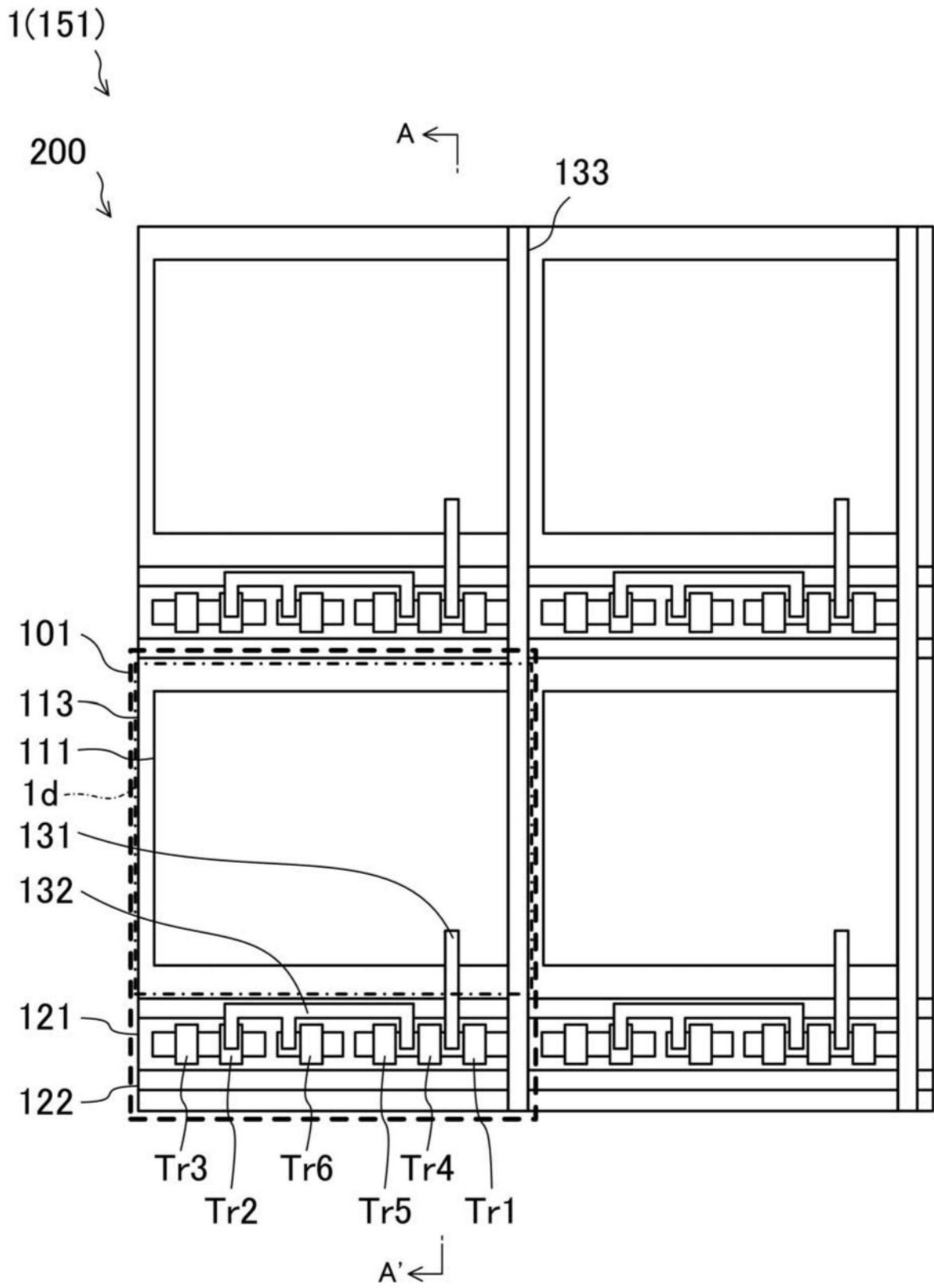


图11

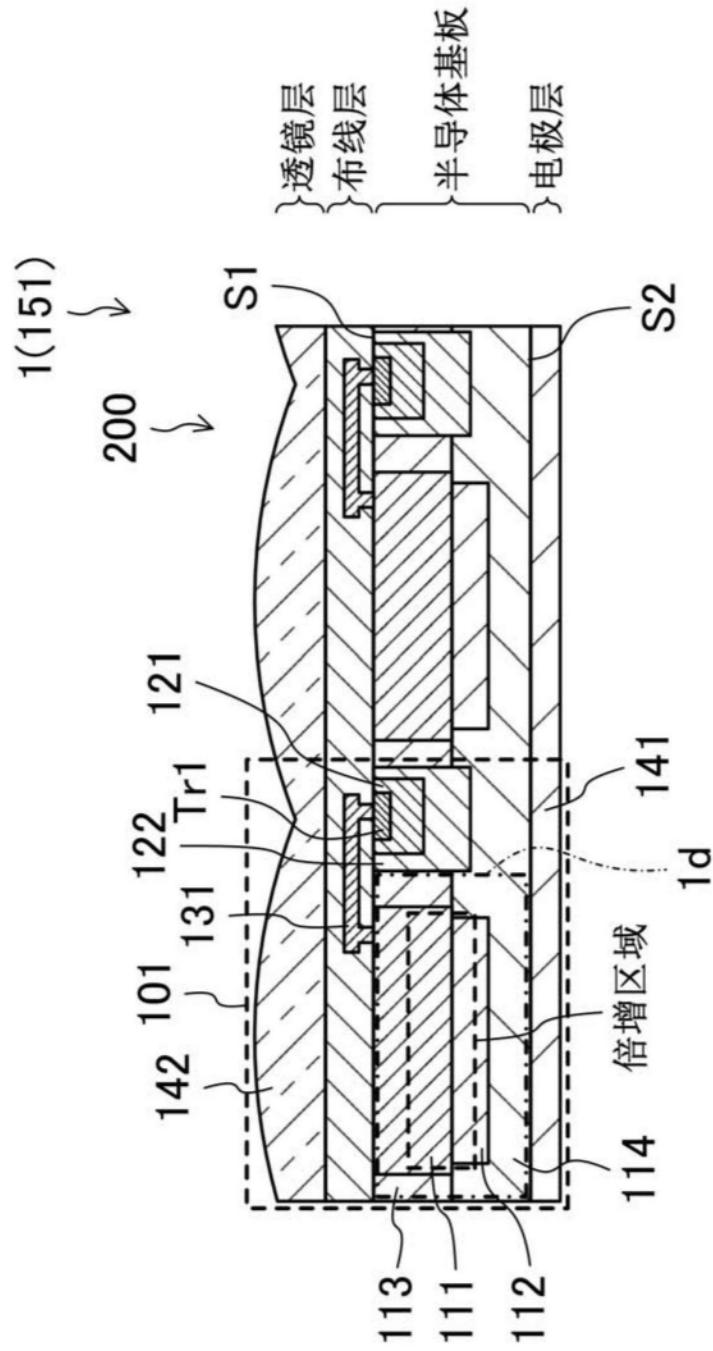


图12

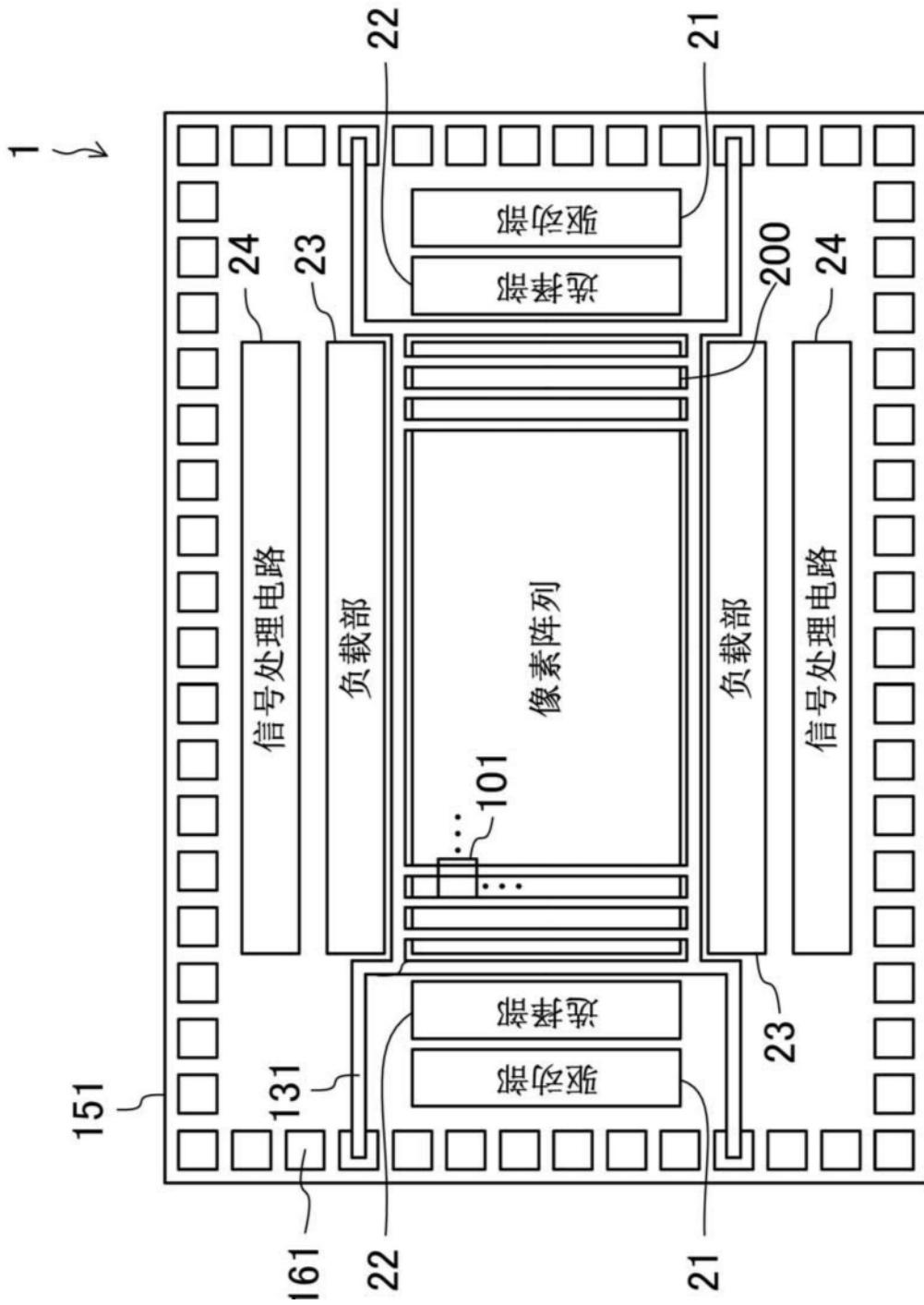


图13

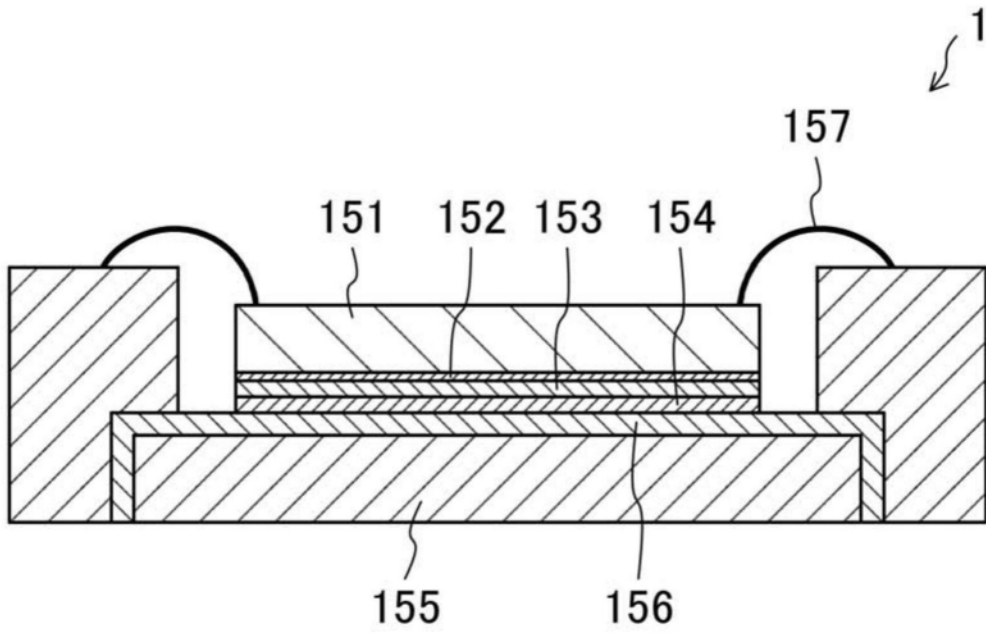


图14

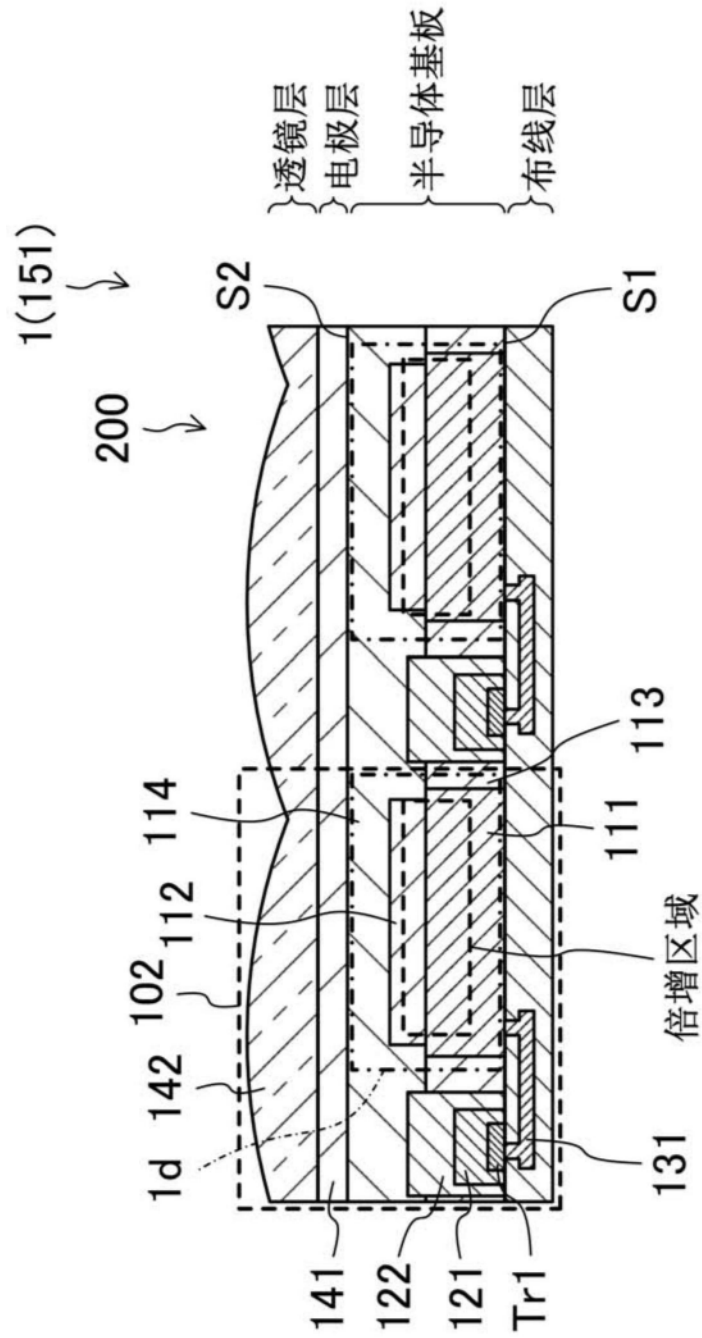


图15

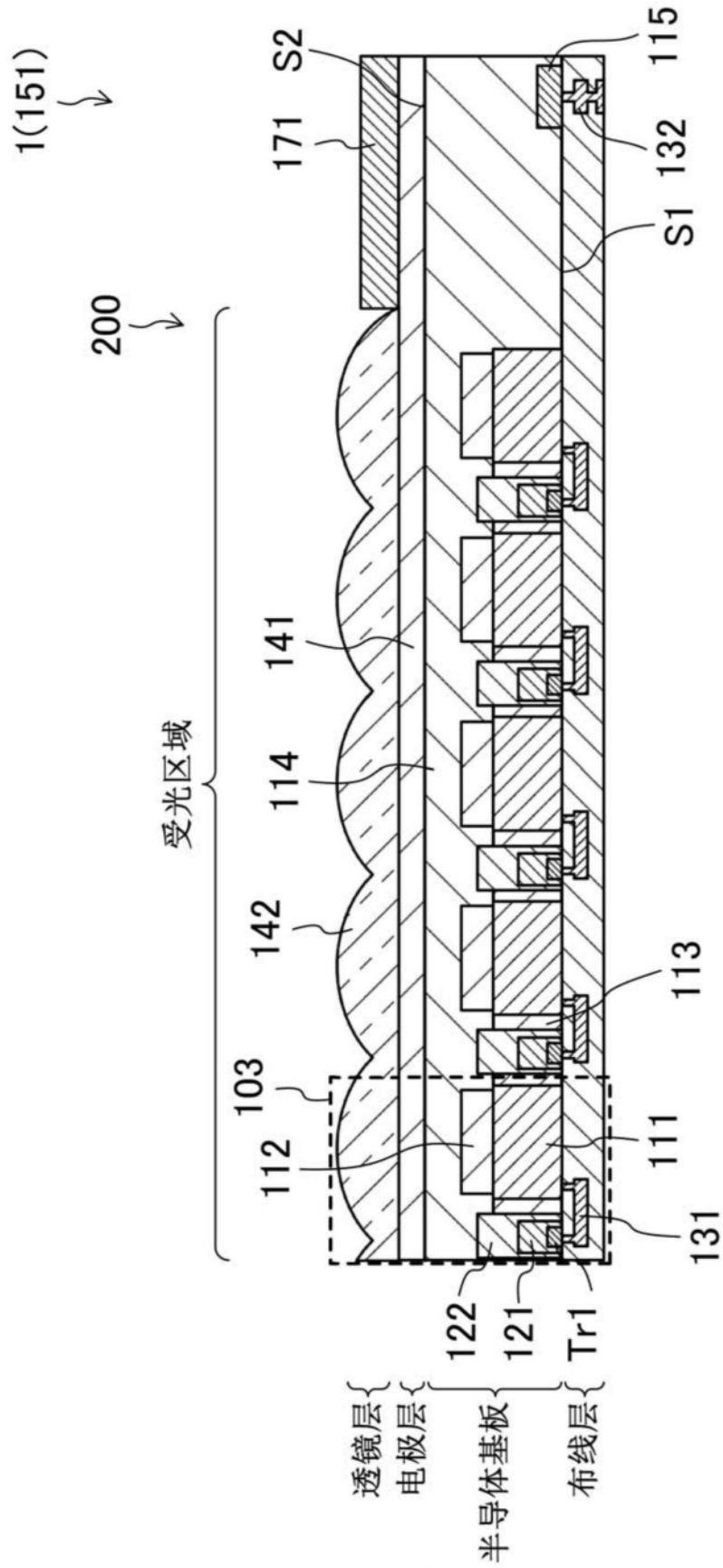


图16

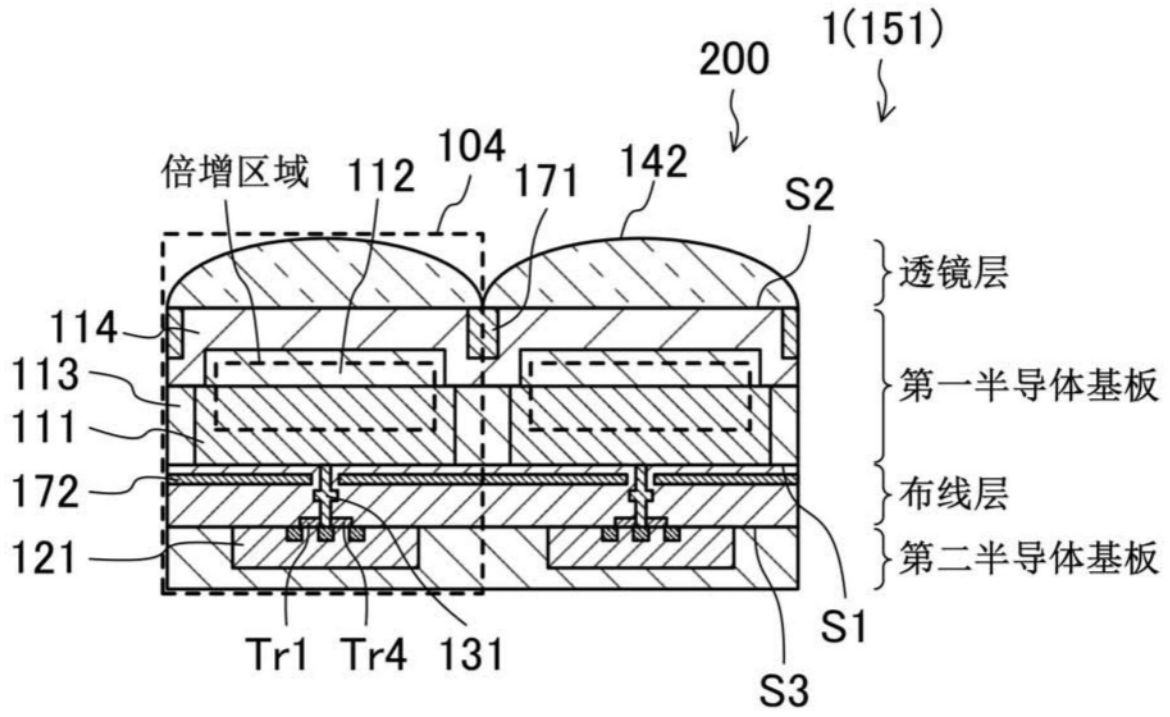


图17

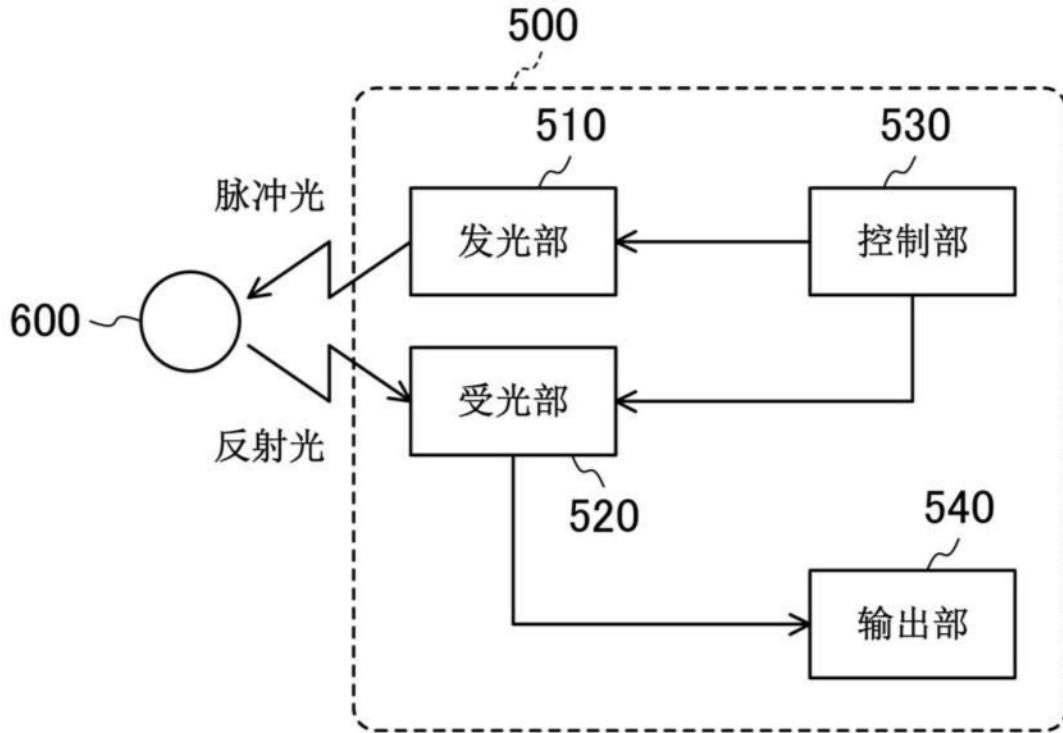


图18