



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0155712
(43) 공개일자 2024년10월29일

- (51) 국제특허분류(Int. Cl.)
C01B 32/186 (2017.01) H01L 23/528 (2006.01)
H01L 23/532 (2006.01)
- (52) CPC특허분류
C01B 32/186 (2017.08)
H01L 23/5283 (2013.01)
- (21) 출원번호 10-2023-0107883
(22) 출원일자 2023년08월17일
심사청구일자 없음
- (30) 우선권주장
1020230051844 2023년04월20일 대한민국(KR)

- (71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
울산과학기술원
울산광역시 울주군 언양읍 유니스트길 50
- (72) 발명자
이창석
경기도 수원시 권선구 금호로 285, 107동 301호
(서둔동, 힐스테이트수원테라스)
- 신형준
울산광역시 울주군 언양읍 유니스트길 50
(뒷면에 계속)
- (74) 대리인
팬코리아특허법인

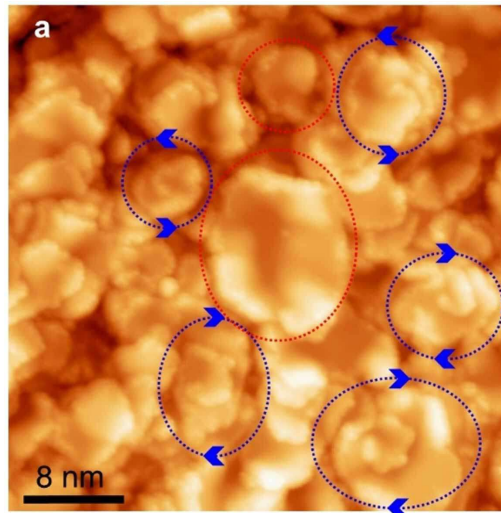
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 나선형 그래핀 나노결정, 이를 포함하는 그래핀 박막, 인터커넥트 구조체, 전자 소자, 및 상기 인터커넥트 구조체의 제조 방법

(57) 요약

층간 공유결합에 의한 수직방향 전기 전도도를 갖는 나선형 그래핀 나노결정, 상기 나선형 그래핀 나노결정들을 수평방향으로 연결하여 포함하는 그래핀 박막, 및 상기 나선형 그래핀 나노결정 또는 상기 그래핀 박막으로부터 제조되는 인터커넥트 구조체 및 그의 제조 방법, 그리고 상기 인터커넥트 구조체를 포함하는 전자 소자를 제공한다.

대표도 - 도1



(52) CPC특허분류

H01L 23/53276 (2013.01)

C01B 2204/22 (2013.01)

(72) 발명자

김요한

울산광역시 울주군 언양읍 유니스트길 50

변경은

경기도 수원시 영통구 삼성로 129(매탄동)

손승우

울산광역시 울주군 언양읍 유니스트길 50

신건옥

경기도 용인시 수지구 성북2로 10, 108동 2601호
(성북동, 성북역롯데캐슬골드타운)

신현진

경기도 수원시 영통구 삼성로 129(매탄동)

이중훈

울산광역시 울주군 언양읍 유니스트길 50

명세서

청구범위

청구항 1

층간 공유결합에 의한 수직방향 전기전도도를 갖는 나선형 그래핀 나노결정.

청구항 2

제1항에서, 상기 수직방향 전기전도도는 수평방향 전기전도도 대비 약 1:1 내지 약 1:100의 비율을 가지는 나선형 그래핀 나노결정.

청구항 3

층간 공유결합에 의한 수직방향 전기전도도를 갖는 나선형 그래핀 나노결정들을 수평방향으로 연결하여 포함하는 그래핀 박막.

청구항 4

제3항에서, 상기 그래핀 박막은 균일한 면방향 전기전도도 및 균일한 두께방향 전기전도도를 갖는 그래핀 박막.

청구항 5

층간 공유결합에 의한 수직방향 전기전도도를 갖는 나선형 그래핀 나노결정을 포함하는 인터컨넥트 구조체.

청구항 6

제5항에서, 상기 인터컨넥트 구조체는 기둥 형태를 가지고, 상기 기둥 형태의 양 끝단 중 하나 이상은 전극과 연결되는 인터컨넥트 구조체.

청구항 7

제6항에서, 상기 전극은 그래핀을 포함하는 인터커넥트 구조체.

청구항 8

제7항에서, 상기 그래핀은 층간 공유결합에 의한 수직방향 전기전도도를 갖는 나선형 그래핀 나노결정을 포함하는 인터커넥트 구조체.

청구항 9

제8항에서, 상기 전극은 상기 층간 공유결합에 의한 수직방향 전기전도도를 갖는 나선형 그래핀 나노결정들을 수평방향으로 연결하여 포함하는 박막 형태인 인터커넥트 구조체.

청구항 10

제9항에서, 상기 박막 형태 전극의 한 쪽 면에 상기 인터커넥트 구조체의 기둥 형태의 양 끝단 중 하나가 수직으로 연결된 인터커넥트 구조체.

청구항 11

제10항에서, 상기 박막 형태 전극의 한 쪽 면에 수직으로 연결된 인터커넥트 구조체 외에, 상기 면과 동일한 면 또는 상기 면의 반대쪽 면에 기둥 형태의 한 끝단이 수직으로 연결된 제2 인터커넥트 구조체를 더 포함하는 인터커넥트 구조체.

청구항 12

제11항에서, 상기 박막 형태 전극의 한 면에 수직으로 연결되지 않은 상기 제2 인터커넥트 구조체의 기둥 형태

의 다른 한 끝단은 상기 박막 형태의 전극과 다른 제2 전극에 연결된 인터커넥트 구조체.

청구항 13

제12항에서, 상기 제2 인터커넥트 구조체와 상기 제2 전극 중 하나 이상은 층간 공유결합에 의한 수직방향 전기전도도를 갖는 나선형 그래핀 나노결정을 포함하는 인터커넥트 구조체.

청구항 14

제6항에서, 상기 인터커넥트 구조체의 기둥 형태의 양 끝단은 모두 각각 전극과 연결된 인터커넥트 구조체.

청구항 15

제14항에서, 상기 인터커넥트 구조체의 기둥 형태의 양 끝단에 각각 연결된 전극 모두는 층간 공유결합에 의한 수직방향 전기전도도를 갖는 나선형 그래핀 나노결정을 포함하는 인터커넥트 구조체.

청구항 16

층간 공유결합에 의한 수직방향 전기전도도를 갖는 나선형 그래핀 나노결정의 기둥과, 상기 기둥의 상부 및 하부 중 하나 이상에 연결된 전극의 조합을 2 이상 적층하여 전기적으로 연결시킨 적층체를 포함하는 인터커넥트 구조체.

청구항 17

제16항에서, 상기 전극은 층간 공유결합에 의한 수직방향 전기전도도를 갖는 나선형 그래핀의 나노결정을 포함하는 인터커넥트 구조체.

청구항 18

수직방향 전기전도도를 갖는 나선형 그래핀 나노결정들을 수평방향으로 연결하여 포함하는 그래핀 박막을 원하는 모양으로 패터닝하거나, 또는 주형 안에 수직방향 전기전도도를 갖는 나선형 그래핀 나노결정을 증착하는 것을 포함하는, 인터커넥트 구조체의 제조 방법.

청구항 19

제5항 내지 제17항중 어느 한 항에 따른 인터커넥트 구조체를 포함하는 전자 소자.

청구항 20

제19항에서, 상기 전자 소자는 트랜지스터(transistor), 커패시터(capacitor), 다이오드(diode), 또는 레지스터(resistor)를 포함하는 전자 소자.

발명의 설명

기술 분야

[0001] 나선형 그래핀 나노결정, 이를 포함하는 그래핀 박막, 인터커넥트 구조체, 전자 소자, 및 인터커넥트 구조체의 제조 방법에 관한 것이다.

배경 기술

[0002] 그래핀은 그의 전기, 화학적으로 유용한 특성들로 인해 미래 여러 장치들에서 사용될 유력한 후보 물질 중 하나이다. 오랜 기간의 연구를 통해 고품질 그래핀을 대면적으로 성장시키기 위한 합성법으로 가장 널리 알려진 화학 기상 증착법(CVD: Chemical Vapor Deposition)을 사용하여 다양한 기판 상에서 그래핀을 효과적으로 성장시킬 수 있음이 알려졌다. 그래핀의 구조는 온도, 수소 압력, 및 기판의 탄소 용해도와 같은 반응 조건에 민감하다.

[0003] 한편, 고밀도 고성능 반도체 소자를 제공하기 위해 금속 배선의 선포어나 두께를 줄이려는 노력이 계속되고 있다. 금속 배선의 선포를 줄이거나 두께를 얇게 하면 웨이퍼당 집적되는 반도체 칩 수를 증가시킬 수 있고, 또한, 라인의 캐패시턴스를 감소시킬 수 있으므로 배선을 통한 신호의 속도를 증가시킬 수 있다. 그러나, 금속

배선의 선풍이 줄거나 두께가 얇아지면 저항이 급격히 높아지는 문제가 있고, 또한, 금속/산화물 계면 혹은 노출된 금속 표면에서 발생하는 산화로 인한 열화가 발생할 수 있다. 따라서, 균일하고 빠른 신호 전달과 함께, 배선 구조의 저항을 낮출 수 있고, 또한 산화로 인한 열화를 방지할 수 있는 새로운 배선 재료의 개발이 필요하다.

발명의 내용

해결하려는 과제

- [0004] 일 구현예는, 수평방향 뿐만 아니라 수직방향의 전기 전도도를 갖는 나선형 그래핀 나노결정을 제공한다.
- [0005] 다른 일 구현예는, 면방향 및 두께방향 모두 균일한 전기 전도도를 갖는 그래핀 박막을 제공한다.
- [0006] 또 다른 일 구현예는, 수직방향의 전기 전도도를 갖는 나선형 그래핀 나노결정을 포함하는 인터컨넥트 구조체를 제공한다.
- [0007] 또 다른 일 구현예는, 상기 인터컨넥트 구조체를 포함하는 전자 소자를 제공한다.
- [0008] 또 다른 일 구현예는 상기 인터컨넥트 구조체의 제조 방법을 제공한다.

과제의 해결 수단

- [0009] 일 구현예에 따른 나선형 그래핀 나노결정은 층간 공유결합에 의한 수직방향 전기 전도도를 갖는다.
- [0010] 상기 나선형 그래핀 나노결정의 수직방향 전기전도도는 수평방향 전기전도도 대비 약 1:1 내지 약 1:100의 비율을 가진다.
- [0011] 다른 일 구현예에 따른 그래핀 박막은 층간 공유결합에 의한 수직방향 전기 전도도를 갖는 나선형 그래핀 나노결정들을 수평 방향으로 연결하여 포함한다.
- [0012] 상기 그래핀 박막은 균일한 면방향 전기전도도 및 균일한 두께방향 전기전도도를 가진다.
- [0013] 또 다른 일 구현예에 따른 인터컨넥트 구조체는 층간 공유결합에 의한 수직방향 전기전도도를 갖는 나선형 그래핀 나노결정을 포함한다.
- [0014] 상기 인터컨넥트 구조체는 기둥 형태를 가지고, 상기 기둥 형태의 양 끝단 중 하나 이상은 전극과 연결된다.
- [0015] 상기 전극은 그래핀을 포함한다.
- [0016] 상기 전극에 포함된 그래핀은 층간 공유결합에 의한 수직방향 전기전도도를 갖는 나선형 그래핀 나노결정을 포함한다.
- [0017] 상기 전극은 상기 층간 공유결합에 의한 수직방향 전기전도도를 갖는 나선형 그래핀 나노결정들을 수평방향으로 연결하여 포함하는 박막 형태이다.
- [0018] 상기 박막 형태 전극의 한 쪽 면에 상기 인터컨넥트 구조체의 기둥 형태의 양 끝단 중 하나가 수직으로 연결될 수 있다.
- [0019] 상기 박막 형태 전극의 한쪽 면에 수직으로 연결된 인터컨넥트 구조체 외에, 상기 면과 동일한 면 또는 상기 면의 반대쪽 면에 기둥 형태의 한 끝단이 수직으로 연결된 제2 인터컨넥트 구조체를 더 포함할 수 있다.
- [0020] 상기 박막 형태 전극의 한 면에 수직으로 연결되지 않은 상기 제2 인터컨넥트 구조체의 기둥 형태의 다른 한 끝단은 상기 박막 형태의 전극과 다른 제2 전극에 연결될 수 있다.
- [0021] 상기 제2 인터컨넥트 구조체와 상기 제2 전극 중 하나 이상은 층간 공유결합에 의한 수직방향 전기전도도를 갖는 나선형 그래핀 나노결정을 포함한다.
- [0022] 상기 기둥 형태의 인터컨넥트 구조체의 양 끝단은 모두 각각 전극과 연결될 수 있다.
- [0023] 상기 인터컨넥트 구조체의 양 끝단에 각각 연결된 전극은 모두 층간 공유결합에 의한 수직방향 전기전도도를 갖는 나선형 그래핀 나노결정을 포함한다.
- [0024] 또 다른 일 구현예에 따른 인터컨넥트 구조체는 층간 공유결합에 의한 수직방향 전기전도도를 갖는 나선형 그래핀 나노결정의 기둥과, 상기 기둥의 상부 및 하부 중 하나 이상에 연결된 전극의 조합을 2 이상 적층하여 전기

적으로 연결시킨 적층체를 포함한다.

[0025] 상기 전극은 층간 공유결합에 의한 수직방향 전기전도도를 갖는 나선형 그래핀의 나노결정을 포함한다.

[0026] 또 다른 일 구현예에 따른 인터커넥트 구조체의 제조 방법은 수직방향 전기전도도를 갖는 나선형 그래핀 나노결정들을 수평방향으로 연결하여 포함하는 그래핀 박막을 원하는 모양으로 패터닝하거나, 또는 주형 안에 수직방향 전기전도도를 갖는 나선형 그래핀 나노결정을 증착하는 것을 포함한다.

[0027] 또 다른 일 구현예에 따른 전자 소자는 일 구현예에 따른 인터커넥트 구조체를 포함한다.

[0028] 상기 전자 소자는 트랜지스터(transistor), 커패시터(capacitor), 다이오드(diode), 또는 레지스터(resistor)를 포함한다.

발명의 효과

[0029] 일 구현예에 따른 나선형 그래핀 나노결정은 층간 공유결합에 의해 균일하고 빠른 수직방향 전기전도도를 가진다. 이에 따라, 이러한 나선형 그래핀 나노결정은 기존의 수평방향 전기전도도에 의한 효과만을 주로 사용할 수 있었던 그래핀 박막 대비 수직방향 전기적 연결을 요하는 다양한 인터커넥트 구조에 효과적으로 적용할 수 있다. 특히, 최근 물리적 스케일링의 한계로 수직방향의 칩/소자 인터커넥션이 증가하는 반도체 산업 분야에서 효과적인 인터커넥트 재료로서 사용할 수 있다.

[0030] 또한, 그래핀은 기본적으로 우수한 전기, 화학적 특성을 가짐으로써, 선풍 감소에 따른 저항 증가나 금속의 산화에 따른 열화 등의 문제를 걱정할 필요가 없다. 나아가, 일 구현예에 따른 나선형 그래핀 나노결정은 임의의 기판 상에서 촉매 금속 없이 빠르게 합성 가능하므로, 인터커넥트 구조를 필요로 하는 소자에서 인시츄(*in situ*)로 빠르게 성장시켜 사용하는 공정상의 이점도 가진다.

도면의 간단한 설명

[0031] 도 1은 금(Au) 기판 상에서 성장시킨 나선형 그래핀 나노결정들의 주사터널링 현미경(STM: Scanning Tunneling Microscope)에 의한 토포그래피 이미지이다.

도 2는 도 1에 나타난 나선형 그래핀 나노결정들 중 가장 작은 나선형 그래핀 나노결정을 확대하여 나타난 도면으로서, b, c, d는 차례로 V_s 가 $-0.5V$, $-0.2V$, 및 $0.2V$ 이고, I_t 는 100 pA 일 때의 dI/dV 이미지를 나타낸다.

도 3은 일 구현예에 따른 나선형 그래핀 나노결정의 원자들의 나선 구조를 개략적으로 표시한 모식도이다.

도 4는 나선형 그래핀 나노결정의 클라인-에지(Klein-edge) 구조를 보여주는 STM 토포그래픽 이미지이다.

도 5는 도 4에서 직사각형으로 표시한 부분의 확대도(도 5의 b)로서, 도 5의 c는 도 5의 b에 나타난 구조를 볼-스틱(ball-stick) 모델로 나타낸 것이고, 도 5의 d는 도 5의 b에서 가로방향 점선으로 나타난 화살표 축을 기준으로, 도 5의 b에 존재하는 각 가장자리 탄소 원자들의 높이, 및 이들 탄소 원자간 거리를 나타내는 그래프이다.

도 6은 도 4에 나타난 나선형 그래핀 나노결정의 중심과 가장자리에서의 dI/dV 스펙트럼이다.

도 7은 도 4에 나타난 나선형 그래핀 나노결정의 중심과 가장자리에서 측정한 FER (Field Emission Resonance) 스펙트럼이다.

도 8은 도 1에 나타난 나선형 그래핀 나노결정의 STM 이미지의 일부를 확대하여 나타난 토포그래픽 사진(도 8의 a)이고, 도 8의 b는 나선형 그래핀 나노결정의 격자들을 dI/dV 맵으로 시각화한 것이다.

도 9는 도 8의 b에서 직사각형으로 표시한 부분에 대한 고속 푸리에 변환(FFT: Fast Fourier Transform) 이미지이다.

도 10은 일 구현예에 따른 나선형 그래핀 나노결정을 기둥 모양의 인터커넥트 구조체에 적용한 예를 개략적으로 도시한 모식도이다.

도 11은 일 구현예에 따른 나선형 그래핀 나노결정을 수직방향 및 수평방향 모두로 연장하도록 형성한 다수의 인터커넥트 구조체를 적용한 적층형 전자 소자의 예를 개략적으로 도시한 모식도이다.

도 12는 일 구현예에 따른 나선형 그래핀 나노결정을 포함하는 인터커넥트 구조체를 포토리소그래피 공정을 이

용하여 제조하는 방법을 개략적으로 나타낸 모식도이다.

발명을 실시하기 위한 구체적인 내용

- [0032] 이하, 구현예에 대하여 해당 기술분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 실제 적용되는 구조는 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 구현예에 한정되지 않는다.
- [0033] 여기서 사용되는 용어는 단지 예시적인 구현예들을 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도는 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한 복수의 표현을 포함한다.
- [0034] 여기서 "포함하다", "구비하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 구성 요소 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 구성 요소, 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0035] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타냈으며, 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 또는 "상에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우 뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로, 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- [0036] 이하에서, "상부" 나 "상"이라고 기재된 것은 접촉하여 바로 위, 아래, 좌, 우에 있는 것뿐만 아니라 비접촉으로 위, 아래, 좌, 우에 있는 것도 포함할 수 있다. 또한 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0037] 또한 여기서 "층"은 평면도로 관찰했을 때 전체 면에 형성되어 있는 형상뿐만 아니라 일부 면에 형성되어 있는 형상도 포함한다.
- [0038] "상기"의 용어 및 이와 유사한 지시 용어의 사용은 단수 및 복수 모두에 해당하는 것일 수 있다. 방법을 구성하는 단계들에 대하여 명백하게 순서를 기재하거나 반하는 기재가 없다면, 이러한 단계들은 적당한 순서로 행해질 수 있으며, 반드시 기재된 순서에 한정되는 것은 아니다.
- [0039] 또한, 명세서에 기재된 "...부", "모듈" 등의 용어는 적어도 하나의 기능이나 동작을 처리하는 단위를 의미하며, 이는 하드웨어 또는 소프트웨어로 구현되거나 하드웨어와 소프트웨어의 결합으로 구현될 수 있다.
- [0040] 도면에 도시된 구성 요소들 간의 선들의 연결 또는 연결 부재들은 기능적인 연결 및/또는 물리적 또는 회로적 연결들을 예시적으로 나타낸 것으로서, 실제 장치에서는 대체 가능하거나 추가의 다양한 기능적 연결, 물리적 연결, 또는 회로적 연결로 나타내어질 수 있다.
- [0041] 본 명세서에서, "A, B 또는 C중 적어도 하나", "A, B, C 또는 이들의 조합중 하나" 및 "A, B, C 및 이들의 조합중 하나"는 각각의 구성요소 및 이들의 조합을 모두 의미한다(예를 들어 A; B; C; A 및 B; A 및 C; B 및 C; 또는 A, B, 및 C).
- [0042] 여기서 "이들의 조합"이란, 구성물의 혼합물, 적층물, 복합체, 합금, 블렌드 등을 의미한다.
- [0043] 이하에서, 별도의 정의가 없는 한, "실질적으로" 또는 "대략" 또는 "약"이라 함은, 표시된 값(stated value)뿐만 아니라, 해당 측정 및 측정량의 측정과 관련된 오차(error)를 고려하여 허용 가능한 범위의 편차 내에서의 평균을 포함한다. 예를 들어, "실질적으로" 또는 "대략"은 표시된 값의 $\pm 10\%$, $\pm 5\%$, $\pm 3\%$, 또는 $\pm 1\%$ 내 또는 표준편차 내를 의미할 수 있다.
- [0044] 여기서 "금속"은 금속과 준금속(반금속)을 포함하는 개념으로 해석된다.
- [0045] 이하, 첨부된 도면을 참조하여 일 구현예에 따른 층간 공유결합에 의한 수직방향 전기전도도를 가지는 나선형 그래핀 나노결정에 대해 설명한다.
- [0046] 도 1은 후술하는 실시예에 따라 금(Au) 기판 상에서 성장시킨 나선형 그래핀 나노결정들을 보여주는 주사터널링 현미경(STM: Scanning Tunneling Microscope)에 의한 토포그래피 이미지이다.
- [0047] 도 1에서, 화살표 표시와 함께 푸른색 점선의 원 또는 타원들로 표시한 것이 일 구현예에 따른 층간 공유결합에

의한 수직방향 전기전도도를 가지는 나선형 그래핀의 나노결정들이다. 반면, 도 1에서, 붉은색 점선으로 나타낸 원 또는 타원 내의 그래핀 결정들은 상기 나선형 그래핀 나노결정들이 서로 응집하며 쌓인 적층된 그래핀 결정들이다. 도 1의 푸른색 점선으로 나타낸 원 또는 타원에서 화살표 방향은 각 나선형 그래핀 나노결정의 성장 방향을 나타낸다. 즉, 도 1에 나타낸 바와 같이, 나선형 그래핀 나노결정들은 시계 방향 또는 반시계 방향의 임의의 방향으로도 성장할 수 있다.

[0048] 도 2는 도 1에 나타낸 나선형 그래핀 나노결정들 중 가장 작은 나선형 그래핀 나노결정을 확대하여 나타낸 도면이다. 여기서, b, c, d는 차례로 V_s 가 $-0.5V$, $-0.2V$, 및 $0.2V$ 이고, I_t 는 $100pA$ 일 때의 dI/dV 이미지를 나타낸다. 도 2의 b 내지 d에서 각각 점선으로 표시한 것이 나선형 구조를 나타낸다.

[0049] 도 3은 일 구현예에 따른 층간 공유결합에 의해 수직방향 전기전도도를 갖는 나선형 그래핀 나노결정의 원자들의 나선 구조를 개략적으로 표시한 모식도이다.

[0050] 도 1에서 붉은색 점선의 원 또는 타원으로 나타낸 적층형 그래핀의 경우, 그래핀 층들 간에 공유결합이 이루어지지 않으며, 단지 반데르 발스 상호작용을 가질 뿐이다. 이러한 반데르 발스 상호작용을 가지는 적층형 그래핀에서 층들간 전자의 이동 속도, 즉, 수직방향의 전기전도도는 수평방향의 전기전도도에 비해 약 1,000 배 정도 낮다. 즉, 적층 구조를 가지는 다층 그래핀은 우수한 면내 전기전도도를 가지지만, 수직방향의 전기전도도는 수평방향의 전기전도도에 비해 매우 낮다.

[0051] 이에 반해, 일 구현예에 따른 나선형 그래핀 나노결정은 도 3에 나타낸 바와 같이, 단원자로 이루어지는 층간 공유결합에 의해 상기 적층형 그래핀의 낮은 수직방향 전기전도도 특성을 현저히 개선할 수 있다. 특정 이론에 얽매이고자 하는 것은 아니나, 상기 현상은 나선형 그래핀 나노결정의 코어에서 전도성 채널이 형성되기 때문으로 생각할 수 있다. 즉, 나선형 그래핀 나노결정은 단원자로 이루어진 층간 공유 결합에 의해 보다 빠른 수직방향 전류의 이동 경로를 형성할 수 있고, 그 중에서도, 코어에서 가장 짧은 전류의 이동 경로를 형성할 수 있다. 도 3에서 붉은색 구로 표시한 바와 같이, 나선형 그래핀 나노결정의 코어는 전자가 바닥에서 상부로, 또는 상부에서 바닥으로 이동할 때 가장 짧은 전류 이동 경로를 제공할 수 있다. 이에 따라, 일 구현예에 따른 나선형 그래핀 나노결정의 수직방향 전기전도도와 수평방향 전기전도도의 비는 약 1:1 내지 약 1:100 정도로, 적층형 그래핀보다 훨씬 빠른 수직방향 전기이동도를 가진다. 또한, 동일한 조건에서 제조된 나선형 그래핀 나노결정들은 매우 균일한 수직방향 전기전도도를 나타낸다. 따라서, 일 구현예에 따른 나선형 그래핀 나노결정은 우수한 전기전도도, 특히, 수직방향의 전기 접합을 요하는 인터커넥트 재료로 유리하게 적용될 수 있다.

[0052] 또한, 일 구현예에 따른 나선형 그래핀 나노결정은 클라인-에지(Klein-edge) 구조를 형성하는 지그재그(zigzag)형 가장자리에 매달려 있는 단일 탄소 원자들이 각각 가지고 있는 비결합전자(unpaired electron)들이 이웃한 나선형 그래핀 나노결정의 가장자리 탄소 원자들의 비결합전자와 공유결합을 형성할 수 있다. 이에 따라, 다수의 나선형 그래핀 나노결정들이 수평방향으로 연결되어 존재할 경우, 이들은 수직방향의 전기전도도뿐만 아니라, 수평방향으로도 나선형 그래핀 나노결정들간 균일한 전기전도도를 나타낼 수 있다.

[0053] 도 4는 상기 나선형 그래핀 나노결정의 클라인-에지 구조를 보여주는 STM 토포그래픽 이미지이다. 도 4는 도 1에 나타낸 나선형 그래핀 나노결정의 일부 이미지를 확대하여 나타낸 것이고, 도 4에서 직사각형으로 나타낸 부분을 더욱 확대하여 나타낸 것이 도 5의 b이다. 도 5의 c는 도 5의 b에 나타낸 구조를 볼-스틱(ball-stick) 모델로 나타낸 것이다. 도 5의 c에 나타낸 바와 같이, 그래핀을 형성하는 육각 구조에 의한 지그재그형 가장자리에 위치하는 단일 탄소 원자들은 각각 비결합전자를 가지고 있다. 도 5의 d는 도 5의 b에서 가로방향 점선으로 나타낸 화살표 축을 기준으로, 도 5의 b에 존재하는 각 가장자리 탄소 원자들의 높이, 및 이들 탄소 원자간 거리를 나타내는 그래프이다.

[0054] 도 6은 도 4에 나타낸 나선형 그래핀 나노결정의 중심과 가장자리에서의 dI/dV 스펙트럼이고, 도 7은 상기 나선형 그래핀 나노결정의 중심과 가장자리에서 측정한 FER (Field Emission Resonance) 스펙트럼이다. 상기 FER 스펙트럼에 나타난 첫 번째 FER 피크들로부터 일함수 (ϕ , eV)를 얻었다.

[0055] 도 8의 a는 도 1에 나타낸 나선형 그래핀 나노결정의 STM 이미지의 일부를 더욱 확대하여 나타낸 토포그래픽 이미지이고, 도 8의 b는 나선형 그래핀 나노결정의 격자들을 dI/dV 맵으로 시각화한 것이다. 도 8의 b에서 직사각형 내부의 원자 결합 모양으로부터 명확하게 알 수 있는 것처럼, 나선형 그래핀 나노결정의 암체어(armchair)

방향, 즉, 도 8의 b 내 화살표 방향이 나타내는, 그래핀의 연결 구조가  와 같이 연결되는 방향의 배향이 매우 잘 정렬되어 있음을 알 수 있다.

- [0056] 도 9는 도 8의 b에서 직사각형으로 표시한 부분에 대한 고속 푸리에 변환(FFT: Fast Fourier Transform) 이미지로서, 이는 여섯 개의 잘 정의된 그래핀 역격자(reciprocal lattices)(R) 및 $(\sqrt{3} \times \sqrt{3})R30^\circ$ (R3) 슈퍼셀(supercell)을 통해 나선형 그래핀 나노결정의 매우 높은 구조적 품질을 보여준다. 상기 R3 패턴은 대체로 그래핀 내 비국재화(delocalized) 파이 전자들(π -electrons)의 골짜기간 분산(intervalley scattering)과 관련된다. 각각의 나선형 그래핀 나노결정들에서 배향(orientation)은 매우 잘 정렬되어 있고, 잘못된 배향은 1.0° 미만으로 작다. 1.0° 미만의 잘못된 배향은 Au(111) 표면 상에서의 그래핀 박막의 에피택셜 성장에 기여하는 것으로 생각된다. 동일한 방향의 입자들이 핵화하여 적층형 또는 나선형 그래핀 나노결정들을 생성하는데, 이들은 표면 토폰그래피에 따라 분리된다. 대부분의 우수한 특성들이 단결정 그래핀으로부터 보고되어 왔고, 이에 따라 단결정 그래핀을 합성하기 위한 연구들이 오랜 기간 집중적으로 이루어져 왔다. 화학기상증착법(CVD법)은 단결정 기판 상에서 그래핀을 에피택셜 성장시키기 위해 가장 널리 사용되어온 방법이다. 통상의 열적 CVD법과 비교하여, 일 구현예에 따른 나선형 그래핀 나노결정을 성장시킬 수 있는 ICP-CVD 법에 의한 에피택셜 나노결정 그래핀 필름의 성장 속도는, 촉매를 사용하지 않는 임의의 기판 상에서, 보다 낮은 온도에서, 훨씬 (적어도 10배 이상) 빠르다. 이는 응용 관점에서 매우 중요한 이점이다. 결론적으로, 일 구현예에 따른 나선형 그래핀 나노결정은 ICP-CVD를 이용하여 촉매를 사용하지 않는 임의의 기판 상에서 용이하게 제조되어 고품질의 특성을 나타낼 수 있고, 이러한 나선형 그래핀 나노결정의 원자 구조, 전자적 특성, 가장자리 구조, 및 결정성 배향 등이 입증되었다.
- [0057] 도 8 내지 도 9로부터, 나선형 그래핀 나노결정은 층간 공유결합에 의한 수직방향의 균일한 전기전도도뿐 아니라, 수평방향 연결 구조 또한 매우 잘 정렬됨에 따라 균일한 수평방향의 전기전도도도 잘 유지됨을 알 수 있다. 뿐만 아니라, 도 4와 도 5에 나타난 것과 같은 나선형 그래핀 나노결정의 클라인-에지에 존재하는 가장자리 탄소의 비결합전자들에 의해, 나선형 그래핀 나노결정들이 수평방향으로 접촉하여 연결될 경우, 나선형 그래핀 나노결정들간 가장자리 비결합전자의 공유결합에 의한 우수한 수평방향 전기전도도를 얻을 수 있다. 이로 인해, 일 구현예에 따른 나선형 그래핀 나노결정들을 수평방향으로 연결하여 포함함으로써, 수직방향 및 수평방향 모두 균일한 전기전도도를 가지는 그래핀 박막을 얻을 수 있다. 이러한 그래핀 박막은 원하는 형태로 패터닝하여 수직방향 및 수평방향의 전기전도를 목적으로 하는 다양한 용도에 적용될 수 있다. 그러한 용도 중 하나로, 수직방향 및/또는 수평방향의 인터커넥트 구조체를 예시할 수 있다.
- [0058] 따라서, 이하, 일 구현예에 따른 나선형 그래핀 나노결정을 포함하는 인터커넥트 구조체에 대해 설명한다.
- [0059] 도 10은 일 구현예에 따른 나선형 그래핀 나노결정을 기둥 모양의 인터커넥트 구조체에 적용한 예를 개략적으로 도시한 모식도이다.
- [0060] 도 10을 참조하면, 일 구현예에 따른 인터커넥트 구조체(1)는 가로방향 및 세로방향으로 일정한 간격을 두고 각 층에 배치된 전극들(10, 20, 30) 사이를 수직으로 연결하는 기둥 형태로 형성되어 있다. 이와 같이 기둥 형태로 형성된 인터커넥트 구조체(1)는, 점선으로 표시한 작은 원 부분을 확대하여 큰 타원으로 나타낸 바와 같이, 그 내부에 일 구현예에 따른 나선형 그래핀 나노결정을 포함한다. 상기 점선으로 표시한 큰 타원형 내에 개략적인 원자의 결합 형태로서 표시한 일 구현예에 따른 나선형 그래핀 나노결정은, 붉은색 구로 나타낸 것과 같이, 코어부에서 수직방향으로 가장 짧은 전자의 이동 경로를 형성한다. 이에 따라, 일 구현예에 따른 나선형 그래핀 나노결정을 포함하는 인터커넥트 구조체(1)들은 각 층에 존재하는 전극들(10, 20, 30) 사이에서 수직방향으로 빠르고 균일한 전기전도도를 나타내는 인터커넥트 구조체로 작용할 수 있다.
- [0061] 일 실시예에서, 상기 각 층에 존재하는 전극들(10, 20, 30)은 임의의 재료로 형성된 전극, 예를 들어, 금속, 준금속, 탄소성 물질, 금속의 산화물 등 다양한 성분들을 포함하는 전극일 수 있으나, 다른 일 실시예에서, 상기 전극들(10, 20, 30)은 그래핀을 포함하는 전극일 수 있다. 그래핀은 일 구현예에 따른 나선형 그래핀 나노결정과 동일한 성분으로 이루어진 물질이므로, 그래핀 전극을 사용할 경우, 이들 전극과 일 구현예에 따른 인터커넥트 구조체간 접촉 저항 문제가 거의 발생하지 않을 수 있다. 나아가, 상기 전극들(10, 20, 30) 또한 일 구현예에 따른 나선형 그래핀 나노결정들을 포함할 수 있다. 이 경우, 일 구현예에 따른 인터커넥트 구조체(1)와 전극들(10, 20, 30)은 완전히 동일한 성분으로 제조됨으로써, 접촉 저항 문제가 전혀 발생하지 않을 수 있다.
- [0062] 한편, 도 10의 실시예에서는 인터커넥트 구조체(1)가 상하부에 존재하는 전극들(10, 20, 30)에 연결되는 것으로 설명하였으나, 반드시 전극으로 제한되지 않고, 일 구현예에 따른 인터커넥트 구조체는 전기적 연결을 필요로 하는 임의의 부재에 연결될 수 있다. 예를 들어, 일 구현예에 따른 인터커넥트 구조체는 반도체 소자의 워드라인(Word Line: WL)이나 비트라인(Bit Line: BL)에 연결될 수 있고, 이 경우, 상기 워드라인 또는 비트라인 또한 일 구현예에 따른 나선형 그래핀 나노결정으로 형성할 수 있다. 이에 따라, 인터커넥트 구조체와 워드라인 또

는 비트라인간 접촉 저항 문제도 해소할 수 있다.

[0063] 도 11은 일 구현예에 따른 나선형 그래핀 나노결정을 수직방향 및 수평방향 모두로 연장하도록 형성한 다수의 인터커넥트 구조체를 적용한 적층형 전자 소자의 예를 개략적으로 도시한 모식도이다.

[0064] 도 11을 참조하면, 적층형 전자 소자(100)는 다섯 층의 칩(110, 120, 130, 140, 150)이 수직으로 적층되어 있고, 각각의 칩은 하부의 디바이스(110a, 120a, 130a, 140a, 150a)와 각 디바이스 위에 있는 BEOL(Back End of Line)(110b, 120b, 130b, 140b, 150b)을 포함한다. 여기서, 일 구현예에 따른 나선형 그래핀 나노결정을 포함하는 제1 인터커넥트 구조체(11)는 제1층 칩(110)과 제2층 칩(120)을 수직방향으로 관통하고, 이어서, 제2층 칩(120)의 상부에서 수평방향으로 연속하여 연장한 후, 제3층 칩(130)을 수직방향으로 관통하고, 연속하여 제3층 칩(130)의 상부에서 수평방향으로 연장한 후, 제4층 칩(140)을 수직방향으로 관통하고, 제4층 칩(140)의 상부에서 수평방향으로 연장하다가, 그로부터 수직방향으로 하강하여 제4층 칩(140)의 하부에 있는 디바이스(140a)의 상부면에 연결된다. 또한, 제2 인터커넥트 구조체(12)는 제1층 칩(110)의 상부 끝단에 연결되어 그로부터 제2층 칩(120)의 상부 끝단까지 수직방향으로 연장한 후, 그로부터 수직방향으로 하강하여 제2층 칩(120)의 하부에 있는 디바이스(120a)의 상부면에 연결된다. 또한, 제3 인터커넥트 구조체(13)는 제2층 칩(120)의 하부 디바이스(120a)의 상부면으로부터 제3층 칩(130)을 수직방향으로 관통한 후, 제3층 칩(130)의 상부면에서 수평방향으로 연장하고, 그로부터 제4층 칩(140)을 수직방향으로 관통한 후, 제4층 칩(140)의 상부면에서 수평방향으로 연장하고, 그로부터 수직방향으로 하강하여 제4층 칩(140)의 하부에 있는 디바이스(140a)의 상부면에 연결된다. 마지막으로, 제4 인터커넥트 구조체(14)는 제5층 칩(150)의 상부면에서 수직방향으로 하강한 후, 제4층 칩(140)의 상부면에서 수평방향으로 연장하고, 그로부터 수직방향으로 하강하여 제4층 칩(140)의 하부에 있는 디바이스(140a)의 상부면에 연결된다.

[0065] 도 11에 나타난 전자 소자에서, 각각의 인터커넥트 구조체들(11, 12, 13, 14)은 모두 일 구현예에 따른 나선형 그래핀 나노결정들을 포함한다. 전술한 바와 같이, 일 구현예에 따른 나선형 그래핀 나노결정들은 층간 공유결합에 의해 수직방향으로 균일하고 우수한 전기전도도를 가지며, 동시에, 나선형 그래핀 나노결정들이 수평방향으로 연결되는 경우, 나선형 그래핀 나노결정의 클라인-에지에 존재하는 지그재그형 모서리에 위치하는 탄소 원자들이 가지는 비결합전자가 이웃한 나선형 그래핀 나노결정의 클라인-에지에 존재하는 탄소 원자의 비결합전자와 공유결합함으로써, 평면 상에서 수평방향으로 연결되어 존재하는 나선형 그래핀 나노결정들 사이에 수평방향으로도 균일한 전기전도도를 가질 수 있다. 뿐만 아니라, 도 11에 나타난 제1, 제2, 제3, 및 제4 인터커넥트 구조체들과 같이, 수직방향 및 수평방향의 접합을 모두 포함하는 인터커넥트 구조체들이 모두 동일한 한가지 물질, 즉, 나선형 그래핀 나노결정들로 구성됨으로써, 이러한 인터커넥트 구조체들에서는 수평 및 수직 접합에서의 접촉 저항의 문제가 발생하지 않는다.

[0066] 따라서, 일 구현예에 따른 나선형 그래핀 나노결정을 포함하는 인터커넥트 구조체는 수직방향 또는 수평방향의 어느 일 방향으로뿐만 아니라, 수직방향과 수평방향을 연속하여 동일한 물질로 연결함으로써, 수직, 수평 접합에서도 접촉 저항이 없는 인터커넥트 구조체를 제공할 수 있다.

[0067] 한편, 상기와 같은 인터커넥트 구조체는 일 구현예에 따른 나선형 그래핀 나노결정들을 수평방향으로 연결하여 포함하는 박막을 제조한 후, 이를 원하는 형태로 패터닝하여 형성하거나, 또는 도 11에 나타난 적층형 전자 소자(100)에서, 인터커넥트 구조체가 필요한 위치에 미리 인터커넥트 구조체의 형태대로 주형을 형성한 후, 이 주형 내에 나선형 그래핀 나노결정을 직접 성장시켜 채우는 방법으로 제조할 수 있다.

[0068] 일 예로서, 나선형 그래핀 나노결정들을 수평방향으로 연결하여 포함하는 박막으로부터 원하는 형태로 패터닝하여 인터커넥트 구조체를 제조하는 방법을 도 12를 참조하여 설명한다.

[0069] 도 12를 참조하면, 실리콘(Si) 기판 상에 나선형 그래핀 나노결정들이 수평방향으로 연결되어 포함된 그래핀 박막, 및 그 위에 차례로 형성된 산화물(Oxide) 막과 포토레지스트(PR) 막이 배치된 인터커넥트 구조체 제조용 기판을 준비하고, 여기에 포토리소그래피를 적용하여 포토레지스트 막의 일부를 제거(단계 (A))함으로써 둥근 형태의 포토레지스트 패턴을 형성한다. 이후, 상기 포토레지스트 패턴을 통해 노출된 산화물(Oxide)을 수소 플라즈마에 노출시켜 제거(단계 (B))함으로써, 상기 포토레지스트 패턴을 통해 인터커넥트 구조체를 형성할 그래핀 박막의 나선형 그래핀 나노결정들을 노출시킨다. 이후, 남아 있는 포토레지스트(PR) 막을 에칭 공정을 통해 제거(단계 (C))함으로써, 산화물(Oxide) 막으로 덮힌 기판 표면으로부터 수직방향으로 연장한 기둥 모양의 나선형 그래핀 나노결정들로 이루어진 인터커넥트 구조체(15)를 얻는다. 이후, 제조된 인터커넥트 구조체(15)를 가지는 기판에 전압을 가하고 인터커넥트 구조체(15)의 상부에서 전압을 측정함으로써, 제조된 인터커넥트 구조체(15)가 하부 기판에 가해진 전압을 잘 전달하는지 여부를 확인할 수 있다(단계 (D)).

- [0070] 상기 패터닝 방법과 달리, 전자 소자 등에서 인터커넥트 구조체를 배치할 부분을 미리 주형 형태로 제조하여 비워두고, 이 주형 안에 나선형 그래핀 나노결정을 성장시킴으로써 인터커넥트 구조체를 제조할 수도 있다. 일 구현예에 따른 나선형 그래핀 나노결정은 임의의 기판에서 촉매 등을 필요로 하지 않고, 유도결합플라즈마 화학 기상증착법(IPC-CVD: Inductively coupled plasma-Chemical Vapor Deposition)에 의해 빠른 시간 안에 증착 가능하므로, 반도체 소자 등에 인터커넥트 구조체를 적용할 경우, 상기 소자에 형성된 주형 내로 나선형 그래핀 나노결정을 반도체 기판 상에서 인시츄(*in-situ*)로 바로 성장시켜 형성할 수 있다. 따라서, 일 구현예에 따른 나선형 그래핀 나노결정은 짧은 시간 안에 간편한 방법을 통해 소자 내에 즉석으로 형성할 수 있는 공정상의 이점도 가진다.
- [0071] 일 구현예에 따른 나선형 그래핀 나노결정을 IPC-CVD를 사용하여 형성할 수 있는 기판은 임의의 기판일 수 있으며, 예를 들어, IV족 반도체 물질, 반도체 화합물(예컨대 III-V족 화합물 반도체 또는 II-VI족 화합물 반도체), 절연체, 금속 중 임의의 물질을 포함할 수 있다. 예를 들어, 기판은 Si, Ge 또는 Sn 등의 IV족 반도체 물질을 포함할 수 있다. 또는, 기판은 Si, Ge, C, Zn, Cd, Al, Ga, In, B, C, N, P, S, Se, As, Sb, Te, Ta, Ru, Rh, Ir, Co, Ta, Ti, W, Pt, Au, Ni, 및 Fe 중 적어도 1 종을 포함할 수 있다. 또한, 예를 들어, 기판은 Si, Ge, SiC, SiGe, SiGeC, Ge 합금, GaAs, InAs, InP 등을 포함할 수 있다. 기판은 단일 층 또는 서로 다른 물질이 적층된 복수층을 포함할 수도 있다.
- [0072] 일 실시예에서, 기판은 SOI(Silicon-On-Insulator) 기판, 또는 SGOI(Silicon Germanium-On-Insulator) 기판을 포함할 수 있다. 예를 들어, 기판은 SiCOH 계 조성으로, N, 및/또는 F를 더 포함할 수 있고, 유전율 저하를 위해 기공을 포함할 수 있다. 한편, 기판은 도펀트(dopant)를 더 포함할 수도 있다.
- [0073] 일 구현예에 따른 인터커넥트 구조체는 전자 소자를 구성할 수 있다. 예를 들면, 전자 소자는 반도체 소자를 포함할 수 있으며, 이 경우, 인터커넥트 구조체는 1층 이상 적층된 반도체 소자에서 수직방향 및 수평방향 모두를 통해 연결되어 연장할 수 있다. 이에 따라, 일 구현예에 따른 인터커넥트를 수평 및 수직 접합을 위해 적용할 경우, 수직, 수평 접합에 따른 접촉 저항의 문제가 발생하지 않는다. 상기 반도체 소자는 트랜지스터(transistor), 커패시터(capacitor), 다이오드(diode), 및 레지스터(resistor) 중 적어도 하나를 포함할 수 있다. 예를 들어, 상기 일 구현예에 따른 인터커넥트 구조체는 저항변화메모리(RRAM: Resistive Random Access Memory) 소자에 수직방향 기둥 형태로 연결될 수 있고, 이때 전극 및 워드라인(WL: Word Line)과 비트라인(BL: Bit Line) 등도 모두 일 구현예에 따른 나선형 그래핀 나노결정으로부터 형성함으로써, 접촉 저항 문제를 현저히 감소시킬 수 있다.
- [0074] 이하, 실시예를 통해 일 구현예에 따른 나선형 그래핀 나노결정의 제조 방법, 및 그 특성 평가 방법을 자세히 설명한다.
- [0076] **실시예**
- [0077] **합성예: 나선형 그래핀 나노결정, 및 이를 포함하는 박막의 제조**
- [0078] 유도결합플라즈마-화학기상증착법(ICP-CVD)을 사용하여 나선형 그래핀 나노결정들을 합성한다. 구체적으로, 5.0×10^{-7} 토르(torr)의 압력에서 탄소원으로서 아세틸렌(C_2H_2)을 사용하고, 맨 머저 기판을 CVD 챔버에 넣는다. 그 후, 비활성 가스 흐름 하에 온도를 상승시키고, 타겟 온도에서 150W 전력으로 자연적으로 존재하는 산소를 최소화하기 위해 수소(H_2) 플라즈마로 예비처리한다. 타겟 기판(높은 농도로 As++ 도핑된 Si 기판 또는 단결정 금(Au)/마이크라 기판)에 따라 성장 조건을 최적화한다. Si 상에서의 최초 입자 생성을 위해, $C_2H_2:H_2:Ar$ 가스 혼합물(2:50:100 sccm)을 20 Torr 압력에서 챔버에 주입하고, RF 플라즈마 파워 200 W에서 20 mTorr 압력 하에 플라즈마를 점화한다. Au/마이크라 기판은 400℃까지 (Si 기판은 550℃ 온도까지) 가열하는데, 이는 마이크라 상에 임의의 열적 분해가 발생하는 것을 피하고, 또한, $C_2H_2:H_2:Ar$ 가스 혼합물이 유입되는 것을 막기 위한 것이다. 플라즈마를 50 W 파워로 30 mTorr로 점화한다. 그래핀 성장 시간은 5 분 내지 30 분으로 변화시켰다. 성장 기간의 마지막에, 가스 주입과 플라즈마를 중단하고, 챔버를 진공 하에 상온으로 냉각한다.
- [0079] **평가: 나선형 그래핀 나노결정의 특성 평가**
- [0080] STM (Scanning Tunneling Microscope: STM), C-AFM (Conductive Atomic Force Microscopy), XPS (X-ray photoelectron spectroscopy), 및 TEM (Transmission Electron Microscopy)을 사용하여 성장한 나선형 그래핀

나노결정의 전기적 특성 및 현미경적 성장을 관찰한다. STM과 STS 평가는 4.2 K 및 3.0×10^{-11} Torr에서 작동하는 Joule Thomson STM을 사용하여 수행한다. 바이어스 전압은 팁에 따른 샘플 전압을 참조한다. dI/dV 와 dz/dV 스펙트럼은 727 Hz에서 50 mV의 바이어스 전압 모듈레이션으로 락-인(lock-in) 기술을 사용하여 측정한다. 공기로부터의 오염을 제거하기 위하여, Au 기판 상 나선형 그래핀 나노결정(111) 샘플을 700 K에서 어닐링하여 세정했다. C-AFM 측정에서, 반발 작용력(repulsive interaction forces)은 적용되는 바이어스 전압 하에 피드백 루프를 통해 3.35 nN에서 일정하게 유지한다. 도전성 Cr-PtIr 팁 (PPP-CONTSCPT, Nanosensors™)을 사용하여 두 개의 상보적인 데이터 맵인 토포그래픽 및 컨덕턴스 맵을 얻었다. TEM 분석은 수차-보정된 투과전자현미경(aberration-corrected transmission electron microscopy)(Titan G2 Cube 60-300 kV (FEI) at UNIST)을 사용하여 수행한다. 샘플에 빔 조사를 최소화하기 위해, 이미지들을 최소 빔 노출 어프로치를 적용하며 80 kV의 낮은 수행 압력에서 수집한다. XPS (K-Alpha, Thermo Fisher)는 그들의 화학 조성을 측정하기 위해 수행한다. C 1s 스펙트럼은 sp² 그래파이트 탄소에 대해 0.1의 비대칭 팩터를 가지는 비대칭 Doniach-Sunjić (DS) 함수 및 다른 탄소-함유 종들에 대한 대칭 가우시안-로렌지안 (Gaussian-Lorentzian) product 함수(70% 가우시안 및 30% 로렌지안)(GL(30))를 포함하는 선형(line shape) 함수들의 최소 세트를 사용하여 피팅한다. 기준선 보정은 Shirley-형 배경 보정을 사용하여 보정한다.

[0081] Au 표면 상에서 성장한 나선형 그래핀 나노결정들의 원자 구조를 TEM 및 STM을 통해 확인하였다. TEM 이미지의 단면으로부터, 30 분 정도의 성장 시간은 기판을 덮기에 충분하고, 5 내지 7 층의 다층 그래핀을 형성하였으며, 이에 대한 라만 스펙트럼은 우세한 D와 G 피크를 나타내는데, 이는 Au 표면에서 그래핀이 효과적으로 성장했음을 의미하는 것이다.

[0082] 도 1에 나타낸 STM 토포그래피 이미지로부터 알 수 있는 것처럼, Au 상에서 성장한 나선형 그래핀 나노결정의 입자 크기는 약 10 nm이다. Au 기판에서는 나선형 그래핀과 적층 그래핀의 두 가지 타입의 그래핀이 형성되었는데, 적층 그래핀은 층간 강한 반데르 발스 상호 작용을 가지며, 각각의 층은 독립적으로 성장한다. 나선형 층은 공유결합한 단위자층이다. 일부 나선형 그래핀 나노결정 구조들은 시계 방향 회전을 나타내고, 다른 것들은 반시계 방향 회전을 보인다. 나선형 그래핀 나노결정은 나선전위(Screw dislocation)에 의해 형성되며, 그것의 성장은 상부층이 최초 층 위로 성장하는 상부 성장(top-growth) 메커니즘으로 이루어진다. 도 1에서, 나선형 그래핀 나노결정 구조체들은 중간에서 적층된 나노결정 그래핀들을 둘러싸고 있다. 이는 반대 방향 나선전위의 결합이 에너지적으로 유리하기 때문이며, 적층된 그래핀 구조체는 나선형 그래핀 나노결정들이 응집되어 형성될 수 있다. AFM 토포그래피는 Si 기판에서의 나선형 그래핀 나노결정의 나선형 형태도 입증한다.

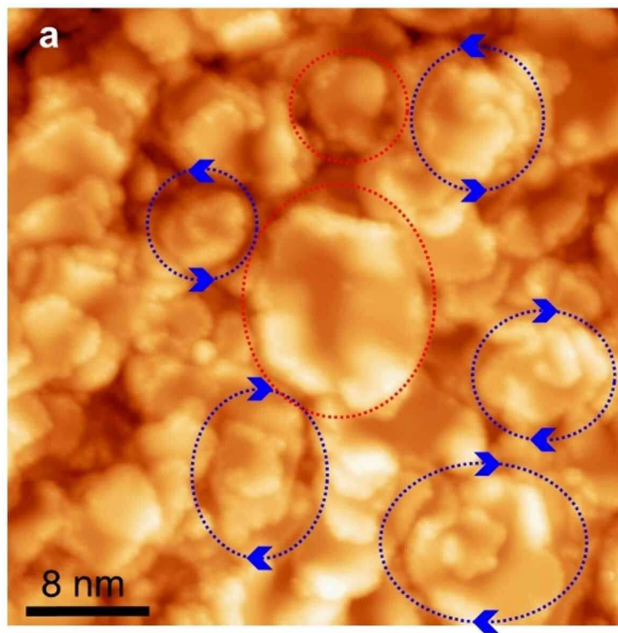
[0084] 이상에서 실시예들에 대하여 상세하게 설명하였지만 권리범위는 이에 한정되는 것은 아니고 다음의 청구 범위에서 정의하고 있는 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 권리범위에 속하는 것이다.

부호의 설명

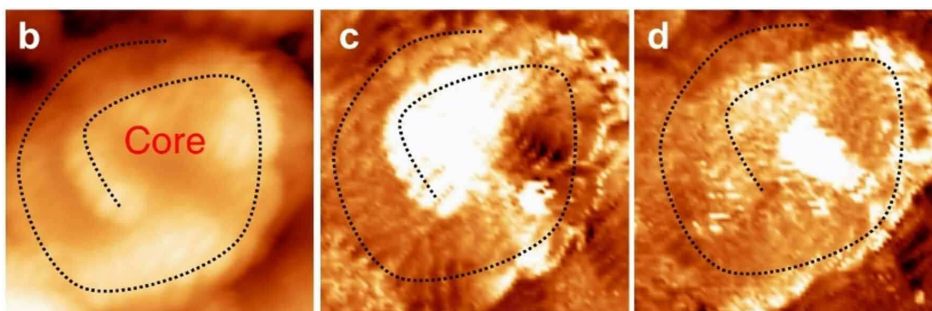
[0086] 1, 11, 12, 13, 14, 15: 인터커넥트 구조체
10, 20, 30: 전극
100: 전자 소자
110, 120, 130, 140, 150: 칩
110a, 120a, 130a, 140a, 150a: 디바이스
110b, 120b, 130b, 140b, 150b: BEOL(Back End of Line)

도면

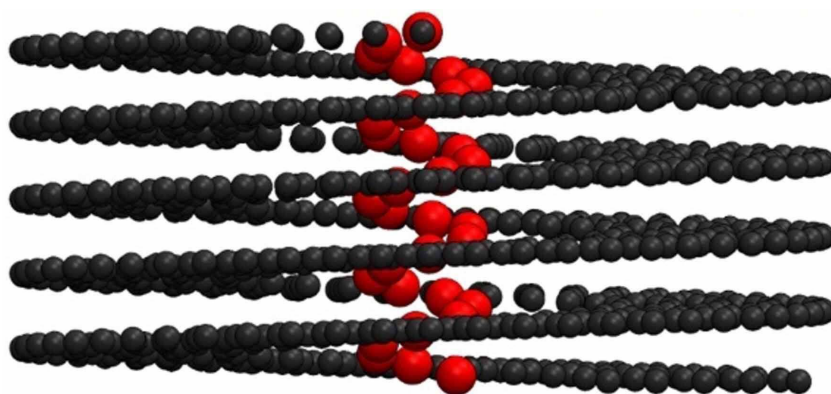
도면1



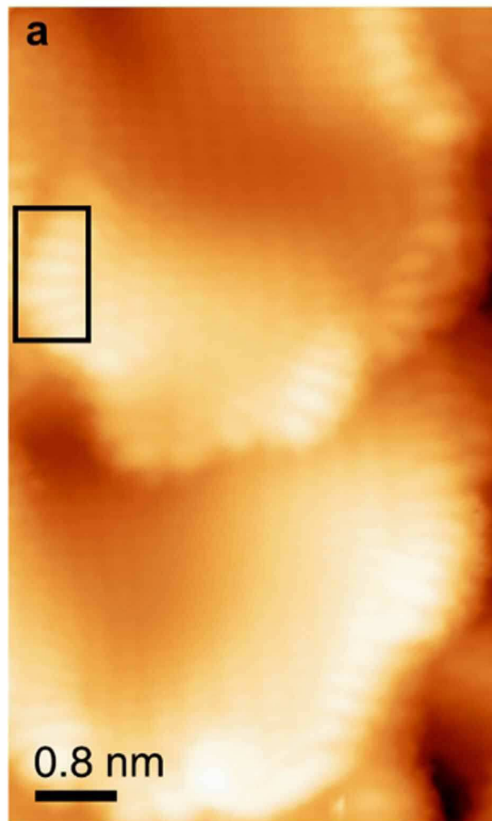
도면2



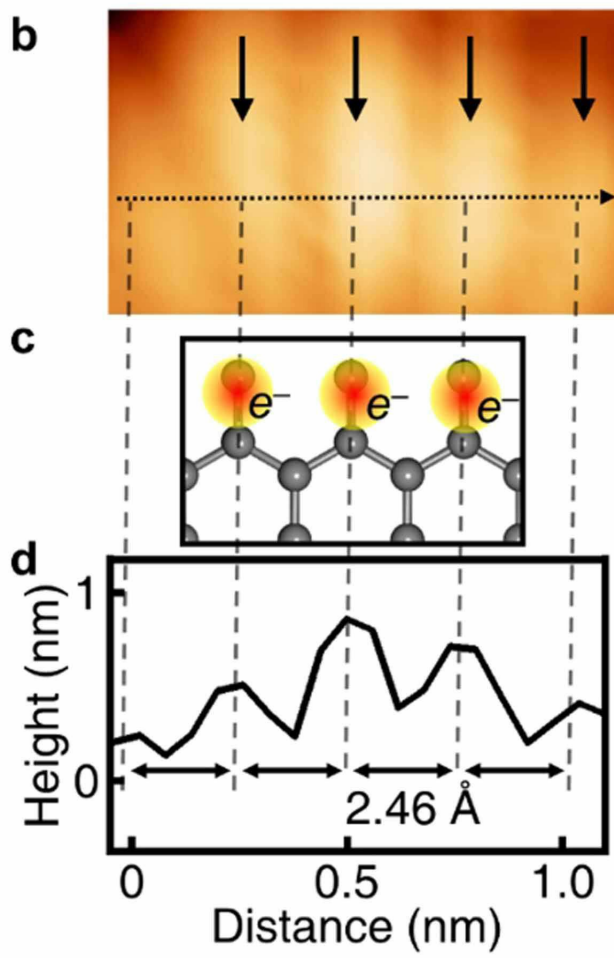
도면3



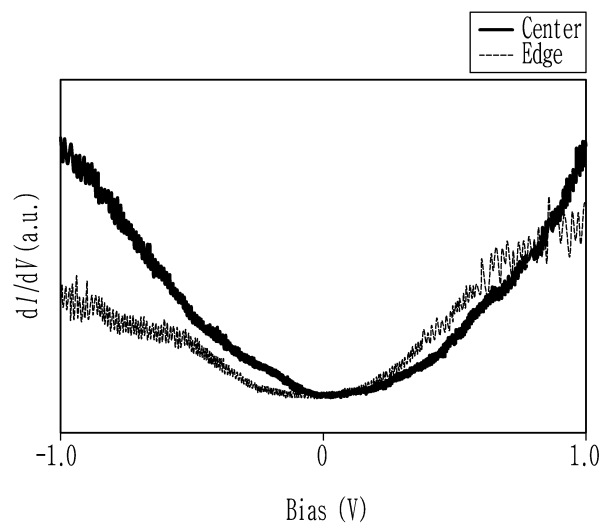
도면4



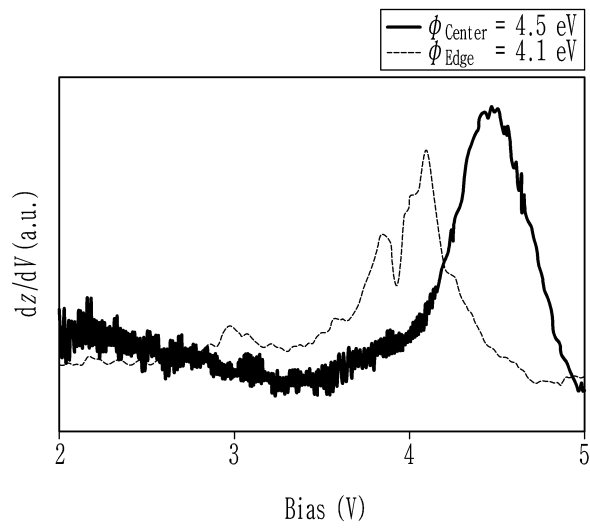
도면5



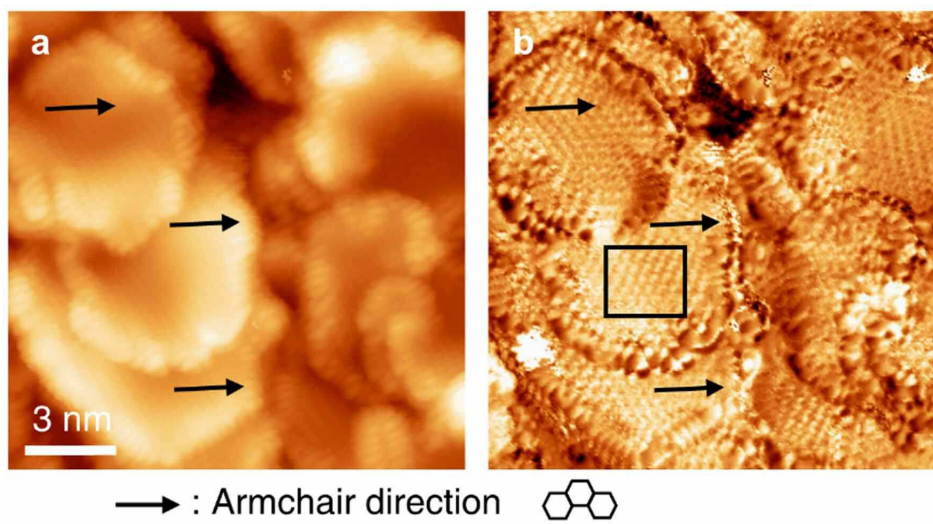
도면6



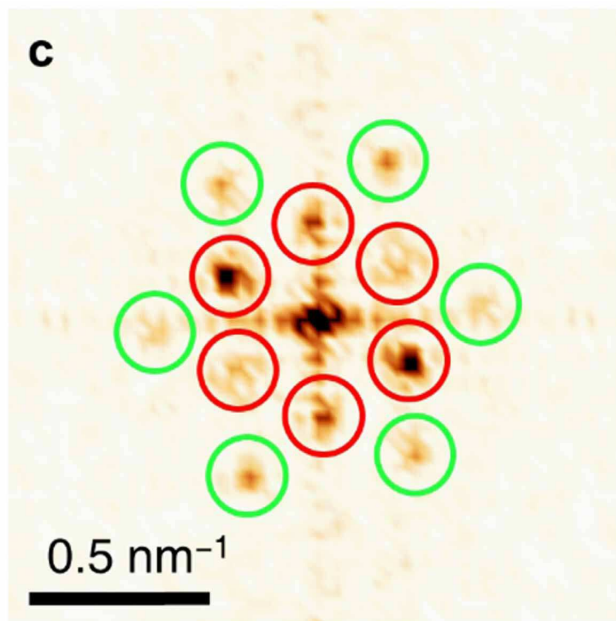
도면7



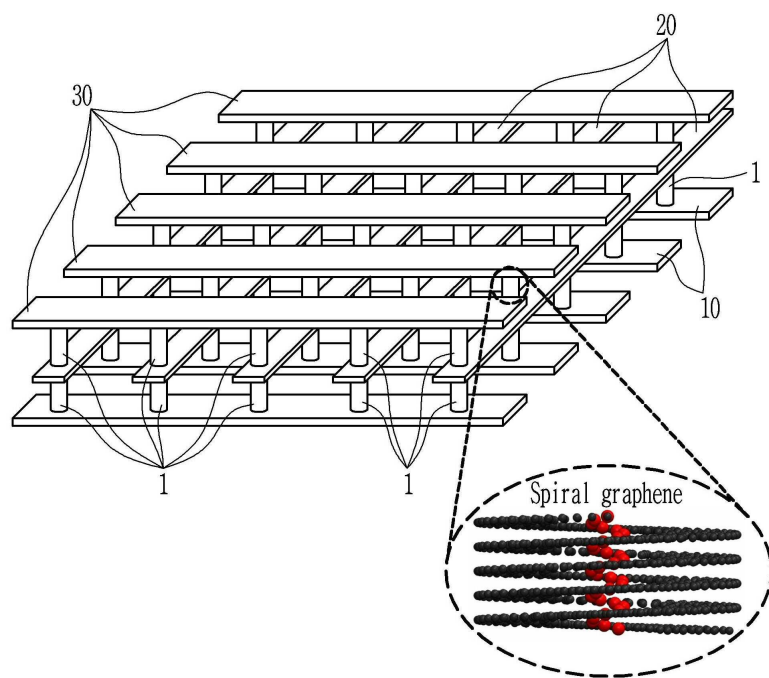
도면8



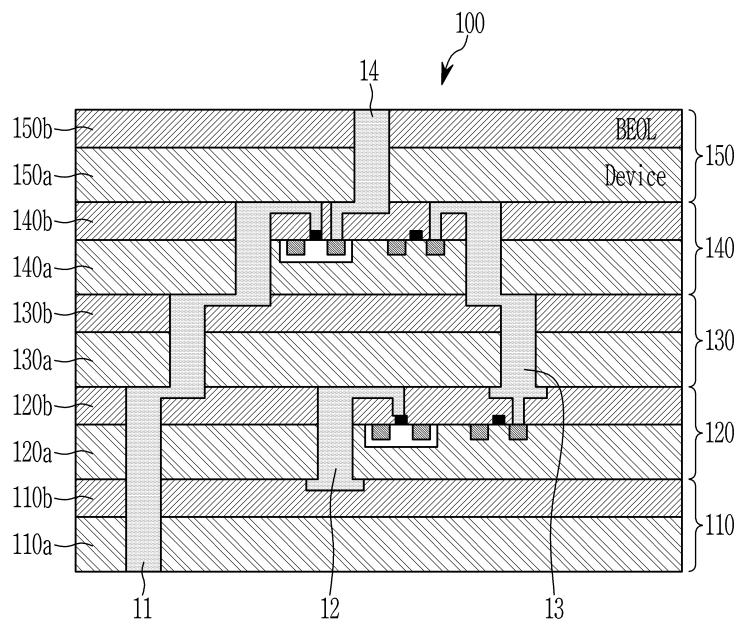
도면9



도면10



도면11



도면12

