

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(11) 공개번호 10-2025-0063008
(43) 공개일자 2025년05월08일

(51) 국제특허분류(Int. Cl.)

G11C 15/04 (2006.01) G11C 7/06 (2021.01)

G11C 8/08 (2006.01)

(52) CPC특허분류

G11C 15/04 (2013.01)

G11C 7/06 (2013.01)

(21) 출원번호 10-2023-0148589

(22) 출원일자 2023년10월31일

심사청구일자 2023년10월31일

(71) 출원인

울산과학기술원

울산광역시 울주군 언양읍 유니스트길 50

(72) 발명자

김경록

울산광역시 울주군 언양읍 유니스트길 50 (반연리, 울산과학기술원)

최영은

울산광역시 울주군 언양읍 유니스트길 50 (반연리, 울산과학기술원)

(뒷면에 계속)

(74) 대리인

특허법인더웨이브, 특허법인 수

전체 청구항 수 : 총 11 항

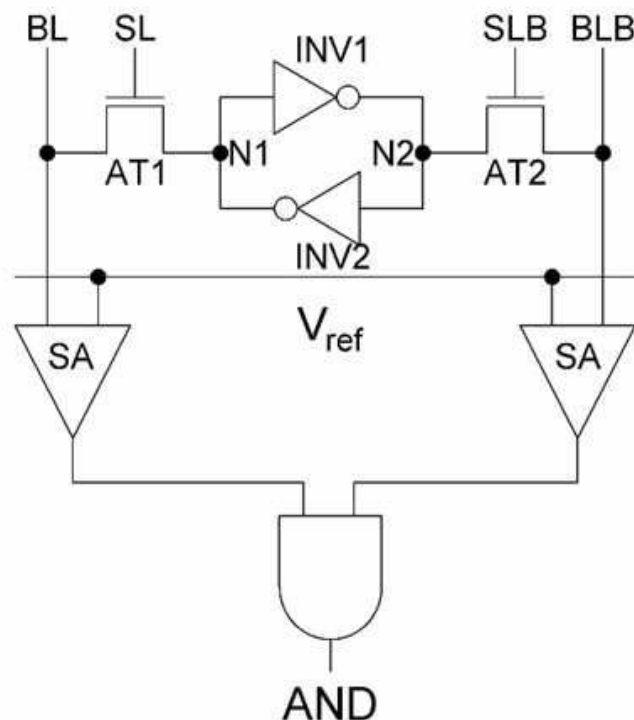
(54) 발명의 명칭 3진 메모리 셀을 포함하는 TCAM

(57) 요약

본 발명에 따른 복수의 3진 메모리 셀을 포함하는 셀 어레이를 포함하는 메모리 장치가 개시된다. 3진 메모리 셀은, 제1 노드 및 제2 노드에서 교차 연결되는 제1 인버터 및 제2 인버터, 제1 노드 및 제1 비트 라인(BL) 사이에서 연결된 제1 액세스 트랜지스터, 제2 노드 및 제2 비트 라인(BLB) 사이에서 연결된 제2 액세스 트랜지스터를

(뒷면에 계속)

대표도 - 도3



포함하고, 메모리 장치는, 각 3진 메모리 셀의 제1 액세스 트랜지스터 및 제2 액세스 트랜지스터에 워드_서치 라인(WL/SL)이 연결되어, 기입 및 판독 모드 시 워드 라인 신호(WL)를 선택적으로 인가시키고, 서치 모드 시 서치 라인 신호(SL)를 선택적으로 인가시키는 워드라인_서치 스트링 드라이버를 더 포함한다.

본 발명은 울산과학기술원(지원기관)의 반도체혁신선도연구단과제 “초고에너지효율 분산형 인공지능 시스템연구” (과제기간 : 2023. 01. 01 ~ 2023. 12. 31) 및 여성과학기술인육성지원사업 “실리콘반도체 공정 기반 3진 소자를 활용한 저전력, 고성능 다치 로직 메모리 설계 및 최적화(비R&D)” (과제기간 : 2023. 04. 01 ~ 2023. 10. 31)의 성과로 출원한다.

(52) CPC특허분류

G11C 8/08 (2013.01)

(72) 발명자

김우석

울산광역시 울주군 언양읍 유니스트길 50 (반연리, 울산과학기술원)

김명

울산광역시 울주군 언양읍 유니스트길 50 (반연리, 울산과학기술원)

박준영

울산광역시 울주군 언양읍 유니스트길 50 (반연리, 울산과학기술원)

류민우

울산광역시 울주군 언양읍 유니스트길 50 (반연리, 울산과학기술원)

정예송

울산광역시 울주군 언양읍 유니스트길 50 (반연리, 울산과학기술원)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711200481
과제번호	WISET202303FS01
부처명	과학기술정보통신부
과제관리(전문)기관명	한국여성과학기술인육성재단
연구사업명	여성과학기술인육성지원
연구과제명	여성과학기술인 육성·지원
기 여 율	50.00/100
과제수행기관명	한국여성과학기술인육성재단
연구기간	2023.01.01 ~ 2023.12.31

이 발명을 지원한 국가연구개발사업

과제고유번호	1711193300
과제번호	2021-0-02092-003
부처명	과학기술정보통신부
과제관리(전문)기관명	정보통신기획평가원
연구사업명	ICT첨단유망기술육성사업
연구과제명	트랜지스터-안테나 융합소자 기반 다중-픽셀 플라스모닉 THz 검출기 모듈 및 보안용
검색 시제품 개발	
기 여 율	50.00/100
과제수행기관명	(주)엘라이트
연구기간	2023.01.01 ~ 2023.12.31

명세서

청구범위

청구항 1

복수의 3진 메모리 셀을 포함하는 셀 어레이를 포함하는 메모리 장치로서,

상기 3진 메모리 셀은,

제1 노드 및 제2 노드에서 교차 연결되는 제1 인버터 및 제2 인버터;

상기 제1 노드 및 제1 비트 라인(BL) 사이에서 연결된 제1 액세스 트랜지스터;

상기 제2 노드 및 제2 비트 라인(BLB) 사이에서 연결된 제2 액세스 트랜지스터를 포함하고,

상기 3진 메모리 셀은, 상기 제1 인버터 및 상기 제2 인버터의 풀업 소자들 및 풀다운 소자들이 모두 턴-오프된 제1 상태, 상기 제1 인버터의 풀업 소자 및 상기 제2 인버터의 풀다운 소자가 턴-온되고, 상기 제1 인버터의 풀다운 소자 및 상기 제2 인버터의 풀업 소자가 턴-오프된 제2 상태, 및 상기 제1 인버터의 풀업 소자 및 상기 제2 인버터의 풀다운 소자가 턴-오프되고, 상기 제1 인버터의 풀다운 소자 및 상기 제2 인버터의 풀업 소자가 턴-온된 제3 상태에 대응하는 3진 값을 저장하도록 구성되고,

상기 메모리 장치는

상기 각 3진 메모리 셀의 제1 액세스 트랜지스터 및 상기 제2 액세스 트랜지스터에 워드_서치 라인(WL/SL)이 연결되어, 기입 및 판독 모드 시 선택된 3진 메모리 셀에 대응하는 상기 워드_서치 라인(WL/SL)에 워드 라인 신호(WL)를 선택적으로 인가시키고, 서치 모드 시 상기 워드_서치 라인에 서치 스트링에 대응하는 워드_서치 라인(WL/SL)에 서치 라인 신호(SL)를 선택적으로 인가시키는 워드라인_서치 스트링 드라이버;

를 더 포함하는 것을 특징으로 하는 메모리 장치.

청구항 2

제1 항에 있어서,

상기 각 3진 메모리 셀에는 3가지 상태를 갖는 3진 정보가 저장되며, 상기 제1 및 제2 액세스 트랜지스터에 상기 서치 라인 신호(SL)가 인가되어 서치 모드로 활용하여 대응하는 정보 및 서치 라인과 대응하는 라인의 정보를 기반으로 메모리 주소 검색 기능을 제공할 수 있는 것을 특징으로 하는 메모리 장치.

청구항 3

제1 항에 있어서,

상기 메모리 장치는,

상기 복수의 3진 메모리 셀들 중 적어도 하나의 메모리 셀에 제1 값을 제공하고, 상기 제1 값 및 상기 적어도 하나의 3진 메모리 셀에 저장된 제2 값이 논리 연산된 제3 값 및/또는 상기 제2 값을 래치하도록 구성된 페이지 버퍼를 더 포함하는 것을 특징으로 하는 메모리 장치.

청구항 4

제1 항에 있어서,

상기 메모리 장치는,

상기 메모리 장치는 TCAM 인 것을 특징으로 하는 메모리 장치.

청구항 5

제1 항에 있어서,

상기 3진 메모리 셀의 상기 제1 인버터 및 상기 제2 인버터는,

상기 제1 노드 및 제2 노드에서 교차 연결되고, 턴-오프시 제1 정전류를 통과시키도록 구성된 풀업 소자 및 턴-오프시 제2 정전류를 통과시키도록 구성된 풀다운 소자를 포함하는 것을 특징으로 하는 메모리 장치.

청구항 6

제5 항에 있어서,

상기 제1 액세스 트랜지스터는, 워드_서치 라인(WL/SL)에 연결된 게이트를 가지고, 활성화된 상기 워드_서치 라인(WL/SL)에 응답하여 상기 제1 정전류 및 상기 제2 정전류 중 작은 크기의 전류 이하의 액세스 전류를 통과시키기 위한 크기 및 문턱 전압을 가지고,

상기 제1 상태에서 턴-오프된 풀업 소자 및 풀다운 소자를 통과하는 제1 전류는, 제2 상태 및 제3 상태에서 턴-온된 풀업 소자 및

청구항 7

제1 항에 있어서,

상기 메모리 장치는

각각 상기 제1 비트 라인 및 기준 전압에 연결된 다수의 제1 센스 증폭이기;

상기 제2 비트라인 및 상기 기준 전압에 연결된 다수의 제2 센스 증폭이기; 및

각 제1 센스 증폭이기의 출력 및 각 제2 센스 증폭이기의 출력을 비교하는 다수의 앤드 게이트;

를 포함하는 것을 특징으로 하는 메모리 장치.

청구항 8

제1 항에 있어서,

상기 제1 액세스 트랜지스터의 게이트에는 서치 라인 신호(SL)가 인가되며, 상기 제2 액세스 트랜지스터의 게이트에는 반전 서치 라인 신호(SLB)가 인가되는 것을 특징으로 하는 메모리 장치.

청구항 9

복수의 3진 메모리 셀을 포함하는 TCAM 으로서,

상기 3진 메모리 셀은,

제1 노드 및 제2 노드에서 교차 연결되는 제1 인버터 및 제2 인버터;

상기 제1 노드 및 제1 비트 라인(BL) 사이에서 연결된 제1 액세스 트랜지스터;

상기 제2 노드 및 제2 비트 라인(BLB) 사이에서 연결된 제2 액세스 트랜지스터를 포함하고,

상기 3진 메모리 셀은, 상기 제1 인버터 및 상기 제2 인버터의 풀업 소자들 및 풀다운 소자들이 모두 턴-오프된 제1 상태, 상기 제1 인버터의 풀업 소자 및 상기 제2 인버터의 풀다운 소자가 턴-온되고, 상기 제1 인버터의 풀다운 소자 및 상기 제2 인버터의 풀업 소자가 턴-오프된 제2 상태, 및 상기 제1 인버터의 풀업 소자 및 상기 제2 인버터의 풀다운 소자가 턴-오프되고, 상기 제1 인버터의 풀다운 소자 및 상기 제2 인버터의 풀업 소자가 턴-온된 제3 상태에 대응하는 3진 값을 저장하도록 구성되고,

상기 TCAM은

상기 각 3진 메모리 셀의 제1 액세스 트랜지스터 및 상기 제2 액세스 트랜지스터에 워드_서치 라인(WL/SL)이 연결되어, 기입 및 판독 모드 시 선택된 3진 메모리 셀에 대응하는 상기 워드_서치 라인(WL/SL)에 워드 라인 신호(WL)를 선택적으로 인가시키고, 서치 모드 시 상기 워드_서치 라인에 서치 스트링에 대응하는 워드_서치 라인(WL/SL)에 서치 라인 신호(SL)를 선택적으로 인가시키는 워드라인_서치 스트링 드라이버;

각각 상기 제1 비트 라인 및 기준 전압에 연결된 다수의 제1 센스 증폭이기;

상기 제2 비트라인 및 상기 기준 전압에 연결된 다수의 제2 센스 증폭이기; 및

각 제1 센스 증폭이기의 출력 및 각 제2 센스 증폭이기의 출력을 비교하는 다수의 앤드 게이트;

를 더 포함하고,

상기 제1 액세스 트랜지스터의 게이트에는 서치 라인 신호(SL)가 인가되며, 상기 제2 액세스 트랜지스터의 게이트에는 반전 서치 라인 신호(SLB)가 인가되는 것을 특징으로 하는 TCAM.

청구항 10

복수의 3진 메모리 셀을 포함하는 셀 어레이를 포함하는 메모리 장치로서,

상기 3진 메모리 셀은,

제1 노드 및 제2 노드에서 교차 연결되는 제1 인버터 및 제2 인버터;

상기 제1 노드 및 제1 비트 라인(BL) 사이에서 연결된 제1 액세스 트랜지스터;

상기 제2 노드 및 제2 비트 라인(BLB) 사이에서 연결된 제2 액세스 트랜지스터를 포함하고,

상기 메모리 장치는

상기 각 3진 메모리 셀의 제1 액세스 트랜지스터 및 상기 제2 액세스 트랜지스터에 워드_서치 라인(WL/SL)이 연결되어, 기입 및 판독 모드 시 선택된 3진 메모리 셀에 대응하는 상기 워드_서치 라인(WL/SL)에 워드 라인 신호(WL)를 선택적으로 인가시키고, 서치 모드 시 상기 워드_서치 라인에 서치 스트링에 대응하는 워드_서치 라인(WL/SL)에 서치 라인 신호(SL)를 선택적으로 인가시키는 워드라인_서치 스트링 드라이버;

를 더 포함하고,

상기 각 3진 메모리 셀에는 3가지 상태를 갖는 3진 정보가 저장되며, 상기 제1 및 제2 액세스 트랜지스터에 상기 서치 라인 신호(SL)가 인가되어 서치 모드로 활용하여 대응하는 정보 및 서치 라인과 대응하는 라인의 정보를 기반으로 메모리 주소 검색 기능을 제공할 수 있는 것을 특징으로 하는 메모리 장치.

청구항 11

복수의 3진 메모리 셀을 포함하는 TCAM에 있어서,

상기 3진 메모리 셀은,

제1 노드 및 제2 노드에서 교차 연결되는 제1 인버터 및 제2 인버터;

상기 제1 노드 및 제1 비트 라인(BL) 사이에서 연결된 제1 액세스 트랜지스터;

상기 제2 노드 및 제2 비트 라인(BLB) 사이에서 연결된 제2 액세스 트랜지스터를 포함하고,

상기 TCAM은,

상기 각 3진 메모리 셀의 제1 액세스 트랜지스터 및 상기 제2 액세스 트랜지스터에 워드_서치 라인(WL/SL)이 연결되어, 기입 및 판독 모드 시 선택된 3진 메모리 셀에 대응하는 상기 워드_서치 라인(WL/SL)에 워드 라인 신호(WL)를 선택적으로 인가시키고, 서치 모드 시 상기 워드_서치 라인에 서치 스트링에 대응하는 워드_서치 라인(WL/SL)에 서치 라인 신호(SL)를 선택적으로 인가시키는 워드라인_서치 스트링 드라이버;

를 더 포함하고,

상기 각 3진 메모리 셀에는 3가지 상태를 갖는 3진 정보가 저장되며, 상기 제1 및 제2 액세스 트랜지스터에 상기 서치 라인 신호(SL)가 인가되어 서치 모드로 활용하여 대응하는 정보 및 서치 라인과 대응하는 라인의 정보를 기반으로 메모리 주소 검색 기능을 제공할 수 있는 것을 특징으로 하는 TCAM.

발명의 설명

기술 분야

본 발명은 3진 메모리 셀을 포함하는 메모리 장치에 관한 것이다. 구체적으로는 6개의 트랜지스터로 구성된 T-

[0001]

CMOS 기반의 TCAM에 관한 것이다.

배경 기술

- [0002] 일반적으로 메모리 셀은 제1 값인 0과 제2 값인 1, 이 두 가지 값을 저장하고 판독하는 것이 일반적이었다.
- [0003] 한편, 한국 등록특허 10-1689159호에서는 3진수 논리 회로가 가능한 T-CMOS가 개발되어 공개되었다. 이 T-CMOS에는 전원전압(VDD 와 GND) 사이에 직렬로 연결된 풀업 소자와 풀다운 소자를 포함하고, 입력전압(VIN)에 의해 모두 꺼진 경우, 풀업 소자와 상기 풀다운 소자가 모두 출력 전압(VOUT)에만 영향을 받는 단순 저항으로 동작하며 전압 분배를 통해 제 3의 진수 (“1” 상태)를 형성하고, 풀업 소자 또는 풀다운 소자의 한쪽만 켜져 전류를 흘려주게 되면 VDD (“2” 상태) 또는 GND (“0” 상태)가 출력전압(VOUT)으로 출력되고, 입력전압(VIN)에 영향을 받지 않고 상기 출력전압(VOUT)에만 영향을 받는 전류(ICON) 성분과 상기 입력전압(VIN)에 영향을 받고 출력전압(VOUT)에 영향을 받지 않는 전류(IEXT) 성분을 가지는 3진수 논리회로가 개시되었다.
- [0004] 이러한 3진 논리 회로가 가능한 T-CMOS를 기반으로 한국 등록특허 10-2206020 호에서는 3진 메모리 셀을 이용하여 SRAM 셀을 구현하여 3진 논리값을 저장하고 그에 대한 3진 논리 연산을 제공할 수 있는 로직-인-메모리 구조를 제공하였다.
- [0005] 한편, CAM은 특정 메모리 공간에서 검색하고자 하는 데이터가 위치하고 있는 메모리 주소를 고속으로 검색하는 기능을 하는 회로로, 기본형인 Binary CAM (BCAM)은 메모리 셀 하나를 구성요소로 하여 0,1로 이루어진 2진 정보와 검색 데이터의 일치 여부 판별 동작을 통해 메모리 주소 탐색 기능을 한다. 발전된 기법으로, TCAM은 0,1에 더해 X (don't care) 세가지 정보를 저장함으로써 더 넓은 범위의 검색을 더욱 빠른 속도로 처리가 가능하도록 고안되었으나, 3진 정보를 저장하기 위해 2개의 메모리 셀을 이용하여 설계함에 따라 16개의 트랜지스터를 사용하게 되면서 면적 및 소모전력이 2배이상 증가하는 문제가 있었다. 그리고 무엇보다 이러한 16개 트랜지스터를 사용하는 기존 방식들의 가장 큰 문제는 근본적으로 CMOS 집적도 향상에 따른 누설전류 증가로부터 기인하는 심각한 대기전력 소모가 발생한다는 점이다.

선행기술문헌

특허문헌

- [0006] (특허문헌 0001) 한국등록특허 10-1689159 호 (3진수 논리회로, 2016.12.19)
- (특허문헌 0002) 한국등록특허 10-2206020 호 (로직-인-메모리를 위한 3진 메모리 셀 및 이를 포함하는 메모리 장치, 2021.01.15)

발명의 내용

해결하려는 과제

- [0007] 상기와 같은 목적을 달성하기 위한 본 발명의 과제는 초절전 T-CMOS 소자를 기반으로 메모리 셀 내의 트랜지스터 수를 획기적으로 줄일 수 있는 TCAM을 제공하는 것을 그 목적으로 한다.
- [0008] 또한 본 발명은 종래의 CAM 기술 대비 우수한 면적 효율과 함께 소모 전력을 획기적으로 낮출 수 있는 TCAM 구조를 제공하는 것을 그 목적으로 한다.

과제의 해결 수단

- [0009] 본 발명의 일 실시 형태에 따른 복수의 3진 메모리 셀을 포함하는 셀 어레이를 포함하는 메모리 장치는, 상기 3진 메모리 셀을 포함하고, 3진 메모리 셀은, 제1 노드 및 제2 노드에서 교차 연결되는 제1 인버터 및 제2 인버터; 상기 제1 노드 및 제1 비트 라인(BL) 사이에서 연결된 제1 액세스 트랜지스터; 상기 제2 노드 및 제2 비트 라인(BLB) 사이에서 연결된 제2 액세스 트랜지스터를 포함하고, 상기 3진 메모리 셀은, 상기 제1 인버터 및 상기 제2 인버터의 풀업 소자들 및 풀다운 소자들이 모두 턴-오프된 제1 상태, 상기 제1 인버터의 풀업 소자 및 상기 제2 인버터의 풀다운 소자가 턴-온되고, 상기 제1 인버터의 풀다운 소자 및 상기 제2 인버터의 풀업 소자가 턴-오프된 제2 상태, 및 상기 제1 인버터의 풀업 소자 및 상기 제2 인버터의 풀다운 소자가 턴-온된 제3 상태에 대응하는 3진 값을 저장하

도록 구성되고, 상기 메모리 장치는, 상기 각 3진 메모리 셀의 제1 액세스 트랜지스터 및 상기 제2 액세스 트랜지스터에 워드_서치 라인(WL/SL)이 연결되어, 기입 및 판독 모드 시 선택된 3진 메모리 셀에 대응하는 상기 워드_서치 라인(WL/SL)에 워드 라인 신호(WL)를 선택적으로 인가시키고, 서치 모드 시 상기 워드_서치 라인에 서치 스트링에 대응하는 워드_서치 라인(WL/SL)에 서치 라인 신호(SL)를 선택적으로 인가시키는 워드라인_서치 스트링 드라이버;를 더 포함한다.

[0010] 바람직하게는, 상기 각 3진 메모리 셀에는 3가지 상태를 갖는 3진 정보가 저장되며, 상기 제1 및 제2 액세스 트랜지스터에 상기 서치 라인 신호(SL)가 인가되어 서치 모드로 활용하여 대응하는 정보 및 서치 라인과 대응하는 라인의 정보를 기반으로 메모리 주소 검색 기능을 제공할 수 있다.

[0011] 일 실시예에서, 상기 메모리 장치는, 상기 복수의 3진 메모리 셀들 중 적어도 하나의 메모리 셀에 제1 값을 제공하고, 상기 제1 값 및 상기 적어도 하나의 3진 메모리 셀에 저장된 제2 값이 논리 연산된 제3 값 및/또는 상기 제2 값을 래치하도록 구성된 페이지 버퍼를 더 포함한다.

[0012] 일 실시예에서, 상기 메모리 장치는, 상기 메모리 장치는 TCAM이다.

[0013] 일 실시예에서, 상기 3진 메모리 셀의 상기 제1 인버터 및 상기 제2 인버터는, 상기 제1 노드 및 제2 노드에서 교차 연결되고, 턴-오프시 제1 정전류를 통과시키도록 구성된 풀업 소자 및 턴-오프시 제2 정전류를 통과시키도록 구성된 풀다운 소자를 포함하고, 상기 제1 액세스 트랜지스터는, 워드_서치 라인(WL/SL)에 연결된 게이트를 가지고, 활성화된 상기 워드_서치 라인(WL/SL)에 응답하여 상기 제1 정전류 및 상기 제2 정전류 중 작은 크기의 전류 이하의 액세스 전류를 통과시키기 위한 크기 및 문턱 전압을 가지고, 상기 제1 상태에서 턴-오프된 풀업 소자 및 풀다운 소자를 통과하는 제1 전류는, 제2 상태 및 제3 상태에서 턴-온된 풀업 소자 및 풀다운 소자를 통과하는 제2 전류보다 작다.

[0014] 일 실시예에서, 상기 메모리 장치는 각각 상기 제1 비트 라인 및 기준 전압에 연결된 다수의 제1 센스 증폭이기; 상기 제2 비트라인 및 상기 기준 전압에 연결된 다수의 제2 센스 증폭이기; 및 각 제1 센스 증폭이기의 출력 및 각 제2 센스 증폭이기의 출력을 비교하는 다수의 앤드 게이트;를 포함한다.

[0015] 일 실시예에서, 상기 제1 액세스 트랜지스터의 게이트에는 서치 라인 신호(SL)가 인가되며, 상기 제2 액세스 트랜지스터의 게이트에는 반전 서치 라인 신호(SLB)가 인가된다.

[0016] 본 발명의 다른 실시 형태에 따르면, 복수의 3진 메모리 셀을 포함하는 TCAM은 3진 메모리 셀을 포함하고, 상기 3진 메모리 셀은, 제1 노드 및 제2 노드에서 교차 연결되는 제1 인버터 및 제2 인버터; 상기 제1 노드 및 제1 비트 라인(BL) 사이에서 연결된 제1 액세스 트랜지스터; 상기 제2 노드 및 제2 비트 라인(BLB) 사이에서 연결된 제2 액세스 트랜지스터를 포함하고, 상기 3진 메모리 셀은, 상기 제1 인버터 및 상기 제2 인버터의 풀업 소자들 및 풀다운 소자들이 모두 턴-오프된 제1 상태, 상기 제1 인버터의 풀업 소자 및 상기 제2 인버터의 풀다운 소자가 턴-온되고, 상기 제1 인버터의 풀다운 소자 및 상기 제2 인버터의 풀업 소자가 턴-오프된 제2 상태, 및 상기 제1 인버터의 풀업 소자 및 상기 제2 인버터의 풀다운 소자가 턴-오프되고, 상기 제1 인버터의 풀다운 소자 및 상기 제2 인버터의 풀업 소자가 턴-온된 제3 상태에 대응하는 3진 값을 저장하도록 구성되고, 상기 TCAM은 상기 각 3진 메모리 셀의 제1 액세스 트랜지스터 및 상기 제2 액세스 트랜지스터에 워드_서치 라인(WL/SL)이 연결되어, 기입 및 판독 모드 시 선택된 3진 메모리 셀에 대응하는 상기 워드_서치 라인(WL/SL)에 워드 라인 신호(WL)를 선택적으로 인가시키고, 서치 모드 시 상기 워드_서치 라인에 서치 스트링에 대응하는 워드_서치 라인(WL/SL)에 서치 라인 신호(SL)를 선택적으로 인가시키는 워드라인_서치 스트링 드라이버; 각각 상기 제1 비트 라인 및 기준 전압에 연결된 다수의 제1 센스 증폭이기; 상기 제2 비트라인 및 상기 기준 전압에 연결된 다수의 제2 센스 증폭이기; 및 각 제1 센스 증폭이기의 출력 및 각 제2 센스 증폭이기의 출력을 비교하는 다수의 앤드 게이트;를 더 포함하고, 상기 제1 액세스 트랜지스터의 게이트에는 서치 라인 신호(SL)가 인가되며, 상기 제2 액세스 트랜지스터의 게이트에는 반전 서치 라인 신호(SLB)가 인가된다.

발명의 효과

[0017] 이와 같이 본 발명에 따르면, 다음과 같은 효과가 있다.

[0018] 본 발명에 따른 3진 메모리 셀을 기반으로 한 TCAM은 초절전 T-CMOS 소자를 기반으로 TCAM 회로를 설계하여 Off-상태 수준의 매우 낮은 전류를 이용한 정보 저장을 통해 종래의 CAM 기술 대비 우수한 면적효율과 함께 소모전력을 획기적으로 낮출 수 있다.

[0019] 또한 본 발명에 따른 3진 메모리 셀을 기반으로 한 TCAM은 최근 Meta-learning, few shot learning의 발전과

함께, 증가하고 있는 차세대 라우터 및 스위치 장치의 더욱 복잡하고 많은 정보에 대해 초절전-고성능 동작이 가능한 메모리 주소 탐색 하드웨어 수요에 부응할 수 있다.

[0020] 또한 본 발명에 따른 3진 메모리 셀을 기반으로 한 TCAM 은 기존 16개의 트랜지스터를 사용해야 되는 기존 TCAM 구조에서 6개의 트랜지스터로 개수를 62.5% 절감하여 집적도를 대폭 향상시킬 수 있다.

도면의 간단한 설명

[0021] 도 1 및 도 2는 본 발명의 일 실시예에 따른 TCAM의 구성을 개략적으로 나타낸다.

도 3 및 도 4는 본 발명의 일 실시예에 따른 3진 메모리 셀의 내부 회로도를 나타낸다.

도 5는 본 발명에 따른 TCAM 동작의 진리표를 나타낸다.

도 6은 예시적인 TCAM 의 서치 모드 동작을 나타낸다.

발명을 실시하기 위한 구체적인 내용

[0022] 후술하는 본 발명에 대한 상세한 설명은, 본 발명이 실시될 수 있는 특정 실시예를 예시로서 도시하는 첨부 도면을 참조한다. 이들 실시예는 당업자가 본 발명을 실시할 수 있기에 충분하도록 상세히 설명된다. 본 발명의 다양한 실시예는 서로 다르지만 상호 배타적일 필요는 없음이 이해되어야 한다. 예를 들어, 여기에 기재되어 있는 특정 형상, 구조 및 특성은 일 실시예에 관련하여 본 발명의 정신 및 범위를 벗어나지 않으면서 다른 실시예로 구현될 수 있다. 또한, 각각의 개시된 실시예 내의 개별 구성요소의 위치 또는 배치는 본 발명의 정신 및 범위를 벗어나지 않으면서 변경될 수 있음이 이해되어야 한다. 따라서, 후술하는 상세한 설명은 한정적인 의미로서 취하려는 것이 아니며, 본 발명의 범위는, 적절하게 설명된다면, 그 청구항들이 주장하는 것과 균등한 모든 범위와 더불어 첨부된 청구항에 의해서만 한정된다. 도면에서 유사한 참조부호는 여러 측면에 걸쳐서 동일하거나 유사한 기능을 지칭한다.

[0023] 제1 또는 제2 등의 용어를 다양한 구성요소들을 설명하는데 사용될 수 있지만, 이런 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 해석되어야 한다. 예를 들어, 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소는 제1 구성요소로도 명명될 수 있다.

[0024] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다.

[0025] 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 설명된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함으로 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0026] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 해당 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[0027] 이하, 실시예들을 첨부된 도면들을 참조하여 상세하게 설명한다. 첨부 도면을 참조하여 설명함에 있어, 도면 부호에 관계없이 동일한 구성 요소는 동일한 참조 부호를 부여하고, 이에 대한 중복되는 설명은 생략하기로 한다.

[0028] 도 1 및 도 2는 본 발명의 일 실시예에 따른 TCAM의 구성을 개략적으로 나타낸다.

[0029] 도 1 및 도 2를 참조하면 본 발명의 일 실시예에 따른 TCAM(Ternary Content-Addressable Memory, 100)은 다수의 3진 메모리 셀(110), 워드라인_서치 스트링 드라이버(120), 다수의 제1 센스 증폭이(130), 다수의 제2 센스 증폭이(140), 다수의 앤드 게이트(150) 및 페이지 버퍼(160)를 포함한다.

[0030] 도 1은 TCAM 이 서치 모드(search mode) 일 때를 개략적으로 도시한 것이며, 도 2는 TCAM 이 기입 및 판독 모드(write and read mode) 일 때를 개략적으로 도시한 것이다.

[0031] 도 1 및 도 2에 도시된 바와 같이 다수의 3진 메모리 셀(110)에는 워드라인_서치 스트링 드라이버(120)로부터 워드_서치 라인(WL/SL)이 연결되고, 비트라인(BL) 및 반전된 비트 라인(BLB)도 각 3진 메모리 셀(110)에 연결된

다.

- [0032] 그리고 각 비트 라인(BL)에는 그 끝단에는 제1 센스 증폭이기(130)가 각 비트라인(BL)과 기준 전압 라인(Vref)을 입력으로 하도록 연결되어 있고, 각 반전된 비트 라인(BLB)에는 그 끝단에는 제2 센스 증폭이기(140)가 각 반전된 비트라인(BLB)과 기준 전압 라인(Vref)을 입력으로 하도록 연결되어 있다.
- [0033] 그리고 도 2에 도시된 바와 같이 기입 및 판독 모드 시 필요한 페이지 버퍼(160)가 각 비트라인에 연결된다.
- [0034] 도 3 및 도 4는 본 발명의 일 실시예에 따른 3진 메모리 셀의 내부 회로도를 나타낸다.
- [0035] 도 3은 3진 서치 모드일 경우의 3진 메모리 셀의 구조 및 신호 연결 모습을 나타내고 도 4는 기입 및 판독 모드 시 3진 메모리 셀의 구조 및 신호 연결 모습을 나타낸다.
- [0036] 서치 모드 인 경우와 기입 및 판독 모드 시 3진 메모리 셀의 구조와 외부 구성요소의 연결은 동일하지만, 동작 과정에서 연결되는 신호가 달라지기에 서로 다른 모습으로 도시하였다.
- [0037] 도 3 및 도 4를 참조하면 3진 메모리 셀(110)은 제1 노드(N1) 및 제2 노드(N2)에서 교차 연결되는 제1 인버터(INV1) 및 제2 인버터(INV2), 제1 노드(N1) 제1 비트라인(BL) 사이에 연결되는 제1 액세스 트랜지스터(AT1), 제2 노드(N2) 및 제2 비트 라인(BLB), 즉 제1 비트 라인의 반전된 비트 라인 사이에 연결되는 제2 액세스 트랜지스터(AT2)를 포함하는 구조로 이루어진다.
- [0038] 한편, 3진 메모리 셀(110)은 상기 제1 인버터(INV1) 및 상기 제2 인버터(INV2)의 풀업 소자들 및 풀다운 소자들이 모두 턴-오프된 제1 상태, 상기 제1 인버터(INV1)의 풀업 소자 및 상기 제2 인버터(INV2)의 풀다운 소자가 턴-온되고, 상기 제1 인버터(INV1)의 풀다운 소자 및 상기 제2 인버터(INV2)의 풀업 소자가 턴-오프된 제2 상태, 및 상기 제1 인버터(INV1)의 풀업 소자 및 상기 제2 인버터(INV2)의 풀다운 소자가 턴-오프되고, 상기 제1 인버터(INV1)의 풀다운 소자 및 상기 제2 인버터(INV2)의 풀업 소자가 턴-온된 제3 상태에 대응하는 3진 값을 저장하도록 구성된다.
- [0039] 이 때, 상기 3진 메모리 셀의 상기 제1 인버터 및 상기 제2 인버터는, 상기 제1 노드 및 제2 노드에서 교차 연결되고, 턴-오프시 제1 정전류를 통과시키도록 구성된 풀업 소자 및 턴-오프시 제2 정전류를 통과시키도록 구성된 풀다운 소자를 포함한다.
- [0040] 그리고, 상기 제1 액세스 트랜지스터는, 워드_서치 라인(WL/SL)에 연결된 게이트를 가지고, 활성화된 상기 워드_서치 라인(WL/SL)에 응답하여 상기 제1 정전류 및 상기 제2 정전류 중 작은 크기의 전류 이하의 액세스 전류를 통과시키기 위한 크기 및 문턱 전압을 가지고, 상기 제1 상태에서 턴-오프된 풀업 소자 및 풀다운 소자를 통과하는 제1 전류는, 제2 상태 및 제3 상태에서 턴-온된 풀업 소자 및 풀다운 소자를 통과하는 제2 전류보다 작은 것이 바람직하다.
- [0041] 한편, 워드라인_서치 스트링 드라이버(120)는 각 3진 메모리 셀(110)의 제1 액세스 트랜지스터(AT1) 및 제2 액세스 트랜지스터(AT2)에 워드_서치 라인(WL/SL)이 연결된다. 그리고 TCAM 메모리 장치(100)가 기입 및 판독 모드 시 선택된 3진 메모리 셀(110)에 대응하는 워드_서치 라인(WL/SL)에 워드 라인 신호(WL)를 선택적으로 구동하여 인가시킨다. 그리고 TCAM 메모리 장치(100)가 서치 모드(search mode)로 동작하는 경우에는 워드_서치 라인(WL/SL)에 서치 라인 신호(SL)를 선택적으로 구동하여 인가시킨다.
- [0042] 이에 따라 각 3진 메모리 셀에는 3가지 상태를 갖는 3진 정보가 저장되며, 액세스 트랜지스터에 서치 라인 신호(SL)가 인가되어 서치 모드로 활용하여 대응하는 정보 및 서치 라인과 대응하는 라인의 정보를 기반으로 메모리 주소 검색 기능을 제공할 수 있다.
- [0043] 도 3을 참조하면, 3진 메모리 셀이 서치 모드로 동작하는 경우, 워드라인_서치 스트링 드라이버(120)는 상기 제1 액세스 트랜지스터의 게이트에는 서치 라인 신호(SL)를 인가시키며, 상기 제2 액세스 트랜지스터의 게이트에는 반전 서치 라인 신호(SLB)를 인가한다.
- [0044] 그리고, 제1 센스 증폭이기(SA)가 제1 비트 라인과 기준 전압(Vref)을 입력으로 받아 제1 비트 라인(BL) 값과 기준 전압을 비교하고 그 결과를 출력하여 앤드 게이트(AND)로 전달하고, 제2 센스 증폭이기(SA)가 제2 비트 라인(BLB, 반전 비트 라인)과 기준 전압(Vref)을 입력으로 받아 제2 비트라인(BLB) 값과 기준 전압을 비교하고 그 결과를 출력하여 앤드 게이트(AND)로 전달한다. 그리고 앤드 게이트(AND)는 그 2 입력을 앤드 연산하여 상태를 출력한다.
- [0045] 즉 도 3에 도시된 실시예에서, 본 발명에 따른 TCAM은 기존의 SRAM과 동일한 방식의 서로 다른 두개의 Bit 라인

(BL, BLB)에 연결된 T-CMOS 기반의 T-SRAM 셀로 구성될 수 있다.

- [0046] 기록 및 판독 모드 동작에서는 억세스 트랜지스터에 WL을 인가시키며, 서치 모드 중에는 각각 서치 라인 및 반전된 서치 라인(SL, SLB) 신호를 인가할 수 있다. Pre-charge 동작을 통해 전압이 높아진 BL은 저장 값과 서로 다른 두개의 서치 라인 신호 값에 따라 전압을 그대로 유지하거나 discharge 됨으로써 메모리 주소 검색 기능을 할 수 있다.
- [0047] 비트 라인 및 반전된 비트 라인(BL, BLB)은 센스 증폭기(SA; sense amplifier)로 들어가서 Vref 전압과 비교하여 그 이상이면 1을 출력하고 이하면 0을 출력한다. SA로부터 출력된 각 신호들은 AND 회로로 입력되어서 둘 다 1인 상태일 때 1을 출력하며 이 때 Match 상태가 된다. 둘 중 하나만 1이거나 둘 다 0인 상태일 때는 0을 출력하며 이 때 mismatch 상태가 된다. Q, QB가 Don't care 상태일 때는 서치 라인 값에 상관없이 Match 상태가 된다.
- [0048] 도 5는 본 발명에 따른 TCAM 동작의 진리표를 나타낸다.
- [0049] 도 3 및 도 5를 참조하면, 먼저 제1 노드(N1) Q 값이 기록되고, 제2 노드(N2)에 QB 값이 기록되는데, Q 값이 0, QB 값이 1 일 때 제1 억세스 트랜지스터(AT1)의 게이트에 서치 라인(SL) 값 1이 입력되고 제2 억세스 트랜지스터(AT2)의 게이트에 서치 라인(SL)의 반전 값인 반전 서치 라인(SLB) 값 0이 입력되면, 제1 비트 라인(BL)에는 Q 값인 0 값이 나와 제1 비트 라인(BL)은 0로 되고, 제2 비트 라인(BLB)은 제2 억세스 트랜지스터가 닫혀 1 값이 된다. 그리고 제1 비트 라인(BL)의 0과 제2 비트 라인(BLB)의 1을 앤드 연산하면 0이되고, 그 상태는 mis 상태를 출력한다.
- [0050] 그리고 제1 노드(N1) Q 값이 기록되고, 제2 노드(N2)에 QB 값이 기록된 후, Q 값이 0, QB 값이 1 일 때 제1 억세스 트랜지스터(AT1)의 게이트에 서치 라인(SL) 값 0이 입력되고 제2 억세스 트랜지스터(AT2)의 게이트에 서치 라인(SL)의 반전 값인 반전 서치 라인(SLB) 값 1이 입력되면, 제1 비트 라인(BL)은 제1 억세스 트랜지스터가 닫혀 있어 제1 비트 라인(BL)은 1로 되고, 제2 비트 라인(BLB)은 QB 값이 나와 1 값이 된다. 그리고 제1 비트 라인(BL)의 1과 제2 비트 라인(BLB)의 1을 앤드 연산하면 1이되고, 그 상태는 Match 상태를 출력한다.
- [0051] 그리고 Q 값이 0.5, QB 값이 0.5 일 때 제1 억세스 트랜지스터(AT1)의 게이트에 서치 라인(SL) 값 1이 입력되고 제2 억세스 트랜지스터(AT2)의 게이트에 서치 라인(SL)의 반전 값인 반전 서치 라인(SLB) 값 0이 입력되면, 제1 비트 라인(BL)에는 Q 값인 0.5 값이 나와 제1 비트 라인(BL)은 0.5로 되고, 제2 비트 라인(BLB)은 제2 억세스 트랜지스터가 닫혀 1 값이 된다. 그리고 제1 비트 라인(BL)의 0.5가 기준 전압(Vref)과의 비교를 통해 1로 출력된 후 이 값과 제2 비트 라인(BLB)의 1을 앤드 연산하면 1이 되고, 그 상태는 Don't Care 상태를 출력한다.
- [0052] 그리고 Q 값이 0.5, QB 값이 0.5 일 때 제1 억세스 트랜지스터(AT1)의 게이트에 서치 라인(SL) 값 0이 입력되고 제2 억세스 트랜지스터(AT2)의 게이트에 서치 라인(SL)의 반전 값인 반전 서치 라인(SLB) 값 1이 입력되면, 제1 비트 라인(BL)은 제1 억세스 트랜지스터가 닫혀 있어 제1 비트 라인(BL)은 1로 되고, 제2 비트 라인(BLB)은 QB 값이 나와 0.5 값이 된다. 그리고 제1 비트 라인(BL)의 1과 제2 비트 라인(BLB)의 0.5가 기준 전압(Vref)과의 비교를 통해 1로 출력된 후 이 값을 앤드 연산하면 1이 되고, 그 상태는 Don't Care 상태를 출력한다.
- [0053] 그리고, Q 값이 1, QB 값이 0 일 때 제1 억세스 트랜지스터(AT1)의 게이트에 서치 라인(SL) 값 1이 입력되고 제2 억세스 트랜지스터(AT2)의 게이트에 서치 라인(SL)의 반전 값인 반전 서치 라인(SLB) 값 0이 입력되면, 제1 비트 라인(BL)에는 Q 값인 1 값이 나와 제1 비트 라인(BL)은 1로 되고, 제2 비트 라인(BLB)은 제2 억세스 트랜지스터가 닫혀 1 값이 된다. 그리고 제1 비트 라인(BL)의 1과 제2 비트 라인(BLB)의 1을 앤드 연산하면 1이되고, 그 상태는 Match 상태를 출력한다.
- [0054] 그리고 Q 값이 1, QB 값이 0 일 때 제1 억세스 트랜지스터(AT1)의 게이트에 서치 라인(SL) 값 0이 입력되고 제2 억세스 트랜지스터(AT2)의 게이트에 서치 라인(SL)의 반전 값인 반전 서치 라인(SLB) 값 1이 입력되면, 제1 비트 라인(BL)은 제1 억세스 트랜지스터가 닫혀 있어 제1 비트 라인(BL)은 1로 되고, 제2 비트 라인(BLB)은 QB 값이 나와 0 값이 된다. 그리고 제1 비트 라인(BL)의 1과 제2 비트 라인(BLB)의 0을 앤드 연산하면 0이되고, 그 상태는 Mis 상태를 출력한다.
- [0055] 도 6은 예시적인 TCAM의 서치 모드 동작을 나타낸다.

[0056] 도 6을 참조하면, 4 x 4 크기의 3진 메모리 셀에

0	1	1	0
0	1	X	1
X	X	1	0
1	1	1	0

[0057]

[0058] 이 저장되어 있고, 서치 스트링이 (1, 0, 1, 1)이라면, 이 값을 전부 매칭하는 게 세번째 열 (1, X, 1, 1)이기 때문에 Match result 로 [0,0,1,0] 값을 출력하게 된다.

[0059] 즉 본 발명에 따른 3진 메모리 셀(T-CMOS) 기반 TCAM의 array 동작의 예시로, 도 1의 BL₁ 및 BLB₁에 연결되어 있는 모든 3진 메모리 셀들의 Q₁, QB₁, ... Q_m, QB_m들이 각각 SL₁, SLB₁, ..., SL_m, SLB_m 값과 모두 match 되어야 BL₁, BLB₁을 통해 나온 AND gate의 결과가 1이 될 수 있다. 따라서 match 하는 데이터의 주소를 출력할 수 있다.

[0060] 한편, 도 4을 참조하면, 3진 메모리 셀이 기입 및 판독 모드로 동작하는 경우, 워드라인_서치 스트링 드라이버(120)는 제1 액세스 트랜지스터 및 제2 액세스 트랜지스터에 워드 라인(WL) 신호를 인가하여 기입 및 판독 모드를 수행한다.

[0061] 이때 3진 메모리 셀(110)은 3개의 상이한 상태들을 가질 수 있고, 이에 따라 3개의 상이한 상태들에 대응하는 3진 논리 값들을 저장할 수 있으며, 이에 따라 3진 메모리 셀들로서 지칭될 수 있다. 3진 메모리 셀에 저장한 3진 논리 값들은, '0', '1', '0.5' 또는 '0', '1', '2' 또는 '제1 값', '제2 값', '제3 값' 또는 '제1 상태', '제2 상태', '제3 상태' 등 다양한 방식으로 지칭될 수 있으며 단순히 3진 값들로 지칭될 수 있다.

[0062] 도 4에 도시된 바와 같이, 복수의 워드 라인들 중 하나의 워드 라인(WL)이 하나의 3진 메모리 셀(110) 내의 제1 및 제2 액세스 트랜지스터의 게이트에 연결되며, 3진 메모리 셀(110)은 적어도 하나의 비트 라인(BL)을 통해서 제공되는 3진 논리 값을 저장한다.

[0063] 메모리 장치(100)는 로직-인-메모리(logic-in-memory; LIM) 구조를 가질 수 있다. 로직-인-메모리(LIM)는 메모리 소자에 저장된 값을 논리 연산한 결과를 출력하는 메모리를 지칭할 수 있고, 논리 연산 회로에 메모리 기능을 탑재한 것으로도 지칭될 수 있다. 3진 메모리 셀(110)은 논리 연산 회로(미도시)를 포함할 수 있고, 복수의 입력 라인들 중 적어도 하나의 입력 라인(IL)과 연결될 수 있다. 논리 연산 회로는 3진 메모리 셀(110)에 저장된 3진 값 및 적어도 하나의 입력 라인(IL)을 통해서 페이지 버퍼(160)로부터 제공되는 3진 값을 논리 연산할 수 있고, 논리 연산의 결과 값을 페이지 버퍼(160)에 제공할 수 있다. 페이지 버퍼(160)는 기입 동작시 저장할 값, 판독 동작시 판독된 값뿐만 아니라 논리 연산의 결과 값을 래치할 수 있다. 본 명세서에서, 기입 동작은 3진 메모리 셀(110)에 데이터(또는 값)를 저장하기 위한 동작을 지칭할 수 있고, 판독 동작은 3진 메모리 셀(110)에 저장된 데이터를 메모리 장치(100) 외부로 출력하기 위한 동작을 지칭할 수 있으며, 논리 연산 동작은 메모리 장치(100)에서 3진 메모리 셀(110)에 저장된 데이터를 논리 연산한 결과 데이터를 메모리 장치(100) 외부로 출력하기 위한 동작을 지칭할 수 있다.

[0064] 도 2에서 페이지 버퍼(160)는 복수의 비트 라인들(BLs)을 통해서 셀 어레이와 접속될 수 있다. 페이지 버퍼(160)는 적어도 하나의 래치를 포함할 수 있고, 기입 동작시 셀 어레이에 기입하고자 하는 데이터, 즉 기입 데이터를 래치할 수 있는 한편, 판독 동작시 셀 어레이로부터 판독된 데이터, 즉 판독 데이터를 래치할 수 있다. 페이지 버퍼(160)는 기입 회로를 포함할 수 있고, 기입 회로는 기입 동작시 기입 데이터에 기초한 전압들 및/또는 전류들을 복수의 비트 라인들(BLs)에 인가할 수 있다. 또한, 페이지 버퍼(160)는 판독 회로를 포함할 수 있고, 판독 회로는 판독 동작시 복수의 비트 라인들(BLs)의 전압 및/또는 전류들을 감지함으로써 판독 데이터를 생성할 수 있다.

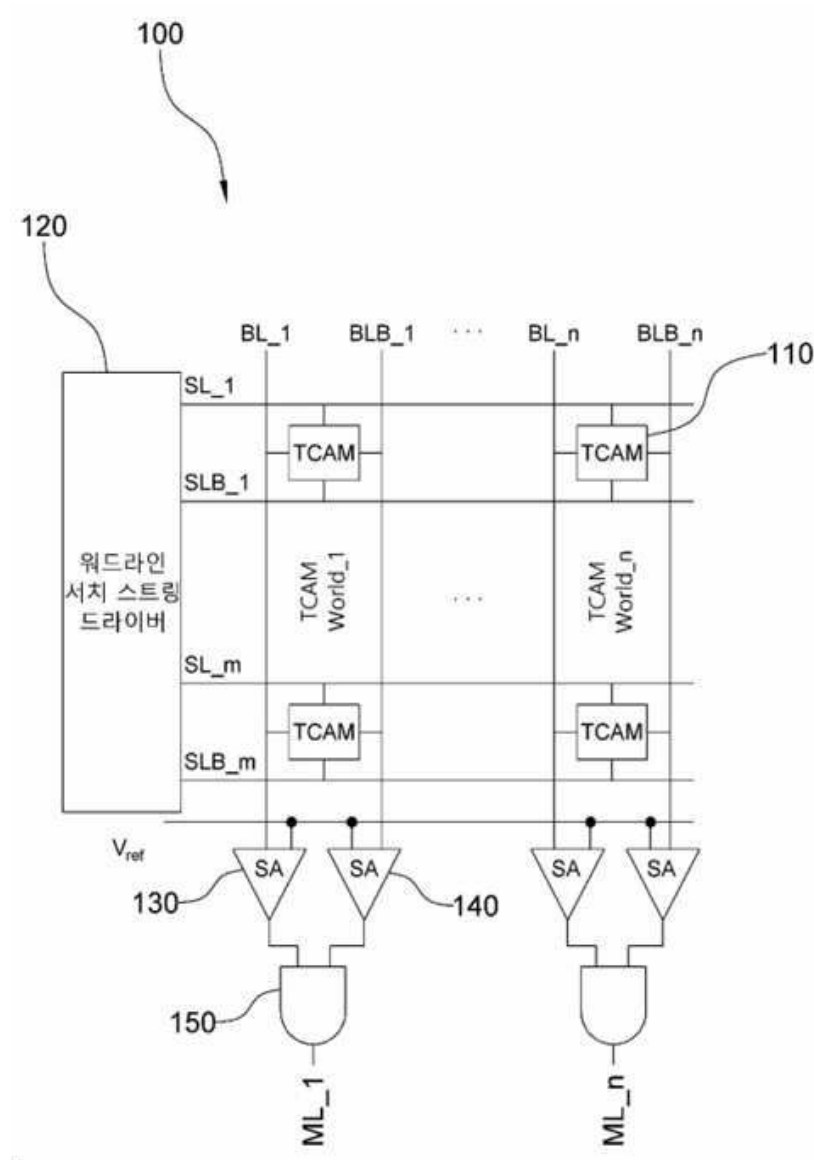
[0065] 이하, 기입 및 판독 모드에서의 3진 메모리 셀의 구조와 동작에 대한 자세한 설명은 한국등록특허 10-1689159호 및 한국등록특허 10-2206020 호에 설명되어 있기에 동작에 대한 설명은 여기서 생략된다.

[0066] 이와 같이, 본 발명에서는 3진 메모리 셀, 즉 T-CMOS 기반의 6개의 트랜지스터로 구현되는 T-SRAM 구조로 이루어진 TCAM 회로가 제공된다. 이에 따라, 본 발명의 6T TCAM을 구성하는 T-SRAM은 Off 수준의 낮은 전류를 기반으로 3진 정보를 저장함으로써 매우 낮은 대기 전력 소모 특성을 제공할 수 있다

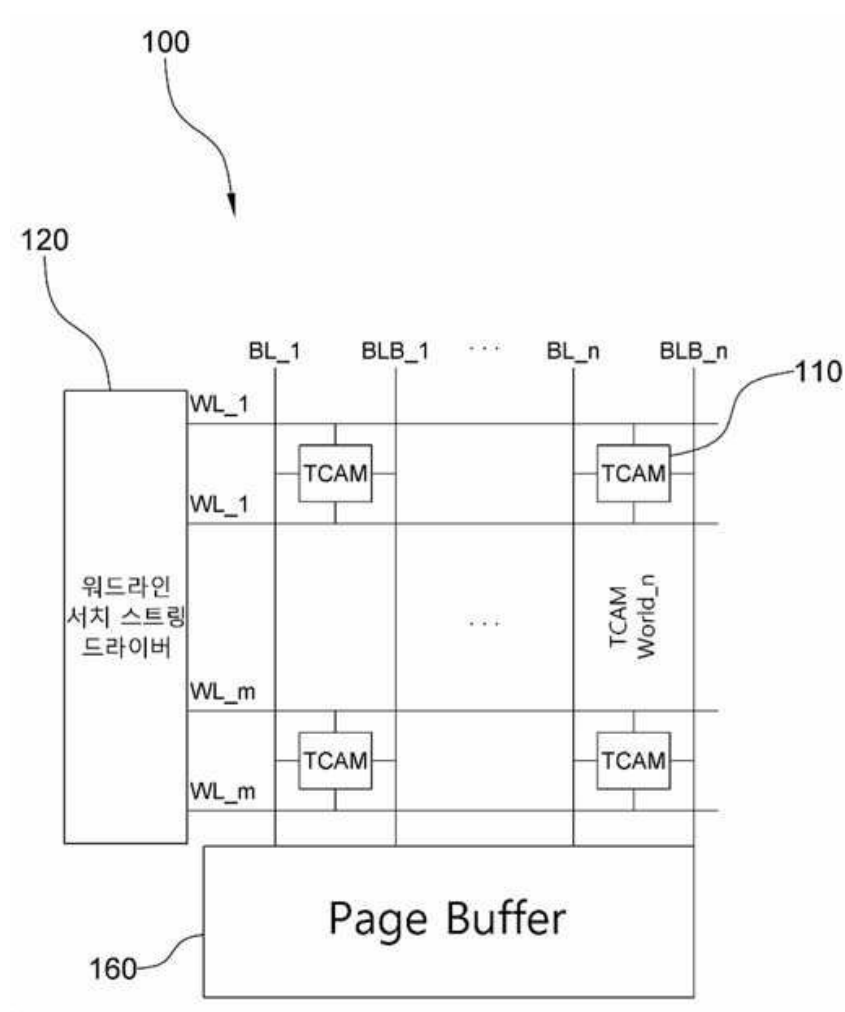
- [0067] 또한, 본 발명의 6T TCAM 은 하나의 메모리 셀 구성만으로 3진 정보를 저장하여 높은 면적 효율과 함께 0, 1, X 동작을 제공할 수 있다. 그리고, 본 발명의 6T TCAM 은 액세스 트랜지스터를 기입 및 관독 모드 동작에서는 게이트에 WL 전압을 인가하고, 서치 모드 중에는 서치 라인 (SL, SLB) 전압을 인가하여 높은 면적 효율을 가지는 동작을 제공할 수 있다.
- [0068] 이에 따라 본 발명은 T-CMOS 기반의 3진 메모리로 구성된 TCAM 회로를 제공할 수 있으며, 해당 회로는 초절전-고성능의 메모리 주소 탐색 하드웨어의 핵심 구성 요소로 작용할 수 있다.
- [0069] 본 발명에 따른 3진 메모리 셀을 기반으로 한 TCAM은 초절전 T-CMOS 소자를 기반으로 TCAM 회로를 설계하여 Off-상태 수준의 매우 낮은 전류를 이용한 정보 저장을 통해 종래의 CAM 기술 대비 우수한 면적효율과 함께 소모전력을 획기적으로 낮출 수 있다.
- [0070] 또한 본 발명에 따른 3진 메모리 셀을 기반으로 한 TCAM은 최근 Meta-learning, few shot learning의 발전과 함께, 증가하고 있는 차세대 라우터 및 스위치 장치의 더욱 복잡하고 많은 정보에 대해 초절전-고성능 동작이 가능한 메모리 주소 탐색 하드웨어 수요에 부응할 수 있다.
- [0071] 또한 본 발명에 따른 3진 메모리 셀을 기반으로 한 TCAM 은 기존 16개의 트랜지스터를 사용해야 되는 기존 TCAM 구조에서 6개의 트랜지스터로 개수를 62.5% 절감하여 집적도를 대폭 향상시킬 수 있다.
- [0072] 이상에서 본 발명이 구체적인 구성요소 등과 같은 특정 사항들과 한정된 실시예 및 도면에 의해 설명되었으나, 이는 본 발명의 보다 전반적인 이해를 돕기 위해서 제공된 것일 뿐, 본 발명이 상기 실시예들에 한정되는 것은 아니며, 본 발명이 속하는 기술분야에서 통상적인 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형을 꾀할 수 있다.
- [0073] 따라서, 본 발명의 사상은 상기 설명된 실시예에 국한되어 정해져서는 아니 되며, 후술하는 특허청구범위뿐만 아니라 이 특허청구범위와 균등하게 또는 등가적으로 변형된 모든 것들은 본 발명의 사상의 범주에 속한다고 할 것이다.

도면

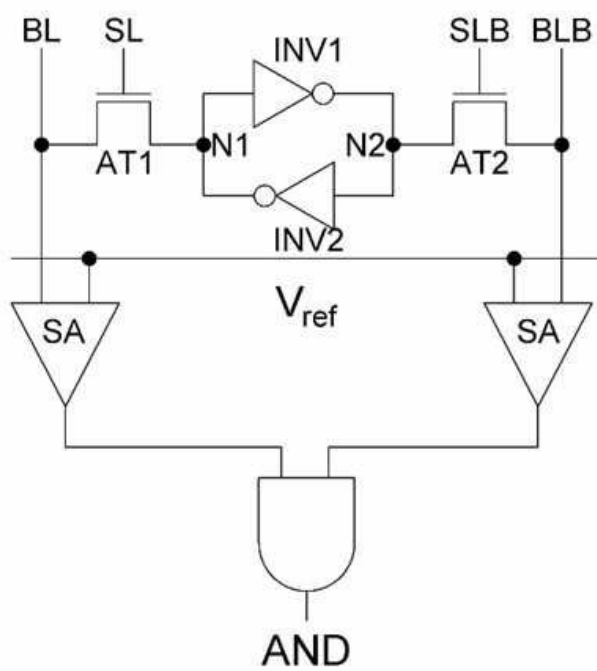
도면1



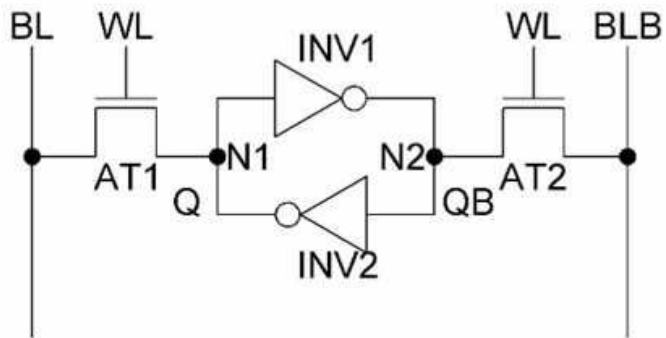
도면2



도면3



도면4



도면5

Q	QB	SL	SLB	BL	BLB	AND	STATE
0	1	1	0	0	1	0	Mis
0	1	0	1	1	1	1	Match
0.5	0.5	1	0	0.5	1	1	Don't Care
0.5	0.5	0	1	1	0.5	1	Don't Care
1	0	1	0	1	1	1	Match
1	0	0	1	1	0	0	Mis

도면6

