(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 27/11

(45) 공고일자 1999년09월15일
(11) 등록번호 10-0221060
(24) 등록일자 1999년06월24일

(21) 출원번호 10-1994-0037643
(22) 출원일자 1994년12월23일
(65) 공개번호 특1995-0021670
(43) 공개일자 1995년07월26일

(30) 우선권주장 93-328888 1993년12월24일 일본(JP)
(73) 특허권자 샤프 가부시키가이샤 마찌다 가쯔히꼬
일본 오사까후 오사까시 아베노꾸 나가이께쪼 22방 22고
(72) 발명자 가와무라 아키오
일본국 나라껜 나라시 쓰루마이니시마찌 1-20-102
(74) 대리인 백덕열, 이태희

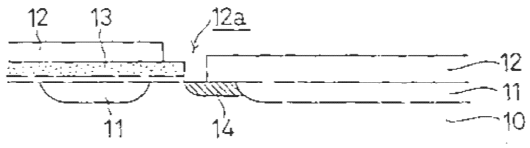
심사관 : 임동우

(54) 반도체장치 및 그 제조방법

요약

본 발명은 반도체장치 및 그 제조방법에 관한 것으로, 구체적으로는 TFT를 부하 트랜지스터로 구비한 SRAM 셀을 포함한 반도체장치 및 그 제조방법에 관한 것이다. 복수의 메모리셀을 포함한 반도체장치에 있어서: 상기 메모리셀은, 게이트전극, 게이트산화막 및 소스/드레인 영역들을 각각 갖는 한쌍의 드라이브 트랜지스터, 및 상기 한쌍의 드라이브 트랜지스터에 접속되는 한쌍의 부하 TFT를 구비하고, 상기 부하 TFT 각각에는 게이트전극, 게이트산화막 및 소스/드레인 영역들을 포함한 활성층이 이 순서대로 차례로 퇴적되어 있는 플립플롭 회로; 및 상기 플립플롭 회로에 접속된 한쌍의 액세스 트랜지스터;를 구비하고, 상기 각 TFT의 일방의 소스/드레인 영역은 적어도 일방의 트랜지스터의 소스/드레인 영역에서 또는 타방의 트랜지스터의 게이트 전극에서 반도체패드를 통해 어느 일방의 트랜지스터에 접속되고, 상기 TFT의 타방의 소스/드레인 영역은 반도체패드를 통해 배선층에 접속되며; 상기 반도체패드의 적어도 표면층은 상기 TFT의 소스/드레인 영역과 동일한 도전형을 갖는다.

대표도



명세서

[발명의 명칭]

반도체장치 및 그 제조방법

[도면의 간단한 설명]

제1~10도는 본 발명의 제1실시예에 따른 반도체장치의 제조공정도.

제11도는 본 발명의 반도체장치의 회로도.

제12도는 전원부의 TFT 소스와 배선의 접합부에서 관측된 전류-전압 특성을 도시한 그래프.

제13도는 TFT 드레인과 축적노드의 접합부에서 관측된 전류-전압 특성을 보여주는 그래프.

제14~16도는 본 발명의 제2실시예에 따른 반도체장치의 제조공정도.

제17~22도는 본 발명의 제3실시예에 따른 반도체장치의 제조공정도.

제23도는 드레인전류와 드레인전압의 관계를 보여주는 그래프.

제24~32도는 종래의 반도체장치의 제조공정도.

* 도면의 주요부분에 대한 부호의 설명

10 : 기판 12 : 층간절연막

13, 15a : 게이트전극 14 : 소스/드레인 영역

15b, 15c : 폴리실리콘 패드　　16 : 게이트산화막

16a : 개구부　　17 : 활성층

18 : 레지스트 패턴　　19 : CVD 산화막

[발명의 상세한 설명]

본 발명은 반도체장치 및 그 제조방법에 관한 것으로, 구체적으로는 TFT를 부하 트랜지스터로 구비한 SRAM 셀을 포함한 반도체장치 및 그 제조방법에 관한 것이다.

이하, PMOS 부하 트랜지스터로서 박막트랜지스터(TFT)를 구비한 종래의 SRAM 셀에 대해 설명한다. 제11도는 PMOS 부하 트랜지스터를 구비한 SRAM 셀의 등가회로도이다. SRAM 셀은 플립플롭 회로 및 액세스 트랜지스터(ATr1, ATr2)를 포함한다. 플립플롭 회로는 반도체기판상에 형성된 구동 트랜지스터(DTr1, DTr2)와, 이 트랜지스터(DTr1, DTr2)상에 적층되어 노드에 전원이 공급되는 MOS 부하 트랜지스터로 이루어진다. 액세스 트랜지스터(ATr1, ATr2)의 노드는 각각 대응 비트라인(BL)에 접속된다. 이렇게 반도체기판상의 각 구동트랜지스터(DTr1, DTr2)에 MOS 부하 박막트랜지스터(TFT1, TFT2)가 적층되어 있는 구조에서는 각 SRAM 셀의 사이즈를 축소할 수 있어 전체 SRAM의 메모리 용량을 증대할 수 있다.

이하, 제24~32도를 참조하여 상기 SRAM의 TFT의 종래의 제조방법에 대해 설명한다.

소자 분리를 위해 실리콘기판(70)상에 필드절연막(71)을 형성한다. 이어서, 종래의 방식으로 실리콘기판(70)상에 드라이브 MOS 트랜지스터(DTr1, DTr2)를 형성한다. 제24도와 같이, 실리콘기판(70)의 전 표면에 층간절연막(72)을 형성한 뒤, 필요한 영역 위에, 즉 드라이브 트랜지스터(DTr2)의 게이트전극(73)과 드라이브 트랜지스터(DTr1)의 소스/드레인 영역(74)을 형성한 영역 위의 층간절연막(72)에 콘택트홀(72a)을 형성한다.

이어서, 제25도와 같이, 콘택트홀(72a)이 있는 실리콘기판(70)의 전 표면에 폴리실리콘 막을 적층한 뒤 원하는 형상으로 패턴화하여 TFT의 게이트전극(75a)과 TFT 배선용의 반도체 패드 역할을 하는 폴리실리콘 패드(75b, 75c)를 형성한다. 이 폴리실리콘 막은 두께가 약 100~200㎚이고 N형 불순물로서 인이나 비소 이온이 약 $10^{20}㎝^{-3}$ 이상의 고농도로 도프된다. N형 불순물을 폴리실리콘 막에 도핑하는 방법으로는, 감압 CVD법으로 기판상에 퇴적된 폴리실리콘에 불순물을 이온주입하거나 확산시키거나, 또는 포스핀(PH_3) 개스나 실란(SiH_4) 개스를 이용해 도프된 실리콘을 기판상에 퇴적한다. 폴리실리콘 패드(75b)를 배치하면 드라이브 트랜지스터(DTr2)의 게이트 전극(73)을 드라이브 트랜지스터(DTr1)의 소스/드레인 영역(74)에는 물론 그와 동시에 후공정에서 형성될 TFT(1)의 소스/드레인 영역의 어느쪽에 접속할 수 있다. 이 경우에는 TFT(1)와 드라이브 트랜지스터(DTr1, DTr2)를 동시에 접속하지만, 드라이브 트랜지스터(DTr2)의 게이트전극(73)상에만 또는 드라이브 트랜지스터(DTr2)의 게이트전극(73)상에만 콘택트홀(72a)을 형성할 수도 있다. 그러나, 이 경우에는, 드라이브 트랜지스터(DTr2)의 게이트전극과 드라이브 트랜지스터(DTr1)의 소스/드레인 영역(74)을 콘택트홀(72a) 이외의 다른 수단으로 접속해야만 한다.

다음에, 제26도와 같이, TFT의 게이트전극(75a)과 폴리실리콘 패드(75b, 75c)를 포함한 실리콘기판(70)의 전 표면에 두께 10~50㎚의 SiO_2 막을 CVD법으로 적층하여 TFT의 게이트 산화막(76)을 형성한다.

이어서, 제27도와 같이, 포토리소그래피 및 RIE 공정에 의해 폴리실리콘 패드(75b, 75c)상의 게이트 산화막(76)에 개구부(76a)를 형성한다.

다음, 제28도와 같이, 개구부(76a)를 포함한 실리콘기판(70)의 전 표면에 감압 CVD법으로 폴리실리콘 막을 두께 10~100㎚ 퇴적한 다음, 원하는 형상으로 패턴화하여 TFT의 채널과 소스/드레인 영역용의 활성층(77)을 형성한다. 이 활성층(77)은 게이트산화막(76)중에 형성된 개구부(76a)를 통해 폴리실리콘 패드(75b, 75c)에 접속된다. 이 폴리실리콘 막은 감압 CVD법으로 비정질실리콘 박막을 퇴적한 다음 이 박막을 600℃ 정도에서 어닐링으로 재결정화하여 형성될 수도 있다. 또, TFT의 임계전압을 제어하기 위해 인이나 비소 등의 불순물을 10^{12}~$10^{13}㎝^{-2}$의 저농도로 폴리실리콘 막에 도프할 수도 있다.

다음, 제29도와 같이, 실리콘기판(70)의 전 표면에 레지스트를 도포한 뒤, 포토리소그래피 공정에 의해 원하는 형상으로 패턴화하여 레지스트 패턴(78)을 형성한다. 이 레지스트 패턴(78)을 마스크로 하여, 붕소나 BF_2 이온을 10^{14}~$10^{15}㎝^{-2}$

레지스트 패턴(78)을 제거한 뒤, 제30도와 같이, 기판 전면에 CVD 산화막(79)을 400~1000㎚ 두께로 퇴적하여 층간절연막을 형성한다.

이어서, 제31도와 같이, 폴리실리콘 패드(75c) 위의 CVD 산화막(79)에 포토리소그래피 및 RIE 공정에 의해 개구부(79a)를 형성한다.

다음에, 제32도와 같이, 이 개구부(79a)에 Al, Cu, Ti, W 등의 금속이나 합금 또는 이것의 실리사이드 등을 매립하고 패턴화하여 배선(80)을 형성한다. 이 배선(80)은 CVD 산화막(79)중의 개구부(79a)를 통해 폴리실리콘 패드(75c)에 접속된다.

필요에 따라, 층간막, 스루홀, 제2금속배선층 및 보호막을 주지의 방법으로 형성하여, PMOS 부하 트랜지스터로서 TFT를 구비한 SRAM 셀(도시안됨)을 완성한다.

상기 종래의 공정에 따라 형성된 SRAM 셀에서, 폴리실리콘 패드(75c)는 배선(80)과 소스영역(77c)을 직접 접속할 때의 CVD 산화막(79)의 과잉 에칭에 의한 악영향을 방지하는 역할을 한다. 이런 경우, 얇은 활성층(77)상의 CVD 산화막(79)은 에칭으로 제거되어야만 하고, 폴리실리콘으로 이루어진 활성층에 대한

산화막의 선택 에칭비를 예컨대 약 10 이하로 하면, 활성층(77)이 과잉 에칭으로 파손될 수도 있다. 따라서, 활성층(77)의 파손을 방지하려면 비교적 두꺼운 폴리실리콘 층(75c) 위에 배선(80)을 형성하는 개구부를 형성한다. 이렇게 하면, TFT의 소스영역(77c)과 배선(80)의 접속이 보장되면서도 배선(80)이 다른 배선층과 접촉되는 것이 방지된다.

그러나, 이런 제조방법에 의해서도 다음과 같은 문제점이 생긴다. 상기 SRAM 셀에서, 전원은 V_{CC} 라인으로서의 배선(80), N형 불순물이 높게 첨가된 폴리실리콘 패드(75c) 및 P형 불순물이 높게 첨가된 TFT의 소스영역(77c)에 차례대로 공급된다. 즉, 폴리실리콘 PN 접합의 역방향으로 전원이 공급된다. 일반적으로, 폴리실리콘 PN 접합의 역방향으로 전원이 공급되면, TFT의 정류 특성이 저하된다. 그러나, 낮은 정류 특성은 폴리실리콘의 낮은 결정성으로 인한 접합 누설전류가 비교적 크기 때문에 종래에는 인식되지 않았다. 최근에는, 폴리실리콘의 결정성이 개선되었기 때문에, TFT의 정류 특성이 낮으면 메모리셀로의 전원 공급에 큰 문제가 생긴다는 것을 인식했다. 메모리셀로의 전원 공급이 불충분하면, 제11도의 A 또는 B 지점에 형성된 것과 같은 축적 노드로의 전류 공급이 불충분해져, 데이타를 안정되게 보유할 수 없다. 이때문에 메모리 손실 등의 중대한 문제가 생긴다.

또, TFT의 드레인영역(77a)과 메모리셀 영역내의 폴리실리콘 패드(75b)의 접점에도 PN 접합이 형성된다. 이 PN 접합은 상기 전원공급부와는 달리 순방향이므로, 전원 공급이 불충분할 염려가 없다. 그러나, 순방향 전류 공급에는 1V 이상의 전압이 필요한데, 이는 PN 접합에서 생기는 빌트인 전위가 0.9eV 이상이기 때문이다. 즉, TFT가 ON되는 전류공급의 초기 단계에서는 PN 접합에 인가된 전위가 빌트인 전위보다 낮아서, 축적 노드로의 전류공급이 제한된다. TFT가 ON되고 충분한 시간이 흐른 뒤에도, 축적 노드의 전위는 빌트인 전위까지 강하하고 전원전위까지 상승할 수 없다. 이렇게 되면 축적 노드에 축적된 전하량이 감소된다. 따라서, 데이타 보유 능력의 저하나 판독 에러 등의 문제가 발생할 수도 있다.

폴리실리콘 패드(75c)와 폴리실리콘으로 된 소스영역(77c) 사이의 PN 접합의 형성을 회피하는 한 방법으로서, 폴리실리콘 패드(75c)와 소스영역(77c)을 예컨대 붕소 등의 P형 불순물과 같은 동일한 도전형의 불순물이 첨가된 폴리실리콘으로 형성한다. 그러나, 이 경우에는, TFT와 드라이브 트랜지스터(DTr1, DTr2)의 접점, 즉 드레인영역(77a)과 폴리실리콘 패드(75b)의 접점에서 드라이브 트랜지스터(DTr1)의 N형 소스/드레인 영역(74)에 폴리실리콘 패드(75b)가 직접 접속된다. 즉, P형 불순물이 폴리실리콘 패드(75b)로 부터 드라이브 트랜지스터(DTr1)의 N형 소스/드레인 영역(74)으로 확산된다. 이렇게 되면, 드라이브 트랜지스터(DTr1)의 소스/드레인 영역(74)의 저항이 증가하거나, 채널부에 P형 불순물이 확산되어 임계전압이 변화하는 등의 문제가 생긴다.

이케다 일행은, PMOS 부하 TFT의 p^+ 소스/드레인 영역을 그 밑의 n^+ 배선층에 접속하여 형성된 PN 접합의 기생 정류특성을 피할 수 있는 TFT형 SRAM으로 구성된 반도체장치를 보고했다(Technical Digest, IEDM, 1990, pp469-472 참조). 그러나, 이 논문에서 설명한 제조방법에 따르면, TFT를 형성한 후의 제조공정중의 낮은 온도(특히, 절연막으로 사용된 BPSG의 융점 이하의 온도)에서 PN 접합을 형성한다. 따라서, 절연막의 표면이 충분히 평탄하지 않아 배선층이 파손된다.

본 발명의 목적은, TFT를 부하 트랜지스터로 구비한 SRAM 셀에 있어서, 배선과 TFT의 접속이 양호하여 소자의 특성을 향상시킨 반도체장치 및 그 제조방법을 제공하는데 있다.

본 발명의 첫번째 특징에 따르면, 게이트전극과 게이트산화막과 소스/드레인 영역들을 각각 갖는 한쌍의 드라이브 트랜지스터, 및 상기 한쌍의 드라이브 트랜지스터에 접속되고 각각에 게이트전극과 게이트산화막과 소스/드레인 영역들을 포함한 활성층이 이 순서대로 적층되어 있는 한쌍의 부하 TFT로 구성되는 플립플롭 회로; 및 상기 플립플롭 회로에 접속된 한쌍의 액세스 트랜지스터;로 구성된 복수의 메모리셀을 구비한 반도체장치에 있어서: 상기 각 TFT의 일방의 소스/드레인 영역이 적어도 일방의 드라이브 트랜지스터의 소스/드레인 영역 또는 타방의 드라이브 트랜지스터의 게이트전극과 반도체패드를 통해 접속되고, 상기 TFT의 타방의 소스/드레인 영역이 반도체패드를 통해 배선층에 접속되며; 상기 반도체패드의 적어도 표면층은 상기 TFT의 소스/드레인 영역과 동일한 도전형을 갖는 반도체장치가 제공된다.

본 발명의 두번째 특징에 따르면, 게이트전극과 게이트산화막과 소스/드레인 영역들을 각각 갖는 한쌍의 드라이브 트랜지스터, 및 상기 한쌍의 드라이브 트랜지스터에 접속되고 각각에 게이트전극과 게이트산화막과 소스/드레인 영역들을 포함한 활성층이 이 순서대로 적층되어 있는 한쌍의 부하 TFT로 구성되는 플립플롭 회로; 및 상기 플립플롭 회로에 접속된 한쌍의 액세스 트랜지스터;로 구성된 복수의 메모리셀을 구비한 반도체장치에 있어서: 상기 각 TFT의 일방의 소스/드레인 영역이 불순물 확산 방지용 도전막을 통해 반도체 패드 및 적어도 일방의 드라이브 트랜지스터의 소스/드레인 영역 또는 타방의 드라이브 트랜지스터의 게이트중의 하나와 접속되고, 상기 TFT의 타방의 소스/드레인 영역은 불순물 확산방지용 도전막과 반도체패드를 통해 배선층에 접속되는 반도체장치가 제공된다.

본 발명의 세번째 특징에 따르면, (1) 반도체기판상에 드라이브 트랜지스터를 형성하고 이 드라이브 트랜지스터를 덮는 층간절연막을 형성한 후, 상기 층간절연막의 소정 영역에 상기 드라이브 트랜지스터와 접속하기 위한 콘택트홀을 형성하는 공정; (2) 상기 콘택트홀을 포함한 반도체기판의 전면에 반도체막을 적층하고, 상기 반도체막을 소요 형상으로 패턴화하여 TFT의 게이트전극과 반도체 패드들을 형성하는 공정; (3) 상기 게이트전극과 반도체 패드 위에 게이트산화막을 형성하고 상기 반도체패드 위의 상기 게이트산화막에 개구부를 형성한 후, 상기 개구부를 포함한 반도체기판의 전면에 폴리실리콘을 적층하고 나서, 상기 폴리실리콘을 패턴화하여 상기 반도체패드에 접속되는 TFT의 활성층을 형성하는 공정; (4) 상기 TFT의 게이트전극상의 상기 활성층중에 레지스트 패턴으로 마스크되는 부분에 이온주입을 행하여 상기 활성층에 TFT의 소스/드레인 영역들을 형성하는 공정; (5) 상기 레지스트 패턴을 마스크로 하여 상기 이온주입시 사용한 것과 동일한 도전형의 이온을 상기 이온주입시 이용된 것보다 더 높은 에너지로 재차 주입하여 반도체 패드의 적어도 표면층에 TFT의 상기 소스/드레인 영역들과 동일한 도전형의 불순물 층을 형성하는 공정;을 포함하는 반도체장치 제조방법이 제공된다.

본 발명의 네번째 특징에 따르면, (1) 반도체기판상에 드라이브 트랜지스터를 형성하고 이 드라이브 트랜지스터를 덮는 층간절연막을 형성한 후, 상기 층간절연막의 소정 영역에 상기 드라이브 트랜지스터와 접속하기 위한 콘택트홀을 형성하는 공정; (2) 상기 콘택트홀을 포함한 반도체기판의 전면에 반도체막을

적층하고, 상기 반도체막을 소요 형상으로 패턴화하여 TFT의 게이트전극과 반도체 패드들을 형성하는 공정; (3) 상기 게이트전극과 반도체 패드 위에 게이트산화막을 형성하고 포토리소그래피 공정으로 소요 형상의 레지스트 패턴을 형성한 후, 이 레지스트 패턴을 마스크로 하여 상기 반도체패드 위의 상기 게이트산화막에 개구부를 형성하는 공정; (4) 상기 레지스트 패턴과 개구부를 포함한 반도체기판의 전면에 도전체막을 형성하고 나서, 게이트 산화막에 형성된 상기 개구부에만 상기 도전체막이 남아있도록 상기 레지스트 패턴을 에칭으로 제거한 뒤, 상기 도전체막을 질소 분위기에서 어닐링하여 도전체질화막으로 변화시키는 공정; (5) 상기 도전체질화막을 포함한 게이트산화막의 전면에 폴리실리콘을 적층한 뒤, 상기 폴리실리콘을 소요 형상으로 패턴화하여 상기 도전체막을 통해 상기 반도체 패드에 접속되는 TFT의 활성층을 형성하는 공정; 및 (6) 상기 게이트전극상의 상기 활성층중 레지스트 패턴으로 마스크되는 부분에 이온주입을 행하여 상기 활성층에 TFT의 소스/드레인 영역들을 형성하는 공정;을 포함하는 반도체장치 제조방법이 제공된다.

본 발명의 반도체 장치는 한쌍의 드라이브 트랜지스터와 한쌍의 MOS 부하 TFT로 이루어진 플립플롭 회로 및 한쌍의 액세스 트랜지스터로 구성된 복수의 메모리셀을 포함한다. 이런 구성의 메모리셀은 반도체기판상에 형성된다. 이 반도체기판은 실리콘 기판이 바람직하지만, 이것에 한정되지는 않는다. 먼저 공지방식으로 반도체 기판상에 드라이브 트랜지스터를 형성한 다음, 이 드라이브 트랜지스터 위에 층간절연막을 사이에 두고 TFT를 적층한다.

드라이브 트랜지스터상의 층간절연막은 SiO_2로 구성되는 것이 좋지만, 이것에 한정되는 것은 아니다. 층간절연막의 두께는 50~200㎚가 바람직하다. 이 층간절연막은 기존 방식으로 형성될 수 있다.

본 발명의 반도체장치의 TFT는 각각 게이트전극, 게이트산화막 및 소스/드레인 영역을 포함한 활성층으로 구성된다. 각 TFT의 일방의 소스/드레인 영역은 전원에 연결되고, 타방의 소스/드레인 영역은 통상 반도체패드를 통해 적어도 일방의 드라이브 트랜지스터의 소스/드레인 영역 또는 타방의 드라이브 트랜지스터의 게이트전극에 접속된다. 반도체패드는 게이트전극을 형성할 때 TFT의 게이트전극과 같은 재료로 형성될 수 있다. 예컨대, 반도체패드는 종래의 CVD 방식으로 게이트전극을 형성할 때 두께 100~200㎚의 폴리실리콘 막으로 형성된다. 이 반도체패드에는 인이나 비소 등의 N형 불순물을 10^{20} ㎝$^{-3}$ 이상의 고농도로 도핑하는 것이 바람직하다. 폴리실리콘 막에 N형 불순물을 도핑하는 것은, CVD법으로 기판상에 퇴적된 폴리실리콘에 이 불순물을 이온주입하거나 확산시켜서, 또는 포스핀(PH_3) 개스와 실란(SiH_4) 개스를 이용해 도프된 실리콘을 기판상에 퇴적하여서 이루어지지만, 이 도핑법은 이것에 한정되지는 않는다. TFT의 게이트전극과 반도체패드를 형성한 뒤, SiO_2 등의 게이트산화막을 종래의 방식으로 형성한다. 게이트산화막의 두께는 10~50㎚가 바람직하다. TFT를 전원과 드라이브 트랜지스터에 접속하려면, 상기 반도체패드 위의 게이트산화막에 개구부를 형성한다. 이 개구부는, 포토리소그래피나 RIE 공정 등의 기존의 방식으로 행해질 수 있다. TFT의 활성층은 종래의 방식으로 폴리실리콘 막으로 구성되는 것이 바람직하다. 또는, 이 활성층은 감압 CVD법으로 비정질실리콘 박막을 퇴적한 뒤 이 박막을 600℃ 정도의 온도에서 어닐링으로 재결정하여 형성될 수도 있다. TFT의 임계전압을 제어하려면, 10^{12}~10^{13} ㎝$^{-2}$

게이트산화막중의 상기 개구부를 형성하는데 사용한 레지스트 마스크를 제거하기 전에, 불순물의 확산을 방지하기 위해 두께 20~100㎚의 티타늄 막 등의 도전막을 레지스트 마스크 위에 형성할 수도 있다. 레지스트 마스크와 함께 불순물 확산을 방지하는데 불필요한 도전막 부분을 제거하면 게이트산화막의 개구부에만 불순물 확산 방지용 도전막을 형성할 수 있다. 불순물 확산방지용 도전막은 스퍼터링 등의 공지의 방식으로 형성될 수도 있다.

불순물 확산방지용 도전막을 게이트산화막의 개구부내에 형성한 뒤에, 이 도전막을 질소분위기에서 600~750℃의 온도로 수분 내지 수십분 동안 어닐링하는 것이 바람직하다. 이런 어닐링에 의해, 불순물 확산방지용 도전막이 질화막으로 변한다.

다음, TFT의 게이트전극 위의 활성층에 포토리소그래피 등의 공지 방식으로 레지스트 마스크를 형성한 뒤, 활성층에 붕소이온이나 BF_2 이온 등의 P형 불순물 이온을 10^{14}~10^{15} ㎝$^{-2}$의 농도로 주입하여 활성층에 TFT의 소스/드레인 영역을 형성한다. 이때, 주입에너지는 붕소에 대해서는 10~20KeV이고 BF_2에 대해서는 30~100KeV이다.

TFT의 소스/드레인 영역을 이렇게 형성한 뒤, 불순물 확산방지용 도전막이 반도체패드상에 형성되지 않았을 경우, 소스/드레인 영역을 형성하는데 사용한 것과 같은 마스크를 이용해 도전형이 같은 불순물인 P형 불순물을 소스/드레인 영역의 표면으로부터 1×10^{15}~3×10^{15} ㎝$^{-2}$의 농도로 주입한다. 이때, 주입에너지는 TFT의 소스/드레인 영역의 형성에 이용된 에너지보다 높아서, 예컨대 붕소에 대해서는 30~70 KeV이다. 따라서, 반도체패드의 표면층에 소스/드레인 영역과 같은 도전형의 불순물을 첨가하므로 이 반도체패드내에 PN 접합이 형성된다. 바람직하게, 두께 100~200㎚의 반도체패드 각각의 표면층은 TFT의 소스/드레인 영역과 같은 도전형이고 두께는 50~100㎚이다. TFT의 소스/드레인 영역을 형성한 후에 다시 이온주입을 행할 경우에는, TFT의 소스/드레인 영역을 형성하는데 사용한 것과 동일한 마스크의 가장자리를 등방성 에칭하여 그 크기를 0.2~1.0㎛정도 축소하여 마스크의 윈도우 영역을 확장할 수도 있다. 그결과, 소스/드레인 영역은 TFT의 채널쪽으로 확장되고, 확장된 영역의 불순물 농도는 TFT의 소스/드레인 영역의 농도보다 낮다. 따라서, 소스/드레인 영역을 LDD 구조로 형성할 수 있다.

TFT와 전원은 TFT의 일방의 소스/드레인 영역과 일방의 반도체패드를 통해 접속된다. 전원까지의 배선은 일반적으로 증착법 등의 방법으로 배선층을 형성하는데 사용되는 Al, Cu, Ti, W 또는 이들의 합금이

나 실리사이드 등의 금속으로 형성되는 것이 바람직하다.

드라이브 트랜지스터와 TFT 사이 및 TFT와 전원 사이를 접속하면서 드라이브 트랜지스터와 TFT를 형성한 뒤, 필요할 경우에는 종래의 방법으로 층간막, 스루홀, 제2금속배선층 및 보호막을 형성하여 MOS 부하 트랜지스터로서 TFT를 구비한 SRAM을 완성한다. 드라이브 트랜지스터의 형성과 동시에, 또는 드라이브 트랜지스터를 형성한 후 TFT의 형성과 동시에 또는 그 전에 액세스 트랜지스터를 형성할 수도 있다.

이하, 본 발명의 실시예에 대해 자세히 설명한다.

[실시예 1]

제11도는 PMOS 부하 트랜지스터를 구비한 SRAM 셀의 등가회로도이다. 이 SRAM 셀은 플립플롭회로와 액세스 트랜지스터(ATr1, ATr2)로 구성된다. 플립플롭회로에는 반도체기판상에 형성된 드라이브 트랜지스터(DTr1, DTr2)와, 이 드라이브 트랜지스터(DTr1, DTr2)에 적층되고 노드에 전원이 공급되는 MOS 부하 박막트랜지스터(TFT1, TFT2)가 있다. 액세스 트랜지스터(ATr1, ATr2)의 노드는 비트라인(BL)에 접속된다. 따라서, MOS 부하 TFT1, TFT2가 반도체기판상에 형성된 드라이브 트랜지스터(DTr1, DTr2)상에 적층되기 때문에, SRAM은 소형화된 메모리셀을 구비할 수 있고 메모리용량을 증가할 수 있다.

이하, 제1~10도를 참조하여 본 발명의 제1실시예에 따른 반도체장치의 제조 방법에 대해 설명한다.

실리콘기판(10)상에 소자분리용의 필드절연막(11)을 형성한다. 이어서, 종래의 방식으로 실리콘기판(10)상에 드라이브 MOS 트랜지스터(제11도의 DTr1, DTr2)를 형성한다. 그후, 실리콘기판(10)의 전면에 층간절연막(12)을 형성하고, 필요한 영역, 즉 제1도와 같이 드라이브 트랜지스터(DTr1)의 소스/드레인 영역(14)과 드라이브 트랜지스터(DTr2)의 게이트전극(13)이 형성된 영역 위의 층간절연막(12)중에 콘택트홀(12a)을 형성한다.

제2도에 도시된 바와같이, 콘택트홀(12a)이 포함된 실리콘기판(10)의 전면에 폴리실리콘 막을 형성한 다음 원하는 형상으로 패턴화하여 TFT의 게이트전극(15a)과 폴리실리콘 패드(15b, 15c)를 형성하는데, 이들 폴리실리콘 패드는 TFT의 배선 역할을 한다. 폴리실리콘 막은 두께가 약 20㎚이고 인이나 비소 등의 N형 불순물이 약 10^{20} ㎝-3의 고농도로 첨가된다. 드라이브 트랜지스터(DTr2)의 게이트전극(13)은 실리콘패드(15b)를 통해 드라이브 트랜지스터(DTr1)의 소스/드레인 영역(14)에는 물론, 제11도의 접속점 A에서 후공정에서 형성될 TFT의 일방의 소스/드레인 영역에 접속된다. 이 경우에 TFT와 드라이브 트랜지스터(DTr1, DTr2)가 동시에 접속된다 해도, 콘택트홀(12a)은 드라이브 트랜지스터(DTr2)의 게이트전극(13)에만 또는 드라이브 트랜지스터(DTr1)의 소스/드레인 영역(14)에만 형성될 수도 있다. 그러나, 이 경우에는, 드라이브 트랜지스터(DTr2)의 게이트전극(13)과 드라이브 트랜지스터(DTr1)의 소스/드레인 영역이 콘택트홀(12a) 이외의 수단에 의해 접속되어야만 한다.

다음, 제3도와 같이, CVD법에 의해 TFT의 게이트전극(15a)과 폴리실리콘 패드(15b, 15c)를 포함한 실리콘기판(10)의 전면에 두께 약 50㎚의 SiO_2 막을 퇴적한다.

이어서, 제4도와 같이, 포토리소그래피와 RIE 공정에 의해 폴리실리콘 패드(15b, 15c) 위의 게이트산화막(16)중에 개구부(16a)를 형성한다.

다음, 제5도와 같이, 감압 CVD법에 의해 개구부(16a)를 포함한 실리콘기판(10)의 전면에 두께 약 100㎚의 폴리실리콘 막을 퇴적한다음 원하는 형상으로 패턴화하여, TFT의 채널과 소스/드레인 영역용의 활성층(17)을 형성한다. 이 활성층(17)은 게이트 산화막(16)중에 형성된 개구부(16a)를 통해 폴리실리콘 패드(15b, 15c)에 접속된다.

다음, 제6도와 같이, 실리콘기판(10) 전면에 레지스트를 도포한 다음, 포토리소그래피 공정에 의해 원하는 형상으로 패턴화하여 레지스트 패턴(18)을 형성한다. 이 레지스트 패턴(18)을 마스크로 하여, 붕소나 BF_2 이온들을 10^{14}~10^{15} ㎝$^{-2}$~25 KeV이고, BF_2 이온에 대해서는 30~100 KeV이다. 활성층(17)중 레지스트 패턴으로 덮인 부분에는 P형 불순물을 첨가하지 않아 TFT의 채널(17b)을 형성한다.

이어서, 제7도와 같이, 동일한 레지스트 패턴(18)을 이용해 붕소나 BF_2 이온들을 1×10^{15}~3×10^{15} ㎝$^{-2}$의 고농도로 고에너지에서 활성층(17)에 더 주입한다. 이때, 주입에너지는 통상 붕소이온에 대해 30~75 KeV이다. 이 공정에서, TFT의 소스/드레인 영역(17a, 17c)이 형성되면서, 동시에 이 영역(17a, 17c)과 같은 도전형의 영역들(15cc, 15bb)이 소스/드레인 영역(17a, 17c)과 게이트산화막(16)을 통한 주입에 의해 폴리실리콘 패드(15c, 15b)의 표면층중에 형성된다.

레지스트 패턴(18)을 제거한 뒤, 기판 전면에 CVD 산화막(19)을 퇴적하여, 제8도와 같이 층간절연막을 형성한다. CVD 산화막(19)의 두께는 예컨대 600㎚이다.

이어서, 제9도와 같이, 폴리실리콘 패드(15c) 위의 CVD 산화막(19)중에 포토리소그래피와 RIE 공정에 의해 개구부(19a)를 형성한다.

다음, 제10도와 같이, 개구부(19a)를 포함한 CVD 산화막(19)상에 원하는 패턴으로 알루미늄 배선(20)을 형성한다. 이 금속배선(20)은 CVD 산화막(19)중에 형성된 개구부(19a)내의 폴리실리콘 패드(15c)에 접속되어 전원용 배선 역할을 한다. 필요에 따라, 종래의 방식으로 층간막, 스루홀, 제2금속배선층 및 보호막을 형성하여 PMOS 부하 트랜지스터로서의 TFT를 구비한 SRAM 셀(도시안됨)을 완성한다.

이렇게 제작된 반도체장치에서, TFT의 드레인영역(17a)과 드라이브 트랜지스터(DTr1, DTr2)를 접속하는 PN 접합이 폴리실리콘 패드(15b)와 폴리실리콘 패드(15c)내에 형성된다. 따라서, PN 접합면적을 대폭 증가시킬 수 있다.

단결정실리콘내에 형성된 PN 접합과는 달리, 폴리실리콘 패드(15b, 15c)내의 PN 접합면에는 다수의 결정

립계가 형성된다. 이 결정립계는 PN 접합의 정류특성을 저하시키는 기능을 하므로, 역방향 누설전류를 증가시키고 빌트인 준위의 장벽을 악화시킨다.

또, 배선(20), 소스/드레인 영역과 동일한 도전형의 폴리실리콘 패드(15c, 15b), 및 TFT의 소스영역(17c)을 통해 전원으로 부터 전류를 공급할 수 있고, 상기 어떤 것도 PN접합을 포함하지 않는다. 따라서, 전원부의 저항을 낮출 수 있다.

그러므로, PN 접합을 통해 흐르는 전류가 PN 접합면적에 비례하여 증가되므로, 메모리셀로의 전류공급을 증가시킬 수 있다.

제12도는 본 발명의 전원부에 있는 TFT의 소스영역(17c)과 배선 사이의 접합부에서 관측된 전류-전압 특성(실선으로 도시됨)을 보여준다. 제12도에서는 종래의 SRAM의 전원부에서 관측된 전류-전압 특성(파선으로 도시됨)도 볼 수 있다.

제13도는 본 발명의 TFT의 드레인영역(17a)과 축적노드의 접합부에서 관측된 전류-전압 특성(실선)과, 종래의 SRAM의 전원부에서 관측된 전류-전압 특성(파선)을 보여준다.

[실시예 2]

이하, 제14~16도를 참조하여 본 발명의 제2실시예에 따른 반도체장치의 제조 공정에 대해 설명한다.

한쌍의 드라이브 MOS 트랜지스터, 층간절연막(32), 일방의 드라이브 MOS 트랜지스터의 게이트전극(33), 타방의 드라이브 MOS 트랜지스터의 소스/드레인 영역(34), TFT의 게이트전극(35a), 폴리실리콘 패드(35b, 35c), 게이트산화막(36), 활성층(37) 및 레지스트 패턴(38)은 제1~5도의 제1실시예에서 설명한 공정대로 실리콘기판(30)상에 형성된다.

이후, 제14도와 같이, 레지스트 패턴(38)을 마스크로 활성층(37)에 이온을 주입하여, 실시예 1과 같은 방식으로 TFT의 소스/드레인 영역(37c, 37a) 및 채널(37b)을 형성한다.

다음, 제15도와 같이, 산소 플라즈마 분위기중에서 레지스트 패턴(38)을 등방적으로 에칭하여 예컨대 레지스트 패턴 가장자리를 1.0㎛의 폭(d)으로 후퇴시켜 레지스트 패턴(38a)을 형성하여 채널(37b)의 일부분을 노출시킨다.

이어서, 제16도와 같이, 레지스트 패턴(38a)을 마스크로 하여 P형 이온들을 1×10^{15}~3×10^{15} cm^{-2}의 고농도로 활성층(37)에 주입한다. 주입에너지는 붕소이온에 대해서는 30~100 KeV로 높다. 따라서, TFT의 채널(37b)에 인접한 소스/드레인 영역(37c, 37a)의 가장자리는 소스/드레인 영역(37c, 37a)보다 불순물 농도가 낮은 LDD 영역(37cc, 37aa)을 형성한다. 이때, 소스/드레인 영역(37c, 37a)과 게이트산화막(36)을 통한 이온주입에 의해 소스/드레인 영역(37c, 37a)과 도전형이 같은 영역들(35cc, 35bb)도 폴리실리콘 패드(35c, 35b)의 표면층중에 형성된다.

주입된 이온들은 다음 관계식으로 계산된 단위면적밀도로 기판 두께방향으로 분포된다.

$$n(x) = \frac{\Phi}{\sqrt{2}\,\Delta Rp}\ \exp-\left\{\frac{x - Rp}{\sqrt{2}\,\Delta Rp}\right\}^2$$

여기서, n(x)는 깊이 x로의 주입불순물의 단위면적밀도, Φ는 단위면적당의 주입량, Rp는 주입이온의 비정거리(飛程距離), △Rp는 주입이온의 비정분산(飛程分散)이다.

소스/드레인 영역(37c, 37a)과 게이트산화막(36)을 통해 주입된 이온의 일부는 폴리실리콘 패드(35c, 35b)의 표면층에 도달한다.

나머지 이온들은 레지스트 패턴(38a)으로 덮이지 않은 영역에 잔류하여 불순물 농도가 낮은 LDD 영역들(37cc, 37aa)을 형성한다.

제1실시예와 거의 동일한 공정에 따라 층간절연막, 금속배선 및 나머지 요소들을 형성한 뒤, 필요에 따라 종래의 방식으로 층간막, 스루홀, 제2금속배선 및 보호막을 형성한다.

따라서, PMOS 트랜지스터로서의 TFT를 구비한 SRAM 셀(도시안됨)이 완성된다.

이와같은 반도체장치의 접속 패드(35b, 35c)내에도 PN 접합면적을 대폭 증가시킬수 있다. 따라서, PN 접합을 흐르는 전류를 PN 접합면적에 비례하여 증가시켜, 메모리셀로의 전류공급을 증가시킬 수 있다.

또, TFT의 채널측에 레지스트 패턴(38a)을 이용해 P형 불순물의 농도가 낮은 영역을 자기정합적으로 형성할 수 있기 때문에, 포토리소그래피 공정을 증가시키지 않고도 LDD(Lightly Doped Drain) 구조를 실현할 수 있다. LDD 구조에 의해, 드레인단에서 생성된 전계를 완화할 수 있다. 따라서, 누설전류를 낮출 수 있으며, 핫캐리어에 의한 TFT 특성의 열화를 방지할 수 있다. 이렇게 되면, TFT의 특성이 상당히 개선될 것이다.

[실시예 3]

이하, 제17~22도를 참조하여 본 발명의 제3실시예에 따른 반도체장치의 제조 방법에 대해 설명한다.

제1~5도의 실시예 1과 마찬가지로, 실리콘기판(50)상에 한쌍의 드라이브 MOS 트랜지스터, 층간절연막(52), 일방의 MOS 트랜지스터의 게이트전극(53), 타방의 드라이브 MOS 트랜지스터의 소스/드

레인 영역(54), TFT의 게이트전극(55a), 폴리실리콘 패드(55b, 55c), 게이트산화막(56) 및 레지스트 패턴(61)을 형성한다. 이어서, 제17도와 같이, 레지스트 패턴(61)의 필요한 영역에 콘택트홀(61a)을 형성한다. 그뒤, 레지스트 패턴(61)을 에칭마스크로 RIE 공정에 의해 게이트산화막(56)을 에칭하여 폴리실리콘 패드(55b, 55c)상의 게이트산화막(56)중에 개구부(도시안됨)를 형성한다.

제18도와 같이, 콘택트홀(61a)을 포함한 레지스트 패턴(61)상에 전자비임 증착법이나 스퍼터링법 등의 물리적 기상 성장법에 의해 티탄 막(62)을 약 10㎚ 정도의 두께로 형성한다. 이런 성막법에서는 지향성이 강하기 때문에, 티탄막(62)이 레지스트 패턴(61)의 평면과 콘택트홀(61a)의 바닥면에만 형성되고 레지스트 패턴(61)의 콘택트홀(61a)의 내벽에는 형성되지 않는다.

다음, 제19도와 같이, 아세톤 등의 유기용매를 사용해 레지스트 패턴(61)을 제거한다. 이때, 레지스트 패턴(61)상에 형성된 티탄막(62)이 레지스트 패턴(61)과 함께 제거되고, 콘택트홀(61a)의 바닥면에 형성된 티탄막 만이 잔류한다.

폴리실리콘패드(55b, 55c)상의 티탄막(62)을 질소분위기에서 약 600℃의 온도로 어닐링하여 질화티탄(62a)으로 변환시킨다.

다음, 제20도와 같이, 게이트산화막(56)과 티탄막(62)상에 감압 CVD법으로 폴리실리콘 막을 두께 10~100㎚로 퇴적한 다음, 원하는 형상으로 패턴화하여, TFT의 소스/드레인 영역과 채널 역할을 하는 활성층(57)을 형성한다. 폴리실리콘 패드(55b, 55c)는 게이트산화막(56)의 개구부내에 형성된 질화티탄막(62a)을 통해 활성층(57)에 접속된다. 활성층(57)을 구성하는 폴리실리콘 막은, 실시예 1에서 설명한 바와같이, 감압 CVD법으로 비정질실리콘 박막을 퇴적한 다음 이 박막을 600℃ 정도에서 어닐링으로 재결정화하여 형성될 수도 있다. 또, 이 폴리실리콘 막에 이온주입법으로 인이나 비소 등의 불순물을 10^{12}~10^{13} cm^{-2}

다음, 제21도와 같이, 실리콘기판(50)의 전면에 레지스트를 도포하고, 포토리소그래피 공정으로 원하는 형상으로 패턴화한다. 이 레지스트 패턴(58)을 마스크로, 붕소이온이나 BF_2 이온을 10^{14}~10^{15} cm^{-2}의 농도로 활성층(57)에 주입하여 소스/드레인 영역(57c, 57a)을 형성한다. 이때, 주입에너지는 붕소에 대해서는 10~25 KeV이고, BF_2에 대해선는 30~100 KeV이다. 활성층(57)중 레지스트 패턴(58)으로 덮이지 않은 부분에는 P형 불순물을 첨가하지 않아 TFT의 채널(57b)을 형성한다.

레지스트 패턴(58)을 제거한 뒤, 제22도와 같이, 기판 전면에 CVD 산화막(59)을 약 600㎚의 두께로 퇴적하여 층간절연막을 형성한다. 이어서, CVD 산화막(59)중에 개구부를 형성한 뒤, 제1실시예와 같은 공정으로 금속배선(60)을 형성한다.

필요하다면, 종래의 방시으로 층간막, 스루홀, 제2금속배선층, 보호막 등을 형성하여 PMOS 부하 트랜지스터로서의 TFT를 구비한 SRAM 셀(도시안됨)을 완성한다.

본 실시예에 따라, P형 불순물을 첨가한 소스/드레인 영역들(57a, 57c)을 게이트 산화막(56)중의 개구부에서 질화티탄막으로 된 불순물 확산방지용 도전막을 통해 N형 불순물을 첨가한 폴리실리콘 패드(55b, 55c)에 접속한다. 따라서, 소스/드레인 영역들(57a, 57c)과 폴리실리콘 패드(55b, 55c)가 직접 접촉하지 않고, 질화티탄막에 의해 상호 불순물확산을 방지할 수 있다. 그러므로, PN 접합에 의해 생길 수 있는 정류특성의 열화를 방지할 수 있는데, 이는 소스/드레인 영역(57a, 57c)과 폴리실리콘 패드(55b, 55c) 사이에 PN 접합이 없기 때문이다.

제23도는 상기 TFT의 드레인전류-드레인전압 특성(실선)과, 종래의 TFT의 드레인전류-드레인전압 특성(파단선)을 보여준다. 여기서 알 수 있듯이, 본 발명의 TFT의 드레인전류는 종래의 TFT의 드레인전류의 약 3배이다. 이것은, 소스영역(57c)과 폴리실리콘 패드(55c)가 질화티탄막(62)을 통해 접속되어서, 소스영역과 폴리실리콘 패드 사이의 역방향 PN 접합에 의한 정류특성의 기생 열화를 제거할 수 있기 때문이다.

종래의 TFT에서는 $|Vd| < 0.8V$ 정도의 비교적 낮은 전압에서는 드레인전류가 흐르지 않는다. 이것은, 드레인영역과 폴리실리콘 패드 사이의 순방향 PN 접합에서 생기는 기생 빌트인 전위보다 드레인전압이 높지 않으면 드레인전류를 얻을 수 없기 때문이다. 그러나, 본 발명의 TFT에서는, 비교적 낮은 전압에서도 드레인 전류가 관찰되었다. 이것은, PN 접합에서의 기생다이오드의 발생을 피하여 드레인전압이 비교적 낮을 때에도 드레인 전압을 관찰할 수 있기 때문이다.

따라서, 질화티탄막을 통해 소스영역(57c)과 폴리실리콘 패드(55c) 및 드레인영역(57a)과 폴리실리콘 패드(55b)가 각각 접속되므로 우수한 오옴접속을 실현할 수 있다. 따라서, TFT의 구동전류와 TFT에서 축적노드로의 전류공급을 증가시켜 메모리셀의 데이타 보유특성을 개선할 수 있다.

이상에서 알 수 있듯이, 본 발명에 따른 반도체장치에서는 TFT의 소스/드레인 영역이 반도체패드를 통해 배선과 드라이브 트랜지스터에 접속되고, 적어도 반도체패드의 표면층의 도전형은 TFT의 소스/드레인 영역의 도전형과 같다. 따라서, 종래 소스/드레인 영역과 대응 반도체패드 사이에 형성되었던 PN 접합이 반도체패드 내에 형성된다. 그러므로, PN 접합면적을 증가시켜 메모리셀에 대한 안정된 전원공급을 확보할 수 있다. 또, TFT의 드레인영역과 축적노드의 접합부의 순방향 PN 접합에 생긴 빌트인 전위의 장벽을 제거할 수 있다. 그러므로, 축적노드에 대한 공급전류와 축적된 전위를 증가시킬 수 있다. 이렇게 되면, 데이타 기입속도가 빨라지고 데이타 보유특성이 우수해져, 반도체장치의 성능과 수율의 향상을 도모할 수 있다.

또, TFT의 소스/드레인 영역이 상기 반도체장치의 LDD 구조를 가지면서, 전압을 인가할 때 드레인 에지에 발생하는 전계를 감소시킬 수 있다. 따라서, 누설전류가 줄어들고, 핫캐리어로 인한 TFT 특성의 열화를 방지할 수 있다.

또, TFT의 소스/드레인 영역들을 반도체패드를 통해 배선과 드라이브 트랜지스터에 접속하고, 일방의 도전형의 소스/드레인 영역과 다른 도전형의 반도체패드 사이의 직접적인 접촉은 그 사이에 불순물 확산방지용 도전막을 삽입하여 방지한다. 따라서, 소스/드레인 영역과 반도체패드 사이의 상호 불순물 확산을 방지할 수 있다. 또, 소스영역이 대응 반도체패드에 직접 접촉하지 않으므로, 역방향 PN 접합의 형성을 방지하여 메모리셀에 대한 안정된 전원공급이 실현된다. 또, 드레인영역이 대응 반도체패드에 직접 접촉하지 않으므로, 순방향 PN 접합에 생기는 빌트인 전위의 장벽을 제거할 수 있다.

따라서, 축적노드로의 전류공급과 축적전위를 증가시킬 수 있으므로, 메모리셀에 대한 데이타 기입속도와 데이타 보유특성을 개선할 수 있다.

본 발명의 반도체장치의 제조방법에 따르면, TFT의 소스/드레인 영역의 형성에 사용된 마스크를 재사용하여, TFT의 소스/드레인 영역을 배선과 드라이브 트랜지스터에 접속하기 위한 반도체패드의 적어도 표면층에 TFT의 소스/드레인 영역과 같은 도전형의 영역을 형성한다. 따라서, TFT의 소스/드레인 영역과 대응 반도체패드 사이의 역방향 PN 접합에 의해 생길 수도 있는 TFT 특성의 열화를 제조공정을 증가시키지 않고도 쉽게 피할 수 있다. 그러므로, 성능이 향상된 반도체장치를 높은 수율로 생산할 수 있다.

또, TFT의 소스/드레인 영역을 배선과 드라이브 트랜지스터에 접속하는 각각의 반도체패드상에 불순물 확산방지용 도전막을 형성할 경우에도, 게이트산화막중의 개구부를 형성하는데 사용했던 레지스트 마스크를 재사용한다. 따라서, 포토리소그래피 공정을 추가하지 않고도 LDD 구조를 자기정합적으로 실현할 수 있다. 그러므로, 성능이 향상되면서도 제조공정이 복잡하지 않은 반도체장치를 높은 수율로 쉽게 생산할 수 있다.

(57) 청구의 범위

청구항 1

게이트전극과 게이트산화막과 소스/드레인 영역들을 각각 갖는 한쌍의 드라이브 트랜지스터, 및 상기 한쌍의 드라이브 트랜지스터에 접속되고 각각에 게이트전극과 게이트산화막과 소스/드레인 영역들을 포함한 활성층이 이 순서대로 적층되어 있는 한쌍의 부하 TFT로 구성되는 플립플롭 회로; 및 상기 플립플롭 회로에 접속된 한쌍의 액세스 트랜지스터;로 구성된 복수의 메모리셀을 구비한 반도체장치에 있어서: 상기 각 TFT의 일방의 소스/드레인 영역이 적어도 일방의 드라이브 트랜지스터의 소스/드레인 영역 또는 타방의 드라이브 트랜지스터의 게이트전극과 반도체패드를 통해 접속되고, 상기 TFT의 타방의 소스/드레인 영역이 반도체패드를 통해 배선층에 접속되며; 상기 반도체패드의 적어도 표면층은 상기 TFT의 소스/드레인 영역과 동일한 도전형을 갖는 반도체장치.

청구항 2

제1항에 있어서, 상기 TFT의 소스/드레인 영역들이 LDD 구조로 형성되는 반도체장치.

청구항 3

게이트전극과 게이트산화막과 소스/드레인 영역들을 각각 갖는 한쌍의 드라이브 트랜지스터, 및 상기 한쌍의 드라이브 트랜지스터에 접속되고 각각에 게이트전극과 게이트산화막과 소스/드레인 영역들을 포함한 활성층이 이 순서대로 적층되어 있는 한쌍의 부하 TFT로 구성되는 플립플롭 회로; 및 상기 플립플롭 회로에 접속된 한쌍의 액세스 트랜지스터;로 구성된 복수의 메모리셀을 구비한 반도체장치에 있어서: 상기 각 TFT의 일방의 소스/드레인 영역이 불순물 확산방지용 도전막을 통해 반도체 패드 및 적어도 일방의 드라이브 트랜지스터의 소스/드레인 영역 또는 타방의 드라이브 트랜지스터의 게이트중의 하나와 접속되고, 상기 TFT의 타방의 소스/드레인 영역은 불순물 확산방지용 도전막과 반도체패드를 통해 배선층에 접속되는 반도체장치.

청구항 4

제3항에 있어서, 상기 불순물 확산방지용 도전막이 질화티탄으로 구성되는 반도체장치.

청구항 5

제3항에 있어서, TFT의 상기 소스/드레인 영역들이 LDD 구조로 형성되는 반도체장치.

청구항 6

(1) 반도체기판상에 드라이브 트랜지스터를 형성하고 이 드라이브 트랜지스터를 덮는 층간절연막을 형성한 후, 상기 층간절연막의 소정 영역에 상기 드라이브 트랜지스터와 접속하기 위한 콘택트홀을 형성하는 공정; (2) 상기 콘택트홀을 포함한 반도체기판의 전면에 반도체막을 적층하고, 상기 반도체막을 소요 형상으로 패턴화하여 TFT의 게이트전극과 반도체 패드들을 형성하는 공정; (3) 상기 게이트전극과 반도체패드 위에 게이트산화막을 형성하고 상기 반도체패드 위의 상기 게이트산화막에 개구부를 형성한 후, 상기 개구부를 포함한 반도체기판의 전면에 폴리실리콘을 적층하고 나서, 상기 폴리실리콘을 패턴화하여 상기 반도체패드에 접속되는 TFT의 활성층을 형성하는 공정; (4) 상기 TFT의 게이트전극상의 상기 활성층중 레지스트 패턴으로 마스크되는 부분에 이온주입을 행하여 상기 활성층에 TFT의 소스/드레인 영역들을 형성하는 공정; (5) 상기 레지스트 패턴을 마스크로 하여 상기 이온주입시 사용한 것과 동일한 도전형의 이온을 상기 이온주입시보다 더 높은 에너지로 재차 주입하여 반도체 패드의 적어도 표면층에 TFT의 상기 소스/드레인 영역들과 동일한 도전형의 불순물 층을 형성하는 공정;을 포함하는 반도체장치 제조방법.

청구항 7

제6항에 있어서, 공정 (4)의 후에, 상기 레지스트 패턴을 등방성 에칭하고 이 레지스트 패턴을 이용해

이온주입하여 TFT의 소스/드레인 영역을 LDD 구조로 형성하는 공정을 더 포함하는 반도체장치 제조방법.

청구항 8

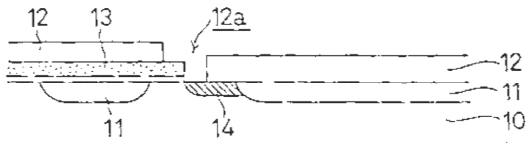
(1) 반도체기판상에 드라이브 트랜지스터를 형성하고 이 드라이브 트랜지스터를 덮는 층간절연막을 형성한 후, 상기 층간절연막의 소정 영역에 상기 드라이브 트랜지스터와 접속하기 위한 콘택트홀을 형성하는 공정; (2) 상기 콘택트홀을 포함한 반도체기판의 전면에 반도체막을 적층하고, 상기 반도체막을 소요 형상으로 패턴화하여 TFT의 게이트전극과 반도체 패드들을 형성하는 공정; (3) 상기 게이트전극과 반도체 패드 위에 게이트산화막을 형성하고 포토리소그래피 공정으로 소요 형상의 레지스트 패턴을 형성한 후, 이 레지스트 패턴을 마스크로 하여 상기 반도체패드 위의 상기 게이트산화막에 개구부를 형성하는 공정; (4) 상기 레지스트 패턴과 개구부를 포함한 반도체기판의 전면에 도전체막을 형성하고 나서, 게이트산화막에 형성된 상기 개구부에만 상기 도전체막이 남아있도록 상기 레지스트 패턴을 에칭으로 제거한 뒤, 상기 도전체막을 질소 분위기에서 어닐링하여 도전체질화막으로 변화시키는 공정; (5) 상기 도전체질화막을 포함한 게이트산화막의 전면에 폴리실리콘을 적층한 뒤, 상기 폴리실리콘을 소요 형상으로 패턴화하여 상기 도전체막을 통해 상기 반도체 패드에 접속되는 TFT의 활성층을 형성하는 공정; 및 (6) 상기 게이트전극상의 상기 활성층중 레지스트 패턴으로 마스크되는 부분에 이온주입을 행하여 상기 활성층에 TFT의 소스/드레인 영역들을 형성하는 공정;을 포함하는 반도체장치 제조방법.

청구항 9

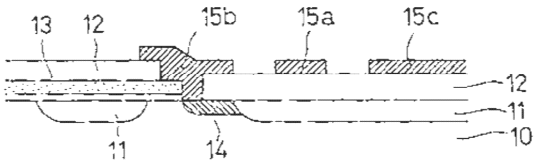
제8항에 있어서, 상기 도전체막이 티타늄 막인 반도체장치 제조방법.

도면

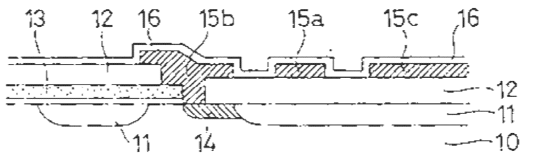
도면1



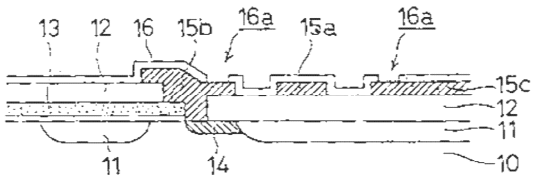
도면2



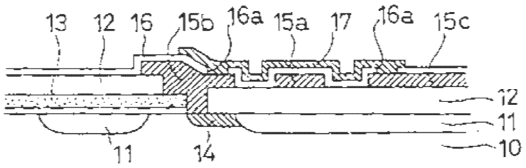
도면3



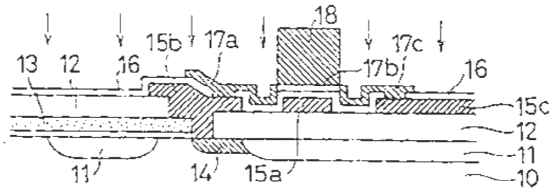
도면4



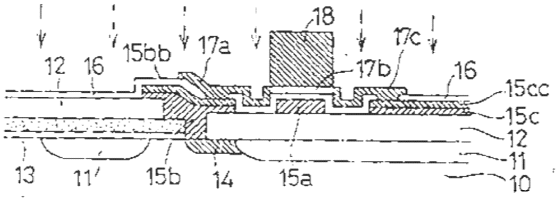
도면5



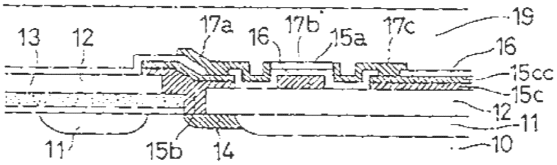
도면6



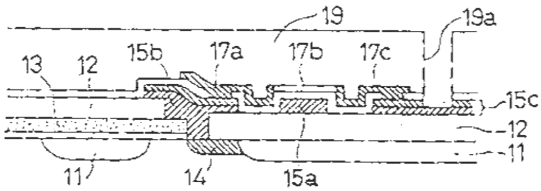
도면7



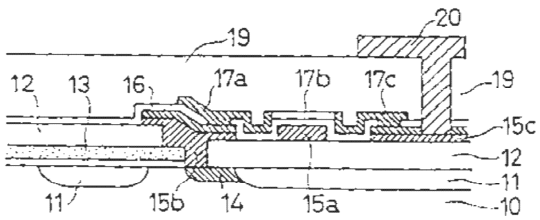
도면8



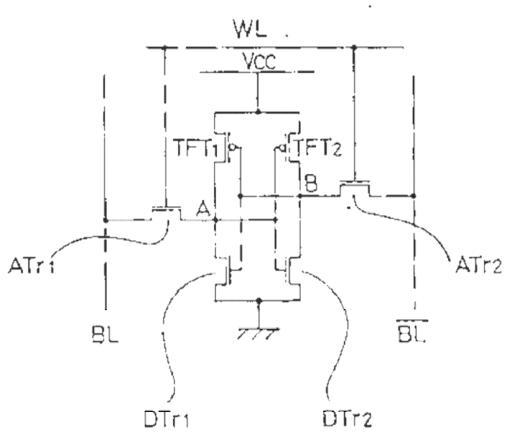
도면9



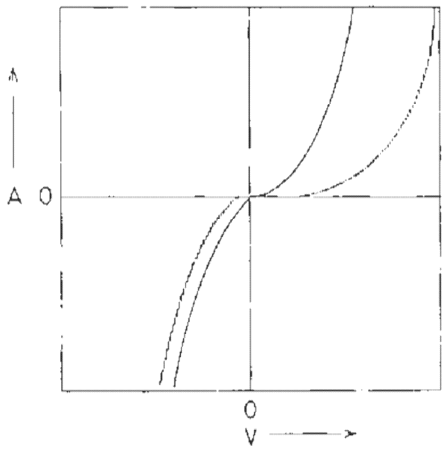
도면10



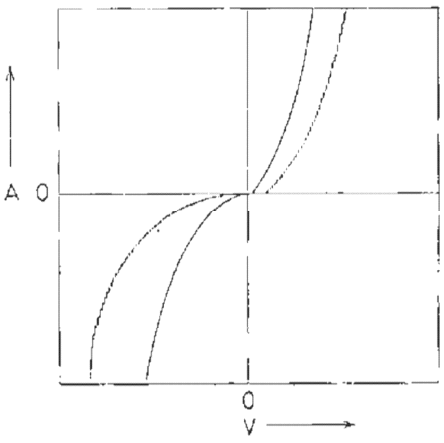
도면11



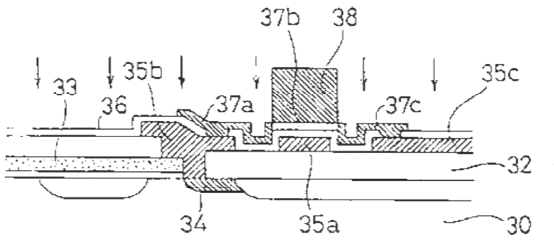
도면12



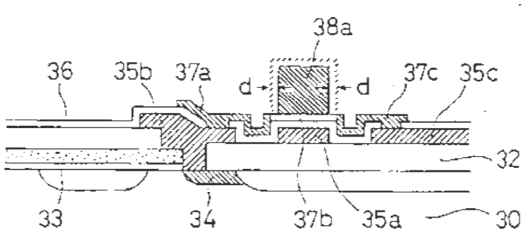
도면13



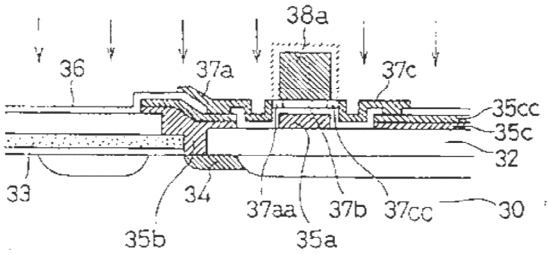
도면14



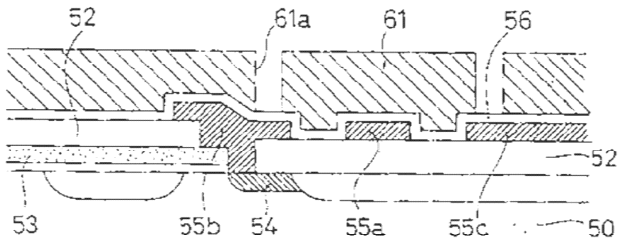
도면15



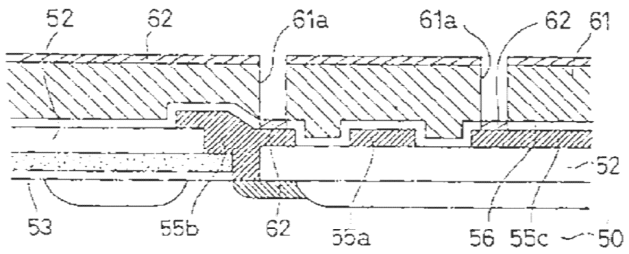
도면16



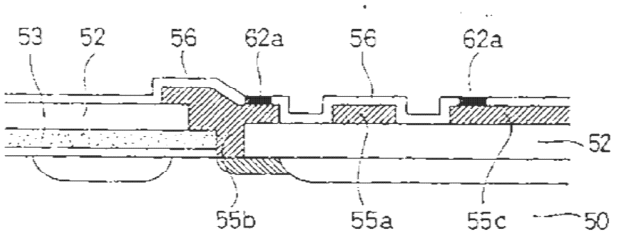
도면17



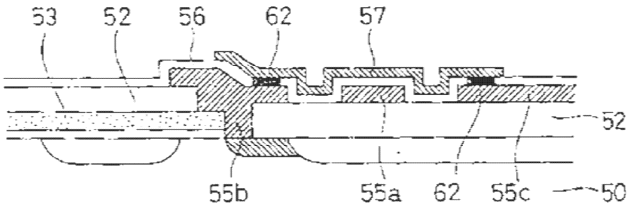
도면18



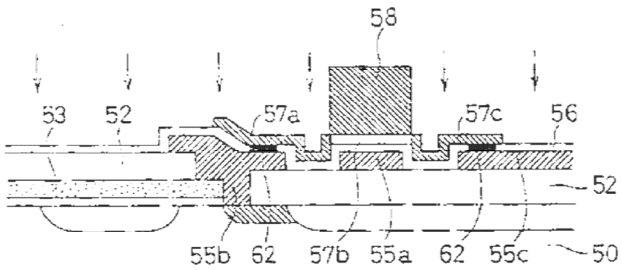
도면19



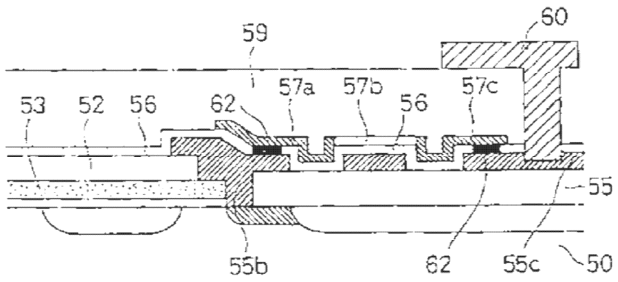
도면20



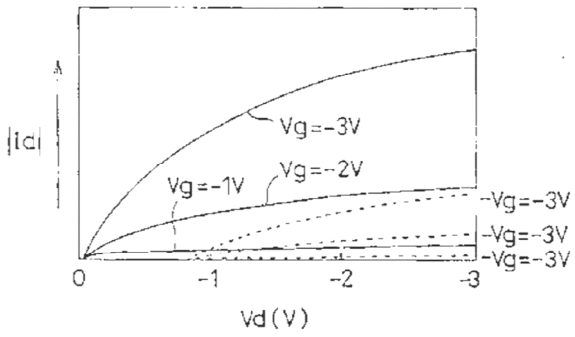
도면21



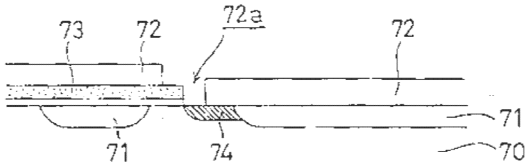
도면22



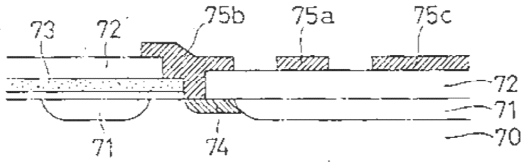
도면23



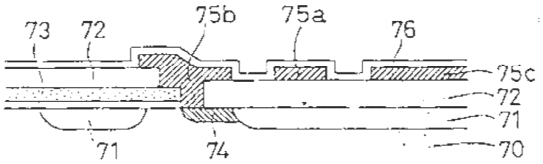
도면24



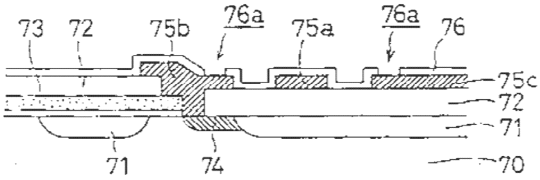
도면25



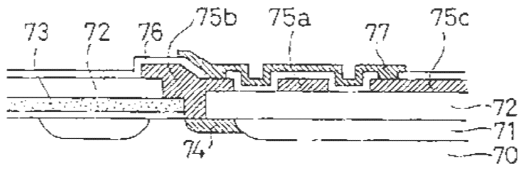
도면26



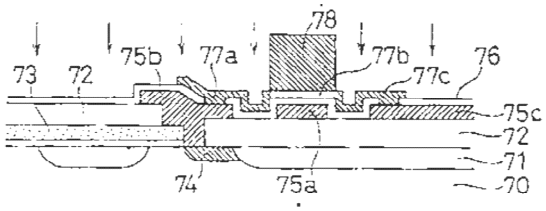
도면27



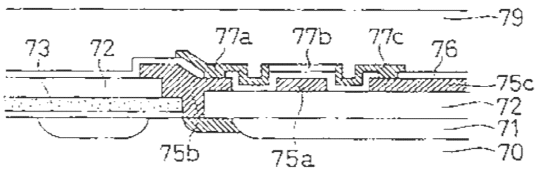
도면28



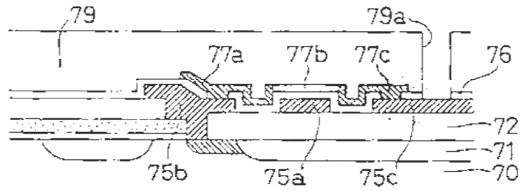
도면29



도면30



도면31



도면32

