

(21)申請案號：098107920

(22)申請日：中華民國 98 (2009) 年 03 月 11 日

(51)Int. Cl. : **G06F13/42 (2006.01)**

(30)優先權：2008/04/30 美國 12/112,502

(71)申請人：飛思卡爾半導體公司(美國) FREESCALE SEMICONDUCTOR, INC. (US)
美國

(72)發明人：莫伊爾 威廉 C MOYER, WILLIAM C. (US)

(74)代理人：陳長文

申請實體審查：無 申請專利範圍項數：20 項 圖式數：9 共 53 頁

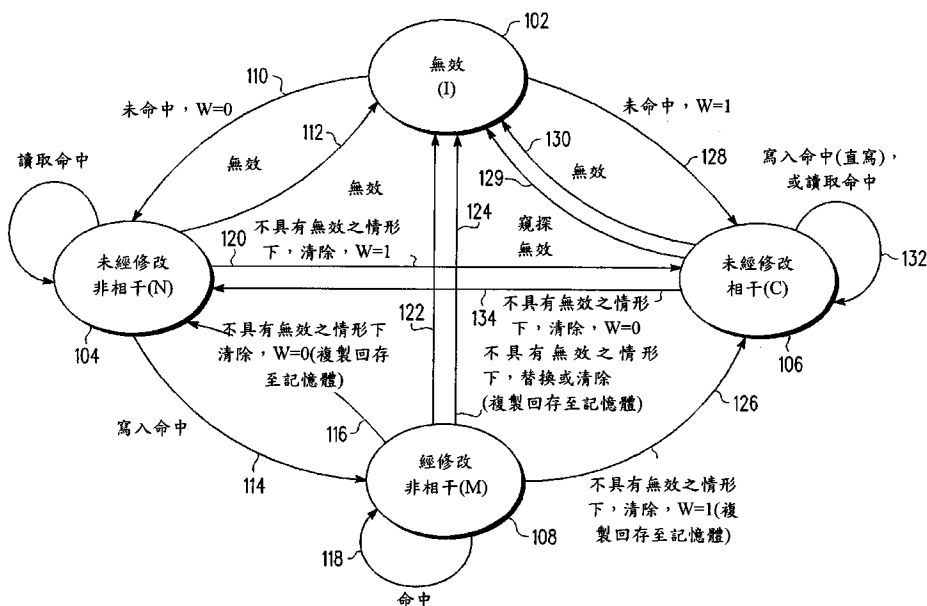
(54)名稱

資料處理系統中快取相干性協定

CACHE COHERENCY PROTOCOL IN A DATA PROCESSING SYSTEM

(57)摘要

一種資料處理系統(10)，其包括：一第一主控器(14)，其具有一快取記憶體(28)；一第二主控器(16或22)；一記憶體(20)，其經由一系統互連可操作地耦合至該第一主控器及該第二主控器。該快取記憶體包括一快取控制器(29)，該快取控制器針對該快取記憶體之資料單元實施一組快取相干性狀態(102、104、108、106)。該等快取相干性狀態包括：一無效狀態(102)；一未經修改非相干狀態(104)，其指示該快取記憶體之一資料單元中之資料尚未被修改且不保證相干於該資料處理系統之至少一個其他儲存器件中之資料；及一未經修改相干狀態(106)，其指示該資料單元之該資料尚未被修改且相干於該資料處理系統之該至少一個其他儲存器件中之資料。



(21)申請案號：098107920

(22)申請日：中華民國 98 (2009) 年 03 月 11 日

(51)Int. Cl. : **G06F13/42 (2006.01)**

(30)優先權：2008/04/30 美國 12/112,502

(71)申請人：飛思卡爾半導體公司(美國) FREESCALE SEMICONDUCTOR, INC. (US)
美國

(72)發明人：莫伊爾 威廉 C MOYER, WILLIAM C. (US)

(74)代理人：陳長文

申請實體審查：無 申請專利範圍項數：20 項 圖式數：9 共 53 頁

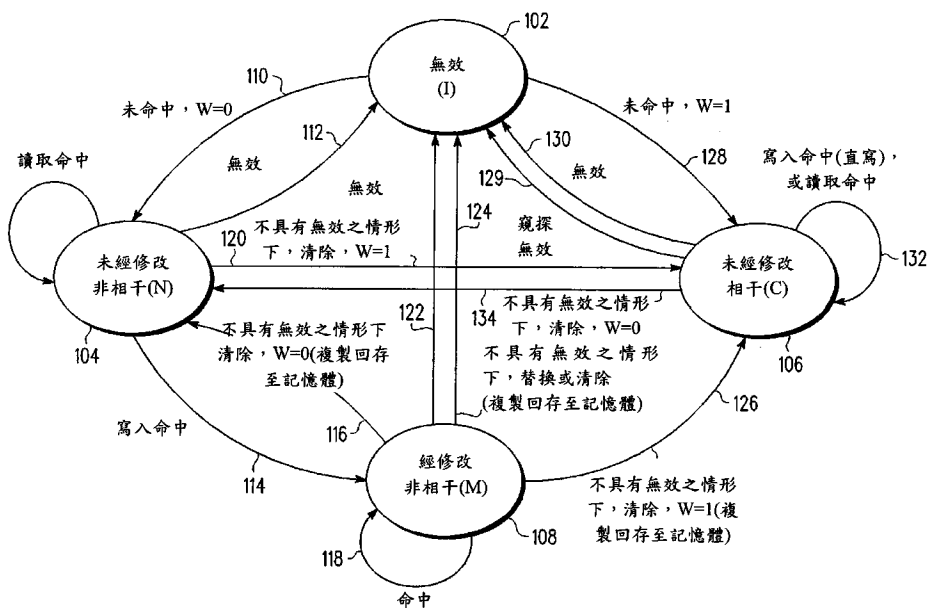
(54)名稱

資料處理系統中快取相干性協定

CACHE COHERENCY PROTOCOL IN A DATA PROCESSING SYSTEM

(57)摘要

一種資料處理系統(10)，其包括：一第一主控器(14)，其具有一快取記憶體(28)；一第二主控器(16或22)；一記憶體(20)，其經由一系統互連可操作地耦合至該第一主控器及該第二主控器。該快取記憶體包括一快取控制器(29)，該快取控制器針對該快取記憶體之資料單元實施一組快取相干性狀態(102、104、108、106)。該等快取相干性狀態包括：一無效狀態(102)；一未經修改非相干狀態(104)，其指示該快取記憶體之一資料單元中之資料尚未被修改且不保證相干於該資料處理系統之至少一個其他儲存器件中之資料；及一未經修改相干狀態(106)，其指示該資料單元之該資料尚未被修改且相干於該資料處理系統之該至少一個其他儲存器件中之資料。



六、發明說明：

【發明所屬之技術領域】

本揭示內容概言之係關於資料處理系統，且更特定而言，係關於資料處理系統中快取相干性協定。

本申請案與第12/112,508號美國專利申請案(代理檔案呈NM45431TH)相關，該美國專利申請在同一日期提出申請、標題為「資料處理系統中快取相干性協定(Cache Coherency Protocol in a Data Processing System)」、將William C. Moyer命名為發明人、且受讓給本發明之當前受讓人。

【先前技術】

快取相干性協定通常用於多處理器系統中。一種這樣的協定係MESI協定。然而，為了實施一MESI協定，多處理器系統之匯流排協定需要支援特定匯流排異動類型。此外，MESI協定對於低端系統可能太複雜或昂貴。

【發明內容】

於一實施例中，一快取相干性協定可對於相干寫入及非相干寫入使用單獨轉變及狀態。於一實施例中，此快取相干性協定使用由一記憶體管理單元(MMU)所提供之直寫頁面屬性作為一控制值以定義相干狀態之間的一個或多個轉變。於一實施例中，快取相干性協定依賴對相干訊務之直寫操作，且支援對非相干資料之複製回存異動。此外，此快取相干性協定可與當前不支援快取相干性之標準匯流排協定一起使用。此外，在一實施例中，可選擇一需要快取相干性之匯流排異動子集。換句話說，基於一個或多個因

素，一特定匯流排異動既可導致亦可不導致一快取相干性操作(例如既可導致亦可不導致一窺探請求之產生)。此外，於一實施例，用於實施選擇性窺探之該一個或多個因素存在於現有工業標準匯流排協定中以致於不需要額外傳訊機構或對標準匯流排協定之其他修改。

【實施方式】

如本文所使用，措詞「匯流排」用於指代複數個信號或導體，其可用於傳送一種或多種不同類型之資訊，例如資料、位址、控制或狀態。如本文所論述之導體可參照作為一單一導體、複數個導體、單向導體或雙向導體來闡釋或闡述。然而，不同實施例可改變該等導體之實施形式。舉例而言，可使用若干獨立的單向導體而非雙向導體，且反之亦然。此外，亦可使用一以串列方式或以一時工多分方式傳送多個信號之單一導體來替代複數個導體。同樣地，亦可將載送多個信號之單一導體分離成載送此等信號之子集之各個不同導體。因此，存在眾多用於傳送信號之選項。

當提及分別將一信號、狀態位元或類似裝置表達成其邏輯真或邏輯假狀態時，本文使用措詞「確證」或「設定」及「否定」(或「取消確證」或「清除」)。若邏輯真狀態係一邏輯位準1，則邏輯假狀態係一邏輯位準0。且若邏輯真狀態係一邏輯位準0，則邏輯假狀態係一邏輯位準1。

本文所述之每一信號皆可指定為正或負邏輯，其中負邏輯可由一位於該信號名稱上方之橫號或一跟蹤該名稱之星

號(*)指示。在一負邏輯信號之情況下，當真狀態對應於一邏輯位準0時，該信號係低狀態有效。在一負邏輯信號之情況下，當邏輯真狀態對應於一邏輯位準1時，該信號係高狀態有效。注意，本文所述之信號中之任何一者皆可指定為負或正邏輯信號。因此，於替代實施例中，闡述為正邏輯信號之彼等信號可實施為負邏輯信號，且闡述為負邏輯信號之彼等信號可實施為負邏輯信號。

本文中使用的括號來指示一匯流排之導體或一值之位元位置。舉例而言，「匯流排60[7:0]」或「匯流排60」之導體[7:0]指示匯流排60之八個低階導體，且「位址位元[7:0]」或「位址[7:0]」指示一位址值之該八個低階位元。在一數字之前的符號「\$」指示該數字係以其十六進製或基數十六形式表示。在一數字之前的符號「%」指示該數字係以其二進制或基數二形式表示。

圖1圖解闡釋一根據本發明之一實施例之資料處理系統10之一方塊圖。系統10可係一晶片上系統。系統10可構建於一單一積體電路上或複數個積體電路上。系統10包括一系統互連12，系統互連12可例如係一系統匯流排。於一實施例中，系統互連12係一根據AMBA AHB或AXI協定(AMBA、AXI及AHB係ARM公司之商標)操作之系統匯流排。系統10包括：任一數量之處理器，例如處理器14及16、一系統異動仲裁器32；一快取相干性管理器18、一記憶體20、一個二級快取記憶體41、其他主控器22、其他從控器24、一輸入/輸出(I/O)模組26、及一直接記憶體存取

(DMA)模組40，其等皆雙向耦合至系統互連12。處理器14包括一快取記憶體28，且處理器16包括一快取記憶體30。快取相干性管理器18包括一相干主控器控制暫存器19。快取相干性管理器18亦經由一可與系統互連12分開之窺探控制介面雙向耦合至二級快取記憶體41、處理器14及處理器16中之每一者。另外，快取相干性管理器18可雙向耦合至系統10內之其他主控器。系統10之替代實施例可包括未顯示於圖1中之額外電路系統，或者可包括較所示為少之電路系統。於一些實施例中，快取相干性管理器18可分散於處理器14及16內，或者可不存在。

圖2係與圖1之資料處理系統相關聯之處理器14之一方塊圖。處理器14可實施為以一管線方式來實施操作，且可包括：一指令管道23、執行單元25、指令提取單元27、控制電路系統17、通用暫存器31、載入/儲存單元33、匯流排介面單元(BIU)48、一記憶體管理單元(MMU) 42及快取記憶體28。於一實施例中，控制電路系統17雙向耦合至BIU 48、快取記憶體28、MMU 42、指令提取單元27、指令管道23、執行單元25及載入/儲存單元33中之每一者。指令管道23雙向耦合至指令提取單元27、執行單元25及載入/儲存單元33。執行單元25雙向耦合至MMU 42、快取記憶體28及通用暫存器31中之每一者。載入/儲存單元雙向耦合至通用暫存器31、MMU 42及快取記憶體28。處理器14可經由耦合至BIU 48之系統互連12來與資料處理系統10之其他組件通信。快取記憶體28包括控制電路系統29，控制

電路系統29於一實施例中至少部分地基於一由MMU 42所提供之記憶體頁面屬性來對快取記憶體28實施一快取相干性協定。快取記憶體28包括：複數個快取項目(亦稱作快取行)，其中每一快取項目皆包括一位址標籤；對應之資料；及狀態資訊，包括與其當前快取相干性協定狀態相關之資訊。應注意，除控制電路系統29及用於實施該快取相干性協定之任何電路系統以外，處理器14如熟習此項技術者所知操作，且因此，在下文中將不更詳盡說明。

如此項技術中已知，MMU 42將虛擬位址(其可接收自例如執行單元25、載入/儲存單元33及指令提取單元27)轉譯成實體位址。MMU 42將經轉譯位址提供至快取記憶體28。換句話說，MMU 42提供實體位址連同對應於實體位址之記憶體頁面之頁面屬性。舉例而言，快取記憶體28內之項目可對應於記憶體20之儲存位置，其中記憶體20包括若干稱作頁面之儲存單元。因此，由MMU 42所提供之頁面屬性連同實體位址轉譯資訊可程式化至MMU 42之儲存電路系統中(或處理器14內之別處)且對應於包括所提供之實體位址之特定頁面。於一實施例中，此等頁面屬性包括一直寫所需屬性(W)及下述屬性中之任何一者：快取禁止的(I)；記憶體相干性需要的(M)(其亦可稱作全域共享的(SG))、受保護的(G)、位元組序(E；endianness)及使用者可定義的(例如，U0、U1、U2、U3)。舉例而言，於一實施例中，MMU 42包括一其項目儲存位址轉譯以及此等屬性之轉譯後備緩衝區(TLB)，且因此控制處理器14用以在

與每一TLB項目相關聯之頁面中實施儲存存取之方式。於一實施例中，每一頁面之頁面屬性包括W及M兩者，其中W及M屬性中之每一者可彼此獨立地設定。

通常，支援快取相干性以達成多主控器系統中之記憶體相干性。可藉由使用快取相干性操作來保持相干性。於一實施例中，此等快取相干性操作包括提供給一處理器(例如處理器14)之窺探請求(亦即，窺探無效請求)。於一實施例中，此等窺探請求由快取相干性管理器18提供給處理器14及16中之每一者。此等窺探無效請求由該處理器接收以使該處理器能夠確定對應於該等窺探無效請求之位址是否儲存於該快取記憶體內。因此，一快取相干性操作可指代一窺探查詢，其中在該快取記憶體中實施一查詢以確定該快取記憶體是否含有與所窺探之異動相關聯之資料。換句話說，一快取相干性操作可包括在資料處理系統(例如資料處理系統10)之至少一個快取記憶體處搜尋以確定至少一個快取記憶體是否含有與所窺探匯流排異動之記憶體位址相關聯之資料。然後，若該快取記憶體確實含有與所窺探異動相關聯之資料(包括一與對應於該窺探請求之記憶體位址相匹配之項目)，則該處理器可針對彼項目實施適當相干性操作或覆寫彼項目。於一實施例中，在該快取相干性協定中利用一窺探無效相干性操，且使此匹配項目無效，此乃因很可能所窺探異動(其由另一匯流排主控器實施)正在修改儲存於彼位址處之資料。另一選擇係，應注意，一快取相干性操作可指代對一快取項目之狀態之改

變。

圖3圖解闡釋一快取相干性協定100，快取相干性協定100具有四個狀態：一經修改非相干狀態(M)、一無效狀態(I)、一未經修改非相干狀態(N)及一未經修改相干狀態(C)。於此四狀態協定中，對於相干寫入及非相干寫入使用單獨的轉變及狀態。於一實施例中，快取相干性協定100使用由MMU 42所提供之W頁面屬性作為一控制值以定義相干狀態之間的一個或多個轉變。於一實施例中，該快取相干性協定依賴一對相干訊務之直寫操作，且支援對非相干資料之複製回存異動。舉例而言，如下文將進一步闡述，相干寫入利用I及C狀態，且實施為直寫寫入。非相干寫入利用I、N及M狀態且實施為複製回存寫入。

圖3之狀態圖將參照處理器14來闡述。換句話說，於一實施例中，快取記憶體28內之控制電路系統29構建圖3之狀態圖。快取記憶體28中之每一快取項目皆包括一個或多個狀態指示符以指示快取項目之狀態(M、I、N或C)。(注意，一快取項目亦可稱作一快取行)。如圖3中所示，狀態102對應於I狀態，狀態104對應於N狀態，狀態108對應於M狀態，且狀態106對應於C狀態。如相對於快取相干性協定100所使用，當一快取項目「未經修改」時，處理器14之快取記憶體28中之快取項目之資料自其分配以來尚未相對於記憶體20中之拷貝被修改。當一快取項目「被修改」時，處理器14之快取記憶體28中之快取項目之資料自其分配以來已相對於記憶體20中之拷貝被修改。當一快取項目

係「相干的」時，快取記憶體28中之快取項目之資料與記憶體20中之且與對應於相同位址位置之系統10中之任一快取記憶體(例如快取記憶體30)中之任一有效項目中之相同。「非相干的」係指與其他快取非相干。換句話說，當一快取項目係「非相干的」時，快取記憶體28中之快取項目之資料可具有一不同於對應於記憶體20之相同位址位置之另一快取記憶體(例如快取30)之一有效項目之值。注意，因「非相干的」係指與其他快取非相干，故當一快取項目係「非相干的」時，快取項目之資料可與記憶體20中之相同。非相干性可出現在尚未針對記憶體中之一特定位址位置實施快取相干性操作時。

相干快取項目可處於C狀態或I狀態。不需要相干性之快取項目可具有I、N或M狀態。注意，相干快取項目不支援經修改或被共享狀態(如在MESI協定中所使用)，因此不需要窺探複製回存或干預操作。非相干快取項目仍可具有一經修改狀態。於一實施例中，將需要相干性操作之記憶體區(例如在記憶體20中)標記為「記憶體相干性需要的」(在其M位元設定至1之情況下)並標記為「直寫所需」(在其W位元設定至1之情況下)。注意，協定100可與一不包含或支援快取相干性操作之匯流排協定，例如(舉例而言)AMBA AHB或AXI協定。在一不支援快取相干性之匯流排協定之情況下，無法實施MESI協定。舉例而言，可能不存在傳訊一利用一不存在於AMBA AHB協定中之「只涉及位址的異動」之自MESI協定之S狀態至M狀態之轉變之

方式。此外，不支援MESI快取相干性異動之此一匯流排協定不支援用於在MESI協定中實施自I狀態至E狀態之轉變之「具有修改意向之讀取」異動。此一協定所需之其他異動類型亦未由AMBA AHB或AXI匯流排協定定義。因此，於一實施例中，注意，快取相干性協定100可覆蓋在當前不支援快取相干性之現有匯流排協定上。

參照圖3，當一快取項目處於無效狀態下，且出現一導致一至該無效快取項目之分配之快取未命中時，使用W頁面屬性來確定是否轉變至狀態N(一非相干狀態)或狀態C(一相干狀態)。當出現快取未命中且W=0(指示不針對此位址實施直寫)時，則快取項目之狀態藉由轉變110自狀態I轉變至狀態N。因不針對此位址實施一直寫，故無法保證快取項目之資料為相干的。因不實施一直寫，故至此快取項目之寫入異動未置於系統互連12之上且因此該等異動無法由快取相干性暫存器19(或由其他快取記憶體)窺探。因此，因將不實施相干性操作，故將其視為非相干的。因快取項目係最近分配的，故其資料視為未經修改。

然而，當出現一快取未命中且W=1(指示針對至此位址寫入實施一直寫)時，則快取項目之狀態藉由轉變128自狀態I轉變至狀態C。因針對至此位址之寫入實施一直寫，故保持相干性。舉例而言，針對一在一寫入未命中上之直寫，儲存於在轉變128時最近分配之快取項目中之資料亦經由系統互連12提供至記憶體20。針對一在一讀取未命中時之直寫，用於儲存至最近分配之快取項目中之資料由記

記憶體20經由系統互連12提供至處理器14。因此，在實施一直寫時，儲存於最近分配之快取項目中之資料經由系統互連12(其由快取相干性管理器18監控)提供。因此，快取相干性管理器18可藉由下述方式來實施一快取相干性操作：窺探對應於直寫異動之系統互連12上之位址並實施一快取相干性操作。舉例而言，快取相干性管理器18可提供一對處理器16之窺探無效請求以使處理器16能夠確定所窺探位址是否在快取記憶體30中命中，且若命中，則使其無效。

一旦處理狀態C下，任何對快取項目之讀取或寫入命中皆致使快取項目保持處於狀態C下。在一寫入命中之情況下，實施一直寫(此乃因該位址之W頁面屬性已設定)，從而使得可保持相干性。換句話說，在一直寫時，可實施一快取相干性操作。舉例而言，如上文所述，快取相干性管理器18可產生對處理器16之窺探無效請求以便能夠保持相干性。一對快取項目之快取無效操作藉由轉變130來將快取項目返回至狀態I。亦注意，在狀態C下，當與快取項目之位址相關聯之資料由另一處理器(例如由處理器16)修改時，處理器14可自快取相干性管理器18接收快取相干性操作，例如一窺探無效請求。在此種情況下，一窺探無效請求將在處理器14中命中快取項目並致使快取項目之狀態藉由轉變129轉變回至狀態I。

處理器14或16亦可對記憶體20中之位置實施快取記憶體清除操作(其亦可稱作清除快取記憶體操作命令)以致使記憶體20由快取記憶體28或快取記憶體30中分別存在之任何

經修改資料來更新。於一實施例中，此等快取記憶體清除操作可經指定以將任何經修改資料清除至記憶體20並隨後使快取項目處於一有效狀態下(亦即，一不具有一無效之快取記憶體清除操作)，或者另一選擇係，將任何經修改資料清除至記憶體20，並在實施清除之後，將快取項目置於一無效狀態下(亦即，一具有無效之快取記憶體清除操作)。快取記憶體清除操作提供一用於在不事前知道對應於存在於該快取記憶體中之位址之資料之存在或含有該快取記憶體之快取項目之狀態之情況下在快取記憶體中進行查詢之位址。因此，於一實施例中，一清除操作係一其中若快取項目具有任何經修改資料則將一匹配快取項目寫回至記憶體之操作。換句話說，若該快取行或項目係髒的，則將其寫回至記憶體(例如記憶體20)。若不存在經修改之資料，則無需至記憶體之回寫。亦注意，一清除可實施具有或不具有無效。

仍參照狀態C，在實施一不具有一無效之快取記憶體清除操作時，同樣檢查W頁面屬性以確定如何在各狀態之間轉變。若在一不具有一無效之快取記憶體清除操作時，W頁面屬性此時清除至零(例如，由於修改記憶體20中之對應頁面之W頁面屬性之軟體)，則快取項目之狀態藉由轉變134轉變至狀態N。換句話說，快取項目無效(此乃因清除實施不具有一無效)，但此時，將不再實施直寫。因此，同樣，無法保證相干性。此外，因請求一清除，故知道資料在清除操作完成時未經修改。若一清除實施具有一無

效，則在實施清除操作之後，使快取項目無效，從而轉變回至狀態I(藉由轉變130)。若一清除實施不具有一無效，則在清除操作之後，快取項目仍然有效，且該狀態(無論保持處於C狀態下或者轉變至狀態N)係基於W頁面屬性確定。

一旦處於狀態N下，則任何對快取項目之讀取命中皆致使快取項目保持處於狀態N下。一對快取項目之快取無效操作藉由轉變112來將快取項目返回至狀態I。一不具有無效之快取記憶體清除操作可致使一至狀態C之轉變，此視W頁面屬性之值而定。舉例而言，若實施一不具有無效之快取記憶體清除操作且W頁面屬性仍為零，則快取項目之狀態保持處於狀態N下。若實施一不具有無效之快取為清除操作且W頁面屬性此時為1(例如由軟體改變)，則快取項目之狀態自狀態N轉變至狀態C，其中，因清除，故資料保持未經修改，且因此時正在實施之直寫，故保持相干性。若實施一具有無效之快取，則在該快取操作之後，快取項目之狀態轉變回至I(藉由轉變112)。在一對處於狀態N下之快取項目之寫入命中時，快取項目之狀態藉由轉變114自狀態N轉變至狀態M。因此，快取項目仍為非相干的，此乃因不實施一直寫；然而，此時其視為經修改，此乃因其經修改，此乃因其在自狀態I至狀態N之轉變110時分配。

一旦處於狀態M下，任何對快取項目之命中皆致使快取項目保持處於狀態M下。若實施一不具有無效之快取記憶體

體清除操作，則如上文所述，實施一至記憶體(例如記憶體 20)之複製回存且快取項目且不使快取項目無效。然而，基於 W 頁面屬性，快取項目自狀態 M 轉變至狀態 N 或 C。在 W=0 之情況下，快取項目之狀態藉由其中資料此時同樣未經修改(歸因於清除操作)且不實施直寫(因此不保證相干性)之轉變 116 轉變回至狀態 N。在 W=1 之情況下，快取項目之狀態藉由其中資料此時同樣未經修改(歸因於清除操作)且實施直寫(因此保持相干性)之轉變 126 轉變回至狀態 C。在狀態 M 下，若實施一具有無效之清除，則實施一至記憶體之複製回存，如上文所述，且使快取項目無效，從而藉由轉變 124 將快取項目之狀態返回至狀態 I。若對一處於狀態 M 下之快取項目實施一替換操作，則首先將經修改資料拷貝回至記憶體 20。然後，首先使快取項目中之資料無效(藉由轉變 124 轉變至狀態 I)並隨後覆寫快取項目中之資料(導致一至狀態 N 或 C 之轉變，此視 W 頁面屬性之值而定，此乃因實際進行一分配)。此外，若實施一無效操作，則快取項目之狀態藉由轉變 122 自狀態 M 轉變至狀態 I 而不實施一複製回存操作。

因此，可瞭解一快取相干性協定如何可將單獨轉變及狀態用於相干寫入及非相干。於一實施例中，快取相干性協定 100 使用 MMU 42 所提供之 W 頁面屬性作為一控制值以定義相干性狀態之間的一個或多個轉變。於一實施例中，快取相干性協定依賴一對相干訊務之直寫操作，且支援對非相干資料之複製回存異動。因此，一快取相干性協定 100

可與不達成快取相干性操作之標準匯流排協定一起使用。

於一實施例中，快取相干性管理器18選擇一需要快取相干性之匯流排異動子集。換句話說，基於一個或多個因素，如下文將參照圖4-9所述，特定類型之異動將被窺探或將不被窺探且因此將促成或將不促成一快取相干性操作。此外，於一實施例中，用於實施選擇性窺探之該一個或多個因素存在於現有工業標準匯流排協定(例如 AMBA AHB或AXI)中。以此方式，不需要額外傳訊機構或對標準匯流排協定之其他修改。

於一實施例中，快取相干性管理器18基於一匯流排異動是否係一單拍式異動或一叢發異動來窺探並實施快取相干性操作。舉例而言，於一實施例中，窺探及快取相干性操作在匯流排異動係一單拍式異動時實施而在其係一叢發異動時不實施。此可係因由一處理器發起之叢發通常將實施一複製回存異動，因此此等叢發異動不需要快取相干性操作。然而，於一實施例中，若異動係一叢發異動，但由DMA 40而不是由一處理器(例如處理器14或16)發起，則仍實施窺探，此乃因通常由一DMA發起之叢發異動將不實施一複製回存，此意謂仍可需要快取相干性操作。因此，於一實施例中，關於是否窺探之決策可基於匯流排異動類型及哪一主控器或主控器類型發起該匯流排異動兩者。如下文將闡述，其他因素或因素組合可在系統10內(例如由快取相干性管理器18或其他快取相干性控制電路系統)用來確定是否應實施窺探。注意，於一實施例中，針對每一匯

流排異動提供一主控器識別符(主控器ID)以識別哪一主控器發起該異動。主控器身份之確定可作為發起主控器之匯流排異動之一部分指示為傳送位址之一屬性，或者可以其他方式指示或傳訊。於一實施例中，關於在發起一叢發寫入存取時哪些主控器實施一相干性操作之確定可由系統10之使用者程式化地選擇。於一實施例中，可在系統10內提供一控制暫存器以指示基於傳送類型(叢發或非叢發，或可在一組特定叢發類型內選擇)應對其實施相干性操作之一個或多個主控器。

使用AMBA AHB協定作為一實例，使用一編碼八種可能類型之異動之3位元匯流排信號HBURST[2:0]來提供叢發資訊。此等編碼提供於圖4中。舉例而言，一為「000」之HBURST值指示一信號傳送(亦即，一單拍式異動)，而其他7個值指示不同類型之叢發異動。於一實施例中，當快取相干性管理器18確定該HBURST值為000(指示一單一傳送)時，將實施窺探；然而，若確定該HBURST值為010(指示一8拍包裝叢發)、011(指示一4拍遞增叢發)、100(指示一8拍包裝叢發)、101(指示一8拍遞增叢發)、110(指示一16拍包裝叢發)或111(指示一16拍遞增叢發)，則不實施窺探。根據該實施例，當該HBURST值為001(指示一具有未指定長度之遞增叢發)時，可實施亦可不實施窺探。如上文所述，是否窺探之決策可進一步基於哪一主控器或主控器類型發起該匯流排異動或傳送。

於一實施例中，關於是否窺探之決策可進一步取決於當

前存取(當前匯流排異動)是否係可快取的。仍然使用AMBA AHB協定作為一實例，針對一匯流排異動之存取位址提供一HPROT[3:0]信號以指示(例如)該傳送是否係一操作碼提取或資料存取、一特權模式存取或使用者存取，並針對具有一MMU之主控器，指示當前存取是否係可快取的。HPROT[3:0]信號之編碼提供於圖5中。舉例而言，當HPROT[3]具有一為0之值時，不實施窺探，此乃因對匯流排異動之存取係不可快取的，而當HPROT[3]具有一為1之值時，實施窺探，此乃因對匯流排異動之存取係可快取的。因此，補充或代替使用上文所述之因素，HPROT信號亦可用於確定是否應實施窺探。於另一實例性實施例中，當HPROT[2]具有一為0之值時，不實施窺探，此乃因對匯流排異動之存取不可緩衝，而當HPROT[2]具有一為1之值時，實施窺探，此乃因對匯流排異動之存取可緩衝。於一些實施例中，根據指示匯流排存取之特定主控器，HPROT位元之值可程式化地用於控制是否實施一相干性操作。因此，補充或代替使用上文所述之因素，HPROT信號亦可用於確定是否應視需要結合一對發起一異動之主控器之身份之確定來實施窺探。舉例而言，系統10之使用者以此一方式程式化一個或多個控制暫存器或暫存器欄位以達成在HPROT[3]=1時針對主控器X、在HPROT[2]=1時針對主控器及在HPROT[3]=1且HPROT[2]=0時針對主控器Z所實施之相干性操作。另一選擇係，可使用其他可實現控制組合。

圖 6-9 圖解闡釋用於確定是否應實施快取相干性操作(例如窺探)之流程圖之各種實例。如上文所述，一快取相干性操作可包括產生一對系統 10 內之其他快取記憶體(若有)之窺探請求，其中彼等快取記憶體隨後處理彼窺探請求。於一實施例中，快取相干性操作可包括改變快取項目之狀態。於一實施例中，該等流程中之每一者皆可由快取相干性管理器 18 實施。另一選擇係，其他快取相干性控制電路系統可實施此等功能中之任何一者且存在於系統 10 中之任何地方。於一實施例中，每一個別快取記憶體或快取控制電路系統皆可實施圖 6-9 中所示之功能。圖 6 圖解闡釋一從方塊 502 開始之流程 500，在方塊 502 中由一匯流排主控器(例如(舉例而言)處理器 14、處理器 16、DMA 40 或另一主控器 22)發起一匯流排異動。流程進行至決策菱形 504，在決策菱形 504 個確定是否實施一寫入異動。若否，則流程進行至方塊 514，在方塊 514 處不實施一快取相干性操作。換句話說，於圖 6 之所示實施例中，不窺探讀取異動。若在決策菱形 504 處確定該匯流排異動係一寫入異動，則流程進行至決策菱形 506，在決策菱形 506 處確定該匯流排異動是否係一單拍式(亦即單一傳送)異動。若否，則流程進行至方塊 514，若該匯流排異動係一單拍式異動，則流程進行至方塊 512，在方塊 512 處，對寫入異動之資料實施一快取相干性操作。因此，在流程 500 中，若該匯流排異動係一單拍式寫入異動，則僅實施一快取相干性操作。

圖 7 圖解闡釋一從方塊 602 開始之流程 600，在方塊 602 中

由一匯流排主控器(例如(舉例而言)處理器14、處理器16、DMA 40或另一主控器22)發起一匯流排異動。流程進行至決策菱形604，在決策菱形604處確定是否實施一寫入異動。若否，則流程進行至方塊614，在方塊614處不實施一快取相干性操作。換句話說，於圖7之所示實施例中，不窺探讀取異動。若在決策菱形604處確定該匯流排異動係一寫入異動，則流程進行至決策菱形606，在決策菱形606處確定該匯流排異動是否係一單拍式(亦即，單一傳送)異動。若如此，則流程進行至方塊612，在方塊612處對寫入異動之資料實施一快取相干性操作。若否，則流程進行至方塊608，在方塊608處確定該異動之主控器ID。換句話說，如上文所述，於一實施例中，針對每一匯流排異動提供一主控器ID以識別發起主控器。流程隨後進行至決策菱形610，在決策菱形610處確定該主控器ID是否指示一DMA(例如DMA 40)。若如此，則流程進行至方塊612，在方塊612處對寫入異動之資料實施一快取相干性操作。若否，則流程進行至方塊614。換句話說，即使寫入異動係一叢發寫入(亦即，來自決策菱形606之「否」分支)，若發起主控器係一DMA則仍實施一快取相干性操作。然而，若寫入異動係一叢發寫入且發起主控器並非係一DMA，則不實施快取相干性操作，此乃因在此種情況下叢發異動很可能係一複製回存異動。

圖8圖解闡釋一從方塊702開始之流程700，在方塊702中由一匯流排主控器(例如(舉例而言)處理器14、處理器16、

DMA 40或另一主控器22)發起，一匯流排異動。流程進行至決策菱形704，在決策菱形704處確定是否實施一寫入異動。若否，則流程進行至方塊714，在方塊714處不實施一快取相干性操作。換句話說，於圖8之所示實施例中，不窺探讀取異動。若在決策菱形704處確定匯流排異動為一寫入異動，則流程進行至決策菱形706，在決策菱形706處確定匯流排異動是否係一單拍式(亦即，單一傳送)異動。若如此，則流程進行至方塊712，在方塊712處對寫入異動之資料實施一快取相干性操作。若否，則流程進行至方塊708，在方塊708處確定異動之主控器ID。換句話說，如上文所述，於一實施例中，針對每一匯流排異動提供一主控器ID以識別發起主控器。流程隨後進行至決策菱形710，在決策菱形710處確定主控器ID是否係一選定主控器。若如此，則隨後流程進行至方塊712，在方塊712處對寫入異動之資料實施一快取相干性操作。若否，隨後流程進行至方塊714。於一實施例中，快取相干性管理器18包括指示哪些主控器需要相干性之一相干主控器控制暫存器19。舉例而言，控制暫存器19可程式化有期望或需要快取相干性之系統10中之彼等主控器之ID。因此，在圖8之決策菱形710中，可比較在方塊702中發起匯流排異動之主控器之主控器ID與控制暫存器19，以確定發起主控器之主控器ID是否對應於一由控制暫存器19所指示之選定主控器。另一選擇係，可使用其他電路系統或方法來識別應針對哪些發起主控器實施一快取相干性操作。因此，即使寫入異動係一

叢發寫入(亦即，來自決策菱形606之「否」分支)，若發起主控器係一由相干主控器控制暫存器19所選定之主控器則仍可實施一快取相干性操作。於替代實施例中，確定步驟710可利用系統10內之其他預定選擇準則來實施。於一實施例中，此選定準則可由系統10之使用者予以程式化。

圖9圖解闡釋一從方塊802開始之流程800，在方塊802中由一匯流排主控器(例如(舉例而言)處理器14、處理器16、DMA 40或另一主控器22)發起一匯流排異動。流程進行至決策菱形804，在決策菱形804處確定是否實施一寫入異動。若否，則流程進行至方塊814，在方塊814處不實施一快取相干性操作。換句話說，於圖9之所示實施例中，不窺探讀取異動。若在決策菱形804處確定匯流排異動係一寫入異動，則流程進行至決策菱形806，在決策菱形804處讀取匯流排異動之一可快取性欄位或信號。舉例而言，此可參考上文所述之HPROT[3]或HPROT[2]。流程隨後進行至決策菱形808，在決策菱形808處確定可快取性欄位或信號是否指示一可快取異動。若否，則流程進行至方塊814。若如此，則流程進行至決策菱形810，在決策菱形810處確定寫入異動是否係一單拍式寫入。若否，則流程進行至方塊814。若如此，則流程進行至方塊812，在方塊812中針對寫入異動實施一快取相干性操作。換句話說，於圖9之實例中，僅對可快取單一寫入異動實施快取相干性操作。換句話說，叢發異動將不導致快取相干性操作，而由(例如)一根據系統互連12之一匯流排協定所提供之信

號指示為一不可快取異動之任何異動將導致快取相干性操作。於替代實施例中，確定步驟808可後續接著以一類似於由圖8之步驟708及710所實施之確定之方式識別發起異動之一主控器之確定步驟。於一實施例中，此確定之結果可充當用以判定是否應針對匯流排異動實施一快取相干性操作之另一因素。

因此，可瞭解各種不同因素如何可單獨地或以彼此之各種組合形式用來確定是否實施快取相干性操作(例如窺探)。快取相干性操作之此選擇性效能可(例如)使用現有標準匯流排協定來實施。

因實施本發明之裝置大部分係由熟習此項技術者所熟知之電子組件及電路構成，故為了理解並瞭解本發明之基本概念且為不混淆或分散對本發明之教示內容之注意，將不在任一較如上文所圖解闡釋被視為必要之範圍為大之範圍內解釋電路細節。

儘管已參照具體導電類型或電位極性闡述了本發明，但熟習此項技術者應瞭解，導電類型及電位極性可相反。

此外，說明及註專利範圍中之措詞「前面」、「後面」、「頂部」、「底部」、「在...上面」、「在...下面」及類似措詞(若有)用於描述性目的且未必用於描述永久性相對位置。應理解，如此使用之措詞在適當環境下可互換以使本文中所述之本發明實施例(例如)能夠呈不同於本文中所示或者所述定向之定向操作。

本文使用措詞「程式」定義為一設計用於在電腦系統上

執行之指令序列。一程式或電腦程式可包括一子程序、一功能、一程序、一對象方法、一對象實施方案、一可執行應用程式、一小型應用程式、一小型伺服程式、一源程式碼、一對象程式碼、一共享程序庫/動態載入程序庫及/或設計用於在電腦系統上執行之其他指令。

如可適用，可使用各種不同資訊處理系統來實施上述實施例中之一些實施例。舉例而言，儘管圖1及其說明闡述一例示性資訊處理架構，但此例示性架構僅呈現以提供一用於闡述本發明之各態樣之有用參考。當然，出於說明目的，對該架構之闡述已被簡化，且其僅係可根據本發明使用之諸多不同類型之適當架構中之一者。熟習此項技術者將認識到，邏輯區塊之間之界限僅係例示性的且替代實施例可合併邏輯區塊或電路元件或把一替代功能性之分解強加給各種邏輯區塊或電路元件。

因此，應理解，本文中所繪示之架構僅係例示性的，且實際上可構建達成相同功能性之諸多其他架構。在一抽象但仍明確意義上，用於達成相同功能性之任一組件配置有效地「關聯」以達成所期望之功能性。因此，經組合以實現一特定功能性之本文中之任何兩個組件可視為彼此「相關聯」以達成所期望之功能性，而不管構架或中間組件如何。同樣地，如此關聯之任何兩個組件亦可視為「可操作地連接」或「可操作地耦合」至彼此以達成所期望之功能性。

亦舉例而言，於一實施例中，系統10之所示之元件係位

於一單一積體電路上或同一器件內之電路系統。另一選擇係，系統10可包括任一數量之彼此互連之分立積體電路或分立器件。舉例而言，記憶體20可位於一與處理器14或16相同之積體電路上或一單獨積體電路上或位於與系統10之其他元件分立地分隔開之另一周邊裝置或從控器內。其他從控器24及I/O 26電路系統亦可位於分立積體電路或器件上。亦舉例而言，系統10或其部分可係實體電路系統或可轉變成實體電路系統之邏輯表示形式之軟體或程式碼表示形式。同樣地，系統10可實施為任一適當類型之硬體描述語言形式。

此外，熟習此項技術者將認識到上文所述操作之功能性之間之界限僅係例示性的。可將多個操作之功能性組合至一單一操作中，及/或可將一單一操作之功能性分散於額外操作中。此外，替代實施例可包括一特定操作之多個示例，並在各種其他實施例中可改變操作順序。

本文中所述之所有或一些軟體可係系統10之例如自電腦可讀媒體(例如記憶體35或其他電腦系統上之其他媒體)接收之系統10之元件。此等電流可讀媒體可永久性地、可抽換地或遠端地耦合至一資訊處理系統，例如系統10。該等電腦可讀媒體可包含例如但不限於任一數量之下列媒體：磁性儲存媒體，包括磁碟及磁帶儲存媒體；光學儲存媒體，例如光碟媒體(例如，CD-ROM、CD-R等)及數位影碟儲存媒體；非揮發性記憶體儲存媒體，包括基於半導體之記憶體單元，例如快閃記憶體、EEPROM、EPROM、

ROM；鐵磁數位記憶體；MRAM；揮發性儲存媒體，包括暫存器、緩衝器或快取記憶體、主記憶體、RAM等；及資料傳輸媒體，包括電腦網路、點對點電信設備及載波傳輸媒體，僅舉幾個例子。

於一實施例中，系統10係一電腦系統，例如一個人電腦系統。其他實施例可包括不同類型之電腦系統。電腦系統係可經設計以賦予一個或多個使用者獨立計算能力之資訊處理系統。電腦系統可以諸多形式存在，包括但不限於主機、微電腦、伺服器、工作站、個人電腦、筆記本式電腦、個人數位助理、電子遊戲機、汽車用及其他嵌入式系統、行動電話及各種其他無線器件。一典型電腦系統包括至少一個處理單元、關聯記憶體及若干輸入/輸出(I/O)器件。

一電腦系統根據一程式來處理資訊並經由I/O器件產生所得輸出資訊。一程式係一指令列表，例如一特定應用程式及/或一操作系統。一電腦程式通常儲存於電腦可讀儲存媒體內部或經由一電腦可讀傳輸媒體傳輸至該電腦系統。一電腦程序通常包括一實施(運行)程式或一程式之一部分、當前程式值及狀態資訊、以及由該操作系統用來管理該程序之實施之資源。一父程序可卵生其他子程序以幫助實施父程序之總功能性。由於父程序具體卵生子程序以實施父程序之總功能性之一部分，因此由子程序(及孫程序等)實施之功能有時可描述為由父程序實施。

儘管已參照具體實施例闡述了本發明，但可對其實施各

種修改及改動，此並不背離隨附申請專利範圍中所列舉之本發明範疇。相應地，應從闡釋性而非限定性意義上來看待本說明書及附圖，此外所有此等修改皆意欲包括於本發明之範疇內。本文針對具體實施例所描述之任何益處、優點或問題之解決方案皆非意欲被理解為任何或所有申請專利範圍之關鍵、所需或必須特徵或要件。

本文所用措詞「經耦合」並非旨在侷限於一直接耦合或一機械耦合。

此外，本文所用措詞「一(a)」或「一(an)」定義為一個或一個以上。同樣，申請專利範圍中對介紹性片語(例如，「至少一個」及「一個或多個」)之使用不應視為意味藉由不定冠詞「一(a)」或「一(an)」來介紹另一申請專利範圍要素會將任一含有此所介紹申請專利範圍要素之特定申請專利範圍限定至僅含有一個此種要素之發明，甚至當同一請求項包含介紹性片語「一個或多個」或「至少一個」及如「一(a)」或「一(an)」之不定冠詞時。此亦適用於對定冠詞之使用。

除非另有說明，否則，所用措詞(例如「第一」及「第二」等)係為了任意區分該等措詞描述之要素。因此，此等措詞未必意欲指示此等要素之時間優先順序或其他優先順序。

額外文字

1. 一種資料處理系統(例如，10)，其包括：

一第一主控器(例如，14)，該第一主控器包括一快取

記憶體(例如，28)；

一第二主控器(例如，16)；

一記憶體(例如，20)，該記憶體經由一系統互連(例如，12)可操作地耦合至該第一主控器及該第二主控器；

其中該快取記憶體包括一快取控制器(例如，29)，該快取控制器針對該快取記憶體之資料單元(例如，快取項目或快取行)實施一組快取相干性狀態(例如，I、N、C、M)，該等快取相干性狀態包含：

一無效狀態(例如，I)；

一未經修改非相干狀態(例如，N)，該未經修改相干狀態指示該快取記憶體之一資料單元中之資料尚未被修改且不保證相干於該資料處理系統之至少一個其他儲存器件中之資料；及

一未經修改相干狀態(例如，C)，該未經修改相干狀態指示該資料單元之該資料尚未被修改且相干於該資料處理系統之該至少一個其他儲存器件中之資料。

2. 如技術方案1之資料處理系統，其中回應於一對該快取記憶體之讀取未命中而實施自該快取記憶體之一資料單元之該無效狀態至該未經修改非相干狀態之一轉變，其中該讀取未命中之該資料被寫入至該資料單元，其中不回應於該讀取未命中而對該資料處理系統中之任何其他快取記憶體實施快取相干性操作。

3. 如技術方案1之資料處理系統，其中：

回應於一寫入快取未命中，自其中被寫入該寫入未命中之該資料的該快取記憶體之一資料單元之該無效狀態至該未經修改非相干狀態之一轉變不在該資料處理系統中之該等其他快取記憶體中產生一快取相干性操作。

4. 如技術方案1之資料處理系統，其中自該快取記憶體之一資料單元之該無效狀態至該未經修改非相干狀態之一轉變不導致為確定該資料處理系統之其他快取記憶體是否含有一對應於正被寫入至該資料單元之該資料之記憶體位址而對此等快取記憶體中的一查詢操作。

5. 如技術方案1之資料處理系統，其中當該快取記憶體之一資料單元處於該未經修改非相干狀態下時，針對彼資料單元之窺探異動不引起彼資料單元之相干性狀態一變化。

6. 如技術方案1之資料處理系統，其中回應於其中該快取未命中之該資料被寫入至該快取記憶體之一資料單元的一快取未命中：

回應於指示寫入至該資料單元之該資料不需要一直寫之一直寫所需屬性而實施自該快取記憶體之該資料單元之該無效狀態至該未經修改非相干狀態之一轉變(例如，轉變110)；

回應於指示寫入至該快取記憶體之該資料單元之該資料需要一直寫之該直寫所需屬性而實施自該快取記

憶體之該資料單元之該無效狀態至該未經修改相干狀態之一轉變(例如，轉變128)。

7. 如技術方案6之資料處理系統，其中：

該快取未命中係一寫入未命中；

若該直寫所需屬性指示該寫入未命中之該資料需要一直寫，則在一後續複製回存匯流排異動中不寫入該寫入未命中之資料至該記憶體。

8. 如技術方案1之資料處理系統，其中該等快取相干性狀態進一步包含：

一經修改非相干狀態(例如，M)，該經修改非相干狀態指示該快取記憶體之一資料單元中之資料已被修改且不保證相干於該資料處理系統之該至少一個其他儲存器件中之該資料。

9. 如技術方案8之資料處理系統，其中回應於一對該資料單元之該資料之寫入命中而實施自該快取記憶體之一資料單元之該未經修改非相干狀態至該經修改非相干狀態之一轉變(例如，轉變114)。

10. 如技術方案9之資料處理系統，其中：

當處於該未經修改相干狀態下時，一對該快取記憶體之一資料單元之資料之寫入命中產生該資料至該記憶體之一直寫(例如，轉變132)；

當處於該未經修改非相干狀態下時，一對該快取記憶體之一資料單元之該資料之寫入命中不產生一對該資料之直寫操作。

11. 如技術方案8之資料處理系統，其中在不具有一對該快取記憶體之一資料單元之無效快取操作命令之且一直寫所需屬性指示該資料單元之該資料不需要一直寫之情形下，回應於一對該資料單元之清除快取操作命令而實施自該資料單元之該經修改非相干狀態至該未經修改非相干狀態之一轉變(例如，轉變116)。
12. 如技術方案8之資料處理系統，其中回應於一對該快取記憶體之一資料單元之清除快取操作命令且一對該資料之直寫所需屬性指示該資料需要一直寫而實施自該資料單元之該經修改非相干狀態至該未經修改相干狀態之一轉變(例如，轉變126)。
13. 如技術方案8之資料處理系統，其中當一資料單元中之資料之一直寫所需屬性指示該資料需要一直寫時，回應於以下命令而實施自該快取記憶體之該資料單元之該經修改非相干狀態至該無效狀態之一轉變：
在不具有一對該資料單元之無效快取操作命令之情形下，一對該資料單元之清除快取操作命令，其中該資料係回應於該清除快取操作命令而藉助一複製回存匯流排異動寫入至該記憶體(例如，轉變124)；或一對該資料單元之無效快取操作命令(例如，轉變122)。
14. 如技術方案1之資料處理系統，其中當一直寫所需屬性指示該快取記憶體之一資料單元之資料需要一直寫時，在不具有一對該資料單元之無效快取操作命令之

情形下，回應於一對該資料單元之清除快取操作命令而實施自該快取記憶體之該資料單元之該未經修改非相干狀態至該未經修改相干狀態之一轉變(例如，轉變120)。

15. 如技術方案1之資料處理系統，其中當一直寫所需屬性指示該資料需要一直寫時，在不具有一對該快取記憶體之一資料單元之無效快取操作命令之情形下，回應於一對該資料單元之清除快取操作命令而實施自該資料單元之該未經修改相干狀態至該未經修改非相干狀態之一轉變(例如，轉變134)。

16. 如技術方案1之資料處理系統，其中回應於一對該快取記憶體之一資料單元之無效快取操作命令而實施自該資料單元之該未經修改非相干狀態及該未經修改相干狀態中之每一者至該無效狀態之一轉變(例如，轉變112及130)。

17. 一種操作一資料處理系統(例如，10)之方法，該方法包括：

由一產生一對該資料處理系統之一快取記憶體(例如，30)之寫入未命中之第一主控器(例如，16)來實施一資料寫入異動，該第一主控器可操作地耦合至一系統互連(例如，12)，該資料處理系統包含可操作地耦合至該系統互連之一第二主控器(例如，14)及一記憶體(例如，20)；

回應於該寫入未命中，將該資料寫入至該快取記憶

體；

若一對該寫入異動之該資料之直寫所需屬性(例如，W)

指示需要一對該資料之直寫，則實施該資料至該記憶體之一直寫，其中若該直寫所需屬性指示不需要對該資料之直寫，則不實施對該資料之直寫；

若該直寫所需屬性指示需要一對該資料之直寫，則在該資料處理系統之至少一個其他快取記憶體(例如，28)中搜尋以確定該至少一個其他快取記憶體是否含有一對應於該寫入異動之記憶體位址，其中若該直寫所需屬性指示不需要對該資料之直寫，則不實施對該至少一個其他快取記憶體之搜尋。

18. 一種資料處理系統(例如，10)，其包括：

一處理器(例如，14)，該處理器包含一快取記憶體(例如，28)；

一第二主控器(例如，16)；

一記憶體(例如，20)，該記憶體經由一系統互連(例如，12)可操作地耦合至該處理器及該第二主控器；

記憶體屬性邏輯(例如，位於MMU 42內或位於處理器14或系統10內之別處)，其用於提供與該記憶體之位置相關聯之複數個屬性，其中該複數個屬性中之一者係一直寫所需屬性(例如，W)；

其中該快取記憶體包含一快取控制器(例如，29)，該快取控制器包含針對該快取記憶體之資料單元實施一組快取相干性狀態之電路系統，其中該快取控制

器利用該直寫所需屬性來確定該記憶體內之一個或多個位置是否需要記憶體相干性。

19. 如技術方案18之資料系統，其進一步包括：

一快取相干性管理器(例如，18)，其可操作地耦合至該系統互連，其中當該直寫所需屬性指示一寫入異動需要記憶體相干性時，該快取相干性管理器向該資料系統之其他快取記憶體(例如，30、41)指示針對該寫入異動之一記憶體位址實施一快取相干性查詢操作。

20. 如技術方案19之資料系統，其中當該直寫所需屬性指示該寫入異動不需要記憶體相干性時，則不針對該寫入異動實施該資料系統中之記憶體相干性異動。

【圖式簡單說明】

本發明係以實例方式闡釋且不受附圖限制，在附圖中相同參考符號指示相同元件。圖中之元件係為簡明及清晰起見而闡釋且未必按比例繪製。

圖1圖解闡釋一根據本發明之一實施例之資料處理系統；

圖2圖解闡釋根據本發明之一實施例之圖1之資料處理系統之一處理器之一部分；

圖3圖解闡釋一根據本發明之一實施例由圖2之處理器實施之快取相干性協定之一狀態圖；

圖4圖解闡釋一根據一匯流排協定提供對一HBURST匯流排信號之編碼之表；

圖5圖解闡釋一根據一匯流排協定提供對一HPROT匯流排信號之編碼之表；及

圖6-9以流程圖形式圖解闡釋用於確定是否應實施快取相干性操作(例如，窺探)之各實施例。

【主要元件符號說明】

- 10 資料處理系統
- 12 系統互連
- 14 處理器
- 16 處理器
- 17 控制電路系統
- 18 快取相干性管理器
- 19 相干主控器控制暫存器
- 20 記憶體
- 22 其他主控器
- 23 指令管道
- 24 其他從控器
- 25 執行單元
- 26 輸入/輸出(I/O)模組
- 27 指令提取單元
- 28 快取記憶體
- 29 控制電路系統
- 30 快取記憶體
- 31 通用暫存器
- 32 系統異動仲裁器

33	載入/儲存單元
40	直接記憶體存取(DMA)模組
41	二級快取記憶體
42	記憶體管理單元
48	匯流排介面單元

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：98/07920

※申請日：98-3-11

※IPC 分類：G06F

一、發明名稱：(中文/英文)

G06F 13/42 (2006.01)

資料處理系統中快取相干性協定

CACHE COHERENCY PROTOCOL IN A DATA PROCESSING
SYSTEM

二、中文發明摘要：

一種資料處理系統(10)，其包括：一第一主控器(14)，其具有一快取記憶體(28)；一第二主控器(16或22)；一記憶體(20)，其經由一系統互連可操作地耦合至該第一主控器及該第二主控器。該快取記憶體包括一快取控制器(29)，該快取控制器針對該快取記憶體之資料單元實施一組快取相干性狀態(102、104、108、106)。該等快取相干性狀態包括：一無效狀態(102)；一未經修改非相干狀態(104)，其指示該快取記憶體之一資料單元中之資料尚未被修改且不保證相干於該資料處理系統之至少一個其他儲存器件中之資料；及一未經修改相干狀態(106)，其指示該資料單元之該資料尚未被修改且相干於該資料處理系統之該至少一個其他儲存器件中之資料。

三、英文發明摘要：

A data processing system (10) includes a first master (14) having a cache (28), a second master (16 or 22), a memory (20) operably coupled to the first master and the second master via a system interconnect. The cache includes a cache controller (29) which implements a set of cache coherency states (102, 104, 108, 106) for data units of the cache. The cache coherency states include an invalid state (102); an unmodified non-coherent state (104) indicating that data in a data unit of the cache has not been modified and is not guaranteed to be coherent with data in at least one other storage device of the data processing system, and an unmodified coherent state (106) indicating that the data of the data unit has not been modified and is coherent with data in the at least one other storage device of the data processing system.

七、申請專利範圍：

1. 一種資料處理系統，其包括：

一第一主控器，該第一主控器包含一快取記憶體；

一第二主控器；

一記憶體，該記憶體經由一系統互連可操作地耦合至該第一主控器及該第二主控器；

其中該快取記憶體包含一快取控制器，該快取控制器針對該快取記憶體之各資料單元實施一組快取相干性狀態，該等快取相干性狀態包含：

一無效狀態；

一未經修改非相干狀態，該未經修改非相干狀態指示該快取記憶體之一資料單元中之資料尚未被修改且不保證相干於該資料處理系統之至少一個其他儲存器件中之資料；及

一未經修改相干狀態，該未經修改相干狀態指示該資料單元之資料尚未被修改且相干於該資料處理系統之該至少一個其他儲存器件中之資料。

2. 如請求項1之資料處理系統，其中回應於對該快取記憶體之一讀取未命中而實施自該快取記憶體之一資料單元之該無效狀態至該未經修改非相干狀態之一轉變，其中該讀取未命中之該資料被寫入至該資料單元，其中不回應於該讀取未命中而對該資料處理系統中之任何其他快取記憶體實施快取相干性操作。

3. 如請求項1之資料處理系統，其中：

回應於一寫入快取未命中，自其中被寫入該寫入未命中之該資料的該快取記憶體之一資料單元之該無效狀態至該未經修改非相干狀態之一轉變不產生在該資料處理系統中之其他快取記憶體中的一快取相干性操作。

4. 如請求項1之資料處理系統，其中自該快取記憶體之一資料單元之該無效狀態至該未經修改非相干狀態之一轉變不導致為確定該資料處理系統之其他快取記憶體是否含有對應於正被寫入至該資料單元之該資料之一記憶體位址而對此等快取記憶體中的一查詢操作。

5. 如請求項1之資料處理系統，其中當該快取記憶體之一資料單元處於該未經修改非相干狀態下時，針對彼資料單元之各窺探異動不引起彼資料單元之相干性狀態之一變化。

6. 如請求項1之資料處理系統，其中回應於其中該快取記憶體未命中之該資料被寫入至該快取記憶體之一資料單元的一快取未命中：

回應於指示寫入至該資料單元之該資料不需要一直寫之一直寫所需屬性而實施自該快取記憶體之該資料單元之該無效狀態至該未經修改非相干狀態之一轉變；

回應於指示寫入至該快取記憶體之該資料單元之該資料需要一直寫之該直寫所需屬性而實施自該快取記憶體之該資料單元之該無效狀態至該未經修改相干狀態之一轉變。

7. 如請求項6之資料處理系統，其中：

該快取未命中係一寫入未命中；

若該直寫所需屬性指示該寫入未命中之該資料需要一直寫，則在一後續複製回存匯流排異動中不寫入該寫入未命中之該資料至該記憶體。

8. 如請求項1之資料處理系統，其中該等快取相干性狀態進一步包含：

一經修改非相干狀態，該經修改非相干狀態指示該快取記憶體之一資料單元中之資料已被修改且不保證相干於該資料處理系統之該至少一個其他儲存器件中之該資料。

9. 如請求項8之資料處理系統，其中回應於對該快取記憶體之一資料單元之該資料之一寫入命中而實施自該資料單元之該未經修改非相干狀態至該經修改非相干狀態之一轉變。

10. 如請求項9之資料處理系統，其中：

當處於該未經修改相干狀態下時，對該快取記憶體之一資料單元之資料之一寫入命中產生該資料至該記憶體之一直寫；

當處於該未經修改非相干狀態下時，對該快取記憶體之一資料單元之該資料之一寫入命中不產生對該資料之一直寫操作。

11. 如請求項8之資料處理系統，其中在不具有對該快取記憶體之一資料單元之一無效快取操作命令且一直寫所需

屬性指示該資料單元之該資料不需要一直寫之情形下，回應於對該資料單元之一清除快取操作命令而實施自該資料單元之該經修改非相干狀態至該未經修改非相干狀態之一轉變。

12. 如請求項8之資料處理系統，其中回應於對該快取記憶體之一資料單元之一清除快取操作命令且對該資料之一一直寫所需屬性指示該資料需要一直寫而實施自該資料單元之該經修改非相干狀態至該未經修改相干狀態之一轉變。

13. 如請求項8之資料處理系統，其中當對一資料單元中之資料之一一直寫所需屬性指示該資料不需要一直寫時，回應於以下命令而實施自該快取記憶體之該資料單元之該經修改非相干狀態至該無效狀態之一轉變：

在不具有對該資料單元之一無效快取操作命令之情形下，對該資料單元之一清除快取操作命令，其中該資料係回應於該清除快取操作命令而藉助一複製回存匯流排異動寫入至該記憶體；或

對該資料單元之一無效快取操作命令。

14. 如請求項1之資料處理系統，其中當一直寫所需屬性指示該快取記憶體之一資料單元之資料需要一直寫時，在不具有對該資料單元之一無效快取操作命令之情形下，回應於對該資料單元之一清除快取操作命令而實施自該快取記憶體之該資料單元之該未經修改非相干狀態至該未經修改相干狀態之一轉變。

15. 如請求項1之資料處理系統，其中當一直寫所需屬性指示該資料不需要一直寫時，在不具有對該快取記憶體之一資料單元之一無效快取操作命令之情形下，回應於對該資料單元之一清除快取操作命令而實施自該資料單元之該未經修改相干狀態至該未經修改非相干狀態之一轉變。

16. 如請求項1之資料處理系統，其中回應於對該快取記憶體之一資料單元之一無效快取操作命令而實施自該資料單元之該未經修改非相干狀態及該未經修改相干狀態中之每一者至該無效狀態之一轉變。

17. 一種操作一資料處理系統之方法，該方法包括：

由一第一主控器實施一資料寫入異動，該資料寫入異動產生對該資料處理系統之一快取記憶體之一寫入未命中，該第一主控器可操作地耦合至一系統互連，該資料處理系統包含可操作地耦合至該系統互連之一第二主控器及一記憶體；

回應於該寫入未命中，將該資料寫入至該快取記憶體；

若對該寫入異動之該資料之一直寫所需屬性指示需要對該資料之一直寫，則實施該資料至該記憶體之一直寫，其中若該直寫所需屬性指示不需要對該資料之直寫，則不實施對該資料之直寫；

若該直寫所需屬性指示需要對該資料之一直寫，則在該資料處理系統之至少一個其他快取記憶體中搜尋以確定該至少一個其他快取記憶體是否含有對應於該寫入異動之一記憶體位址，其中若該直寫所需屬性指示不

需要對該資料之直寫，則不實施對該至少一個其他快取記憶體之搜尋。

18. 一種資料處理系統，其包括：

一處理器，該處理器包含一快取記憶體；

一第二主控器；

一記憶體，該記憶體經由一系統互連可操作地耦合至該處理器及該第二主控器；

記憶體屬性邏輯，其用於提供與該記憶體之各位置相關聯之複數個屬性，其中該複數個屬性中之一者係一直寫所需屬性；

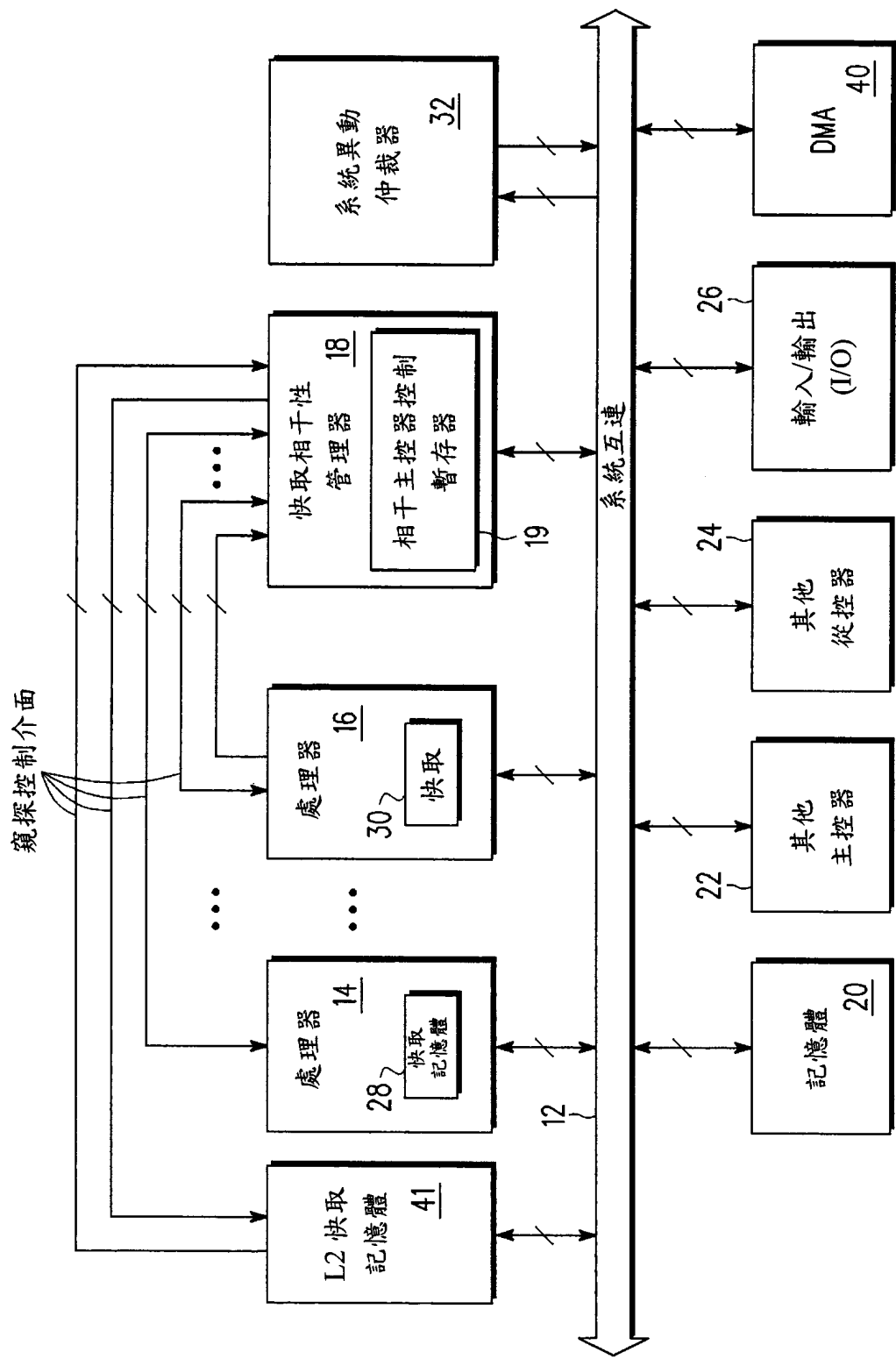
其中該快取記憶體包含一快取控制器，該快取控制器包含針對該快取記憶體之各資料單元實施一組快取相干性狀態之電路系統，其中該快取控制器利用該直寫所需屬性來確定該記憶體內之一個或多個位置是否需要記憶體相干性。

19. 如請求項18之資料系統，其進一步包括：

一快取相干性管理器，其可操作地耦合至該系統互連，其中當該直寫所需屬性指示一寫入異動需要記憶體相干性時，該快取相干性管理器向該資料系統之其他快取記憶體指示針對該寫入異動之一記憶體位址實施一快取相干性查詢操作。

20. 如請求項19之資料系統，其中當該直寫所需屬性指示該寫入異動不需要記憶體相干性時，不針對該寫入異動實施該資料系統中之記憶體相干性異動。

八、圖式：



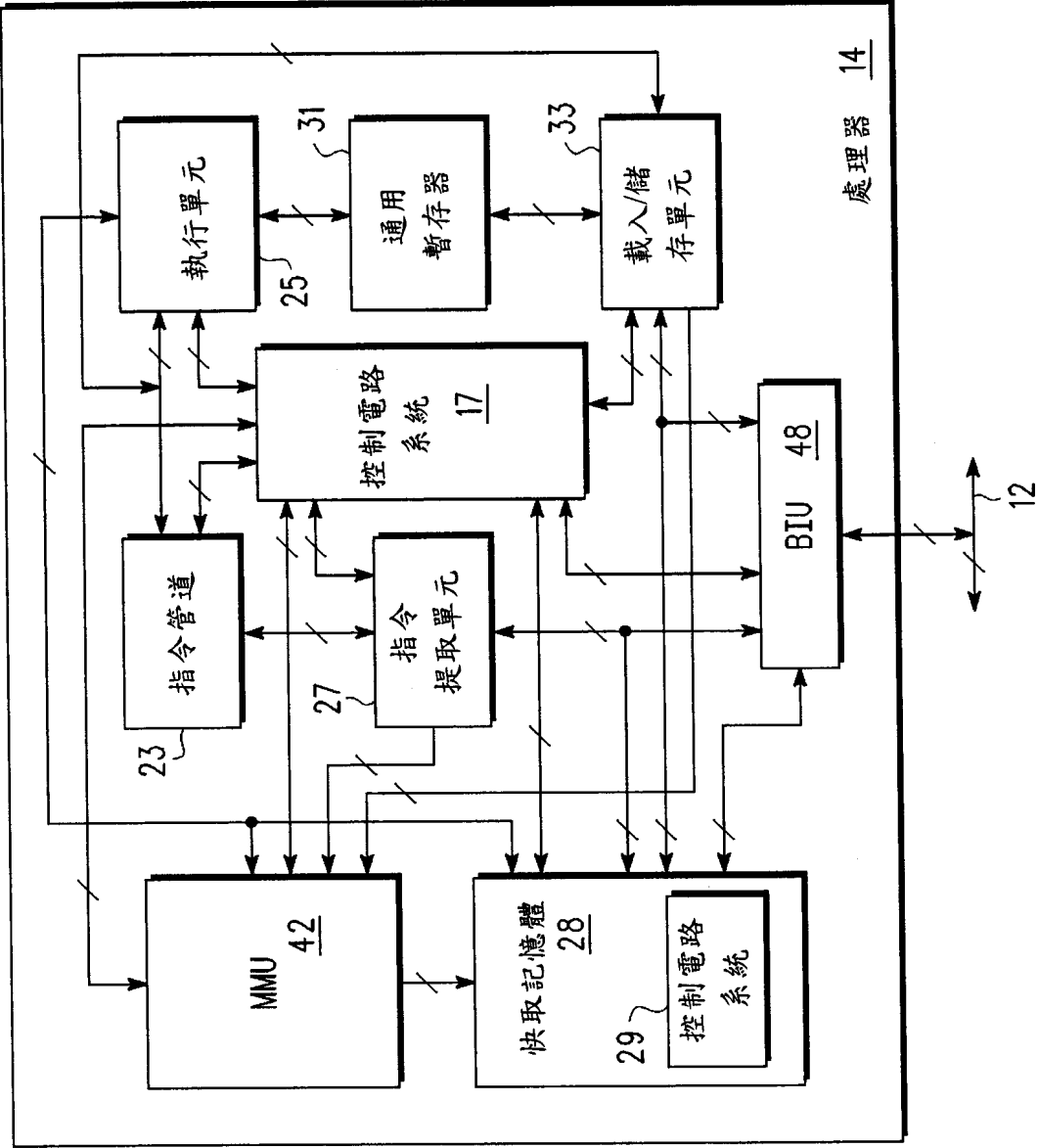


圖 2

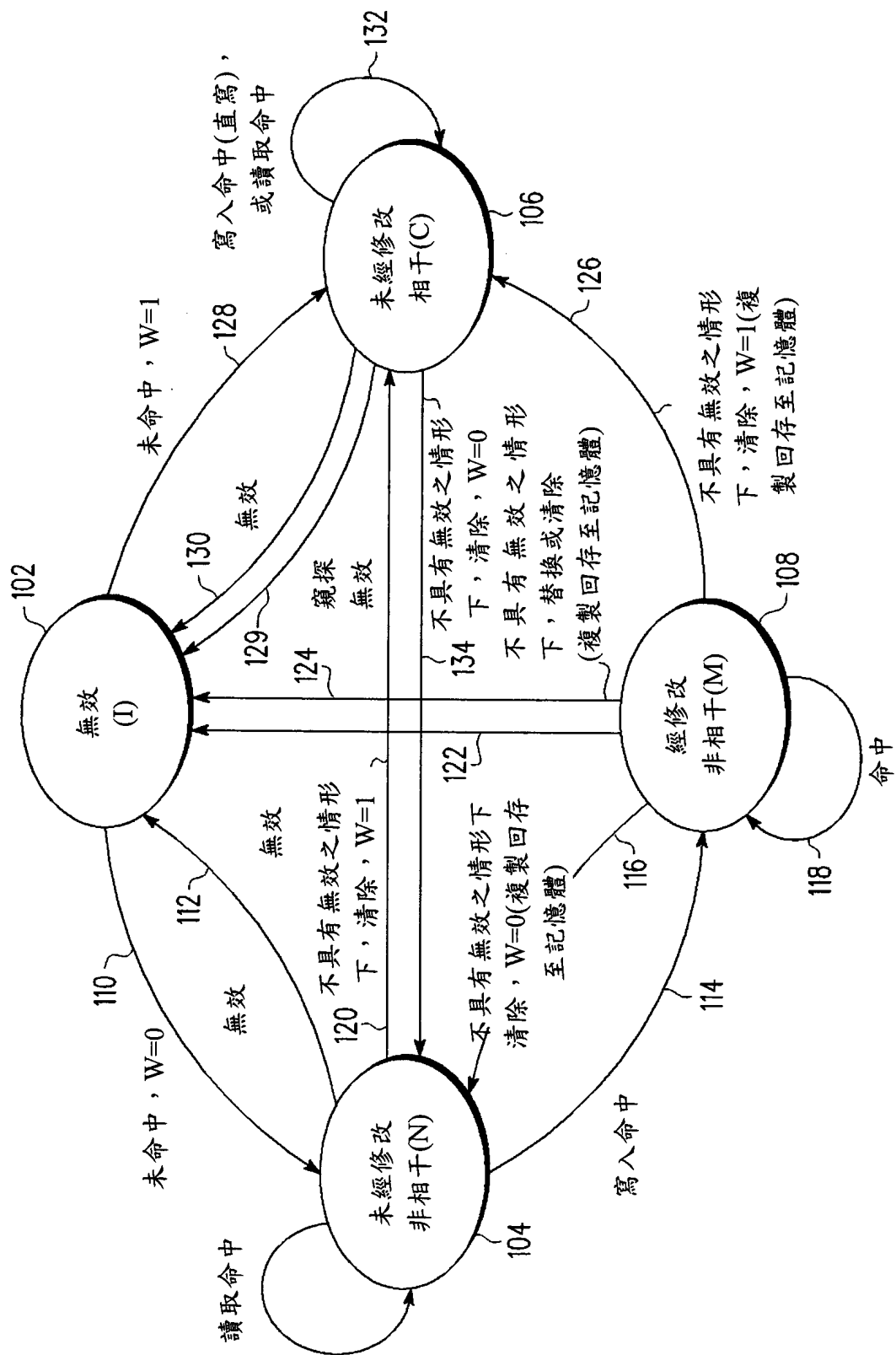


圖 3

HBURST[2:0]	類型	說明
000	單一	單一傳送
001	INCR	未指定長度之遞增叢發
010	WRAP4	4 拍式包裝叢發
011	INCR4	4 拍式遞增叢發
100	WRAP8	8 拍式包裝叢發
101	INCR8	8 拍式遞增叢發
110	WRAP16	16 拍式包裝叢發
111	INCR16	16 拍式遞增叢發

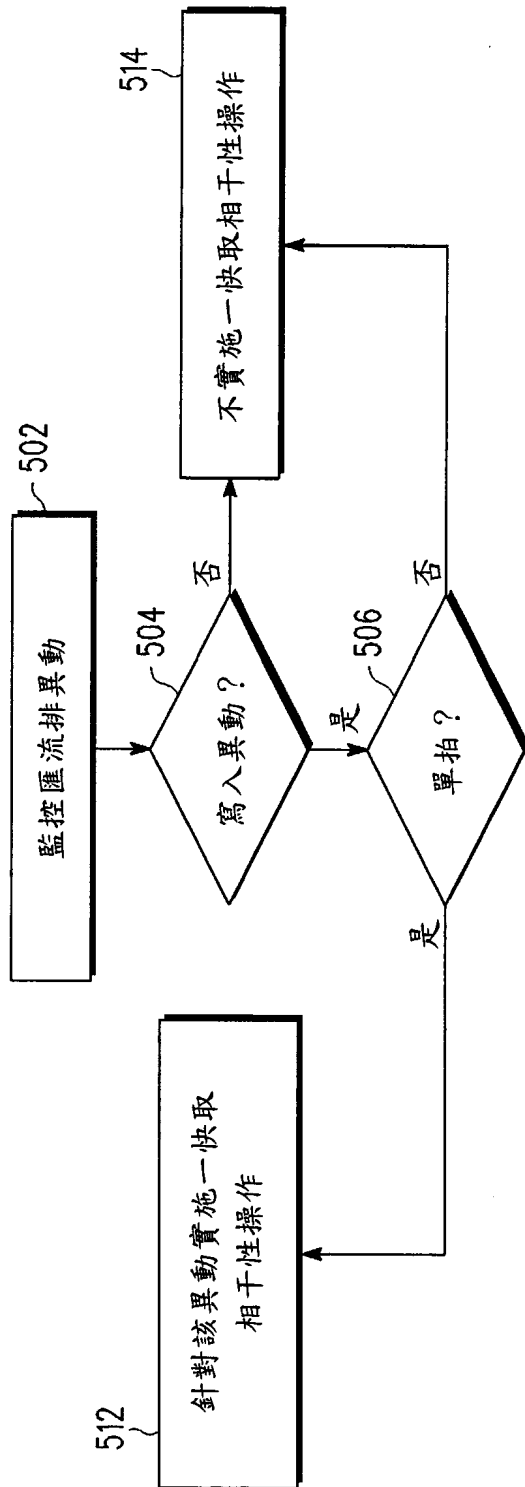
窺探此 {

不窺探此 {

圖 4

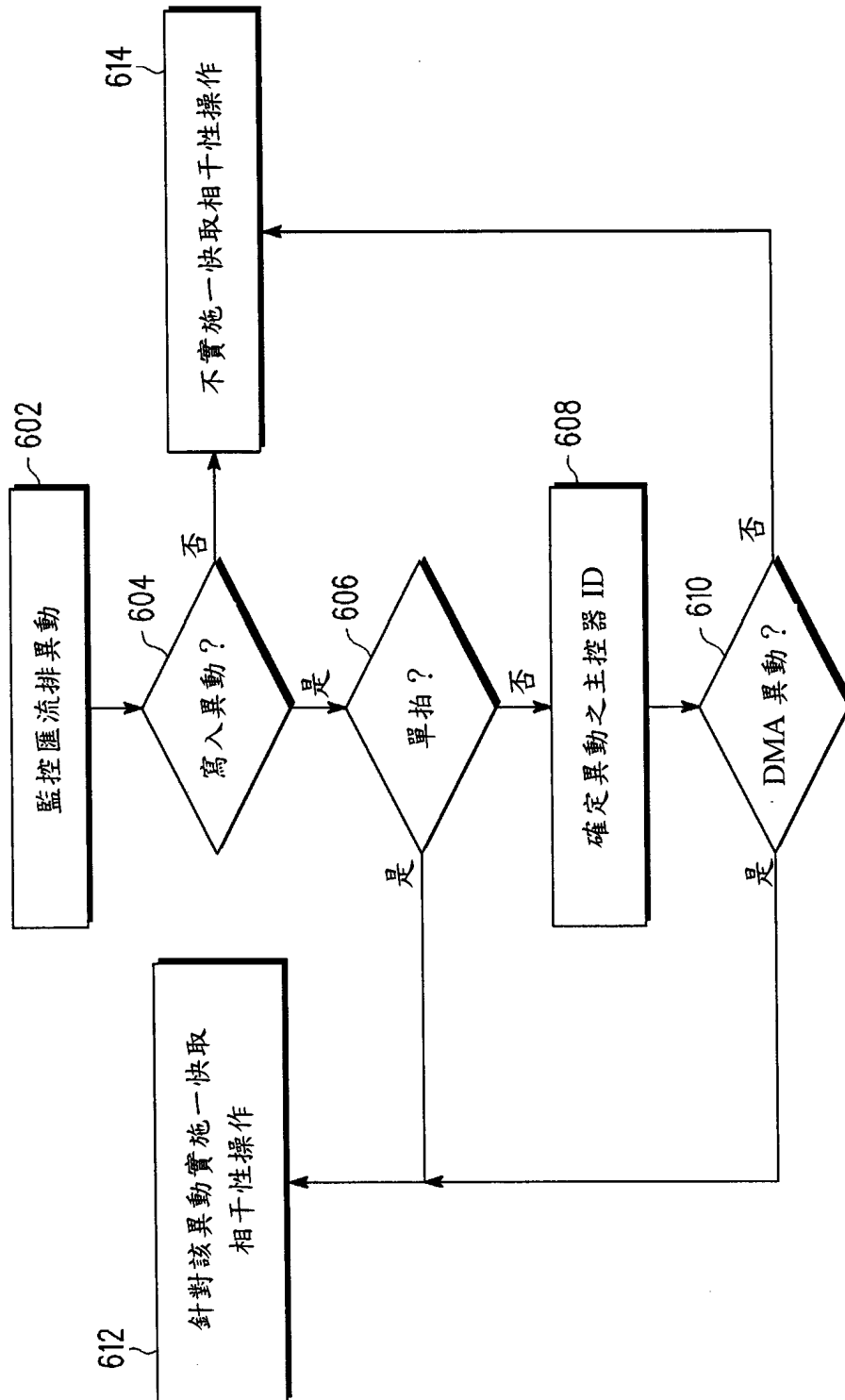
HPROT[3] 可快取的	HPROT[2] 可緩衝的	HPROT[1] 有特權的	HPROT[0] 資料/操作碼	說明
-	-	-	0	操作碼提取
-	-	-	1	資料存取
-	-	0	-	使用者存取
-	-	1	-	特權存取
-	0	-	-	不可緩衝的
-	1	-	-	可緩衝的
0	-	-	-	不可快取的
1	-	-	-	可快取的

圖 5



500

圖 6



600

圖 7

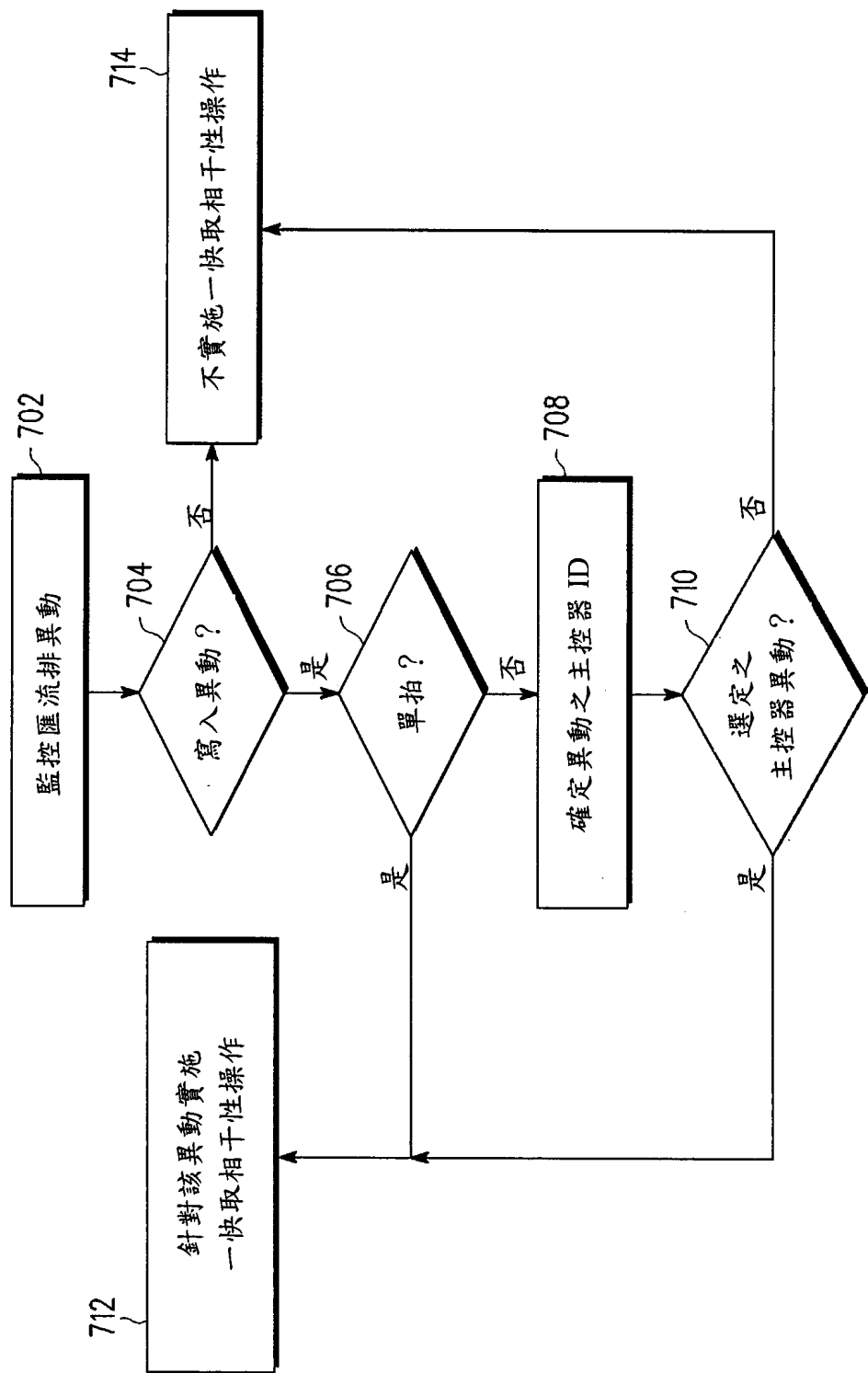


圖 8

700

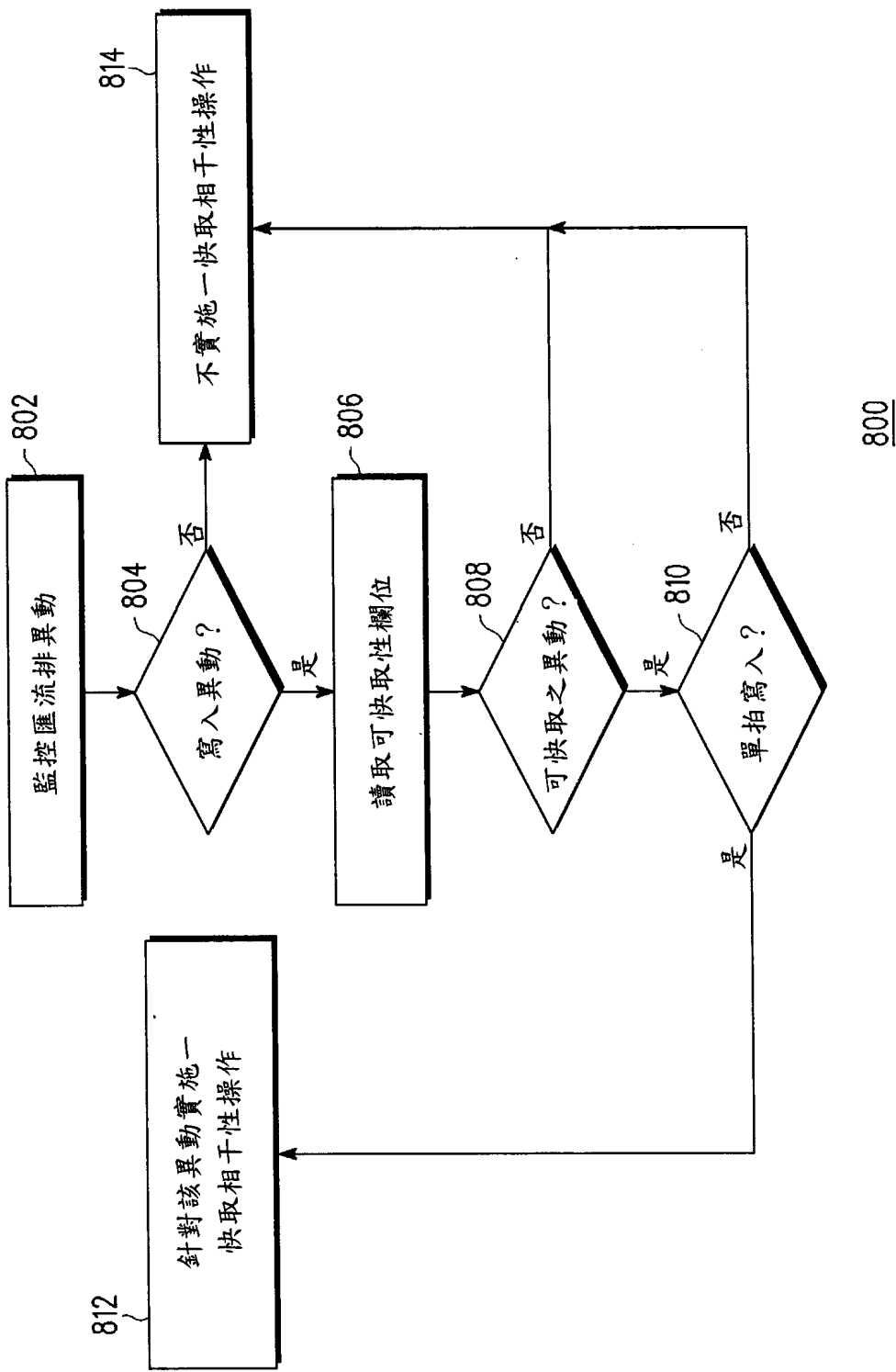


圖 9

四、指定代表圖：

(一)本案指定代表圖為：第(3)圖。

(二)本代表圖之元件符號簡單說明：

(無元件符號說明)

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)