



СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

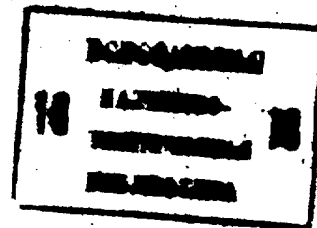
(19) SU (11) 1046842 A

3(51) Н 02 J 3/42

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 3432419/24-07

(22) 22.03.82

(46) 07.10.83. Бюл. № 37

(72) В.А. Бабушкин и М.Я. Каплан

(71) Всесоюзный научно-исследовательский и проектно-конструкторский институт электроагрегатов и передвижных электростанций

(53) 621.316.729 (088.8)

(56) 1. Авторское свидетельство СССР № 531230, кл. Н 02 J 3/42, 1974.

2. Авторское свидетельство СССР № 687530, кл. Н 02 J 3/42, 1977.

3. Авторское свидетельство СССР № 777772, кл. Н 02 J 3/42, 1979.

(54) (57) УСТРОЙСТВО ДЛЯ АВТОМАТИЧЕСКОЙ СИНХРОНИЗАЦИИ С ПОСТОЯННЫМ ВРЕМЕНЕМ ОПЕРЕЖЕНИЯ, содержащее формирователи прямоугольных импульсов, подключенные на входы фазового компаратора, выходы которого подключены к установочным входам фазового RS-триггера, две логические схемы И, один вход первой из которых подключен к прямому выходу фазового RS-триггера, а другой - к выходу одного из формирователей прямоугольных импульсов и к одному из входов второй логической схемы И, другой вход которой подсоединен к инверсному выходу фазового RS-триггера, а выход первой логической схемы подсоединен к входу прямого счета счетчика импульсов, отличающееся тем, что, с целью уменьшения времени синхронизации при малых разностях частот, повышения точности формирования сигнала с заданным временем опережения, расширения функциональных возможностей путем формирования сигналов на подгонку частоты с учетом знака разности частот, в него введены частотный компаратор, три управляющих синхронных D-триггера, один из которых имеет вход нулевой установки, третья, четвертая и пятая логи-

ческие схемы И, две логические схемы анализа содержимого счетчика импульсов, две логические схемы ИЛИ, а счетчик импульсов выполнен реверсивным с входом обратного счета, подключенным к выходу второй схемы И, причем частотный компаратор подключен к выходам формирователей прямоугольных импульсов, входы третьей логической схемы И подключены к прямому выходу фазового RS-триггера, к выходам разрядов счетчика импульсов и к выходу первого управляющего синхронного D-триггера, С-вход которого соединен с входом начальной установки счетчика импульсов и с фазным выходом фазового компаратора, выход противофазы которого подключен к С-входам второго и третьего управляющих синхронных D-триггеров, входы схем анализа содержимого счетчика импульсов подключены к выходам разрядов счетчика импульсов, а выходы - к D-входу соответственно второго и третьего управляющих синхронных D-триггеров, первые входы четвертой и пятой логических схем И объединены и подключены к прямому выходу частотного компаратора, а вторые - соответственно к выходу второго и третьего управляющих синхронных D-триггеров, входы первой логической схемы ИЛИ подключены соответственно к выходу четвертой схемы И и инверсному выходу частотного компаратора, а входы второй логической схемы ИЛИ соединены соответственно с выходом первой логической схемы ИЛИ и с выходом пятой логической схемы И, выход второй логической схемы ИЛИ подключен к R-входу первого управляющего синхронного D-триггера, D-вход которого является входом внешнего разрешения на синхронизацию, при этом выход первой логической схемы ИЛИ является выходом для повышения частоты, выход

(19) SU (11) 1046842 A

пятой логической схемы И - выходом для понижения частоты, а выход треть-

ей логической схемы И - выходом для включения автомата генератора.

1

Изобретение относится к электроэнергетике, в частности к автоматической синхронизации возбужденных генераторов переменного тока.

Известны устройства автоматической синхронизации с постоянным временем опережения, в которых определение времени опережения производится по цифровым принципам при определенной разности частоты и разности фаз [1] и [2].

Недостатком указанных устройств является низкая точность и надежность при близкой к нулю разности частот синхронизируемых напряжений, т.е. при малых значениях приращений разности частот, так как при этом уменьшается точность вычислений в цифровом решающем блоке, который должен также иметь сложное исполнение. Устройство может формировать сигнал по недопустимой разности частот, однако этот сигнал не указывает знак разности частот.

Наиболее близким к предлагаемому является устройство для автоматической синхронизации с постоянным временем опережения, содержащее формирователи прямоугольных импульсов, подключенные на входы фазового компаратора, выходы которого подключены к установочным входам фазового RS-триггера, две логические схемы И, один вход первой из которых подключен к прямому выходу фазового RS-триггера, а другой - к выходу одного из формирователей прямоугольных импульсов и к одному из входов второй логической схемы И, другой вход которой подсоединен к инверсному выходу фазового RS-триггера, а выход первой логической схемы подсоединен к входу прямого счета счетчика импульсов [3].

Устройство работает по принципу подсчета и сравнения количества тактовых импульсов за первую и вторую половину периода биений и имеет высокую точность при любой величине скольжения в случае ее постоянства на всем интервале периода биений. Оно не обладает малым временем синхронизации при малых разностях частот, так как требует для вычисления времени опережения полного периода биений, а также способностью формирования сигналов на подгонку частоты с учетом знака разности частот.

2

Цель изобретения - уменьшение времени синхронизации при малых разностях частот, повышение точности формирования сигнала с заданным временем опережения, расширения функциональных возможностей путем формирования сигналов на подгонку частоты с учетом знака разности частот.

Поставленная цель достигается тем, что в известное устройство, содержащее формирователи прямоугольных импульсов, подключенные на входы фазового компаратора, выходы которого подключены к установочным входам фазового RS-триггера, две логические схемы И, один вход первой из которых подключен к прямому выходу фазового RS-триггера, а другой - к выходу одного из формирователей прямоугольных импульсов и к одному из входов второй логической схемы И, другой вход которой подсоединен к инверсному выходу фазового RS-триггера, а выход первой логической схемы подсоединен к входу прямого счета счетчика импульсов, введены частотный компаратор, три управляющих синхронными D-триггера, один из которых имеет вход нулевой установки, третья, четвертая и пятая логические схемы И, две логические схемы анализа содержимого счетчика импульсов, две логические схемы ИЛИ, а счетчик импульсов выполнен реверсивным с входом обратного счета, подключенным к выходу второй схемы И, причем частотный компаратор подключен к выходам формирователей прямоугольных импульсов, входы третьей логической схемы И подключены к прямому выходу фазового RS-триггера, к выходам разрядов счетчика импульсов и выходу первого управляющего синхронного D-триггера, С-вход которого соединен с входом начальной установки счетчика импульсов и с фазным выходом фазового компаратора, выход противофазы которого подключен к С-входам второго и третьего управляющих синхронных D-триггеров, входы схем анализа содержимого счетчика импульсов подключены к выходам разрядов счетчика импульсов, а выходы - к D-входу соответственно второго и третьего управляющих синхронных D-триггеров, первые входы четвертой и пятой логических схем И объединены и подключены к прямому выходу частотного компа-

ратора, а вторые - соответственно к выходу второго и третьего управляющих синхронных D-триггеров, входы первой логической схемы ИЛИ подключены соответственно к выходу четвертой схемы И и инверсному выходу частотного компаратора, а входы второй логической схемы ИЛИ соединены соответственно с выходом первой логической схемы ИЛИ и с выходом пятой логической схемы И, выход второй логической схемы ИЛИ подключен к R-входу первого управляющего синхронного D-триггера, D-вход которого является входом внешнего разрешения на синхронизацию, причем выход первой логической схемы ИЛИ является выходом для повышения частоты, выход пятой логической схемы И - выходом для понижения частоты, а выход третьей логической схемы И - выходом для включения автомата генератора.

На фиг.1 дана функциональная схема устройства; на фиг.2 - диаграммы, поясняющие формирование зон работы устройства; на фиг.3 - диаграммы, поясняющие работу элементов устройства.

Устройство содержит формирователи прямоугольных импульсов 1 и 2, фазовый компаратор 3, фазовый RS-триггер 4, первую и вторую логические схемы И 5 и 6, реверсивный счетчик 7 импульсов с входами прямого счета (+Т), обратного счета (-Т) и начальной установки (НУ) и выходами разрядов $Q_0, Q_1 \dots Q_n$, частотный компаратор 8, первый, второй и третий управляющие синхронные D-триггеры 9-11, третью, четвертую и пятую логические схемы И 12 - 14, логические схемы 15 и 16 анализа содержимого счетчика 7 импульсов, а также две логические схемы ИЛИ 17 и 18.

Формирователи прямоугольных импульсов 1 и 2 обеспечивают преобразование синусоидальных напряжений U_r и U_c одноименных фаз синхронизуемых объектов в прямоугольные импульсы. Сформированные импульсы подаются на вход фазового компаратора 3, который по одному выходу выдает импульс в момент совпадения фаз напряжений U_r и U_c синхронизируемых объектов, а по другому - в момент, когда U_r и U_c находятся в противофазе. Сигналы фазы и противофазы подаются на установочные входы фазового RS-триггера 4, прямой выход которого находится в единичном состоянии при нарастании разности фаз $\Delta\varphi$ от 0 до 180° , т.е. в течение первой половины периода биений Т, и в нулевом при уменьшении $\Delta\varphi$ от 180° до 0° , т.е. в течение второй половины периода биений. Схема И 5, управляемая прямым выходом RS-триггера 4, пропускает прямоугольные импульсы с

формирователя 1 на вход (+Т) реверсивного счетчика 7 импульсов только в течение первой половины периода биений Т (при нарастании $\Delta\varphi$ от 0 до 180°).

Схема И 6, управляемая инверсным выходом RS-триггера 4, пропускает прямоугольные импульсы с формирователя 1 на вход обратного счета (-Т) счетчика 7 импульсов в течение второй половины периода биений (при уменьшении $\Delta\varphi$ от 180° до 0°).

Один из формирователей импульсов, например 1, используют как источник тактовой частоты для определения времени опережения $t_{оп} = m t_{и}$, где $t_{и}$ - период следования тактовых импульсов, соответствующий частоте синхронизируемого напряжения, m - количество импульсов, необходимое для отсчета нужного $t_{оп}$, для определения ширины первой половины периода биений $T/2 = n t_{и}$, где n - количество тактовых импульсов за половину периода биений.

Счетчик 7 по входу (+Т) отсчитывает счетные импульсы, поступающие через вентиль в первой половине периода биений, имея, например, нулевое исходное состояние в момент совпадения фаз U_c и U_r , отсчитывая таким образом n тактовых импульсов, количество которых соответствует длительности первой половины периода биений. Для формирования сигнала с заданным временем опережения $t_{оп}$ из отсчитанных за первую половину периода биений n счетных импульсов необходимо по входу вычитания (-Т) счетчика 7 отсчитать (n-m) импульсов, где $m = t_{оп}/t_{и}$ - число импульсов, соответствующее заданному времени опережения. Тогда число импульсов n-m соответствует времени $T/2 - t_{оп} = (n-m)t_{и}$, а момент, когда счетчик 7 имеет состояние m во втором полупериоде биений, свидетельствует о том, что до момента совпадения фаз осталось время $t_{оп} = m t_{и}$.

При появлении в счетчике 7 состояния m, которое определяется по состоянию выходов его разрядов во второй половине периода биений разрешающим уровнем с прямого выхода фазового триггера 4, а при наличии разрешающего уровня (логической "1") с инверсного выхода управляющего триггера 9 на выходе логической схемы 17 формируется сигнал длительностью $T_{и}$, который затем растягивается до необходимой величины. D-триггер 9 может изменять свое состояние на разрешающее (логическая "1") для схемы 17 только в момент совпадения фаз импульсов с фазового компаратора 3, т.е. в начале периода биений.

В случае, если производится подгонка частоты, т.е. разность частот Δf находится в области, запрещенной для включения на параллельную работу,

сигнал на подгонку частоты $\uparrow f$ или $\downarrow f$ проходит также через схему 18 на вход триггера 9, устанавливая его в состояние логического "0" и запрещающая при этом формирование сигнала на включение схемой 14.

В результате сигнал на включение может сформироваться только в том случае, если от начала периода биений до момента выдачи сигнала с заданным $t_{оп}$ не производилось регулирование частоты, т.е. если в измерение длительностей полупериода биений перед выдачей сигнала с заданным $t_{оп}$ не внесена погрешность от подгонки частоты и Δf находится в заданной зоне, в которую производится подгонка частоты.

Сигналы на подгонку частоты формируются на выходах $\uparrow f$ и $\downarrow f$ устройства соответственно для повышения и для понижения частоты.

Знак разности $\Delta f = f_r - f_c$ частот синхронизируемых объектов определяется частотным компаратором 8, на выходах которого формируются логические уровни, соответствующие знаку Δf .

По достижении счетчиком 7 заданных границ (ℓ_1 и ℓ_2) отсчитанных им импульсов $t_{и}$ первой половине периода биений определяются две области разности частот $|\Delta f| < k_1$ и $|\Delta f| > k_2$,

$$\text{где } k_1 = \frac{1}{2\ell_1 t_{и}}, \quad k_2 = \frac{1}{2\ell_2 t_{и}}, \quad \text{а}$$

ℓ_1 и ℓ_2 - число импульсов, определяющееся длительностями периодов биений, соответствующих границам k_1 и k_2 заданных областей разностей частот. Вхождение состояний счетчика 7 в заданную область ℓ_1 и ℓ_2 определяется по состоянию его разрядов схемами 15 и 16 анализа, первая из которых выдает сигнал (логическая "1") при комбинациях состояний разрядов меньших ℓ_1 , а вторая - при комбинациях больших ℓ_2 . При определенных величинах ℓ_1 и ℓ_2 , а также подобранным значением начальной установки (ну) счетчика 7 схемы 15 и 16 мо-

гут представлять собой логические элементы И и И-НЕ соответственно.

По окончании первого полупериода импульсом противофазы с компаратора 3 в управляющие D-триггеры 10 и 11 записывается состояние выходов схем 15 и 16. В результате на выходе триггера 10 постоянно присутствует сигнал (логическая "1") в случае $|\Delta f| < k_1$, а на выходе триггера 11 - в случае $|\Delta f| > k_2$.

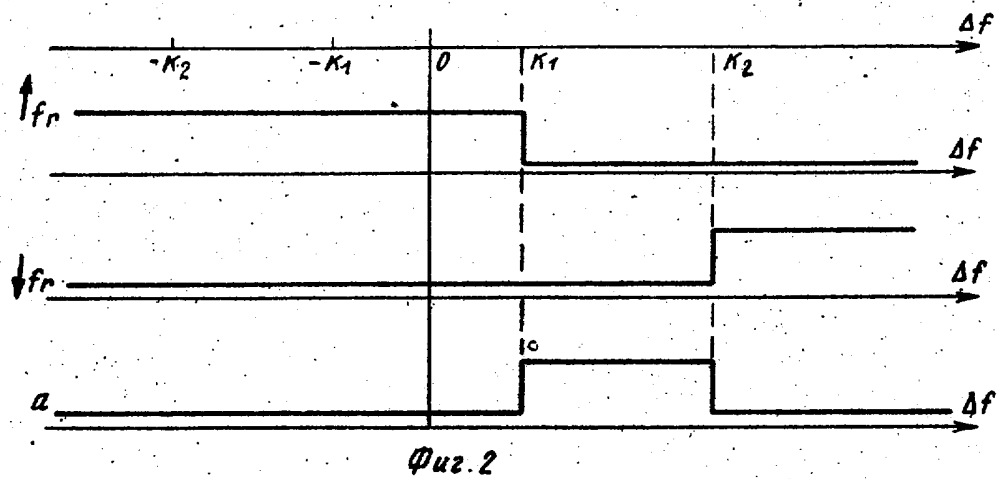
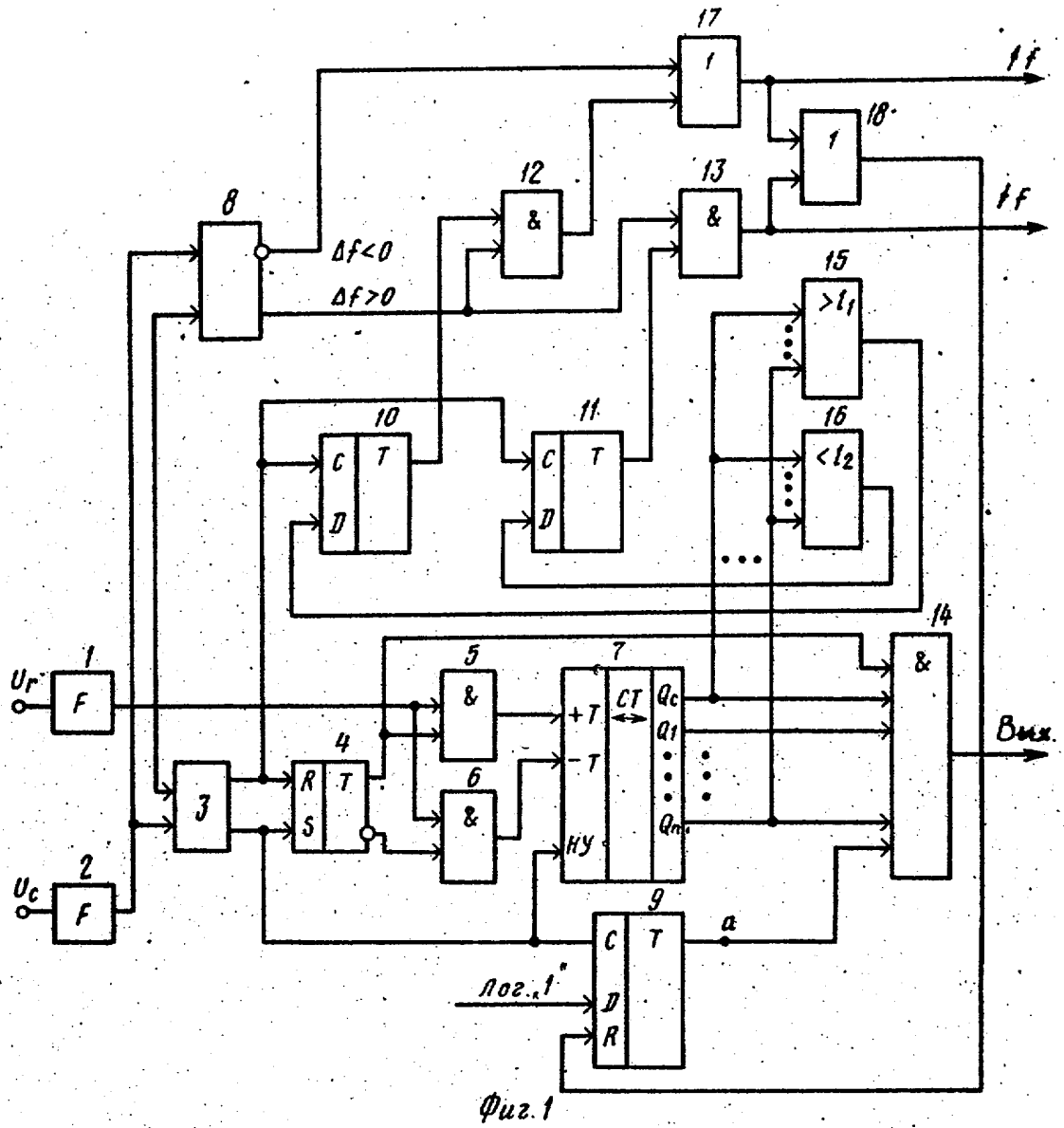
Логическими схемами 12 и 17 по состоянию выходов компаратора 8 и триггера 10 выбирается зона $\Delta f < k_1$ и формируется сигнал $\uparrow f$ на увеличение частоты.

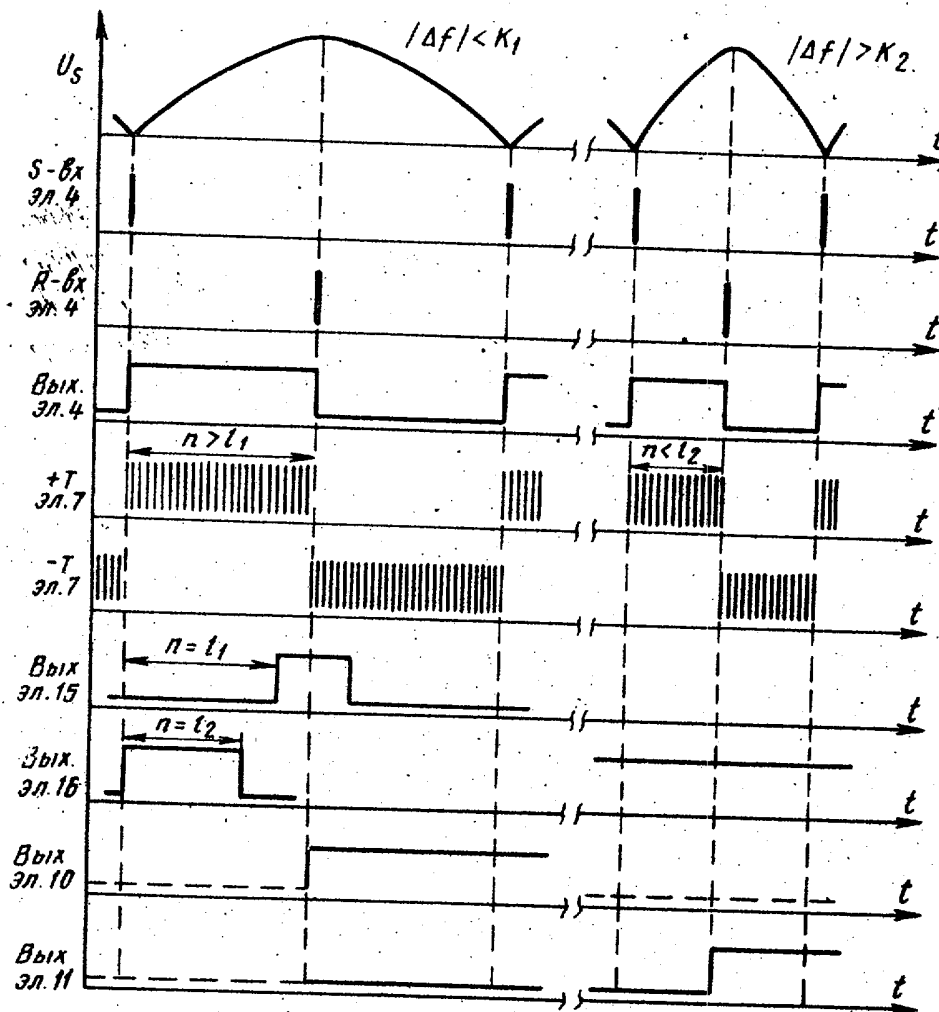
По состоянию выходов триггера 11 и частотного компаратора логической схемой И 13 выбирается зона $\Delta f < k_1$ и формируется сигнал $\uparrow f$ на уменьшение частоты.

Таким образом, при помощи элементов, осуществляющих формирование сигнала на включение с заданным $t_{оп}$, формируются сигналы на подгонку частоты. При этом подгонка осуществляется в зону $k_1 < \Delta f < k_2$ (фиг.2), что исключает затягивание процесса включения на малых разностях частот, а также обеспечивает прием нагрузки генератором сразу после включения на параллельную работу за счет того, что $f_r > f_c$. Зоны k_1 и k_2 выбираются в соответствии с требованиями допустимого момента на валу генератора и оптимального времени синхронизации, зависящего от темпа подгонки частоты.

Формирование сигнала на включение осуществляется только в заданной зоне разностей частот при условии отсутствия подгонки частоты от последнего перед сигналом на включение момента совпадения фаз и в случае отсутствия внешнего запрета на включение, подаваемого уровнем логического "0" на D-вход триггера 9 (например, по недопустимой разности напряжений).

Устройство может выполняться на готовых функциональных элементах интегральных микросхем.





Фиг. 3

Редактор Н. Кешеля Составитель К. Фотина
 Техред Ж. Кастелевич Корректор А. Ференц

Заказ 7745/52 Тираж 617 Подписное

ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4