



(12) 发明专利申请

(10) 申请公布号 CN 105140283 A

(43) 申请公布日 2015. 12. 09

(21) 申请号 201510449403. 9

(51) Int. Cl.

(22) 申请日 2015. 07. 28

H01L 29/78(2006. 01)

(71) 申请人 国网智能电网研究院

H01L 29/06(2006. 01)

地址 102211 北京市昌平区小汤山镇大东流
村路 270 号(未来科技城)

H01L 21/04(2006. 01)

申请人 国家电网公司
国网浙江省电力公司

H01L 29/66(2006. 01)

(72) 发明人 查伟英 王方方 郑柳 田亮
吴昊 朱韫晖 夏经华 刘瑞
李永平 李玲 杨霏

(74) 专利代理机构 北京安博达知识产权代理有
限公司 11271

代理人 徐国文

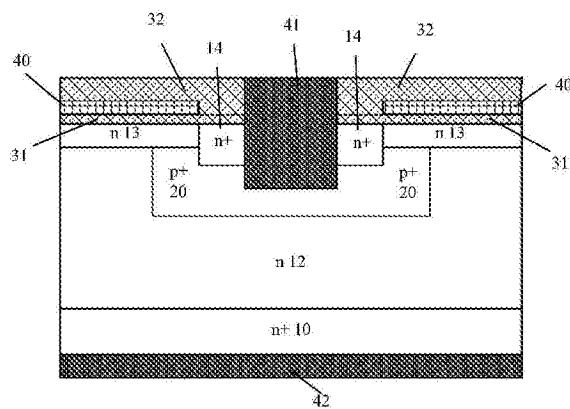
权利要求书3页 说明书7页 附图6页

(54) 发明名称

一种碳化硅 MOSFETs 功率器件及其制作方法

(57) 摘要

本发明提供一种碳化硅(SiC)金属-氧化物-半导体场效应晶体管(MOSFET)功率器件及其制作方法，该器件包括：n型的碳化硅衬底，所述衬底上的n型碳化硅漂移层，所述漂移层包含具有一定间隔的含有n型碳化硅源区的p型碳化硅区，所述漂移层上的n型碳化硅外延层，所述外延层被所述n型碳化硅区间隔，所述外延层上的氧化层，所述氧化层上的n型多晶层；自p型碳化硅区上的n型碳化硅外延区延伸至n型漂移层上的n型碳化硅外延区的n型沟道。本发明可减少经过离子注入和高温退火处理后的SiC和栅介质之间的界面态密度，减少器件的性能退化，提高沟道载流子的有效迁移率。本发明方法利用栅接触多晶层作为源离子注入掩膜，简化了碳化硅MOSFET器件的制作方法。



1. 一种碳化硅 MOSFETs 功率器件, 其特征在于该器件包括 :

1) 双注入碳化硅 MOSFET :n 型的碳化硅衬底, 所述衬底上的 n 型碳化硅漂移层, 所述漂移层包含具有间隔的含 n 型碳化硅源区的 p 型碳化硅区, 所述漂移层上的 n 型碳化硅外延层, 所述外延层被所述 n 型碳化硅区间隔, 所述外延层上的氧化层, 所述氧化层上的 n 型多晶层;

2) n 型沟道 :自 p 型碳化硅区上的 n 型碳化硅外延区延伸至 n 型漂移层上的 n 型碳化硅外延区;

3) 栅接触 :位于栅介质层上, 氮或磷注入的 n 型碳化硅之间;

4) 基区接触 :位于 p 型碳化硅区和 n 型碳化硅区内。

2. 根据权利要求 1 所述的碳化硅 MOSFETs 功率器件, 其特征在于所述碳化硅为 4H-SiC 或 6H-SiC。

3. 根据权利要求 1 所述的碳化硅 MOSFETs 功率器件, 其特征在于所述 n 型碳化硅衬底的载流子浓度为 $10^{18}\text{--}10^{21}\text{cm}^{-3}$ 。

4. 根据权利要求 1 所述的碳化硅 MOSFETs 功率器件, 其特征在于所述 n 型碳化硅漂移层的载流子浓度为 $10^{14}\text{--}10^{16}\text{cm}^{-3}$ 。

5. 根据权利要求 1 所述的碳化硅 MOSFETs 功率器件, 其特征在于所述 p 型碳化硅区为包含在 n 型碳化硅漂移层中具有间隔的有 Al 或 B 注入的碳化硅区。

6. 根据权利要求 1 所述的碳化硅 MOSFETs 功率器件, 其特征在于所述 p 型碳化硅区形成 P 阵, 其载流子浓度为 $10^{17}\text{--}10^{19}\text{cm}^{-3}$, 延伸至 n 型碳化硅漂移层内 $0.2\text{--}3\mu\text{m}$, p 阵间的间距为 $2\text{--}20\mu\text{m}$ 。

7. 根据权利要求 1 所述的碳化硅 MOSFETs 功率器件, 其特征在于所述 n 型碳化硅区为包含在 n 型碳化硅外延层和 n 型碳化硅漂移层中有被 p 型碳化硅区包围的氮或磷注入区。

8. 根据权利要求 1 所述的碳化硅 MOSFETs 功率器件, 其特征在于所述 n 型碳化硅区的载流子浓度大于 p 型碳化硅区, 其载流子浓度为 $10^{18}\text{--}10^{20}\text{cm}^{-3}$ 。

9. 根据权利要求 1 所述的碳化硅 MOSFETs 功率器件, 其特征在于所述基区接触包含 n 型碳化硅区和 p 型碳化硅区内的欧姆接触; 所述欧姆接触的金属为钛、镍、铝、钯、钼、钴、铂和碳化钛中的一种或其多种组份的合金。

10. 根据权利要求 1 所述的碳化硅 MOSFETs 功率器件, 其特征在于所述 n 型沟道处于 n 型外延层内, 延伸至但未进入 n 型碳化硅漂移层。

11. 根据权利要求 1 所述的碳化硅 MOSFETs 功率器件, 其特征在于所述栅接触为氮或磷注入的 n 型多晶硅。

12. 根据权利要求 1 所述的碳化硅 MOSFETs 功率器件, 其特征在于所述 n 型外延层中的 n 型沟道区域在施加零伏栅偏压时是自耗尽的。

13. 根据权利要求 1 所述的碳化硅 MOSFETs 功率器件, 其特征在于所述 n 型外延层中的 n 型沟道区域的薄层电荷小于 p 型碳化硅区, 其薄层电荷 $10^{12}\text{--}10^{13}\text{cm}^{-2}$ 。

14. 根据权利要求 1 所述的碳化硅 MOSFETs 功率器件, 其特征在于所述 n 型外延层中的 n 型沟道区域的厚度为 $0.1\text{--}1\mu\text{m}$, 载流子浓度为 $10^{16}\text{--}10^{18}\text{cm}^{-3}$ 。

15. 根据权利要求 1 所述的碳化硅 MOSFETs 功率器件, 其特征在于该器件还包括与栅介质层相对的 n 型碳化硅衬底上的漏接触。

16. 根据权利要求 1 所述的碳化硅 MOSFETs 功率器件, 其特征在于该器件还包括 p 型碳化硅区的基区接触窗口; 所述接触窗口之上的源接触。

17. 一种权利要求 1 所述的碳化硅 MOSFETs 功率器件的制备方法, 其特征在于该方法包括如下步骤:

1) 在 n 型碳化硅漂移层注入 p 型杂质形成 p 型碳化硅区;

2) n 型碳化硅漂移层外延生成载流子浓度大于漂移层的 n 型碳化硅外延层;

3) 所述 n 型碳化硅外延层上制备氧化层形成栅介质层;

4) 所述栅介质层上制备多晶层图案形成未掺杂的栅接触;

5) 所述外延层内注入 n 型杂质形成 n 型碳化硅区, 并延伸至所述 p 型碳化硅区内被其包围, 同时形成 n 型杂质掺杂的多晶层载流子浓度大于 n 型碳化硅区的栅接触;

6) 在所述 n 型碳化硅区和多晶层上制作隔离层图案形成栅接触隔离, 同时为 p 型碳化硅区接触窗口提供掩膜图案;

7) 利用隔离层图案, 刻蚀形成 n 型碳化硅区的接触窗口和 p 型碳化硅区的基区接触窗口。

18. 根据权利要求 17 所述的碳化硅 MOSFETs 功率器件的制备方法, 其特征在于所述 p 型杂质为 Al 或 B。

19. 根据权利要求 17 所述的碳化硅 MOSFETs 功率器件的制备方法, 其特征在于步骤 1) 所述注入 p 型杂质包括如下步骤:

1) 在 n 型碳化硅漂移层上制作掩模, 所述掩模于 p 型碳化硅区相对应区域暴露 n 型碳化硅漂移层;

2) 在 n 型碳化硅漂移层内注入 p 型杂质形成 p 型碳化硅区, 离子注入能量为 20–1000keV, 注入温度为 20–600°C。

20. 根据权利要求 19 所述的碳化硅 MOSFETs 功率器件的制备方法, 其特征在于所述 p 型杂质于 1500–1900°C 温度下退火激活。

21. 根据权利要求 17 所述的碳化硅 MOSFETs 功率器件的制备方法, 其特征在于步骤 2) 的所述 n 型碳化硅外延层的厚度为 0.1–1 μm, 载流子浓度为 10^{16} – 10^{18} cm³, 薄层电荷为 10^{12} – 10^{13} cm²。

22. 根据权利要求 17 所述的碳化硅 MOSFETs 功率器件的制备方法, 其特征在于步骤 3) 所述栅介质层用热氧化或淀积制备, 厚度为 100–5000 Å。

23. 根据权利要求 22 所述的碳化硅 MOSFETs 功率器件的制备方法, 其特征在于所述栅介质层于 900–1100°C 温度下在含氮的气氛中退火, 所述气氛包括 N₂O、N₂ 和 N₂ 中的一种或多种组份的混合气体。

24. 根据权利要求 17 所述的碳化硅 MOSFETs 功率器件的制备方法, 其特征在于步骤 4) 所述多晶层的材料为无掺杂多晶硅。

25. 根据权利要求 17 所述的碳化硅 MOSFETs 功率器件的制备方法, 其特征在于所述 n 型碳化硅区是以栅接触为掩膜离子注入形成的, 栅接触与 n 型碳化硅区是自对准的。

26. 根据权利要求 17 所述的碳化硅 MOSFETs 功率器件的制备方法, 其特征在于步骤 5) 所述 n 型杂质注入后, 接着退火激活注入杂质。

27. 根据权利要求 17 所述的碳化硅 MOSFETs 功率器件的制备方法, 其特征在于步骤 5)

所述 n 型碳化硅区的深度大于外延层的厚度, 其深度为 0.1-1 μm, 延伸至与 p 型碳化硅区外围距离为 0.2-10 μm。

28. 根据权利要求 17 所述的碳化硅 MOSFETs 功率器件的制备方法, 其特征在于所述步骤 7) 所述 n 型碳化硅区的接触窗口与其边缘的间距为 0.5-10 μm, p 型碳化硅区的基区接触窗口的延伸深度为 0.1-2 μm。

29. 根据权利要求 17 所述的碳化硅 MOSFETs 功率器件的制备方法, 其特征在于该方法包括: 在 p 型碳化硅区接触窗口上形成源接触, 在 n 型碳化硅衬底上形成漏接触。

30. 根据权利要求 29 所述的碳化硅 MOSFETs 功率器件的制备方法, 其特征在于所述源接触和漏接触是通过金属蒸发或淀积, 再于 500-1100℃ 温度下快速退火实现 p 型基区和 n 碳化硅源区及漏的欧姆接触。

一种碳化硅 MOSFETs 功率器件及其制作方法

技术领域

[0001] 本发明涉及一种半导体功率器件及其制作方法,具体涉及一种碳化硅(SiC)金属-氧化物-半导体场效应晶体管(MOSFET)功率器件及其制作方法。

背景技术

[0002] 功率器件现已广泛的用于承载大电流承受高电压,金属氧化物半导体场效应晶体管(MOSFET)是微处理器和半导体存储器等大规模或超大规模集成电路最重要的电力电子器件,它具有导通电阻低、负载电流大等优点,非常适合用作开关器件。在功率MOSFET中,将控制信号提供给栅电极,插入该栅电极的绝缘体,将其与半导体表面分开,通过传输多数载流子进行电流导电。功率MOSFET能够提供非常安全的工作区,并能与单位单元结构并行。

[0003] 目前制作MOSFET材料大多使用Si,随着电子技术的进步,高温、高频、强辐射等恶劣条件对半导体器件和电路提出了更高的要求,Si由于其材料特性已经无法满足要求,而SiC材料将是大功率、高温和高频工作的半导体器件的最好选择。

[0004] 常规垂直双注入碳化硅MOSFET器件的反型层沟道载流子有效迁移率低,难以制造大电流、低导通电阻、高耐压的垂直MOSFET器件。其结构如图1所示。通常通过铝和/或硼注入实现p阱,通过氮或磷注入实现n+源区,通过铝注入实现基区p+区,然后去除所有的注入掩膜,再于1600℃以上的高温下激活注入的掺杂杂质。栅介质层是通过在各种气氛下对实现p阱、n+源和p+区以后的碳化硅进行热氧化或低压化学气相沉积来实现,或者通过先进行热氧化再进行淀积实现的。栅介质层是单一的或复合叠层。

[0005] 上述结构存在的问题是沟道表面难以形成有效的反型层,且反型层表面有效电子迁移率低,由此导致器件的阈值电压非常高、导通电阻非常大。这是由于为防止p阱基区在反向时的穿通,p阱区载流子浓度至少大于 $1 \times 10^{17} \text{ cm}^{-3}$,碳化硅的低本征载流子浓度使得具有这样低浓度的p阱区沟道表面仍然难以形成有效的反型层,器件阈值电压过大;另外高能量的离子注入也使得栅介质和碳化硅之间的界面态密度过大,以至大大降低沟道表面自由电子的有效迁移率,器件导通电阻过大;此外,p阱铝注入掺杂形成的p型SiC铝分凝及注入掺杂剂的高温激活都会对沟道表面反型层电子有效迁移率起负面作用。

[0006] 所谓的“ACCUFET”结构由于沟道表面为积累层而不是反型层,可以避免垂直双注入结构的沟道难以形成有效的反型层的问题。如图2所示,这种结构是利用pn结的内建电势使得表面n型层在栅极零偏压下完全耗尽实现常闭器件。然而,形成这种具有表面n型层的p阱,仍需要通过高能量、大剂量的离子注入及在1600℃以上的高温退火激活注入的p型掺杂杂质来实现,以保证器件阻断时p阱不会发生穿通和足够小的基区横向电阻,防止形成闩锁,所以无法避免沟道表面积累层电子有效迁移率导致的负面影响,另外难以通过单一掺杂杂质同时实现表面n型层和高载流子浓度p阱埋层的结构。因此需要提供一种避免离子注入和高温退火而实现“ACCUFET”结构的方法,从而消除其对沟道表面积累层沟道表面迁移率的负面影响。

发明内容

[0007] 本发明的目的在于提供一种碳化硅(SiC)金属-氧化物-半导体场效应晶体管(MOSFET)功率器件及其制作方法,减少经过离子注入和高温退火处理后的SiC和栅介质之间的界面态密度,减少器件的性能退化,提高沟道载流子的有效迁移率。

[0008] 为实现上述目的,本发明采用以下技术方案:

[0009] 一种碳化硅MOSFETs功率器件,该器件包括:

[0010] 1) 双注入碳化硅MOSFET:n型的碳化硅衬底,所述衬底上的n型碳化硅漂移层,所述漂移层包含具有间隔的含n型碳化硅源区的p型碳化硅区,所述漂移层上的n型碳化硅外延层,所述外延层被所述n型碳化硅区间隔,所述外延层上的氧化层,所述氧化层上的n型多晶层;

[0011] 2)n型沟道:自p型碳化硅区上的n型碳化硅外延区延伸至n型漂移层上的n型碳化硅外延区;

[0012] 3)栅接触:位于栅介质层上,氮或磷注入的n型碳化硅之间;

[0013] 4)基区接触:位于p型碳化硅区和n型碳化硅区内。

[0014] 所述的碳化硅MOSFETs功率器件的第一优选方案,所述碳化硅为4H-SiC或6H-SiC。

[0015] 所述的碳化硅MOSFETs功率器件的第二优选方案,所述n型碳化硅衬底的载流子浓度为 10^{18} - 10^{21} cm³。

[0016] 所述的碳化硅MOSFETs功率器件的第三优选方案,所述n型碳化硅漂移层的载流子浓度为 10^{14} - 10^{16} cm³。

[0017] 所述的碳化硅MOSFETs功率器件的第四优选方案,所述p型碳化硅区为包含在n型碳化硅漂移层中具有间隔的有Al或B注入的碳化硅区。

[0018] 所述的碳化硅MOSFETs功率器件的第五优选方案,所述p型碳化硅区形成P阱,其载流子浓度为 10^{17} - 10^{19} cm³,延伸至n型碳化硅漂移层内0.2-3μm,p阱间的间距为2-20μm。

[0019] 所述的碳化硅MOSFETs功率器件的第六优选方案,所述n型碳化硅区为包含在n型碳化硅外延层和n型碳化硅漂移层中有被p型碳化硅区包围的氮或磷注入区。

[0020] 所述的碳化硅MOSFETs功率器件的第七优选方案,所述n型碳化硅区的载流子浓度大于p型碳化硅区,其载流子浓度为 10^{18} - 10^{20} cm³。

[0021] 所述的碳化硅MOSFETs功率器件的第八优选方案,所述基区接触包含n型碳化硅区和p型碳化硅区内的欧姆接触;所述欧姆接触的金属为钛、镍、铝、钯、钼、钴、铂和碳化钛中的一种或其多种组份的合金。

[0022] 所述的碳化硅MOSFETs功率器件的第九优选方案,所述n型沟道处于n型外延层内,延伸至但未进入n型碳化硅漂移层。

[0023] 所述的碳化硅MOSFETs功率器件的第十优选方案,所述栅接触为氮或磷注入的n型多晶硅。

[0024] 所述的碳化硅MOSFETs功率器件的第十一优选方案,所述n型外延层中的n型沟道区域在施加零伏栅偏压时是自耗尽的。

[0025] 所述的碳化硅 MOSFETs 功率器件的第十二优选方案，所述 n 型外延层中的 n 型沟道区域的薄层电荷小于 p 型碳化硅区，其薄层电荷 $10^{12}\text{--}10^{13}\text{cm}^{-2}$ 。

[0026] 所述的碳化硅 MOSFETs 功率器件的第十三优选方案，所述 n 型外延层中的 n 型沟道区域的厚度为 $0.1\text{--}1\mu\text{m}$ ，载流子浓度为 $10^{16}\text{--}10^{18}\text{cm}^{-3}$ 。

[0027] 所述的碳化硅 MOSFETs 功率器件的第十四优选方案，该器件还包括与栅介质层相对的 n 型碳化硅衬底上的漏接触。

[0028] 所述的碳化硅 MOSFETs 功率器件的第十五优选方案，该器件还包括 p 型碳化硅区的基区接触窗口；所述接触窗口之上的源接触。

[0029] 一种所述的碳化硅 MOSFETs 功率器件的制备方法，该方法包括如下步骤：

[0030] 1) 在 n 型碳化硅漂移层注入 p 型杂质形成 p 型碳化硅区；

[0031] 2) n 型碳化硅漂移层外延生成载流子浓度大于漂移层的 n 型碳化硅外延层；

[0032] 3) 所述 n 型碳化硅外延层上制备氧化层形成栅介质层；

[0033] 4) 所述栅介质层上制备多晶层图案形成未掺杂的栅接触；

[0034] 5) 所述外延层内注入 n 型杂质形成 n 型碳化硅区，并延伸至所述 p 型碳化硅区内被其包围，同时形成 n 型杂质掺杂的多晶层载流子浓度大于 n 型碳化硅区的栅接触；

[0035] 6) 在所述 n 型碳化硅区和多晶层上制作隔离层图案形成栅接触隔离，同时为 p 型碳化硅区接触窗口提供掩膜图案；

[0036] 7) 利用隔离层图案，刻蚀形成 n 型碳化硅区的接触窗口和 p 型碳化硅区的基区接触窗口。

[0037] 所述的碳化硅 MOSFETs 功率器件的制备方法的第一优选技术方案，所述 p 型杂质为 Al 或 B。

[0038] 所述的碳化硅 MOSFETs 功率器件的制备方法的第二优选技术方案，步骤 1) 所述注入 p 型杂质包括如下步骤：

[0039] 1) 在 n 型碳化硅漂移层上制作掩模，所述掩模于 p 型碳化硅区相对应区域暴露 n 型碳化硅漂移层；

[0040] 2) 在 n 型碳化硅漂移层内注入 p 型杂质形成 p 型碳化硅区，离子注入能量为 $20\text{--}1000\text{keV}$ ，注入温度为 $20\text{--}600^\circ\text{C}$ 。

[0041] 所述的碳化硅 MOSFETs 功率器件的制备方法的第三优选技术方案，所述 p 型杂质于 $1500\text{--}1900^\circ\text{C}$ 温度下退火激活。

[0042] 所述的碳化硅 MOSFETs 功率器件的制备方法的第四优选技术方案，步骤 2) 的所述 n 型碳化硅外延层的厚度为 $0.1\text{--}1\mu\text{m}$ ，载流子浓度为 $10^{16}\text{--}10^{18}\text{cm}^{-3}$ ，薄层电荷为 $10^{12}\text{--}10^{13}\text{cm}^{-2}$ 。

[0043] 所述的碳化硅 MOSFETs 功率器件的制备方法的第五优选技术方案，步骤 3) 所述栅介质层用热氧化或淀积制备，厚度为 $100\text{--}5000\text{\AA}$ 。

[0044] 所述的碳化硅 MOSFETs 功率器件的制备方法的第六优选技术方案，所述栅介质层于 $900\text{--}1100^\circ\text{C}$ 温度下在含氮的气氛中退火，所述气氛包括 NO、N₂O 和 N₂ 中的一种或多种组份的混合气体。

[0045] 所述的碳化硅 MOSFETs 功率器件的制备方法的第七优选技术方案，步骤 4) 所述多晶层的材料为无掺杂多晶硅。

[0046] 所述的碳化硅 MOSFETs 功率器件的制备方法的第八优选技术方案，所述 n 型碳化硅区是以栅接触为掩膜离子注入形成的，栅接触与 n 型碳化硅区是自对准的。

[0047] 所述的碳化硅 MOSFETs 功率器件的制备方法的第九优选技术方案，步骤 5) 所述 n 型杂质注入后，接着退火激活注入杂质。

[0048] 所述的碳化硅 MOSFETs 功率器件的制备方法的第十优选技术方案，步骤 5) 所述 n 型碳化硅区的深度大于外延层的厚度，其深度为 0.1–1 μm，延伸至与 p 型碳化硅区外围距离为 0.2–10 μm。

[0049] 所述的碳化硅 MOSFETs 功率器件的制备方法的第十一优选技术方案，所述步骤 7) 所述 n 型碳化硅区的接触窗口与其边缘的间距为 0.5–10 μm，p 型碳化硅区的基区接触窗口的延伸深度为 0.1–2 μm。

[0050] 所述的碳化硅 MOSFETs 功率器件的制备方法的第十二优选技术方案，该方法包括：在 p 型碳化硅区接触窗口上形成源接触，在 n 型碳化硅衬底上形成漏接触。

[0051] 所述的碳化硅 MOSFETs 功率器件的制备方法的第十三优选技术方案，所述源接触和漏接触是通过金属蒸发或淀积，再于 500–1100℃ 温度下快速退火实现 p 型基区和 n 碳化硅源区及漏的欧姆接触。

[0052] 与最接近的现有技术比，本发明具有如下有益效果：

[0053] 1) 本发明的制作方法可以减小经过离子注入和高温退火处理后的 SiC 和栅介质之间的界面态密度；

[0054] 2) 本发明的制作方法可以减小器件的性能退化；

[0055] 3) 本发明的制作方法可以提高沟道载流子的有效迁移率；

[0056] 4) 本发明利用栅接触多晶作为源离子注入掩膜，简化了碳化硅 MOSFET 功率器件的制作方法；

[0057] 5) 本发明利用刻蚀实现基区和源接触，提高抗闩锁能力；

[0058] 6) 本发明的制作方法适合工业化生产。

附图说明

[0059] 图 1：常规垂直双注入 MOSFET 示意图；

[0060] 图 2：n 沟道碳化硅 ACCUFET 示意图；

[0061] 图 3：本发明的碳化硅 MOSFET 示意图；

[0062] 图 4：本发明实施例中 n+ 型碳化硅衬底及其上的 n 型碳化硅漂移层；

[0063] 图 5：本发明实施例中 P 阵形成；

[0064] 图 6：本发明实施例中 n 型碳化硅外延层生成；

[0065] 图 7：本发明实施例中栅介质层形成；

[0066] 图 8：本发明实施例中无掺杂栅接触形成；

[0067] 图 9：本发明实施例中 n+ 碳化硅源区形成及栅接触掺杂；

[0068] 图 10：本发明实施例中源接触刻蚀窗口的形成；

[0069] 图 11：本发明实施例中刻蚀碳化硅形成源接触和 p 阵的接触窗口。；

[0070] 图 12：本发明实施例中源接触和漏接触的形成；

[0071] 附图标记说明

- [0072] 10 n+ 型碳化硅衬底层
- [0073] 12 n 型碳化硅漂移层
- [0074] 13 n 型碳化硅外延层
- [0075] 14 n+ 型碳化硅源区
- [0076] 20 p 阵
- [0077] 31 栅介质层
- [0078] 32 介质层
- [0079] 40 栅接触
- [0080] 41 源接触
- [0081] 42 漏接触

具体实施方式

[0082] 图3为本发明的碳化硅MOSFET示意图。n型碳化硅漂移层12在n+型碳化硅衬底层10上。n型碳化硅漂移层12优选4H型碳化硅。n+型碳化硅衬底层10的载流子浓度为 $10^{18}\text{--}10^{21}\text{cm}^{-3}$, n型碳化硅漂移层12的载流子浓度为 $10^{14}\text{--}10^{16}\text{cm}^{-3}$ 。

[0083] n型碳化硅漂移层12内具有相互间隔的p型碳化硅区,p型碳化硅区形成p阱20,p型碳化硅区通过Al或B离子注入,再于1500–1900°C温度下退火形成。P阱20的载流子浓度为 $10^{17}\text{--}10^{19}\text{cm}^{-3}$,延伸进入n型碳化硅漂移层12内0.2–3μm。p阱之间的间距为2–20μm。

[0084] n型碳化硅外延层13在n型碳化硅漂移层12之上,n型碳化硅外延层13在离子注入Al或B之后的碳化硅漂移层12上外延形成。n型碳化硅外延层13的浓度为 $10^{16}\text{--}10^{18}\text{cm}^{-3}$,厚度为0.1–0.5μm,薄层电荷为 $10^{12}\text{--}10^{13}\text{cm}^{-2}$ 。

[0085] 栅介质层31在n型碳化硅外延层13之上,通过热氧化或淀积,并于900–1100°C温度下在含氮的气氛中退火,包括NO、N₂O和N₂中的一种或多种组份的混合气体。碳化硅和栅介质层之间的界面态密度和粗糙度均可以减小,避免n型碳化硅外延层13的表面由于离子注入和高温退火对沟道特性产生的负面影响。栅介质层31的厚度为100–5000Å。如上所述,n型碳化硅外延层13可选择不延伸进入由n型碳化硅漂移层内的p阱20之间的间隔形成的JFET区之上,以减小器件处于阻断状态时栅介质层中的电场。

[0086] 栅接触40在栅介质层31之上,通过淀积实现。栅接触材料为任何适用的接触材料,优选无掺杂多晶硅。通过刻蚀图案化形成栅接触40。

[0087] n+型碳化硅源区14在n型碳化硅外延层13内,并延伸至在n型碳化硅漂移区12内的p阱20内0.1–1μm的深度。n+型碳化硅源区14通过栅接触作为源离子注入的屏蔽掩膜注入N或P离子,注入量为 $10^{13}\text{--}10^{15}\text{cm}^{-2}$,对栅接触的掺杂是在离子注入的过程中同时实现的,以避免再次制备和去除掩膜对栅介质层表面造成负面影响,以及避免再次对准掩膜,简化制作工艺,由此n+型碳化硅源区14和栅接触40之间是自对准的。

[0088] 源接触41的接触窗口通过刻蚀实现,源接触41的接触窗口从n型碳化硅区14延伸至p阱20,以形成p型碳化硅区的基区接触窗口。提供隔离的介质层32可以通过淀积氧化物介质层或复合层实现。源接触41的接触窗口在n型碳化硅源区内,与n型碳化硅源区的边缘的间距为0.5–10μm。源接触41的接触窗口延伸进入p阱20的深度为0.1–2μm。

源接触 41 是通过金属蒸发或淀积,再于 500–900°C 温度下快速退火来实现 p 阵 20 和 n+ 碳化硅源区 14 的欧姆接触。

[0089] 漏接触 42 用于形成 n+ 型碳化硅衬底 10 的欧姆接触,漏接触 42 的形成可在源接触 41 之前,并于 500–1100°C 温度下退火实现。

[0090] 用作欧姆接触的金属可以是钛、镍、铝、钯、钼、钴、铂和碳化钛中的一种或多种的合金。

[0091] 图 3 所示本发明的碳化硅 MOSFET 器件即可为分立器件也可作为具有多个这种重复单元的器件的一个单元。

[0092] 下面结合实例对本发明进行详细的非限制性的说明。

[0093] 实施例 1

[0094] 本发明实施例的器件制作可以参照图 4–12 的描述,在如图 4 所示的 n 型碳化硅衬底 10 及在其上的 n 型碳化硅漂移层 12 上,形成离子注入掩膜并图形化,注入 p 型杂质 Al 到 n 型层 12 内,在去除掩膜之后,该结构被加热至 1800°C 的高温并保持 10 分钟,以激活注入的掺杂杂质,形成如图 5 所示的具有一定间距的 p 阵 20。

[0095] 如图 6 所示,使用生长碳化硅外延层的常规技术,在 p 阵 20 和 n 型碳化硅漂移层 12 上外延形成 n 型碳化硅外延层 13。在此之前对退火激活后的结构进行牺牲氧化处理,以提供合适的碳化硅外延生长表面。n 型碳化硅外延层可以是具有不同掺杂的多层复合结构。

[0096] 如图 7 所示,栅介质层 31 通过在 n 型碳化硅外延层 13 上热生长形成。在热生长一薄层栅介质后淀积形成栅介质层 31。在栅介质形成后,于 1200°C 温度下在含有 N₂O 和 N₂ 的气氛中进行退火氮化处理,以降低栅介质与碳化硅之间的界面态。栅介质层 31 可以是复合的多层结构,通过热氧化后多次淀积形成。

[0097] 如图 8 所示,在栅介质层 31 上淀积并图案化形成栅接触 40。所述栅接触是采用无掺杂的多晶硅实现的。

[0098] 如图 9 所示,通过离子注入实现 n+ 碳化硅源区 14。以无掺杂多晶硅栅接触 40 作为掩蔽膜,在 p 阵 20 内注入氮掺杂杂质之后在 900°C 的高温下退火激活注入的掺杂杂质,以及扩散注入的掺杂杂质,以实现 n+ 碳化硅源区掺杂,同时实现对栅接触 40 的掺杂。

[0099] 图 10 说明源接触 41 刻蚀窗口的形成,如图 10 所示,淀积隔离介质层 32,在 n+ 碳化硅源区对应的区域内开窗口,以形成源接触 41 的接触窗口的刻蚀掩蔽。如图 11 所示,刻蚀碳化硅,以形成源接触 41 和 p 阵 20 的接触窗口。

[0100] 图 12 说明源接触 41 和漏接触 42 的形成,它们使用溅射技术形成,在图形化源接触和漏接触后,在自 600–1100°C 的温度下退火 15 分钟实现,以改善欧姆接触。

[0101] 本发明实施例在 p 阵 20 之上的 n+ 源区 14 之间提供 n 型碳化硅外延层 13 形成 n 型沟道并延伸到 p 阵 20 之间形成的 JFET 区之上。在形成 n 型沟道时,通过控制外延过程中 n 型掺杂杂质的剂量,及控制 n 型碳化硅外延层的厚度,使得器件在零偏压下时处于关闭状态的。这是由于 pn 结的内建电势以及栅介质层与碳化硅之间的界面态中的净电荷使 n 型层自耗尽。

[0102] 本发明实施例通过图形化的栅接触 40 作为 n+ 源区 14 的离子注入掩膜,提供自对准的沟道区和栅接触 40。通过离子注入后进行的退火可以激活 n+ 源区内的掺杂杂质,以及扩散栅接触内的掺杂杂质,以提供实现源欧姆接触和栅接触 40 的掺杂浓度。

[0103] 实施例 2

[0104] 在如图 4 所示的 n 型碳化硅衬底 10 及其上的 n 型碳化硅漂移层 12 之上, 形成离子注入掩膜并图形化, 注入 p 型杂质 Al 到 n 型层 12 内, 在去除掩膜之后, 将该结构加热到 1800℃的高温并保持 30 分钟, 以激活注入的掺杂杂质, 形成如图 5 所示的具有一定间距的 p 阵 20。

[0105] 如图 6 所示, 使用生长碳化硅外延层的常规技术, 在 p 阵 20 和 n 型碳化硅漂移层 12 上外延形成 n 型碳化硅外延层 13。在此之前对退火激活后的结构进行牺牲氧化处理, 以提供合适的碳化硅外延生长表面。形成从 n 型碳化硅漂移层 12 表面到 n 型外延层 13 表面载流子浓度逐渐提高的渐变层。

[0106] 如图 7 所示, 栅介质层 31 通过在 n 型碳化硅外延层 13 上热生长形成。在热生长一薄层栅介质后淀积形成栅介质层 31。在栅介质形成后, 于 1250℃温度下在含有 N₂O 和 N₂ 的气氛中进行退火氮化处理, 以降低栅介质与碳化硅之间的界面态。栅介质层 31 是复合的多层结构, 通过热氧化后多次淀积形成。

[0107] 如图 8 所示, 在栅介质层 31 上淀积并图案化形成栅接触 40。如上所述栅接触是采用无掺杂的多晶硅实现的。

[0108] 如图 9 所示, 通过离子注入实现 n⁺ 碳化硅源区 14。以无掺杂多晶硅栅接触 40 作为掩蔽膜, 在 p 阵 20 内注入氮掺杂杂质, 注入之后退火激活注入的掺杂杂质, 以及扩散注入的掺杂杂质, 以实现 n⁺ 碳化硅源区掺杂, 同时实现对栅接触 40 的掺杂。

[0109] 图 10 说明源接触 41 刻蚀窗口的形成, 如图 10 所示, 淀积隔离介质层 32, 在 n⁺ 碳化硅源区对应的区域内开窗口, 以形成源接触 41 的接触窗口的刻蚀掩蔽。如图 11 所示, 刻蚀碳化硅, 形成源接触 41 和 p 阵 20 的接触窗口。

[0110] 图 12 说明源接触 41 和漏接触 42 的形成, 它们使用蒸发或溅射形成, 在图形化源接触和漏接触后, 于从 500–1100℃的温度下退火 30 秒到 30 分钟, 以改善欧姆接触。

[0111] 本发明实施例在 p 阵 20 之上的 n⁺ 源区 14 之间提供 n 型碳化硅外延层 13 形成 n 型沟道并延伸到 p 阵 20 之间形成的 JFET 区之上。在形成 n 型沟道时, 通过控制外延过程中 n 型掺杂杂质的剂量, 及控制 n 型碳化硅外延层的厚度, 使得器件在零偏压下是处于关闭状态的。这是由于 pn 结的内建电势以及栅介质层与碳化硅之间的界面态中的净电荷使 n 型层自耗尽。

[0112] 本发明实施例通过图形化的栅接触 40 作为 n⁺ 源区 14 的离子注入掩膜, 提供自对准的沟道区和栅接触 40。通过离子注入后进行的退火可以激活 n⁺ 源区内的掺杂杂质, 以及扩散栅接触内的掺杂杂质, 提供实现源欧姆接触和栅接触 40 的掺杂浓度。

[0113] 以上实施例仅用以说明本发明的技术方案而非对其限制, 尽管参照上述实施例对本发明进行了详细的说明, 所属领域的普通技术人员应当理解, 参照上述实施例可以对本发明的具体实施方式进行修改或者等同替换, 这些未脱离本发明精神和范围的任何修改或者等同替换均在申请待批的权利要求保护范围之内。

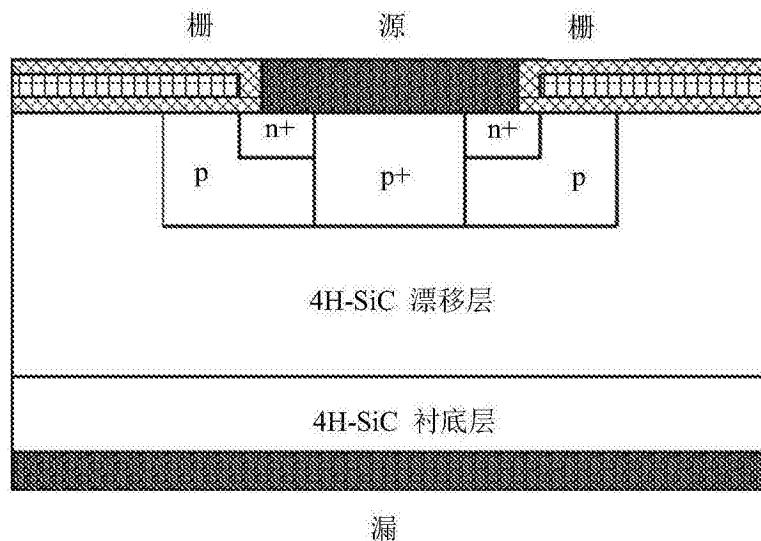


图 1

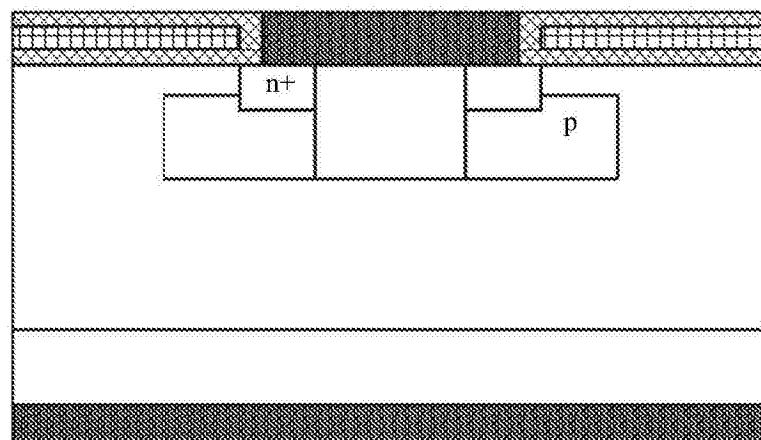


图 2

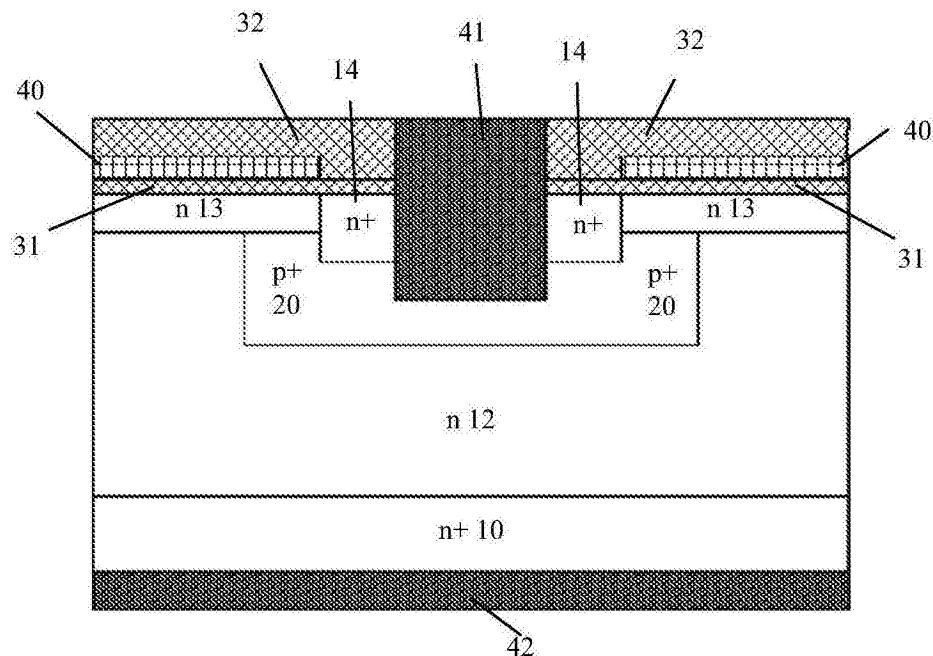


图 3

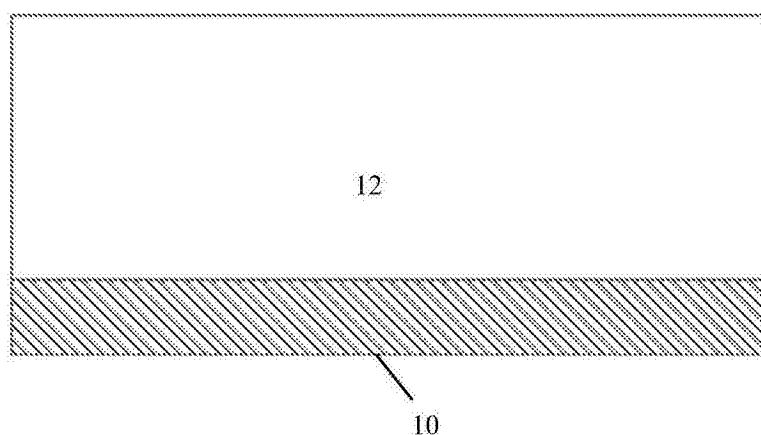


图 4

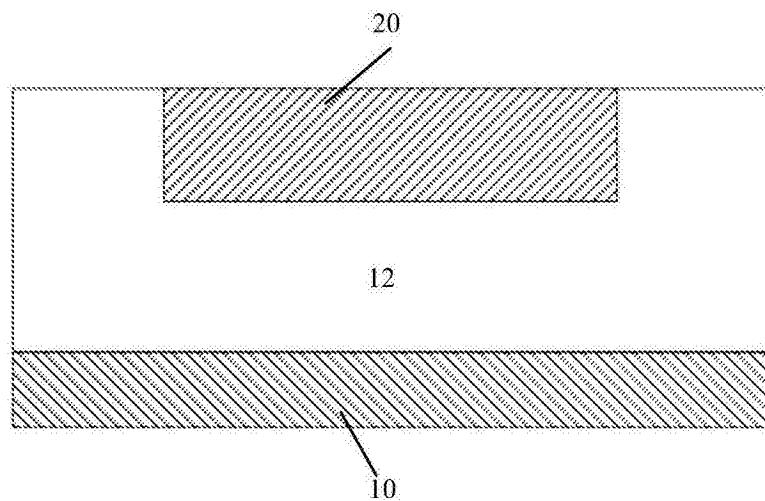


图 5

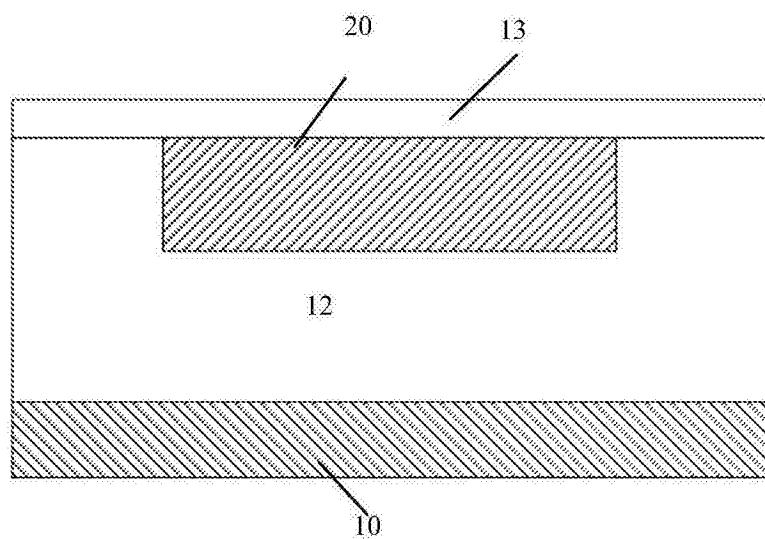


图 6

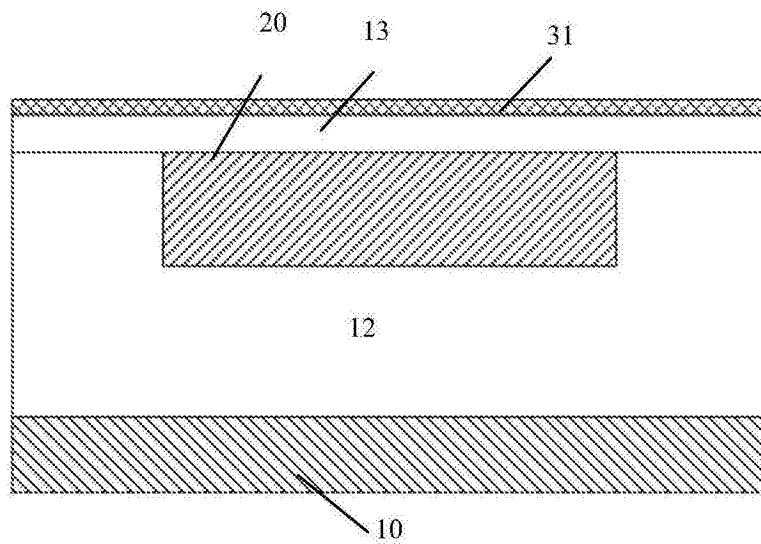


图 8

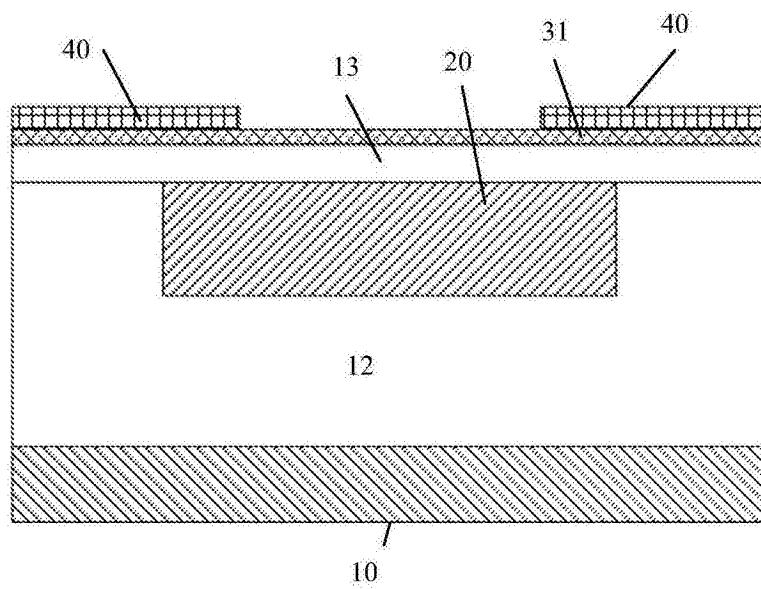


图 7

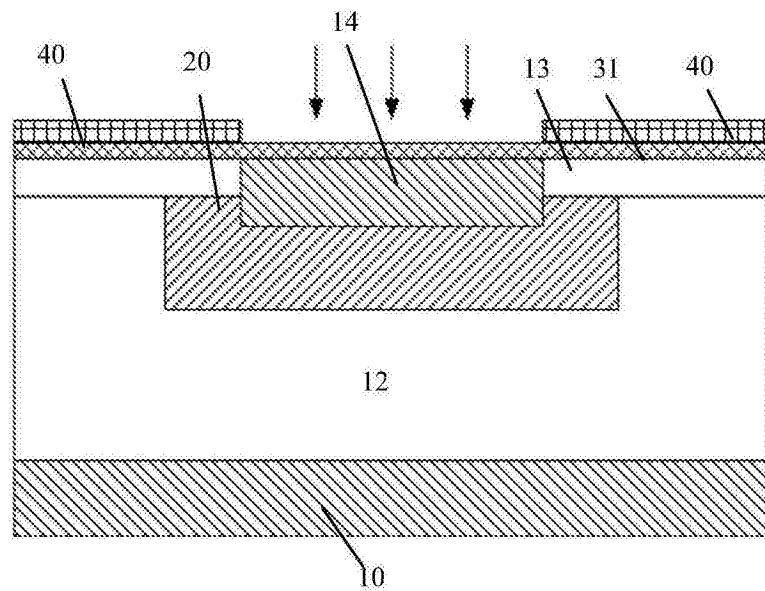


图 9

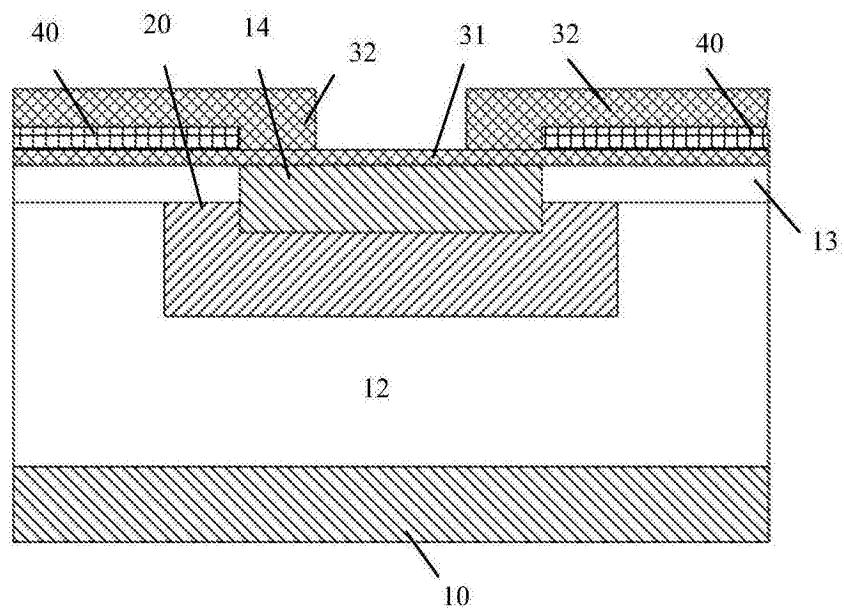


图 10

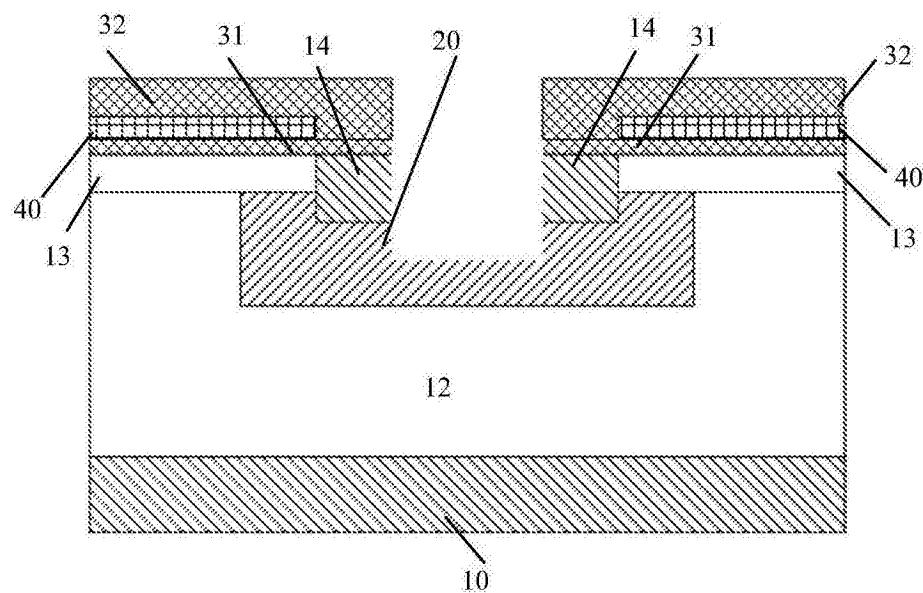


图 11

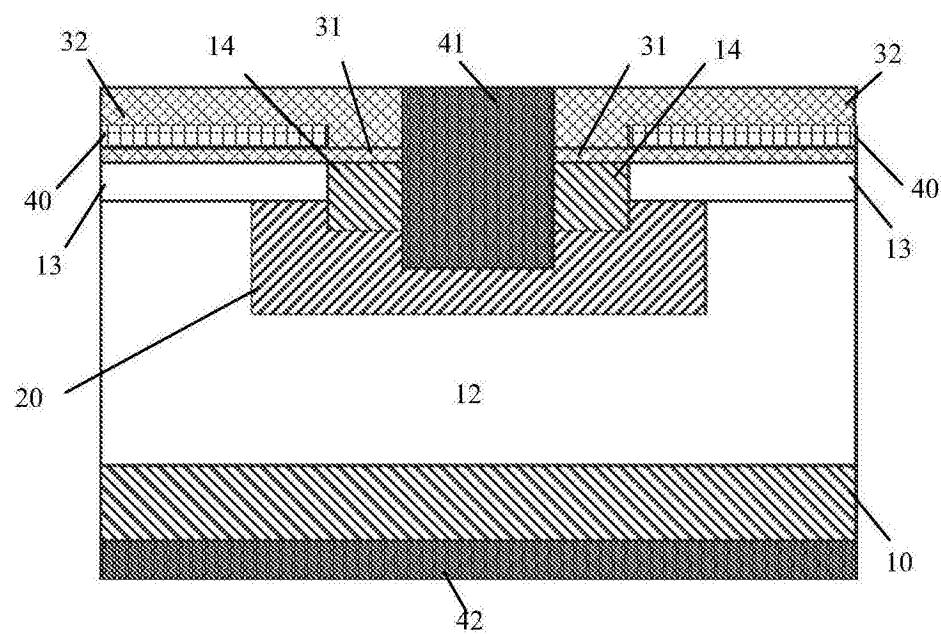


图 12