

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成22年10月7日(2010.10.7)

【公開番号】特開2008-112435(P2008-112435A)

【公開日】平成20年5月15日(2008.5.15)

【年通号数】公開・登録公報2008-019

【出願番号】特願2007-216405(P2007-216405)

【国際特許分類】

G 06 T 1/60 (2006.01)

G 06 T 1/20 (2006.01)

H 04 N 1/21 (2006.01)

【F I】

G 06 T 1/60 450 G

G 06 T 1/20 A

H 04 N 1/21

【手続補正書】

【提出日】平成22年8月20日(2010.8.20)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

$n \times n$ 画素で構成される矩形画像の複数を入力して $n \times n \times m$ 画素を1ラインとするライン単位の画像データを出力する画像処理装置であって、

1ラインを $n \times n \times m$ 画素とする n ライン分の画素データを記憶可能な記憶手段と、

前記記憶手段に前記矩形画像を書き込むための書き込みアドレス、及び前記記憶手段からライン単位の画像データを読み出すための読み出しアドレスを生成するアドレス生成手段と、

$n \times m$ 個の矩形画像が前記記憶手段に書き込まれる度に、前記書き込みアドレスの生成方式を第1の書き込みアドレス生成方式と第2の書き込みアドレス生成方式とで切替え、 n ライン分の画像データを前記記憶手段から読み出す度に、前記読み出しアドレスの生成方式を第1の読み出しアドレス生成方式と第2の読み出しアドレス生成方式とで切替える切替え手段と、

前記第1の書き込みアドレス生成方式に基づいて前記記憶手段への矩形画像の書き込みを行った後に、前記第1の読み出しアドレス生成方式に基づいて前記記憶手段からライン単位の画像データの読み出しを行うとともに、前記第2の書き込みアドレス生成方式に基づいて前記記憶手段への矩形画像の書き込みを行った後に前記第2の読み出しアドレス生成方式に基づいて前記記憶手段からライン単位の画像データの読み出しを行うよう前記記憶手段を制御する制御手段と、

を有することを特徴とする画像処理装置。

【請求項2】

前記制御手段は、前記第1の読み出しアドレス生成方式に基づいて1ライン以上で n ライン未満の画像データを前記記憶手段から読み出したことに応じて、当該画像データが読み出された領域への前記第2の書き込みアドレス生成方式に基づく矩形画像の書き込みを開始させ、前記第2の読み出しアドレス生成方式に基づいて1ライン以上で n ライン未満の画像データを前記記憶手段から読み出したことに応じて、当該画像データが読み出され

た領域へ前記第1の書き込みアドレス生成方式に基づく矩形画像の書き込みを開始させることを特徴とする請求項1に記載の画像処理装置。

【請求項3】

前記制御手段は、前記第1の読み出しアドレス生成方式に基づいて1ライン分の画像データを前記記憶手段から読み出したことに応じて、当該画像データが読み出された領域への前記第2の書き込みアドレス生成方式に基づく矩形画像の書き込みを開始させ、前記第2の読み出しアドレス生成方式に基づいて1ライン分の画像データを前記記憶手段から読み出したことに応じて、当該画像データが読み出された領域へ前記第1の書き込みアドレス生成方式に基づく矩形画像の書き込みを開始させることを特徴とする請求項1又は2に記載の画像処理装置。

【請求項4】

前記第1の書き込みアドレス生成方式は、前記矩形画像をn画素ずつ各々異なるラインに書き込むためのアドレスを生成する方式であり、

前記第1の読み出しアドレス生成方式は、特定のラインに格納されるn × n × m画素の画像データをライン単位の画像データとして読み出すためのアドレスを生成する方式であり、

前記第2の書き込みアドレス生成方式は、前記矩形画像を同一ラインに書き込むためのアドレスを生成する方式であり、

前記第2の読み出しアドレス生成方式は、前記nラインに含まれる各ラインからn × m画素の画像データをライン単位の画像データとして読み出すためのアドレスを生成する方式であることを特徴とする請求項1乃至3のいずれか1項に記載の画像処理装置。

【請求項5】

前記制御手段は、前記1ライン分の画像データを読み出した後、その読み出した画像データの領域に、次に入力される矩形画像を記憶することを特徴とする請求項1乃至4のいずれか1項に記載の画像処理装置。

【請求項6】

n × n画素で構成される矩形画像の複数を入力してn × n × m画素を1ラインとするライン単位の画像データを出力する画像処理装置であって、

1ラインをn × n × m画素とするnライン分の画素データを記憶可能な記憶手段と、

前記記憶手段に前記矩形画像を書き込むための書き込みアドレス、及び前記記憶手段からライン単位の画像データを読み出すための読み出しアドレスを生成するアドレス生成手段と、

n × m個の矩形画像が前記記憶手段に書き込まれる度に、前記書き込みアドレスの生成方式を前記矩形画像をn画素ずつ各々異なるラインに書き込むための第1の書き込みアドレス生成方式と前記矩形画像を同一ラインに書き込むための第2の書き込みアドレス生成方式とで切替え、nライン分の画像データを前記記憶手段から読み出す度に、前記読み出しアドレスの生成方式を特定のラインに格納されるn × n × m画素の画像データをライン単位の画像データとして読み出すための第1の読み出しアドレス生成方式と前記nラインに含まれる各ラインからn × m画素の画像データをライン単位の画像データとして読み出すための第2の読み出しアドレス生成方式とで切替える切替え手段と、

前記第1の書き込みアドレス生成方式に基づいて前記記憶手段への矩形画像の書き込みを行った後に、前記第1の読み出しアドレス生成方式に基づいて前記記憶手段からライン単位の画像データの読み出しを行うとともに、前記第2の書き込みアドレス生成方式に基づいて前記記憶手段への矩形画像の書き込みを行った後に前記第2の読み出しアドレス生成方式に基づいて前記記憶手段からライン単位の画像データの読み出しを行うよう前記記憶手段を制御する制御手段と、

を有することを特徴とする画像処理装置。

【請求項7】

1ラインをn × n × m画素とするnライン分の画素データを記憶可能な記憶手段を有し、n × n画素で構成される矩形画像の複数を入力してn × n × m画素を1ラインとするラ

イン単位の画像データを出力する画像処理装置における画像処理方法であって、

前記メモリに前記矩形画像を書き込むための書き込みアドレス、及び前記記憶手段から
ライン単位の画像データを読み出すための読み出しアドレスを生成する生成工程と、

$n \times m$ 個の矩形画像が前記メモリに書き込まれる度に前記書き込みアドレスの生成方式
を第 1 の書き込みアドレス生成方式と第 2 の書き込みアドレス生成方式とで切替え、 n ラ
イン分の画像データを前記メモリから読み出す度に前記読み出しアドレスの生成方式を第
1 の読み出しアドレス生成方式と第 2 の読み出しアドレス生成方式とで切替える切替え工
程と、

前記第 1 の書き込みアドレス生成方式に基づいて前記メモリへの矩形画像の書き込みを行った後に、前記第 1 の読み出しアドレス生成方式に基づいて前記メモリからライン単位の画像データの読み出しを行うとともに、前記第 2 の書き込みアドレス生成方式に基づいて前記メモリへの矩形画像の書き込みを行った後に、前記第 2 の読み出しアドレス生成方式に基づいて前記メモリからライン単位の画像データの読み出しを行うよう前記メモリを制御する制御工程と、

を有することを特徴とする画像処理方法。

【請求項 8】

前記制御工程は、前記第 1 の読み出しアドレス生成方式に基づいて 1 ライン以上で n ラ
イン未満の画像データを前記メモリから読み出したことに応じて、該画像データが読み出
された領域への前記第 2 の書き込みアドレス生成方式に基づく矩形画像の書き込みを開始
させ、前記第 2 の読み出しアドレス生成方式に基づいて 1 ライン以上で n ライン未満の画
像データを前記メモリから読み出したことに応じて、該画像データが読み出された領域へ
前記第 1 の書き込みアドレス生成方式に基づく矩形画像の書き込みを開始させることを特
徴とする請求項 7 に記載の画像処理方法。

【請求項 9】

前記制御工程は、前記第 1 の読み出しアドレス生成方式に基づいて 1 ライン分の画像デ
ータを前記メモリから読み出したことに応じて、該画像データが読み出された領域への前
記第 2 の書き込みアドレス生成方式に基づく矩形画像の書き込みを開始させ、前記第 2 の
読み出しアドレス生成方式に基づいて 1 ライン分の画像データを前記メモリから読み出
したことに応じて、該画像データが読み出された領域へ前記第 1 の書き込みアドレス生成
方式に基づく矩形画像の書き込みを開始させることを特徴とする請求項 7 又は 8 に記載の
画像処理方法。

【請求項 10】

前記第 1 の書き込みアドレス生成方式は、前記矩形画像を n 画素ずつ各々異なるライ
ンに書き込むためのアドレスを生成する方式であり、

前記第 1 の読み出しアドレス生成方式は、特定のラインに格納される $n \times n \times m$ 画素の
画像データをライン単位の画像データとして読み出すためのアドレスを生成する方式であ
り、

前記第 2 の書き込みアドレス生成方式は、前記矩形画像を同一ラインに書き込むための
アドレスを生成する方式であり、

前記第 2 の読み出しアドレス生成方式は、前記 n ラインに含まれる各ラインから $n \times m$
画素の画像データをライン単位の画像データとして読み出すためのアドレスを生成する方
式であることを特徴とする請求項 7 乃至 9 のいずれか 1 項に記載の画像処理方法。

【請求項 11】

前記制御工程は、前記 1 ライン分の画像データを読み出した後、その読み出した画像デ
ータの領域に、次に入力される矩形画像を記憶することを特徴とする請求項 7 乃至 10 の
いずれか 1 項に記載の画像処理方法。

【請求項 12】

1 ラインを $n \times n \times m$ 画素とする n ライン分の画素データを記憶可能な記憶手段を有し
、 $n \times n$ 画素で構成される矩形画像の複数を入力して $n \times n \times m$ 画素を 1 ラインとするラ
イン単位の画像データを出力する画像処理装置における画像処理方法であって、

前記メモリに前記矩形画像を書き込むための書き込みアドレス、及び前記記憶手段から
ライン単位の画像データを読み出すための読み出しアドレスを生成する生成工程と、

$n \times m$ 個の矩形画像が前記メモリに書き込まれる度に前記書き込みアドレスの生成方式
を前記矩形画像を n 画素ずつ各々異なるラインに書き込むための第 1 の書き込みアドレス
生成方式と前記矩形画像を同一ラインに書き込むための第 2 の書き込みアドレス生成方式
とで切替え、 n ライン分の画像データを前記メモリから読み出す度に前記読み出しアドレ
スの生成方式を前記読み出しアドレスの生成方式を特定のラインに格納される $n \times n \times m$
画素の画像データをライン単位の画像データとして読み出すための第 1 の読み出しアドレ
ス生成方式と前記 n ラインに含まれる各ラインから $n \times m$ 画素の画像データをライン単位
の画像データとして読み出すための第 2 の読み出しアドレス生成方式とで切替える切替え
工程と、

前記第 1 の書き込みアドレス生成方式に基づいて前記メモリへの矩形画像の書き込みを行った後に、前記第 1 の読み出しアドレス生成方式に基づいて前記メモリからライン単位の画像データの読み出しを行うとともに、前記第 2 の書き込みアドレス生成方式に基づいて前記メモリへの矩形画像の書き込みを行った後に、前記第 2 の読み出しアドレス生成方式に基づいて前記メモリからライン単位の画像データの読み出しを行うよう前記メモリを制御する制御工程と、

を有することを特徴とする画像処理方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】変更

【補正の内容】

【0025】

上記目的を達成するために本発明の一態様に係る画像処理装置は以下のような構成を備える。即ち、

$n \times n$ 画素で構成される矩形画像の複数を入力して $n \times n \times m$ 画素を 1 ラインとするラ
イン単位の画像データを出力する画像処理装置であって、

1 ラインを $n \times n \times m$ 画素とする n ライン分の画素データを記憶可能な記憶手段と、

前記記憶手段に前記矩形画像を書き込むための書き込みアドレス、及び前記記憶手段から
ライン単位の画像データを読み出すための読み出しアドレスを生成するアドレス生成手段と、

$n \times m$ 個の矩形画像が前記記憶手段に書き込まれる度に、前記書き込みアドレスの生成
方式を第 1 の書き込みアドレス生成方式と第 2 の書き込みアドレス生成方式とで切替え、
 n ライン分の画像データを前記記憶手段から読み出す度に、前記読み出しアドレスの生成
方式を第 1 の読み出しアドレス生成方式と第 2 の読み出しアドレス生成方式とで切替える
切替え手段と、

前記第 1 の書き込みアドレス生成方式に基づいて前記記憶手段への矩形画像の書き込み
を行った後に、前記第 1 の読み出しアドレス生成方式に基づいて前記記憶手段からライン
単位の画像データの読み出しを行うとともに、前記第 2 の書き込みアドレス生成方式に基
づいて前記記憶手段への矩形画像の書き込みを行った後に前記第 2 の読み出しアドレス生
成方式に基づいて前記記憶手段からライン単位の画像データの読み出しを行うよう前記記
憶手段を制御する制御手段と、を有することを特徴とする。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】変更

【補正の内容】

【0026】

上記目的を達成するために本発明の一態様に係る画像処理方法は以下のような工程を備

える。即ち、

1 ラインを $n \times n \times m$ 画素とする n ライン分の画素データを記憶可能な記憶手段を有し、 $n \times n$ 画素で構成される矩形画像の複数を入力して $n \times n \times m$ 画素を 1 ラインとするライン単位の画像データを出力する画像処理装置における画像処理方法であって、

前記メモリに前記矩形画像を書き込むための書き込みアドレス、及び前記記憶手段からライン単位の画像データを読み出すための読み出しアドレスを生成する生成工程と、

$n \times m$ 個の矩形画像が前記メモリに書き込まれる度に前記書き込みアドレスの生成方式を第 1 の書き込みアドレス生成方式と第 2 の書き込みアドレス生成方式とで切替え、 n ライン分の画像データを前記メモリから読み出す度に前記読み出しアドレスの生成方式を第 1 の読み出しアドレス生成方式と第 2 の読み出しアドレス生成方式とで切替える切替え工程と、

前記第 1 の書き込みアドレス生成方式に基づいて前記メモリへの矩形画像の書き込みを行った後に、前記第 1 の読み出しアドレス生成方式に基づいて前記メモリからライン単位の画像データの読み出しを行うとともに、前記第 2 の書き込みアドレス生成方式に基づいて前記メモリへの矩形画像の書き込みを行った後に、前記第 2 の読み出しアドレス生成方式に基づいて前記メモリからライン単位の画像データの読み出しを行うよう前記メモリを制御する制御工程と、を有することを特徴とする。