



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I462300 B

(45)公告日：中華民國 103 (2014) 年 11 月 21 日

(21)申請案號：098113494

(22)申請日：中華民國 98 (2009) 年 04 月 23 日

(51)Int. Cl. : **H01L29/786 (2006.01)**

(30)優先權：2008/04/25 日本 2008-116054

2008/11/18 日本 2008-294074

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：大力浩二 DAIRIKI, KOJI (JP)；宮入秀和 MIYAIRI, HIDEKAZU (JP)；伊佐敏行
ISA, TOSHIYUKI (JP)；宮永昭治 MIYANAGA, AKIHARU (JP)；廣橋拓也
HIROHASHI, TAKUYA (JP)；山崎舜平 YAMAZAKI, SHUNPEI (JP)；渡部剛吉
WATABE, TAKEYOSHI (JP)

(74)代理人：林志剛

(56)參考文獻：

US 6188085B1

US 2004/0084699A1

US 2006/0027804A1

審查人員：陳瑩真

申請專利範圍項數：11 項 圖式數：38 共 147 頁

(54)名稱

薄膜電晶體

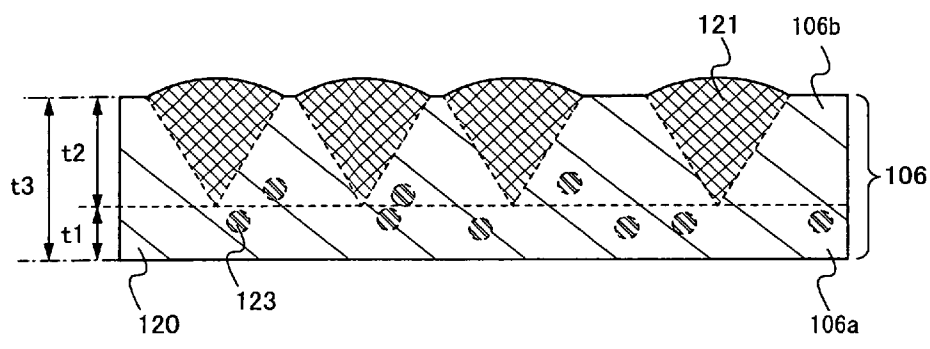
THIN FILM TRANSISTOR

(57)摘要

一種薄膜電晶體，包含：具有絕緣表面的基板上的覆蓋閘極電極的閘極絕緣層；在非晶結構中包含多個晶體區域的構成通道形成區域的半導體層；形成源區及汲區的賦予一導電型的雜質元素的雜質半導體層；以及由位於該半導體層和該雜質半導體層之間的非晶半導體構成的緩衝層，其中，所述晶體區域具有微小晶粒及反錐形的晶粒，該反錐形的晶粒的每一個從離所述閘極絕緣層和所述半導體層之間的介面有距離的位置且在不到達所述雜質半導體層的區域內向所述半導體層被沉積的方向以大致徑向生長。

The thin film transistor includes a gate insulating layer covering a gate electrode, over a substrate having an insulating surface; a semiconductor layer forming a channel formation region, in which a plurality of crystal regions is included in an amorphous structure; an impurity semiconductor layer imparting one conductivity type which forms a source region and a drain region; and a buffer layer formed from an amorphous semiconductor, which is located between the semiconductor layer and the impurity semiconductor layer. The thin film transistor includes the crystal region which includes minute crystal grains and inverted conical or inverted pyramidal grain each of which grows approximately radially from a position away from an interface between the gate insulating layer and the semiconductor layer toward a direction in which the semiconductor layer is deposited in a region which does not reach the impurity semiconductor layer.

圖2



- 106 . . . 半導體層
- 106a . . . 第一區域
- 106b . . . 第二區域
- 120 . . . 非晶結構
- 121 . . . 晶粒
- 123 . . . 微小晶粒
- $t1$ 、 $t2$ 、 $t3$. . . 厚度

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

公告本

※申請案號：98113494

※申請日：98年04月23日

※IPC分類：H01L 29/786 (2006.01)

一、發明名稱：(中文／英文)

薄膜電晶體

Thin film transistor

二、中文發明摘要：

一種薄膜電晶體，包含：具有絕緣表面的基板上的覆蓋閘極電極的閘極絕緣層；在非晶結構中包含多個晶體區域的構成通道形成區域的半導體層；形成源區及汲區的賦予一導電型的雜質元素的雜質半導體層；以及由位於該半導體層和該雜質半導體層之間的非晶半導體構成的緩衝層，其中，所述晶體區域具有微小晶粒及反錐形的晶粒，該反錐形的晶粒的每一個從離所述閘極絕緣層和所述半導體層之間的介面有距離的位置且在不到達所述雜質半導體層的區域內向所述半導體層被沉積的方向以大致徑向生長。

三、英文發明摘要：

THIN FILM TRANSISTOR

The thin film transistor includes a gate insulating layer covering a gate electrode, over a substrate having an insulating surface; a semiconductor layer forming a channel formation region, in which a plurality of crystal regions is included in an amorphous structure; an impurity semiconductor layer imparting one conductivity type which forms a source region and a drain region; and a buffer layer formed from an amorphous semiconductor, which is located between the semiconductor layer and the impurity semiconductor layer. The thin film transistor includes the crystal region which includes minute crystal grains and inverted conical or inverted pyramidal grain each of which grows approximately radially from a position away from an interface between the gate insulating layer and the semiconductor layer toward a direction in which the semiconductor layer is deposited in a region which does not reach the impurity semiconductor layer.

四、指定代表圖：

(一) 本案指定代表圖為：第(2)圖。

(二) 本代表圖之元件符號簡單說明：

106：半導體層

106a：第一區域

106b：第二區域

120：非晶結構

121：晶粒

123：微小晶粒

t1、t2、t3：厚度

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明係關於薄膜電晶體及其製造方法、以及使用該薄膜電晶體的半導體裝置及顯示裝置。

【先前技術】

薄膜電晶體（以下也表示為“TFT”）已在液晶顯示器的技術領域中廣泛地被應用。TFT為一種場效應電晶體，並且如此稱呼是因為用來形成通道的半導體由薄膜構成。現在，作為該半導體的薄膜使用非晶矽或多晶矽來製造TFT的技術已被實際應用。

長期以來，與非晶矽或多晶矽相同，被稱為微晶矽的半導體材料是公知的，並且也有關於場效應電晶體的報告（例如，參照專利文獻1）。然而，直到現在，與非晶矽電晶體和多晶矽電晶體相比，使用微晶矽的TFT的實用化較遲，其報告只散見於學會等中（例如，參照非專利文獻1）。

可以藉由被稱為電漿CVD法的方法利用電漿（弱電離電漿）使原料氣體分解而在如玻璃等的具有絕緣表面的基板上形成微晶矽膜，但是因為在非平衡狀態下進行反應，所以被認為難以控制晶核生成或晶體生長。

推進了各種研究，據一種說法，微晶矽的生長機理如下：首先，其中原子隨機對準的非晶相在基板上生長，之後發生晶體的核生長（參照非專利文獻2）。在此情況下

，當發生微晶矽的核生長時，在非晶表面上觀察到特異的矽-氫鍵，因此，被認為可以根據形成膜時的氫氣濃度控制微晶矽的核密度。

另外，正在對氧、氮等的雜質元素對微晶矽膜生長表面造成的影響進行研究，並且有如下知識即，藉由降低雜質濃度，微晶矽膜的晶粒的粒徑增大，而缺陷密度（尤其是，電荷缺陷密度）降低的知識（參照非專利文獻3）。

存在爲了提高TFT的工作特性而需要微晶矽膜的高純度化的看法，並且已提出了將氧、氮、碳濃度分別設定爲 $5 \times 10^{16} \text{cm}^{-3}$ 、 $2 \times 10^{18} \text{cm}^{-3}$ 、 $1 \times 10^{18} \text{cm}^{-3}$ 而提高有效遷移率的報告（參照非專利文獻4）。另外，已提出了將利用電漿CVD法的成膜溫度設定爲 150°C 並將氧濃度降低到 $1 \times 10^{16} \text{cm}^{-3}$ 而提高有效遷移率的報告（參照非專利文獻5）。

[專利文獻1] 美國專利第5,519,987號

[非專利文獻1] Toshiaki Arai以及其他入，SID 07 DIGEST，2007，p.1370-1373

[非專利文獻2] Hiroyuki Fujiwara以及其他入，日本應用物理學雜誌（Jpn.J.Appl.Phys.）Vol.41，2002，p.2821-2828

[非專利文獻3] Toshihiro Kamei以及其他入，日本應用物理學雜誌（Jpn.J.Appl.Phys.）Vol.37，1998，p.L265-268

[非專利文獻4] C.-H.Lee以及其他入，Int. Electron Devices Meeting Tech. Digest，2006，p.295-298

[非專利文獻5] Czang-Ho Lee以及其他人士，應用物理快報（Appl. Phys. Lett.），89，2006，p.252101

然而，雖然藉由在形成非晶矽膜之後設置由金屬材料構成的光電轉換層並且照射雷射而形成微晶矽膜的方法可以提高結晶性，但是當從生產性的觀點來看時，不能發現比利用雷射退火製造的多晶矽膜大的優勢。

在微晶矽的生長模型中，當發生微晶矽的核生長時在非晶表面觀察到特異的矽-氫鍵的知識雖然是有用的，但是實質上不能直接控制核生長位置和核生長密度。

另外，即使藉由謀求微晶矽膜的高度提純而降低雜質濃度，可以得到晶粒的粒徑增大且缺陷密度（尤其是電荷缺陷密度）降低的微晶矽膜，也只單純地表示微晶矽膜的物性值有變化的事實，而不一定改善TFT等的元件特性。這是因為如下緣故：半導體元件是意圖控制流過半導體中的電子或電洞導致的載流子的流動而進行工作的，但是若考慮該載流子流動處而不能改善該處的微晶矽膜的膜品質，則沒有意義。

【發明內容】

於是，發明的目的之一在於控制微晶半導體膜或包含晶粒的膜的膜品質，以改善以TFT為代表的半導體元件的工作特性。或者，發明的目的之一在於藉由控制微晶半導體膜或包含晶粒的膜的成膜過程，而謀求以TFT為代表的半導體元件的特性的提高。另外，發明的目的之一在於提

高薄膜電晶體的導通電流並且降低截止電流。

本發明的一個實施例如下：在非晶結構中包含多個晶體區域及多個微小晶粒的半導體層中，藉由控制成為生成該晶體區域的起點的晶核的生成位置和生成密度，控制該半導體層的膜品質。本發明的另一個實施例如下：在將非晶結構中包含多個晶體區域及多個微小晶粒的半導體層作為通道形成區的薄膜電晶體中，根據載流子流過的區域控制成為生成該半導體層的該晶體區域的起點的晶核的生成位置和生成密度。依照本發明的一個實施例：其可降低在相鄰的晶體區域的介面（即，晶粒間界）、相鄰的微小晶粒的介面（即，晶粒間界）、以及晶體區域或微小晶粒和非晶結構之間的介面的缺陷能級，並且形成載流子的遷移路徑。

以可以生成微晶半導體的混合比使用半導體材料氣體（例如，氫化矽氣體、氟化矽氣體或氯化矽氣體）和稀釋氣體作為反應氣體來形成非晶結構中包含多個晶體區域的半導體層。將該反應氣體引入降低了氧濃度的超高真空反應室內，維持預定壓力而生成輝光放電電漿。由此，在安裝於反應室內的基板上沉積膜。在沉積初期步驟中將阻礙晶核生成的雜質元素包含在反應室中並開始膜的沉積，藉由降低該雜質元素的濃度而生成晶核，並且基於其晶核形成晶體區域。

作為阻礙晶核生成的雜質元素較佳的使用氮或氮化物。在將氮包含在半導體層中的情況下，藉由二次離子質量

分析法（SIMS; Secondary Ion Mass Spectrometry）測量的該半導體層中的氮濃度為 $1 \times 10^{20} \text{cm}^{-3}$ 至 $1 \times 10^{21} \text{cm}^{-3}$ 。藉由二次離子質量分析法測量的閘極絕緣層和半導體層的介面附近的氮濃度的峰值濃度為 $3 \times 10^{20} \text{cm}^{-3}$ 至 $1 \times 10^{21} \text{cm}^{-3}$ ，並且藉由使氮濃度從該介面附近向半導體層的厚度方向逐漸降低，而控制成為晶體區域的生長端的核生成位置和核生成密度。

注意，半導體層所包含的微小晶粒的粒徑為1nm以上且10nm以下，較佳的為1nm以上且5nm以下。藉由在半導體層和閘極絕緣層的介面上包含氮，可以阻礙晶核生成且可以形成不會成為晶核的微小晶粒。另外，藉由提高微小晶粒的密度，因此提高結晶成分比，而可以提高半導體層的遷移率。

另外，藉由低溫光致發光譜而測量的在非晶結構中包含多個晶體區域及多個微小晶粒的半導體層的光譜的峰值區域為1.31eV以上且1.39eV以下。

再者，藉由使半導體層包含NH基，在相鄰的晶體區域的介面（即，晶粒間界）、相鄰的微小晶粒的介面（即，晶粒間界）、以及晶體區域或微小晶粒和非晶結構之間的介面上，NH基的N原子交聯Si原子的懸空鍵。該鍵合成為載流子的移動路徑，因此藉由半導體層具有氮、還具有NH基，可以提高半導體層的遷移率。

另外，作為抑制晶核生成的雜質元素，選擇在矽中不產生載流子陷阱的雜質元素（例如氮）。另一方面，減少

矽的配位數，並且降低生成懸空鍵的雜質元素（例如氧）的濃度。就是說，較佳的將藉由二次離子質量分析法測量的氧濃度設定為 $5 \times 10^{18} \text{ cm}^{-3}$ 以下。

本發明的一個實施例的薄膜電晶體具有在非晶結構中包含多個晶體區域及多個微小晶粒的半導體層，並且在該半導體層上具有由非晶半導體構成的緩衝層。該緩衝層被設置在與半導體層接觸於閘極絕緣層的面相反側，即配置在所謂的背通道側。就是說，該緩衝層設置是以如下方式而設置的，即在形成源區及汲區的一對一導電型的雜質半導體層之間，埋設有非晶結構中包含多個晶體區域的半導體層的該晶體區域及多個微小晶粒，而不使該半導體層在背通道側露出。

另外，在本說明書中，未說明以其他測量法測量的濃度皆是藉由SIMS所測量的測量值。

另外，本說明書中的導通電流是指當電晶體處於導通狀態時流過源極電極和汲極電極之間的電流。例如，在N型的電晶體中，導通電流是閘極電壓高於電晶體的臨界值電壓時在源極電極和汲極電極之間流過的電流。

另外，截止電流是指當電晶體處於截止狀態時流過源極電極和汲極電極之間的電流。例如，在N型電晶體中，截止電流是當閘極電壓比電晶體的臨界值電壓低時流過源極電極和汲極電極之間的電流。

在非晶結構中包含多個晶體區域及多個微小晶粒的半導體層中，可以控制晶體區域的產生密度和產生位置。另

外，藉由半導體層具有NH基，可以降低晶體區域和非晶結構的介面、微小晶粒和非晶結構的介面、以及晶粒間界的缺陷能級。藉由將這種半導體層用作薄膜電晶體的通道形成區域，可以提高導通電流。另外，藉由在該半導體層的上層設置緩衝層，可以降低薄膜電晶體的截止電流。

【實施方式】

下面，將參照附圖說明實施例。但是，所公開的發明不局限於以下說明。所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式及詳細內容在不脫離所公開的發明的宗旨及其範圍的情況下可以被變換為各種形式。因此，所公開的發明不應該被解釋為僅限定在以下所示的實施例所記載的內容中。另外，在使用附圖對所公開的發明的結構進行的說明中，在不同附圖中使用相同的附圖標記來表示相同的部分。另外，當表示相同部分時，有時採用相同的方塊而不特別使用附圖標記。

實施例 1

在本實施例中，將參照附圖說明薄膜電晶體的模式的一例。

圖1A和1B示出本實施例的薄膜電晶體的俯視圖及截面圖。圖1A所示的薄膜電晶體具有基板100上的閘極電極層102、覆蓋閘極電極層102的閘極絕緣層104、與閘極絕緣層104的上面接觸的半導體層106、半導體層106上的緩衝

層、以及與緩衝層 108 的上面的一部分接觸的源區及汲區 110。另外，還具有與源區及汲區 110 的上面接觸的佈線層 112。佈線層 112 構成源極電極及汲極電極。在佈線層 112 上具有用作保護層的絕緣層 114。另外，各個層形成爲所希望的圖案形狀。

另外，圖 1 所示的薄膜電晶體可以應用於設置在液晶顯示裝置的像素部中的像素電晶體。由此，在圖示的實例中，在絕緣層 114 中設置開口部，在絕緣層 114 上設置像素電極層 116，並且像素電極層 116 和佈線層 112 之一相連接。

另外，源極電極及汲極電極之一設置爲 U 字型（或日本片假名“コ”字型、馬蹄型），其圍繞源極電極和汲極電極之另一個。源極電極和汲極電極之間保持大致一定的距離（參照圖 1B）。

藉由將薄膜電晶體的源極電極及汲極電極形成爲上述形狀，可以將該薄膜電晶體的通道寬度形成得較大，而增加電流量。另外，可以減少電特性的不均勻性。再者，可以抑制因製程中的掩模圖案偏差而導致的可靠性的降低。然而，本實施例不局限於此，源極電極及汲極電極之一不需要一定具有 U 字型。

在此，對本實施例的主要特徵之一的半導體層 106 進行說明。將半導體層 106 用作薄膜電晶體的通道形成區域。在半導體層 106 中，由晶體半導體構成的晶粒分散地存在於包含非晶結構的半導體層中。另外，微小晶粒分散於

半導體層中。圖2示出該情況。

半導體層106具有第一區域106a及第二區域106b。第一區域106a具有非晶結構120及微小晶粒123。第二區域106b具有分散地存在的多個晶粒121、微小晶粒123、以及多個晶粒121和微小晶粒123之間充填的非晶結構120。第一區域106a形成在閘極絕緣層104上並與其接觸，並且具有離閘極絕緣層104和第一區域106a的界面的厚度 t_1 。第二區域106b形成在第一區域106a上並與其接觸，並且具有厚度 t_2 。就是說，晶粒121的核生成位置在半導體層106的厚度方向上被控制，以便其位於離閘極絕緣層104的界面有 t_1 的位置。晶粒121的核生成位置由包含在半導體層106中的抑制結晶化的雜質元素的濃度（例如氮濃度）控制。

晶粒121的形狀為反錐形或反金字塔形。在此，反錐形或反金字塔形是被下列的面圍繞的立體形狀，即由多個平面構成的一個面；與由連接在該由多個平面構成的面的關閉的曲線或折線上繞一周的點的組和在該由多個平面構成的一個面的外部存在的頂點的線構成的一個或多個面，並且該頂點位於基板一側。換言之，如後面的實施例所說明，該形狀是從離閘極絕緣層104和半導體層106的界面有距離的位置向半導體層106被沉積的方向在不到達源區及汲區110的區域中，以大致徑向生長的形狀。分散地形成的晶核各自隨著半導體層的形成沿晶體方位生長，而晶粒以晶核為起點以向與晶體的生長方向垂直的面的面內方向擴展的方式生長。藉由像這樣具有晶粒，可以比非晶半導

體進一步提高導通電流。另外，晶粒 121 中包含單晶或雙晶。在此，在具有反錐形的晶粒 121 中，側面的面方向一致，並且側面的截面形狀為直線（圖 2）。由此，可以認為，晶粒 121 的方式比含有多個結晶的方式更接近於含有單晶或雙晶的方式。與含有多個結晶的情況相比，含有雙晶時的懸空鍵少而缺陷少且截止電流小。此外，與含有多個結晶的情況相比，晶界少且截止電流大。另外，晶粒 121 也可以含有多個結晶。

另外，雙晶是指兩個晶粒在晶粒介面中匹配性極好地彼此接合的狀態。即，具有晶格在晶粒介面中連續連接，而極為不容易形成起因於結晶缺陷等的陷阱能級的結構。據此，可以看做在具有這種結晶結構的區域中實際上沒有晶粒介面。

另外，作為抑制晶核生成的雜質元素，選擇在矽中不產生載流子陷阱的雜質元素（例如氮）。另一方面，減少矽的配位數，並且降低生成懸空鍵的雜質元素（例如氧）的濃度。由此，較佳的不降低氮濃度而降低氧濃度。具體而言，較佳的將藉由二次離子質量分析法測量的氧濃度設定為 $5 \times 10^{18} \text{ cm}^{-3}$ 以下。

另外，在本實施例中，在與閘極絕緣層 104 的介面上存在有氮的情況下形成半導體層 106。在此，氮濃度是決定核生成位置的，所以很重要。當在存在有氮的閘極絕緣層 104 上形成半導體層 106 時，首先形成第一區域 106a，然後形成第二區域 106b。在此，第一區域 106a 和第二區域

106b的介面位置取決於氮濃度。在藉由二次離子質量分析法測量的氮濃度為 $1 \times 10^{20} \text{cm}^{-3}$ 以上且 $1 \times 10^{21} \text{cm}^{-3}$ 以下，較佳的為 $2 \times 10^{20} \text{cm}^{-3}$ 以上且 $7 \times 10^{20} \text{cm}^{-3}$ 以下時生成晶核，而形成第二區域106b。就是說，在成為晶粒121的生長起點的晶核生成的位置，藉由二次離子質量分析法測量的氮濃度為 $1 \times 10^{20} \text{cm}^{-3}$ 以上且 $1 \times 10^{21} \text{cm}^{-3}$ 以下，較佳的為 $2 \times 10^{20} \text{cm}^{-3}$ 以上且 $7 \times 10^{20} \text{cm}^{-3}$ 以下。換言之，在具有反錐形或反金字塔形的晶粒121的頂點，藉由二次離子質量分析法測量的氮濃度為 $1 \times 10^{20} \text{cm}^{-3}$ 以上且 $1 \times 10^{21} \text{cm}^{-3}$ 以下，較佳的為 $2 \times 10^{20} \text{cm}^{-3}$ 以上且 $7 \times 10^{20} \text{cm}^{-3}$ 以下。

另外，氮的濃度隨著離開閘極絕緣層104和半導體層106間的介面的距離的增加而逐漸下降。在離開閘極絕緣層104和半導體層106間的介面的距離在25nm以上且40nm以下的範圍內，氮濃度較佳的減少一個數位，更佳的在30nm以上且35nm以下的範圍內減少一個數位。

如上所說明，晶粒是分散地存在的。為了使晶粒分散地存在，需要控制晶體的核生成密度。藉由將氮濃度設定為上述濃度範圍，可以控制晶粒的核生成密度，而可以使晶粒分散地存在。

另外，如上那樣，若抑制晶核生成的雜質元素以高濃度（藉由二次離子質量分析法測量的雜質的濃度大致為 $1 \times 10^{20} \text{cm}^{-3}$ 以上）存在，則晶體生長也被抑制，因此，只對半導體層106的被成膜面添加要包含在半導體層106中的氮，或只在其成膜初期引入要包含在半導體層106中的氮。

半導體層 106 的第一區域 106a 具有非晶結構 120 及微小晶粒 123。另外，與現有的非晶半導體層相比，以 CPM (Constant Photocurrent Method 固定光流法) 或光致發光譜測量測量的 Urbach 端的能級小，並且缺陷吸收光譜少。由此，與現有的非晶半導體層相比，半導體層 106 是缺陷少且在價帶端中的能級的尾 (tail) 的坡度陡峭的秩序性高的半導體層。另外，藉由低溫光致發光譜而測量的半導體層 106 的第一區域 106a 的光譜的峰值區域為 1.31 eV 以上且 1.39 eV 以下。注意，藉由低溫光致發光譜而測量的微晶半導體層，代表為微晶矽層的光譜的峰值區域為 0.98 eV 以上且 1.02 eV 以下。

在此，下面表示半導體層 106 包含氮及微小晶粒，更佳的包含 NH 基及微小晶粒的效果。

藉由控制氮濃度，形成不能成為結晶的成長核的代表為 1 nm 以上且 10 nm 以下，較佳的為 1 nm 以上且 5 nm 以下的尺寸的微小晶粒。另外，在微小晶粒的外側，即接觸於非晶結構的一側容易析出較多的氮。因此，在微小晶粒和非晶結構的介面上氮，較佳的為 NH 基存在得較多。下面，作為具體實例表示形成微晶矽層作為半導體層 106 的情況。

圖 3 表示將氮化矽層、微晶矽層、以及非晶矽層的疊層結構以離子減薄加工的截面 TEM 圖像。在玻璃基板上形成厚度為 300 nm 的氮化矽層 (表示為 SiN)，在該氮化矽層上形成厚度為 30 nm 的微晶矽層 (表示為 μ c-Si)，在該微晶矽層上形成厚度為 100 nm 的非晶矽層 (表示為 a-Si)。

在此，微晶矽層是以 RF 電源頻率為 13.56 MHz、RF 電源的電力為 50 W、沉積溫度為 280 °C、矽烷流量：氫流量的比率為 1：150、壓力為 280 Pa 的條件形成的。注意，沉積率為每分 1.6 nm。

圖 4A 至 4C 表示圖 3 中的區域 A 至 C 的放大圖。

圖 4A 表示微晶矽層和非晶矽層的邊界附近的放大圖像。在圖 4A 中，觀察到具有短程有序的多個光柵圖像。另外，多個光柵圖像以區域 A 的底邊為基點，且具有寬度朝向上邊逐漸變大的形狀。就是說，根據圖 4A 的結果可知該多個光柵圖像形成有反錐形的晶粒。

圖 4B-1 表示微晶矽層的中央附近的放大圖像。圖 4B-1 表示微晶矽層中從微晶矽層和非晶矽層的邊界及微晶矽層和氮化矽層的邊界的距離大約相等的位置中的放大圖像。圖 4B-2 是將圖 4B-1 表示的光柵圖像以示意圖的方式表示的，並且如線所示，圖 4B-1 中也觀察到具有短程有序的光柵圖像。另外，該光柵圖像的尺寸為 1 nm 以上且 10 nm 以下，由此可知為微小晶粒。

另外，圖 4C 表示非晶矽層的放大圖像。在圖 4C 中沒有觀察到光柵圖像，由此可知為非晶結構。

另外，假設在如上述微小晶粒的外側，即與微小晶粒中的非晶結構的介面或與反錐形的晶粒中的非晶結構的介面上，氮，更佳的為 NH 基容易析出。下面表示當在晶體區域和非晶結構的介面、微小晶粒和非晶結構的介面、以及晶粒間界上，氮，代表為 NH 基與矽原子的懸空鍵鍵合

時，載流子容易流過的模式。

在如下模式中分別進行遷移 n 型載流子的能級（即，傳導帶中的最低能級）的矽層的 LUMO（最低未佔有分子軌道）的模擬，即：如圖 5 所示那樣，具有以氫原子 191 飽和矽原子的懸空鍵的晶粒間界 192 的矽層中，以氧原子 193 交聯懸空鍵的一組的模式（模式 1）；如圖 6 所示那樣，具有以氫原子飽和矽原子的懸空鍵的晶粒間界 192 的矽層中，以 NH 基 194 交聯一組的懸空鍵的模式（模式 2）。作為用來模擬的軟體，使用利用密度函數理論的第一原理計算軟體。注意，在圖 6 中，使用氮原子 195 及氫原子 191b 表示 NH 基 194。另外，線的交點表示矽原子，線表示矽原子的鍵。再者，除了以氧原子或 NH 基交聯的懸空鍵之外的懸空鍵都以氫原子飽和，以便評估氧原子及 NH 基的有效性。

圖 7 表示使用模式 1 而進行的計算結果，圖 8 表示使用模式 2 而進行的計算結果。

在圖 7 中表示以氧原子交聯 Si 原子的區域及其附近的波函數，波函數 196 及波函數 197 的相位分別為正或負（或分別為負或正），並且表示絕對值相等的區域。在圖 8 中表示以 NH 基交聯矽原子的區域及其附近的波函數，波函數 198 及波函數 199 的相位分別為正或負，並且表示絕對值相等的區域。

由圖 7 可知在以氧原子交聯矽原子的懸空鍵的情況下，因為波函數的絕對值及相位相等的區域（例如，波函數

196a、196b)斷了，所以載流子不容易流過。就是說，在矽層中包含氧時，發生阻礙載流子的遷移的鍵合，而矽層的載流子遷移率降低。

另一方面，由圖8可知在以NH基交聯Si原子的懸空鍵的情況下，因為不同的矽原子之間波函數的絕對值及相位相等的區域198連接到相鄰的懸空鍵的雙方，所以載流子容易流過。就是說，在矽層中包含NH基時，在懸空鍵中發生載流子容易遷移的鍵合，而矽層中的載流子遷移率提高。可以估計薄膜電晶體的遷移率提高。注意，當微小晶粒的密度提高時，半導體層中的晶性提高，但是與此同時阻礙載流子的遷移的晶粒間界也增加。但是，藉由半導體層具有氮，代表為NH基，並且交聯矽原子的懸空鍵，該鍵合成為晶粒間界中的載流子的路徑，因此不阻礙載流子的遷移。

如上所述，在半導體層中，藉由提高微小晶粒的密度且控制氮濃度，在晶體區域和非晶結構的介面、微小晶粒和非晶結構的介面、或微小晶粒之間的介面上的缺陷中，藉由具有氮，更佳的為NH基，使該缺陷由氮、NH基飽和。由於該飽和，在缺陷中形成載流子可以遷移的鍵合。另外，藉由提高微小晶粒的密度，可以提高半導體層的晶性。再者，藉由控制氮濃度，可以控制反錐形的晶粒的核的密度，因此可以形成分散有反錐形的晶粒的半導體層。如上所述，可以提高半導體層的載流子遷移率。

另外，藉由減少半導體層的氧濃度，可以在微小晶粒

的與非晶結構的介面或微小晶粒之間的介面上的缺陷中，減少阻礙載流子的遷移的鍵合。

如上所述，在半導體層中，藉由減少氧濃度，並且控制氮濃度，而且使在半導體層中包含NH基，可以減少晶體區域的介面、晶體區域和非晶結構的介面、或微小晶粒的晶粒間界的缺陷，而可以提高載流子遷移率。另外，藉由將該半導體層用於通道形成區域，可以提高薄膜電晶體的場效應遷移率及導通電流。

另外，在半導體層106上具有緩衝層108。藉由具有緩衝層108，可以降低截止電流。

接下來，對圖1所示的薄膜電晶體的製造方法進行說明。與p型薄膜電晶體相比，n型薄膜電晶體的載流子遷移率高。另外，若使形成在同一基板上的所有薄膜電晶體的極性一致，則可以抑制製程數，所以是較佳的。由此，在本實施例中，對n型薄膜電晶體的製造方法進行說明。

首先，在基板100上形成閘極電極層102（參照圖9A）。

作為基板100，除了可以使用玻璃基板、陶瓷基板以外，還可以使用具有可承受本製程中的處理溫度的耐熱性的塑膠基板等。另外，當基板不需要具有透光性時，也可以使用在不銹鋼合金等的金屬基板表面上設置絕緣層的基板。作為玻璃基板，例如可以使用無鹼玻璃基板如鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃或鋁矽酸鹽玻璃等。在基板100為母體玻璃的情況下，不僅可以使用第一代（例如，

320mm×400mm) 至第七代(例如, 1870mm×2200mm)、第八代(例如, 2200mm×2400mm)的基板, 還可以使用第九代(例如, 2400mm×2800mm)、第十代(例如, 2950mm×3400mm)的基板。

可以藉由使用鉬、鈦、鉻、鉭、鎢、鋁、銅、釹或銦等的金屬材料或以這些金屬材料為主要成分的合金材料, 並且以單層或疊層形成閘極電極層102。在使用鋁的情況下, 較佳的使用添加鉭而合金化了的Al-Ta合金, 因為它可以抑制小丘的產生。此外, 更佳的使用添加釹而合金化了的Al-Nd合金, 因為它可以減少電阻並且抑制小丘的產生。此外, 也可以使用以摻雜磷等雜質元素的多晶矽為代表的半導體層、或AgPdCu合金。例如, 較佳的採用在鋁層上層疊鉬層的雙層的疊層結構、在銅層上層疊鉬層的雙層結構、或者在銅層上層疊氮化鈦層或氮化鉭層的雙層結構。藉由在電阻低的層上層疊起到阻擋層作用的金屬層, 可以降低電阻, 並且可以防止金屬元素從金屬層擴散到半導體層中。或者, 也可以採用由氮化鈦層和鉬層構成的雙層的疊層結構; 或者層疊厚度為50nm的鎢層、厚度為500nm的由鋁和矽的合金構成的層、以及厚度為30nm的氮化鈦層而成的三層的疊層結構。此外, 當採用三層的疊層結構時, 可以使用氮化鎢層而代替第一導電層的鎢層, 也可以使用由鋁和鈦的合金構成的層而代替第二導電層的由鋁和矽的合金構成的層, 也可以使用鈦層而代替第三導電層的氮化鈦層。例如, 當在由鋁-釹合金構成的層上層疊

形成鉬層時，可以形成具有優越的耐熱性且電阻低的導電層。

可以藉由利用濺射法或真空蒸鍍法使用上述材料在基板100上形成導電層，利用光微影法或噴墨法等在該導電層上形成掩模，並使用該掩模蝕刻導電層，來形成閘極電極層102。另外，也可以利用噴墨法將銀、金或銅等的導電奈米膏噴射在基板上並進行焙燒來形成閘極電極層102。另外，也可以在基板100和閘極電極層102之間設置上述金屬材料的氮化物層。在此，在基板100上形成導電層，然後利用使用光掩模形成的抗蝕劑掩模進行蝕刻。

另外，藉由將閘極電極層102的側面形成為錐形，可以減少形成在閘極電極層102上的半導體層及佈線層的在有位準差的部分產生的形成不良，所以是較佳的。為了將閘極電極層102的側面形成為錐形，一邊使抗蝕劑掩模縮小一邊進行蝕刻即可。例如，藉由在蝕刻氣體中包含氧氣體，可以一邊使抗蝕劑縮小一邊進行蝕刻。

另外，在形成閘極電極層102的製程中，也可以同時形成閘極佈線（掃描線）。而且，還可以同時形成像素部所具有的電容線。另外，掃描線是指選擇像素的佈線，電容線是指連接於像素的儲存電容之一電極上的佈線。然而，不局限於此，也可以分別設置閘極佈線及電容佈線之一或兩者與閘極電極層102。

接下來，覆蓋閘極電極層102地形成閘極絕緣層104（參照圖9B）。藉由利用CVD法或濺射法等，並且以單層或

疊層形成氧化矽層、氮化矽層、氧氮化矽層或氮氧化矽層，來可以形成閘極絕緣層104。另外，在藉由CVD法形成閘極絕緣層104的情況下，使用如下高頻電力的電漿CVD法，即1MHz至20MHz、代表為13.56MHz的高頻電力、或大於20MHz至120MHz左右的高頻電力、代表為27.12MHz、60MHz的高頻電力。另外，較佳的使用高頻率（1GHz左右）的微波電漿CVD裝置形成閘極絕緣層104。當使用微波電漿CVD裝置形成閘極絕緣層104時，可以提高閘極電極和汲極電極或源極電極之間的耐壓性，因此，可以得到可靠性高的薄膜電晶體。另外，藉由使用氧氮化矽層形成閘極絕緣層104，可以抑制電晶體的臨界值電壓的變動。

另外，在本說明書中，氧氮化矽其組成中的氧含量大於氮含量，較佳的是指在使用盧瑟福背散射法（RBS:Rutherford Backscattering Spectrometry）及氫前散射法（HFS:Hydrogen Forward Scattering）進行測量時，作為組成範圍包含50原子%至70原子%的氧、0.5原子%至15原子%的氮、25原子%至35原子%的矽、以及0.1原子%至10原子%的氫的物質。另外，氮氧化矽其組成中的氮含量大於氧含量，較佳的是指在使用RBS及HFS進行測量時，作為組成範圍包含5原子%至30原子%的氧、20原子%至55原子%的氮、25原子%至35原子%的矽、10原子%至30原子%的氫的物質。注意，在將構成氧氮化矽或氮氧化矽的原子的總計設定為100原子%時，氮、氧、矽及氫的含有比率包括在上述範圍內。

另外，在使用氮化矽層形成閘極絕緣層 104 的情況下，藉由在閘極絕緣層 104 上設置薄的氧氮化矽層，可以抑制薄膜電晶體的工作初期產生的退化。在此，將氧氮化矽層形成得極薄，即 1 nm 以上即可。較佳的為 1 nm 以上且 3 nm 以下。

接下來，對半導體層 106 的形成方法進行說明。較佳的以 2 nm 以上且 60 nm 以下，更佳的為 10 nm 以上且 30 nm 以下的厚度形成半導體層 106。

另外，如上所述，半導體層 106 具有微小晶粒及反錐形的晶粒。例如，藉由降低半導體層 106 的氧濃度而使氮濃度高於氧濃度，並且氮濃度根據晶粒的生長方向上逐漸下降，可以控制晶粒的核生成地形成微小晶粒及反錐形的晶粒。在此，較佳的是，氮濃度比氧濃度高一個數位以上。更具體地說，將藉由二次離子質量分析法測量的閘極絕緣層 104 和半導體層 106 的介面的氧濃度設定為 $5 \times 10^{18} \text{ cm}^{-3}$ 以下，氮濃度設定為 $1 \times 10^{20} \text{ cm}^{-3}$ 以上且 $1 \times 10^{21} \text{ cm}^{-3}$ 以下。另外，將氧濃度抑制得較低而使氮濃度高於氧濃度來形成反錐形的晶粒的方法，有以下所示的方法。

將氧濃度抑制得較低而使氮濃度高於氧濃度的方法之一為使與半導體層 106 接觸的閘極絕緣層 104 包含高濃度氮的方法。即，使用氮化矽層形成閘極絕緣層 104 的方法。再者，作為氮化矽層的原料使用具有 NH 鍵合的氣體（代表為氨），將該氣體吸附於反應室內。另外，在實施例 2 中對該方法進行說明。

另外，將氧濃度抑制得較低而使氮濃度高於氧濃度的其他方法之一為在半導體層106的形成之前，使多量的氮存在於閘極絕緣層104的表面。在閘極絕緣層104的形成之後且半導體層106的形成之前，對閘極絕緣層104的表面噴射包含氮的氣體，來將氮吸附於閘極絕緣層104的表面，以便使多量的氮存在於閘極絕緣層104的表面。另外，使用由包含氮的氣體生成的電漿處理即可。在此，作為包含氮的氣體，可以舉出如氨、氮、氮化氮、氟化氮等。

或者，將氧濃度抑制得較低而使氮濃度高於氧濃度的其他方法之一為使用包含高濃度氮的層覆蓋用來形成半導體層106的處理室（反應室）的內壁的方法。作為包含高濃度氮的材料，例如可以舉出氮化矽層。再者，作為氮化矽層的原料使用具有NH鍵合的氣體（代表為氨），較佳的將該氣體吸附於反應室內。另外，藉由與閘極絕緣層104同時形成覆蓋處理室（反應室）內壁的包含高濃度氮的層。這樣做，可以簡化製程，所以是較佳的。另外，在此情況下，用來形成閘極絕緣層104的處理室（反應室）和用來形成半導體層106的處理室（反應室）為同一處理室，因此，可以將裝置小型化。另外，在實施例3中對該方法進行說明。

或者，將氧濃度抑制得較低而使氮濃度高於氧濃度的其他方法之一為將包含在用來形成半導體層106的氣體中的氧濃度抑制得較低而提高氮濃度的方法。再者，也可以使用具有NH基的氣體（代表為氨）。此時，只對半導體

層 106 的沉積初期使用的氣體中引入氮或減少引入的氮量即可。另外，在實施例 4 中說明該方法。

注意，在將上述氧濃度抑制得較低而使氮濃度高於氧濃度的其他方法中，較佳的為形成微晶半導體層的條件。代表地，對於如矽烷、乙矽烷等的包含矽的沉積性氣體的流量，將氫的流量稀釋到 10 倍至 2000 倍、較佳的稀釋到 10 倍至 200 倍。藉由與採用該條件的同時引入氮，可以將氧濃度抑制得較低，從而使氮濃度高於氧濃度。另外，可以形成具有微小晶粒 123 及非晶結構 120 的圖 2 示出的第一區域 106a、且具有非晶結構 120、反錐形的晶粒 121、以及微小晶粒 123 的圖 2 示出的第二區域 106b 的半導體層。

另外，在本實施例中既可以使用上述方法之一，又可以這些方法組合而使用。在本實施例中，閘極絕緣層 104 採用氮化矽層上疊層有氧氮化矽層的結構，並且將閘極絕緣層 104 暴露於氮，對閘極絕緣層 104 表面供給氮。

在此，對形成閘極絕緣層 104、半導體層 106、以及源區及汲區 110 的一例進行詳細說明。使用 CVD 法等形成這些層。另外，閘極絕緣層 104 具有在氮化矽層上設置氧氮化矽層的疊層結構。藉由採用這種結構，氮化矽層可以防止包含在基板中的影響到電特性的元素（當基板為玻璃時為鈉等的元素）進入半導體層 106 等中。圖 12 示出當形成這些層時使用的 CVD 裝置的示意圖。

圖 12 所示的電漿 CVD 裝置 161 連接於氣體供應單元 150 及排氣單元 151。

圖 12 所示的電漿 CVD 裝置 161 具備處理室 141、載物台 142、氣體供應部 143、簇射板 (shower plate) 144、排氣口 145、上部電極 146、下部電極 147、交流電源 148、以及溫度控制部 149。

處理室 141 由具有剛性的材料形成，並其內部構成爲可以進行真空排氣。在處理室 141 中具備有上部電極 146 和下部電極 147。另外，雖然在圖 12 示出了電容耦合型（平行平板型）的結構，但是只要是藉由施加兩種以上的不同高頻功率可以在處理室 141 內部產生電漿的結構，就還可以應用電感耦合型等其他結構。

在使用圖 12 所示的電漿 CVD 裝置進行處理時，從氣體供應部 143 供給預定氣體。被供給的氣體經過簇射板 144 引入到處理室 141 中。藉由連接於上部電極 146 和下部電極 147 的交流電源 148 施加高頻功率，處理室 141 內的氣體被激發，而產生電漿。另外，藉由連接於真空泵的排氣口 145 排氣處理室 141 內的氣體。另外，藉由溫度控制部 149，可以一邊加熱被處理物一邊進行電漿處理。

氣體供應單元 150 由填充反應氣體的汽缸 152、壓力調節閥 153、停止閥 154、以及質量流量控制器 155 等構成。在處理室 141 內，在上部電極 146 和基板 100 之間具有加工成板狀並設置有多個細孔的簇射板。供給給上部電極 146 的反應氣體經過內部的中空結構從該細孔供給給處理室 141 內。

連接於處理室 141 的排氣單元 151 包括進行真空排氣和

在引入反應氣體的情況下控制處理室 141 內的壓力以保持預定壓力的功能。作為排氣單元 151 的結構包括蝶閥 156、導氣閥（conductance valve）157、渦輪分子泵 158、乾燥泵 159 等。在並聯配置蝶閥 156 和導氣閥 157 的情況下，藉由關斷蝶閥 156 並使導氣閥 157 工作，可以控制反應氣體的排氣速度而將處理室 141 的壓力保持在預定範圍內。此外，藉由開放傳導性高的蝶閥 156，可以進行高真空排氣。

另外，在對處理室 141 進行超高真空排氣直到其壓力成為低於 10^{-5} Pa 的壓力的情況下，較佳的同時使用低溫泵 160。此外，在作為極限真空度進行排氣到超高真空的程度的情況下，也可以對處理室 141 的內壁進行鏡面加工，並且設置焙燒用加熱器以減少源於內壁的氣體釋放。

另外，若如圖 12 所示那樣以覆蓋處理室 141 整體地形成（沉積）層的方式進行預塗處理，則可以防止附著在處理室（反應室）內壁的雜質元素或構成處理室（反應室）內壁的雜質元素混入元件中。在本實施例中，藉由預塗處理形成以矽為主要成分的層即可，例如形成非晶矽層等即可。注意，該層較佳的不包含氧。

參照圖 13 以下說明從形成閘極絕緣膜 104 直到形成賦予一導電型的雜質半導體層 109（也稱為包含賦予一導電型的雜質元素的半導體層）的步驟的一個方式。另外，在氮化矽層上層疊氧氮化矽層來形成閘極絕緣層 104。

首先，在 CVD 裝置的處理室 141 內加熱形成有閘極電極層 102 的基板，並且將用來沉積氮化矽層的材料氣體引

入處理室141內，以便形成氮化矽層（圖13的預處理401）。在此，作為一例，藉由對處理室141內引入將 SiH_4 的流量設定為40sccm， H_2 的流量設定為500sccm， N_2 的流量設定為550sccm， NH_3 的流量設定為140sccm的材料氣體並使它穩定，並且在處理室141內的壓力為100Pa、基板溫度為280℃的條件下以370W進行電漿放電，來形成大約110nm的氮化矽層。之後，只停止 SiH_4 的引入，並在其幾秒後停止電漿放電（圖13的SiN的形成402）。這是因為若在 SiH_4 存在於處理室內的狀態下停止電漿放電，則形成以矽為主要成分的粒狀物或粉狀物，而成為降低成品率的要素的緣故。另外，在SiN的形成402中，作為用來沉積氮化矽層的材料氣體，至少使用 N_2 或 NH_3 中的任一者即可。

接下來，排氣用來沉積氮化矽層的材料氣體，並且將用來沉積氧氮化矽層的材料氣體引入處理室141內（圖13的氣體置換403）。在此，作為一例，藉由引入將 SiH_4 的流量設定為30sccm， N_2O 的流量設定為1200sccm的材料氣體並使它穩定，並且在處理室內的壓力為40Pa、基板溫度為280℃的條件下以50W的輸出進行電漿放電，來形成大約110nm的氧氮化矽層。之後，與氮化矽層同樣地只停止 SiH_4 的引入，並在其幾秒後停止電漿放電（圖13的SiON的形成404）。

藉由上述製程，可以形成閘極絕緣層104。在形成閘極絕緣層104之後，從處理室141取出基板100（圖13的卸載405）。

在從處理室 141 取出基板 100 之後，例如將 NF_3 氣體引入處理室 141 中，以進行處理室 141 內的清洗（圖 13 的清洗處理 406）。之後，對處理室 141 進行形成非晶矽層的處理（圖 13 的預塗處理 407）。非晶矽層的形成與後面說明的緩衝層 107 的形成同樣進行，但是處理室 141 內可以引入或不引入氫。藉由該處理，在處理室 141 內壁形成非晶矽層。可選地，也可以使用氮化矽層進行預塗處理。此時的處理與形成閘極絕緣層 104 的處理同樣。之後，將基板 100 傳送到處理室 141 內（圖 13 的載入 408）。

接下來，對閘極絕緣層 104 的表面供給氮。在此，藉由將閘極絕緣層 104 的表面暴露於氮氣體而供給氮（圖 13 的沖洗處理 409）。另外，也可以在氮氣體中包含氫。還可以使用氮氣體及氫氣體代替氮氣體。另外，也可以使用氮氣體及氫氣體。在此，作為一例，較佳的將處理室 141 內的壓力設定為 20 Pa 至 30 Pa 左右，基板溫度設定為 280℃，處理時間設定為 60 秒。另外，在沖洗處理之後，將處理室內減壓或加壓來控制壓力，以控制處理室 141 內的氮量。另外，雖然在本製程的處理中只暴露於氮氣體中，但是還可以進行電漿處理。之後，排氣用於上述處理的氣體，將用於沉積半導體層 105 的材料氣體引入處理室 141 內（圖 13 的氣體置換 410）。

接下來，在供給了氮的閘極絕緣層 104 的整個表面上形成半導體層 105。半導體層 105 是在後面的製程中被構圖而成為半導體層 106 的層。首先，將用來沉積半導體層 105

的材料氣體引入處理室141內。在此，作為一例，藉由引入將 SiH_4 的流量設定為10sccm， H_2 的流量設定為1500sccm的材料氣體並使它穩定，並且在處理室內的壓力為280Pa、基板溫度為280℃的條件下以50W的輸出進行電漿放電，來可以形成大約50nm的半導體層。之後，與上述的氮化矽層等的形成同樣地只停止 SiH_4 的引入，並在其幾秒後停止電漿放電（圖13的半導體層的形成411）。之後，排氣這些氣體，引入用來沉積緩衝層107的氣體（圖13的氣體置換412）。

在上述實例中，用來形成半導體層105的材料氣體中的 H_2 的流量為 SiH_4 的流量的150倍。由此，矽是逐漸沉積的。

對本實施例中的閘極絕緣層104的表面供給氮。如上所述，氮抑制矽的晶核生成。由此，在沉積的初期步驟中不生成矽的晶核。在沉積初期步驟中形成的該層成為圖2所示的第一區域106a。半導體層105是根據一個條件形成的，第一區域106a和第二區域106b藉由相同的條件形成。藉由如上所述那樣對閘極絕緣層104的表面供給氮，並且在該表面上形成半導體層105，而形成包含氮的半導體層（圖2所示的第一區域106a）。一邊降低氮濃度一邊形成半導體層105，並且氮濃度降低到一定值以下時，產生晶核。之後，其晶核生長，而形成晶粒121。

接下來，在半導體層105的整個表面上形成緩衝層107。緩衝層107是在後面的製程中被構圖而成為緩衝層108的

層。在此，緩衝層 107 由非晶半導體形成。首先，將用來沉積緩衝層 107 的材料氣體引入處理室內。在此，作為一例，藉由引入將 SiH_4 的流量設定為 280sccm ， H_2 的流量設定為 300sccm 的材料氣體並使它穩定，並且在處理室內的壓力為 170Pa 、基板溫度為 280°C 的條件下以 60W 的輸出進行電漿放電，來可以形成大約 150nm 的半導體層。之後，與上述的氮化矽層等的形成同樣地只停止 SiH_4 的引入，並在其幾秒後停止電漿放電（圖 13 的 a-Si 層的形成 413）。之後，排氣這些氣體，引入用來沉積賦予一導電型的雜質半導體層 109 的氣體（圖 13 的氣體置換 414）。

接下來，在緩衝層 107 的整個表面上形成包含賦予一導電型的雜質半導體層 109。賦予一導電型的雜質半導體層 109 是在後面的製程中被構圖而成為源區及汲區 110 的層。首先，將用來沉積賦予一導電型的雜質半導體層 109 的材料氣體引入處理室 141 內。在此，作為一例，藉由引入將 SiH_4 的流量設定為 100sccm ，使用 H_2 將 PH_3 稀釋到 $0.5\text{vol}\%$ 的混合氣體的流量設定為 170sccm 的材料氣體並使它穩定，並且在處理室 141 內的壓力為 280Pa 、基板溫度為 280°C 的條件下以 60W 的輸出進行電漿放電，來可以形成大約 50nm 的賦予一導電型的雜質半導體層。之後，與上述的氮化矽層等的形成同樣地只停止 SiH_4 的引入，並在其幾秒後停止電漿放電（圖 13 的雜質半導體層的形成 415）。之後，排氣這些氣體（圖 13 的排氣 416）。

如上所說明，可以進行直到形成賦予一導電型的雜質

半導體層 109 的步驟（參照圖 10A）。

接下來，在賦予一導電型的雜質半導體層 109 上形成導電層 111。

可以藉由使用鋁、銅、鈦、釹、銦、鉬、鉻、鉭或鎢等以單層或疊層形成導電層 111。也可以使用添加有防止小丘的產生的元素的鋁合金（可以用於閘極電極層 102 的鋁-釹合金等）形成。或者，也可以使用添加有成爲供體的雜質元素的晶體矽。也可以採用與添加有成爲供體的雜質元素的晶體矽接觸一側的層由鈦、鉭、鉬、鎢或這些元素的氮化物形成，並且在其上形成鋁或鋁合金而成的疊層結構。再者，也可以採用使用鈦、鉭、鉬、鎢或這些元素的氮化物夾住鋁或鋁合金的上面及下面而成的疊層結構。例如，作爲導電層 111，較佳的形成使用鉬層夾住鋁層而成的三層的疊層結構。

藉由使用 CVD 法、濺射法或真空蒸鍍法形成導電層 111。另外，也可以藉由使用絲網印刷法或噴墨法等排出銀、金或銅等的導電奈米膏並進行焙燒來形成導電層 111。

接下來，在導電層 111 上形成第一抗蝕劑掩模 131（參照圖 10B）。第一抗蝕劑掩模 131 具有厚度不同的兩個區域，並且可以使用多級灰度掩模形成。藉由使用多級灰度掩模，要使用的光掩模的數量減少而減少製程數，所以是較佳的。在本實施例中，可以在形成半導體層的圖案的製程和對源區和汲區進行分離的製程中使用利用多級灰度掩模

形成的抗蝕劑掩模。

多級灰度掩模是可以以多灰度級的光量進行曝光的掩模，典型地說，進行曝光區域、半曝光區域以及未曝光區域的三級光量的曝光。若使用多級灰度掩模，則可以藉由一次曝光及顯影製程，形成具有多種（典型為兩種）厚度的抗蝕劑掩模。由此，藉由使用多級灰度掩模，可以削減光掩模的數量。

圖 14A-1 及 14B-1 示出典型的多級灰度掩模的截面圖。圖 14A-1 表示灰色調掩模 180，圖 14B-1 表示半色調掩模 185。

圖 14A-1 所示的灰色調掩模 180 由在具有透光性的基板 181 上使用遮光層形成的遮光部 182 以及利用遮光層的圖案設置的衍射光柵部 183 構成。

衍射光柵部 183 因為具有以用於曝光的光的解析度極限以下的間隔設置的狹縫、點或網眼等，而控制光的透過率。另外，設置在衍射光柵部 183 的狹縫、點或網眼既可以是週期性的，又可以是非週期性的。

作為具有透光性的基板 181，可以使用石英等。至於構成遮光部 182 及衍射光柵部 183 的遮光層，較佳的使用鉻或氧化鉻等來設置。

在對灰色調掩模 180 照射用來曝光的光的情況下，如圖 14A-2 所示那樣與遮光部 182 重疊的區域的透光率成為 0%，並且不設置遮光部 182 或衍射光柵部 183 的區域的透光率成為 100%。另外，衍射光柵部 183 處的透光率大致在 10%

至 70% 的範圍內，這可以根據衍射光柵的狹縫、點或網眼的間隔等調整。

圖 14B-1 所示的半色調掩模 185 由在具有透光性的基板 186 上使用半透光膜形成的半透光部 187 以及使用遮光層形成的遮光部 188 構成。

可以使用 MoSiN、MoSi、MoSiO、MoSiON、CrSi 等的膜形成半透光部 187。至於遮光部 188，與灰色調掩模的遮光層相同，較佳的使用鉻或氧化鉻等來設置。

在對半色調掩模 185 照射用來曝光的光的情況下，如圖 14B-2 所示那樣與遮光部 188 重疊的區域的透光率成為 0%，並且不設置遮光部 188 或半透光部 187 的區域的透光率成為 100%。另外，半透光部 187 處的透光率大致在 10% 至 70% 的範圍內，這可以根據要形成的材料的種類或厚度等調整。

藉由使用多級灰度掩模進行曝光及顯影，可以形成具有厚度不同的區域的抗蝕劑掩模。

接下來，使用第一抗蝕劑掩模 131 對半導體層 105、緩衝層 107、賦予一導電型的雜質半導體層 109 以及導電層 111 進行蝕刻。藉由該製程，以每個元件分離半導體層 105、緩衝層 107、賦予一導電型的雜質半導體層 109 以及導電層 111（參照圖 10C）。之後，去除第一抗蝕劑掩模 131。

接下來，縮小第一抗蝕劑掩模 131 而形成第二抗蝕劑掩模 132。藉由利用氧電漿的灰化而縮小抗蝕劑掩模即可。

接下來，使用第二抗蝕劑掩模 132 對導電層 111 進行蝕刻，形成佈線層 112（參照圖 11A）。佈線層 112 構成源極電極及汲極電極。較佳的使用濕蝕刻進行導電層 111 的蝕刻。藉由濕蝕刻以各向同性的方式蝕刻導電層。其結果，使導電層比第二抗蝕劑掩模 132 更向內縮小，而形成佈線層 112。由此，佈線層 112 的側面和被蝕刻的賦予一導電型的雜質半導體層 109 的側面不一致，而在佈線層 112 的側面外側形成源區及汲區 110 的側面。佈線層 112 不僅作用當成源極電極及汲極電極，而且還作用當成信號線。但是，不局限於此，也可以分別設置信號線和佈線層 112。

接下來，在形成有第二抗蝕劑掩模 132 的狀態下對緩衝層 107 的一部分及賦予一導電型的雜質半導體層 109 進行蝕刻，形成緩衝層 108 以及源區及汲區 110（參照圖 11B）。

接下來，也可以在形成有第二抗蝕劑掩模 132 的狀態下進行乾蝕刻。在此，作為乾蝕刻條件，採用不對露出的緩衝層 108 造成損傷並且緩衝層 108 的蝕刻速度低的條件。即，採用幾乎不對露出的緩衝層 108 的表面造成損傷並且緩衝層 108 的厚度幾乎不減少的條件。作為蝕刻氣體可以使用氯基氣體，典型地使用 Cl_2 氣體。另外，對於蝕刻方法沒有特別限制，可以使用 ICP 方式、CCP 方式、ECR 方式、反應性離子蝕刻（RIE：Reactive Ion Etching）方式等。

作為這裏可使用的乾蝕刻條件的一例，將 Cl_2 氣體的

流量設定為100sccm，將反應室內的壓力設定為0.67Pa，將下部電極溫度設定為-10℃，對上部電極的線圈施加2000W的RF（13.56MHz）功率來產生電漿，不對基板100側施加功率而將它成為0W（即，無偏差（bias free）），進行三十秒鐘的蝕刻。將反應室內壁的溫度較佳的設定為80℃左右。

接下來，也可以在形成有第二抗蝕劑掩模132的狀態下進行電漿處理，去除第二抗蝕劑掩模132。在此，作為電漿處理的典型例子可舉出水電漿。

藉由在反應空間引入以水蒸氣（H₂O蒸氣）為代表的以水為主要成分的氣體，產生電漿，而可以進行水電漿處理。藉由水電漿，可以去除第二抗蝕劑掩模132。另外，有時藉由進行水電漿處理或在暴露於大氣中後進行水電漿處理，在露出的緩衝層108上形成氧化層。

另外，也可以在不使用水電漿處理，不對露出的緩衝層108造成損傷，並且緩衝層108的蝕刻速度低的條件下進行乾蝕刻。

如上所述，藉由在形成一對源區及汲區110之後，在不對緩衝層108造成損傷的條件下進一步進行乾蝕刻，可以去除存在於露出的緩衝層108上的殘渣等的雜質元素。另外，藉由進行乾蝕刻接著進行水電漿處理，也可以去除第二抗蝕劑掩模132。藉由進行水電漿處理，可以使源區和汲區之間可靠地絕緣，並且降低完成的薄膜電晶體的截止電流並提高導通電流，而可以減少電特性的不均勻性。

另外，電漿處理等製程不局限於上述順序，也可以在去除第二抗蝕劑掩模 132 之後進行無偏差的蝕刻或電漿處理。

如上所說明，可以製造根據本實施例的薄膜電晶體（參照圖 11B）。根據本實施例的薄膜電晶體可以應用到設置在以液晶顯示裝置為代表的顯示裝置的像素中的開關電晶體。因此，覆蓋該薄膜電晶體地形成具有開口部的絕緣層 114，並且在該開口部中與由佈線層 112 構成的源極電極及汲極電極連接地形成像素電極層 116（參照圖 11C）。可以藉由光微影法形成該開口部。之後，在絕緣層 114 上設置像素電極層 116，以使它藉由該開口部與佈線層 112 連接。像這樣，可以製造圖 1 所示的設置在顯示裝置的像素中的開關電晶體。

另外，可以與閘極絕緣層 104 同樣地形成絕緣層 114。絕緣層 114 較佳的由緻密的氮化矽層設置，以便可以防止大氣中浮動的有機物、金屬或水蒸氣等的會成為污染源的雜質元素的進入。

另外，可以使用包含具有透光性的導電高分子（也稱為導電聚合物）的導電組成物形成像素電極層 116。較佳的是，像素電極層 116 的薄層電阻為 $10000\Omega/\text{cm}^2$ 以下，並且波長為 550nm 時的透光率為 70% 以上。另外，包含在導電組成物中的導電高分子的電阻率較佳的為 $0.1\Omega\cdot\text{cm}$ 以下。

作為導電高分子，可以使用所謂的 π 電子共軛類導電

高分子。例如，可以舉出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、或者這些的兩種以上的共聚物等。

例如，可以使用包含氧化鎢的銦氧化物、包含氧化鎢的銦鋅氧化物、包含氧化鈦的銦氧化物、包含氧化鈦的銦錫氧化物、銦錫氧化物（以下表示為ITO）、銦鋅氧化物或添加有氧化矽的銦錫氧化物等形成像素電極層116。

至於像素電極層116，與佈線層112等同樣地使用光微影法進行蝕刻而構圖即可。

另外，雖然未圖示，但是也可以在絕緣層114和像素電極層116之間具有藉由旋塗法等形成的由有機樹脂構成的絕緣層。

如本實施例所示，可以得到導通電流高且截止電流低的薄膜電晶體。

實施例2

在本實施例中，對製造圖1所示的與實施例1不同的薄膜電晶體的製造方法進行說明。在本實施例中，與實施例1同樣地形成包含微小晶粒及具有反錐形的晶粒的半導體層。但是，使半導體層包含氮的方法不同。

在本實施例中，因為使用氮化矽層形成與半導體層接觸的閘極絕緣層，而抑制半導體層的氮濃度，以形成包含微小晶粒及具有反錐形的晶粒的半導體層。參照圖15以下說明從形成閘極絕緣層104直到形成賦予一導電型的雜質

半導體層 109 的步驟。

首先，在 CVD 裝置的處理室（反應室）內加熱形成有閘極電極層 102 的基板，並且爲了形成氮化矽層，將用於氮化矽層的沉積的材料氣體引入處理室內（圖 15 的預處理 401）。在此，作爲一例，藉由引入將 SiH_4 的流量設定爲 40 sccm， H_2 的流量設定爲 500 sccm， N_2 的流量設定爲 550 sccm， NH_3 的流量設定爲 140 sccm 的材料氣體並使它穩定，並且在處理室內的壓力爲 100 Pa、基板溫度爲 280℃ 的條件下進行 370 W 的電漿放電，來形成大約 300 nm 的氮化矽層。之後，只停止 SiH_4 的供給，並在其幾秒後停止電漿放電（圖 15 的 SiN 的形成 402）。另外，在 SiN 的形成 402 中，作爲用來沉積氮化矽層的材料氣體，至少使用 N_2 或 NH_3 中的任一者即可。

接下來，排氣用來沉積氮化矽層的材料氣體，將用來沉積半導體層 105 的材料氣體引入處理室內（圖 15 的氣體置換 410）。

接下來，在閘極絕緣層 104 的整個表面上形成半導體層 105。半導體層 105 是在後面的製程中被構圖而成爲半導體層 106 的層。首先，將用來沉積半導體層 105 的材料氣體引入處理室內。在此，作爲一例，藉由引入將 SiH_4 的流量設定爲 10 sccm， H_2 的流量設定爲 1500 sccm 的材料氣體並使它穩定，並且在處理室內的壓力爲 280 Pa、基板溫度爲 280℃ 的條件下進行 50 W 的電漿放電，來可以形成大約 50 nm 的半導體層。之後，與上述的氮化矽層等的形成同樣地只停

止 SiH_4 的供給，並在其幾秒後停止電漿放電（圖 15 的半導體層的形成 411）。之後，排氣這些氣體，引入用來沉積緩衝層 107 的氣體（圖 15 的氣體置換 412）。

在上述實例中，用來形成半導體層 105 的材料氣體中的 H_2 的流量為 SiH_4 的流量的 150 倍。由此，矽是逐漸沉積的。

在本實施例的閘極絕緣層 104 中，因為至少與半導體層 105 接觸的最上層由氮化矽層形成，所以在閘極絕緣層 104 的表面有多量的氮。如上所述，氮抑制矽的晶核生成。由此，在沉積的初期步驟中不生成矽的晶核。在沉積的初期步驟中形成的該層成為圖 2 所示的第一區域 106a。半導體層 105 是根據一個條件形成的，第一區域 106a 和第二區域 106b 藉由相同的條件形成。如上所述，藉由對閘極絕緣層 104 的表面供給氮並且在該表面上形成半導體層 105，而形成包含微小晶粒及氮的半導體層（圖 2 所示的第一區域 106a）。一邊降低氮濃度一邊形成該半導體層，並且氮濃度降低到一定值以下時，產生晶核。之後，在其晶核生長而成為晶粒 121 的同時形成半導體層 105。就是說，形成包含氮的半導體層（圖 2 所示的第二區域 106b）。另外，在成為晶粒 121 的生長起點的晶核的生成位置，藉由二次離子質量分析法測量的氮濃度為 $1 \times 10^{20} \text{cm}^{-3}$ 以上且 $1 \times 10^{21} \text{cm}^{-3}$ 以下，較佳的為 $2 \times 10^{20} \text{cm}^{-3}$ 以上且 $7 \times 10^{20} \text{cm}^{-3}$ 以下。

另外，在此，作為抑制晶核生成的雜質元素，選擇在

矽中不產生載流子陷阱的雜質元素（例如氮）。另一方面，減少矽的配位數，並且降低生成懸空鍵的雜質元素（例如氧）的濃度。由此，較佳的不降低氮濃度地降低氧濃度。具體而言，較佳的將藉由二次離子質量分析法測量的氧濃度設定為 $5 \times 10^{18} \text{cm}^{-3}$ 以下。

接下來，在半導體層 105 的整個表面上形成緩衝層 107。緩衝層 107 是在後面的製程中被構圖而成為緩衝層 108 的層。在此，緩衝層 107 由非晶半導體形成。首先，將用來沉積緩衝層 107 的材料氣體引入處理室內。在此，作為一例，藉由引入將 SiH_4 的流量設定為 280sccm ， H_2 的流量設定為 300sccm 的材料氣體並使它穩定，並且在處理室內的壓力為 170Pa 、基板溫度為 280°C 的條件下以 60W 的輸出進行電漿放電，來可以形成大約 150nm 的半導體層。之後，與上述的氮化矽層等的形成同樣地只停止 SiH_4 的供給，並在其幾秒後停止電漿放電（圖 15 的 a-Si 層的形成 413）。之後，排氣這些氣體，引入用來沉積賦予一導電型的雜質半導體層 109 的氣體（圖 15 的氣體置換 414）。

接下來，在緩衝層 107 的整個表面上形成賦予一導電型的雜質半導體層 109。賦予一導電型的雜質半導體層 109 是在後面的製程中被構圖而成為源區及汲區 110 的層。首先，將用來沉積賦予一導電型的雜質半導體層 109 的材料氣體引入處理室內。在此，作為一例，藉由引入將 SiH_4 的流量設定為 100sccm ，使用 H_2 將 PH_3 稀釋到 $0.5 \text{vol}\%$ 的混合氣體的流量設定為 170sccm 的材料氣體並使它穩定，並且

在處理室內的壓力為280Pa、基板溫度為280℃的條件下以60W的輸出進行電漿放電，來可以形成大約50nm的半導體層。之後，與上述的氮化矽層等的形成同樣地只停止SiH₄的引入，並在其幾秒後停止電漿放電（圖15的雜質半導體層的形成415）。之後，排氣這些氣體（圖15的排氣416）。

如上所說明，藉由使用氮化矽層形成至少與半導體層接觸的閘極絕緣層，可以將氧濃度抑制得較低而使氮濃度高於氧濃度，可以形成包含具有反錐形的晶粒的半導體層。

實施例3

在本實施例中，對製造圖1所示的薄膜電晶體的方法並且與實施例1及實施例2不同的製造方法進行說明。在本實施例中，與實施例1及實施例2同樣地形成包含微小晶粒及具有反錐形的晶粒的半導體層。但是，使半導體層包含氮的方法不同。

在本實施例中，在沉積半導體層之前進行處理室內的清洗，之後使用氮化矽層覆蓋反應室內壁而使半導體層包含氮，將氧濃度抑制得較低而使氮濃度高於氧濃度。參照圖16以下說明從形成閘極絕緣層104直到形成賦予一導電型的雜質半導體層109的步驟。

首先，在CVD裝置的處理室內（反應室內）加熱形成有閘極電極層102的基板，並且將用來沉積氮化矽層的材料

料氣體引入處理室內，以便形成氮化矽層（圖16的預處理401）。在此，作為一例，藉由引入將 SiH_4 的流量設定為40sccm， H_2 的流量設定為500sccm， N_2 的流量設定為550sccm， NH_3 的流量設定為140sccm的材料氣體並使它穩定，並且在處理室內的壓力為100Pa、基板溫度為280℃的條件下以370W的輸出進行電漿放電，來形成大約110nm的氮化矽層。之後，只停止 SiH_4 的引入，並在其幾秒後停止電漿放電（圖16的SiN的形成402）。另外，在SiN的形成402中，作為用來沉積氮化矽層的材料氣體，至少使用 N_2 或 NH_3 中的任一者即可。

接下來，排氣用來沉積氮化矽層的材料氣體，並且將用來沉積氧氮化矽層的材料氣體引入處理室內（圖16的氣體置換403）。在此，作為一例，藉由引入將 SiH_4 的流量設定為30sccm， N_2O 的流量設定為1200sccm的材料氣體並使它穩定，並且在處理室內的壓力為40Pa、基板溫度為280℃的條件下以50W的輸出進行電漿放電，來形成大約110nm的氧氮化矽層。之後，與氮化矽層同樣地只停止 SiH_4 的引入，並在其幾秒後停止電漿放電（圖16的SiON的形成404）。

藉由上述製程，可以形成閘極絕緣層104。在形成閘極絕緣層104之後，從處理室141取出基板100（圖16的unload405）。

接下來，在從處理室141取出基板100之後，將 NF_3 氣體引入處理室141，以進行處理室內的清洗（圖16的清洗

處理 406)。之後，與閘極絕緣層 104 同樣地進行形成氮化矽層的處理（圖 16 的預塗處理 421）。藉由該處理，在處理室 141 內壁形成氮化矽層。之後，將基板 100 傳送到處理室 141 中，並且將用來沉積半導體層 105 的材料氣體引入處理室內（圖 16 的載入 408）。注意，在預塗處理 421 中，作為用來沉積氮化矽層的材料氣體，至少使用 N_2 或 NH_3 中的任一者即可。

接下來，在閘極絕緣層 104 的整個表面上形成半導體層 105。半導體層 105 是在後面的製程中被構圖而成為半導體層 106 的層。首先，將用來沉積半導體層 105 的材料氣體引入處理室內。在此，作為一例，藉由引入將 SiH_4 的流量設定為 10 sccm， H_2 的流量設定為 1500 sccm 的材料氣體並使它穩定，並且在處理室內的壓力為 280 Pa、基板溫度為 280 °C 的條件下以 60 W 的輸出進行電漿放電，來可以形成大約 50 nm 的半導體層。之後，與上述的氮化矽層等的形成同樣地只停止 SiH_4 的供給，並在其幾秒後停止電漿放電（圖 16 的半導體層的形成 411）。之後，排氣這些氣體，引入用來沉積緩衝層 107 的氣體（圖 16 的氣體置換 412）。

在上述實例中，用來形成半導體層 105 的材料氣體中的 H_2 的流量為 SiH_4 的流量的 150 倍。由此，矽是逐漸沉積的。

在本實施例中，在處理室內形成氮化矽層作為保護層，因此將該保護層暴露於電漿，半導體層 105 包含氮。如上所述，氮抑制矽的晶核生成。由此，在沉積的初期步驟

中不生成矽的晶核。在沉積的初期步驟中形成的該層成為圖2所示的第一區域106a。第一區域106a和第二區域106b藉由相同條件形成。如上所述那樣在電漿中包括保護層所包含的氮，因此藉由該電漿反應形成半導體層105，而形成包含微小晶粒及氮的半導體層（圖2所示的第一區域106a）。一邊降低氮濃度一邊形成該半導體層，並且氮濃度降低到一定值以下時，產生晶核。之後，其晶核生長，而形成晶粒121。

接下來，在半導體層105的整個表面上形成緩衝層107。緩衝層107是在後面的製程中被構圖而成為緩衝層108的層。在此，緩衝層由非晶半導體形成。首先，將用來沉積緩衝層107的材料氣體引入處理室內。在此，作為一例，藉由引入將 SiH_4 的流量設定為280sccm， H_2 的流量設定為300sccm的材料氣體並使它穩定，並且在處理室內的壓力為170Pa、基板溫度為280℃的條件下以60W的輸出進行電漿放電，來可以形成大約150nm的半導體層。之後，與上述的氮化矽層等的形成同樣地只停止 SiH_4 的引入，並在其幾秒後停止電漿放電（圖16的a-Si層的形成413）。之後，排氣這些氣體，引入用來沉積賦予一導電型的雜質半導體層109的氣體（圖16的氣體置換414）。

接下來，在緩衝層107的整個面上形成賦予一導電型的雜質半導體層109。賦予一導電型的雜質半導體層109是在後面的製程中被構圖而成為源區及汲區110的層。首先，將用來沉積賦予一導電型的雜質半導體層109的材料氣

體引入處理室內。在此，作為一例，藉由引入將 SiH_4 的流量設定為 100sccm ，使用 H_2 將 PH_3 稀釋到 $0.5\text{vol}\%$ 的混合氣體的流量設定為 170sccm 的材料氣體並使它穩定，並且在處理室內的壓力為 280Pa 、基板溫度為 280°C 的條件下以 60W 的輸出進行電漿放電，來可以形成大約 50nm 的賦予一導電型的雜質半導體層。之後，與上述的氮化矽層等的形成同樣地只停止 SiH_4 的供給，並在其幾秒後停止電漿放電（圖16的雜質半導體層的形成415）。之後，排氣這些氣體（圖16的排氣416）。

如上所述，藉由至少緊接在形成半導體層之前使用氮化矽層覆蓋處理室的內壁，可以將氧濃度抑制得較低而使氮濃度高於氧濃度，可以形成包含具有反錐形的晶粒的半導體層。

另外，藉由使用氮化矽層覆蓋處理室的內壁，也可以防止構成處理室的內壁的元素等混入半導體層中。

另外，在上述說明中說明了一種方式，即由於在氮化矽層上層疊氧氮化矽層以形成閘極絕緣層104，所以在形成閘極絕緣層104之後進行清洗處理和預塗處理的方式。但是，本實施例也可以與實施例2組合來實施。就是說，也可以使用氮化矽層形成閘極絕緣層104，並且該閘極絕緣層104的形成步驟兼作預塗處理。藉由閘極絕緣層104的形成兼作預塗處理，製程簡化，而可以提高生產率。

實施例4

在本實施例中，對與實施例1至實施例3不同的半導體的製造方法進行說明。在本實施例中，與實施例1同樣形成包含微小晶粒及具有反錐形的晶粒的半導體層。但是，使半導體層包含氮的方法不同。

在本實施例中，藉由將氮混入到半導體層沉積初期的氣體中，可以將氧濃度抑制得較低而使氮濃度高於氧濃度。參照圖17以下說明從形成閘極絕緣層104直到形成賦予一導電型的雜質半導體層109的步驟。

首先，在CVD裝置的處理室內（反應室內）加熱形成有閘極電極層102的基板，並且將用來沉積氮化矽層的材料氣體引入處理室內（圖17的預處理401）。在此，作為一例，藉由引入將 SiH_4 的流量設定為40sccm， H_2 的流量設定為500sccm， N_2 的流量設定為550sccm， NH_3 的流量設定為140sccm的材料氣體並使它穩定，並且在處理室內的壓力為100Pa、基板溫度為280℃的條件下以370W的輸出進行電漿放電，來形成大約110nm的氮化矽層。之後，只停止 SiH_4 的引入，並在其幾秒後停止電漿放電（圖17的SiN的形成402）。另外，在SiN的形成402中，作為用來沉積氮化矽層的材料氣體，至少使用 N_2 或 NH_3 中的任一者即可。

接下來，排氣用來沉積氮化矽層的材料氣體，並且將用來沉積氧氮化矽層的材料氣體引入處理室內（圖17的氣體置換403）。在此，作為一例，藉由引入將 SiH_4 的流量設定為30sccm， N_2O 的流量設定為1200sccm的材料氣體並

使它穩定，並且在處理室內的壓力為40Pa、基板溫度為280℃的條件下以50W的輸出進行電漿放電，來形成大約110nm的氮化矽層。之後，與氮化矽層同樣地只停止SiH₄的引入，並在其幾秒後停止電漿放電（圖17的SiON的形成404）。之後，排氣這些氣體，引入用來沉積半導體層105的氣體（圖17的氣體置換422）。

接下來，在閘極絕緣層104的整個表面上形成半導體層105。半導體層105是在後面的製程中被圖案形成而成為半導體層106的層。在此，作為一例，藉由引入將SiH₄的流量設定為10sccm，H₂的流量設定為1200sccm，100ppm的NH₃（使用H₂稀釋）的流量設定為300sccm的材料氣體並使它穩定，並且在處理室內的壓力為280Pa、基板溫度為280℃的條件下以50W的輸出進行電漿放電。之後，僅將NH₃（使用H₂稀釋）的流量設定為0sccm，且使半導體層生長，來可以形成大約50nm的微晶半導體層。之後，與上述的氮化矽層等的形成同樣地只停止SiH₄的引入，並在其幾秒後停止電漿放電（圖17的半導體層的形成423）。另外，也可以使用N₂而代替NH₃。之後，排氣這些氣體，引入用來沉積緩衝層107的氣體（圖17的氣體置換412）。

在上述實例中，用來形成半導體層105的材料氣體中的H₂的流量為SiH₄的流量的150倍。由此，矽是逐漸沉積的。

在本實施例中的半導體層105的沉積初期的氣體包含氮。如上所述，氮抑制矽的晶核生成。由此，在沉積初期

的步驟中不生成矽的晶核。在沉積初期步驟中形成的該層成為圖2所示的第一區域106a。半導體層105是根據一個條件形成的，第一區域106a和第二區域106b藉由相同條件形成。如上所述，藉由對閘極絕緣層104的表面供給氮並且在該表面上形成半導體層105，而形成包含微小晶粒及氮的半導體層（圖2所示的第一區域106a）。一邊降低氮濃度一邊形成該半導體層，並且氮濃度降低到一定值以下時，產生晶核。之後，在其晶核生長而成為晶粒121的同時形成半導體層105。就是說，形成包含氮的賦予一導電型的雜質半導體層（圖2表示的第二區域106b）。

接下來，在半導體層105的整個表面上形成緩衝層107。緩衝層107是在後面的製程中被構圖而成為緩衝層108的層。在此，緩衝層由非晶半導體層形成。首先，將用來沉積緩衝層107的材料氣體引入處理室內。在此，作為一例，藉由引入將 SiH_4 的流量設定為280sccm， H_2 的流量設定為300sccm的材料氣體並使它穩定，並且在處理室內的壓力為170Pa、基板溫度為280℃的條件下以60W的輸出進行電漿放電，來可以形成大約150nm的半導體層。之後，與上述的氮化矽層等的形成同樣地只停止 SiH_4 的引入，並在其幾秒後停止電漿放電（圖17的a-Si層的形成413）。之後，排氣這些氣體，引入用來沉積賦予一導電型的雜質半導體層109的氣體（圖17的氣體置換414）。

接下來，在緩衝層107的整個表面上形成賦予一導電型的雜質半導體層109。賦予一導電型的雜質半導體層109

是在後面的製程中被構圖而成爲源區及汲區110的層。首先，將用來沉積賦予一導電型的雜質半導體層109的材料氣體引入處理室內。在此，作爲一例，藉由引入將 SiH_4 的流量設定爲100sccm，使用 H_2 將 PH_3 稀釋到0.5vol%的混合氣體的流量設定爲170sccm的材料氣體並使它穩定。在處理室內的壓力爲280Pa、基板溫度爲280℃的條件下以60W的輸出進行電漿放電，來可以形成大約50nm的賦予一導電型的雜質半導體層。之後，與上述的氮化矽層等的形成同樣地只停止 SiH_4 的引入，並在其幾秒後停止電漿放電（圖17的雜質半導體層的形成415）。之後，排氣這些氣體（圖17的排氣416）。

如上所述，藉由將氮包含在半導體層的沉積初期的氣體中，可以將氧濃度抑制得較低而使氮濃度高於氧濃度，可以形成包含具有反錐形的晶粒的半導體層。

實施例5

在本實施例中，將參照附圖說明薄膜電晶體的方式的一例。在本實施例中，不使用多級灰度掩模地形成薄膜電晶體。

圖18A和18B示出本實施例的薄膜電晶體的俯視圖及截面圖。圖18A所示的薄膜電晶體具有基板200上的閘極電極層202、覆蓋閘極電極層202的閘極絕緣層204、與閘極絕緣層204的上面接觸的半導體層206、半導體層206上的緩衝層208。還具有與緩衝層208上面的一部分接觸的源區及

汲區 210。另外，還具有閘極絕緣層 204、並且與源區及汲區 210 的上面接觸的佈線層 212。佈線層 212 構成源極電極及汲極電極。在佈線層 212 上具有用作保護層的絕緣層 214。另外，各個層形成爲所希望的圖案形狀。

另外，圖 18A 和 18B 所示的薄膜電晶體與圖 1 所示的薄膜電晶體同樣可以應用於設置在液晶顯示裝置的像素部中的像素電晶體。由此，在圖示的實例中，在絕緣層 214 中設置開口部，在絕緣層 214 上設置像素電極層 216，並且像素電極層 216 和佈線層 212 彼此連接。

另外，源極電極和汲極電極之一設置爲 U 字型（或日本片假名“コ”字型），其圍繞源極電極和汲極電極之另一個。源極電極和汲極電極之間保持大致一定的距離（參照圖 18B）。

藉由將薄膜電晶體形成爲上述形狀，可以將該薄膜電晶體的通道寬度形成得較大，而增加電流量。另外，可以減少電特性的不均勻性。再者，可以抑制因製程中的掩模圖案偏差而導致的可靠性的降低。然而，本實施例不局限於此，源極電極及汲極電極之一也可以不需要一定具有 U 字型。

在本實施例中的半導體層 206 具有與實施例 1 中的半導體層 106 同樣的特徵，並且可以以同樣的材料及方法形成。另外，也可以如實施例 2 至實施例 4 所示的方法形成。因此，在本實施例中，省略半導體層 206 的形成的詳細說明。

對圖 18A 和 18B 所示的薄膜電晶體的製造方法進行說明。與 p 型薄膜電晶體相比，n 型薄膜電晶體的載流子遷移率高。另外，若使形成在同一基板上的所有薄膜電晶體的極性一致，則可以抑制製程數，所以是較佳的。由此，在本實施例中，對 n 型薄膜電晶體的製造方法進行說明。

首先，在基板 200 上形成閘極電極層 202（參照圖 19A）。

作為基板 200，可以使用與實施例 1 中的基板 100 同樣的基板。

閘極電極層 202 可以以與實施例 1 中的閘極電極層 102 同樣的材料及方法形成。

接下來，覆蓋閘極電極層 202 形成閘極絕緣層 204（參照圖 19B）。閘極絕緣層 204 可以以與實施例 1 中的閘極絕緣層 104 同樣的材料及方法形成。

在此可以進行對閘極絕緣層 204 上供給氮的處理（參照圖 19C）。作為供給氮的處理，可以舉出實施例 1 所說明的將閘極絕緣層 204 暴露於氨氣體的處理。

接下來，在閘極絕緣層 204 上形成半導體層 205、緩衝層 207 及賦予一導電型的雜質半導體層 209（參照圖 20A）。之後，在賦予一導電型的雜質半導體層 209 上形成第一抗蝕劑掩模 231（參照圖 20B）。

半導體層 205 可以與實施例 1 中的半導體層 105 同樣地形成。緩衝層 207 可以與實施例 1 中的緩衝層 107 同樣地形成。賦予一導電型的雜質半導體層 209 可以與實施例 1 中的

賦予一導電型的雜質半導體層109同樣地形成。

注意，半導體層205可以藉由實施例2至實施例4所說明的方法形成。

接下來，使用第一抗蝕劑掩模231蝕刻緩衝層207及賦予一導電型的雜質半導體層209，來形成島狀的半導體層（參照圖20C）。之後，去除第一抗蝕劑掩模231（參照圖21A）。

接下來，覆蓋被蝕刻的半導體層205、緩衝層207、以及賦予一導電型的雜質半導體層209形成導電層211（參照圖21B）。導電層211可以以與導電層111同樣的材料及方法形成。之後，在導電層211上形成第二抗蝕劑掩模232（參照圖21C）。

接下來，使用第二抗蝕劑掩模232對導電層211進行蝕刻，形成佈線層212（參照圖22A）。佈線層212構成源極電極及汲極電極。較佳的使用濕蝕刻進行導電層211的蝕刻。藉由濕蝕刻，選擇性地蝕刻導電層。其結果是，使導電層比第二抗蝕劑掩模232更向內縮小，而形成佈線層212。由此，佈線層212的側面和被蝕刻的賦予一導電型的雜質半導體層209的側面不一致，而在佈線層212的側面外側形成源區及汲區的側面。佈線層212不僅作用當成源極電極及汲極電極，而且還作用當成信號線。但是，不局限於此，也可以分別設置信號線和佈線層212。

接下來，使用第二抗蝕劑掩模232蝕刻島狀半導體層的緩衝層207的上一部分和賦予一導電型的雜質半導體層

209（參照圖22B）。到上述步驟形成半導體層206、緩衝層208、以及源區及汲區210。

接下來，在與實施例1同樣地形成第二抗蝕劑掩模232的狀態下，以不對緩衝層208造成損傷，並且對於緩衝層208的蝕刻速度低的條件進行乾蝕刻即可。再者，較佳的藉由水電漿處理去除第二抗蝕劑掩模232。

藉由上述製程，可以製造根據本實施例的薄膜電晶體。根據本實施例的薄膜電晶體可以與實施例1所說明的薄膜電晶體同樣地應用於在以液晶顯示裝置為代表的顯示裝置的像素中設置的開關電晶體。因此，覆蓋該薄膜電晶體地形成絕緣層214。絕緣層214形成有到達由佈線層212構成的源極電極及汲極電極的開口部。該開口部可以藉由光微影法形成。之後，藉由該開口部連接地在絕緣層214上設置像素電極層216。如此可以製造圖18A和18B所示的顯示裝置的像素中的開關電晶體。

注意，絕緣層214可以與實施例1中的絕緣層114同樣地形成。另外，像素電極層216可以與實施例1中的像素電極層116同樣地形成。

注意，雖然未圖示，但是也可以在絕緣層214和像素電極層216之間具有藉由旋塗法等形成並由有機樹脂層成的絕緣層。

如本實施例所說明，可以得到導通電流高且截止電流低的薄膜電晶體，而不使用多級灰度掩模。

實施例 6

在本實施例中，下面示出包括實施例 5 所示的薄膜電晶體的液晶顯示裝置作為顯示裝置的一個方式。在此，參照圖 23 至圖 25 說明 VA（垂直對準）型液晶顯示裝置。VA 型液晶顯示裝置是指控制液晶面板的液晶分子的排列的方式之一。在 VA 型液晶顯示裝置中，當不施加電壓時液晶分子朝向垂直於面板的方向。在本實施例中，特別設法將像素分為幾個區域（子像素），並且將分子分別對準於不同方向上。將此稱為多區設計化、或者多區設計。在以下說明中，將說明考慮了多區設計的液晶顯示裝置。

圖 23 及圖 24 示出 VA 型液晶顯示裝置的像素結構。圖 24 是本實施例所示的像素結構的平面圖，而圖 24 示出對應於圖 24 中的切斷線 Y-Z 的截面結構。在以下說明中，參照圖 23 及 24 進行說明。

在本實施例所示的像素結構中，設置在基板 250 上的一個像素具有多個像素電極 260、262，並且各像素電極 260、262 隔著平坦化層 258 及絕緣層 257 連接到薄膜電晶體 264、265。各薄膜電晶體 264、265 由不同的閘極信號驅動。就是說，在多區設計的像素中，獨立控制施加到各像素電極 260、262 的信號。

像素電極 260 在開口部 259 中藉由佈線 255 與薄膜電晶體 264 連接。此外，像素電極 262 在開口部 263 中藉由佈線 256 與薄膜電晶體 265 連接。薄膜電晶體 264 的閘極電極 252 和薄膜電晶體 265 的閘極電極 253 彼此分離，以便能夠提供

不同的閘極信號。另一方面，薄膜電晶體 264 和薄膜電晶體 265 共同使用用作資料線的佈線 254。可以藉由使用實施例 5 所示的方法，來製造薄膜電晶體 264 及薄膜電晶體 265。

像素電極 260 和像素電極 262 具有不同的形狀，並且被狹縫 261 彼此分離。像素電極 262 形成為圍繞擴展為 V 字型的像素電極 260 的外側。藉由根據薄膜電晶體 264 及薄膜電晶體 265 使施加到像素電極 260 和像素電極 262 的電壓時序不同，來控制液晶的對準。藉由對閘極電極 252 和閘極電極 253 施加不同的閘極信號，可以使薄膜電晶體 264 及薄膜電晶體 265 的工作時序互不相同。此外，在像素電極 260 及像素電極 262 上形成有對準膜 272。

在對置基板 251 上形成有遮光層 266、著色層 267、對置電極 269。此外，在著色層 267 和對置電極 269 之間形成平坦化層 268，以便防止液晶對準的錯亂。此外，在對置電極 269 上形成有對準膜 271。圖 25 示出對置基板 251 一側的像素結構。對置電極 269 在不同的像素之間共同使用，並且具有狹縫 270。藉由交替地配置該狹縫 270 和在像素電極 260 及像素電極 262 的狹縫 261，可以產生傾斜電場來控制液晶的對準。其結果，可以使液晶的對準方向根據位置不同，從而放大視角。

這裏，利用基板、著色層、遮光層以及平坦化層構成顏色濾色片。注意，也可以在基板上不形成遮光層以及平坦化層中的任一者或者兩者。

此外，著色層具有使可見光的波長範圍中的任意波長範圍的光的成分優先透過的功能。通常，在很多情況下，組合使紅色波長範圍的光、藍色波長範圍的光、以及綠色波長範圍的光分別優先透過的著色層，用於濾色片。然而，著色層的組合不局限於此。

藉由像素電極 260 和對置電極 269 夾有液晶層 273，形成第一液晶元件。此外，藉由像素電極 262 和對置電極 269 夾有液晶層 273，形成第二液晶元件。此外，採用在一個像素中設置有第一液晶元件和第二液晶元件的多區結構。

注意，雖然在此示出 VA 型液晶顯示裝置作為液晶顯示裝置，但是本實施例不局限於此。就是說，可以將藉由實施例 5 所示的薄膜電晶體形成的元件基板用於 FFS 型液晶顯示裝置、IPS 型液晶顯示裝置、TN 型液晶顯示裝置、或其他液晶顯示裝置。

另外，在上述說明中使用實施例 5 所製造的薄膜電晶體，但是也可以使用實施例 1 至實施例 4 中的任一個所製造的薄膜電晶體。

如上所說明，可以製造液晶顯示裝置。本實施例的液晶顯示裝置因為將導通電流高且截止電流低的薄膜電晶體用作像素電晶體而使用，所以可以製造圖像品質良好（例如高灰度）且耗電量低的液晶顯示裝置。

實施例 7

在本實施例中，作為顯示裝置的一個方式，下面示出

具有實施例5所示的薄膜電晶體的發光顯示裝置。在此，對發光顯示裝置所具有的像素的構成的一個方式進行說明。圖26A示出像素的平面圖，圖26B示出對應於圖26A中的切斷線A-B的截面結構。

在本實施例中表示具有利用電致發光的發光元件的顯示裝置作為發光顯示裝置。利用電致發光的發光元件根據發光材料是有機化合物還是無機化合物而被大致分類，一般而言，前者被稱為有機EL元件，後者被稱為無機EL元件。另外，雖然在此作為薄膜電晶體的製造方法利用實施例5，但是不局限於此，也可以為藉由實施例1所示的製造方法製造的薄膜電晶體。

在有機EL元件中，藉由對發光元件施加電壓，從一對電極將電子及電洞分別注入到包含發光性有機化合物的層，而電流流過。因此，藉由這些載流子（電子及電洞）重新組合，發光性有機化合物形成激發態，而當激發態回到基態時發光。由於這種機理，上述發光元件被稱為電流激發型發光元件。

無機EL元件根據其元件結構被分類為分散型無機EL元件和薄膜型無機EL元件。分散型無機EL元件包括將發光材料顆粒分散在粘合劑中的發光層，並且其發光機理是利用供體能級和受體能級的供體－受體複合型發光。薄膜型無機EL元件具有在電介質層之間夾住發光層且在電極之間夾住該在電介質層之間夾住的發光層的結構，並且其發光機理是利用金屬離子內殼層電子躍遷的局部存在型發光

。注意，這裏使用有機EL元件作為發光元件進行說明。

在圖26A及26B中，第一薄膜電晶體281a是用來控制對於像素電極的信號的輸入的開關用薄膜電晶體，第二薄膜電晶體281b相當於用來控制對於發光元件282的電流或電壓的供給的驅動用薄膜電晶體。

第一薄膜電晶體281a的閘極電極連接到掃描線283a，源區及汲區之一連接到信號線284a，源區及汲區的另一個藉由佈線284b連接到第二薄膜電晶體281b的閘極電極283b。另外，第二薄膜電晶體281b的源區及汲區之一連接到電源線285a，源區及汲區的另一個藉由佈線285b連接到發光元件的像素電極（陰極288）。第二薄膜電晶體281b的閘極電極、閘極絕緣膜、以及電源線285a構成電容元件，第一薄膜電晶體281a的源極電極及汲極電極的另一個連接到電容元件。

注意，電容元件相當於保持如下電位差的電容元件，即當第一薄膜電晶體281a截止時的第二薄膜電晶體281b的閘極電極和源極電極之間的電位差，或閘極電極和汲極電極之間的電位差（下面稱為閘極電壓），並且無需設置這些電容元件。

在本實施例中，第一薄膜電晶體281a及第二薄膜電晶體281b由n通道薄膜電晶體形成，但是這些的一個或兩者也可以由p通道型薄膜電晶體形成。

在第一薄膜電晶體281a及第二薄膜電晶體281b上形成有絕緣層285，在絕緣層285上形成有平坦化層286，在平

平坦化層 286 及絕緣層 285 中形成有開口部，在該開口部中形成連接到佈線 285b 的陰極 288。平坦化層 286 較佳的使用丙烯酸樹脂、聚醯亞胺、聚醯胺等有機樹脂或矽氧烷聚合物而形成。在該開口部中，因為陰極 288 具有凹凸，所以設置覆蓋該區域且具有開口部的分隔壁 291。在分隔壁 291 的開口部中接觸於陰極 288 地形成 EL 層 289，覆蓋 EL 層 289 地形成陽極 290，並且覆蓋陽極 290 及分隔壁 291 地形成保護絕緣膜 292。

在此，作為發光元件示出頂部發射結構的發光元件 282。頂部發射結構的發光元件 282 可以在與第一薄膜電晶體 281a 及第二薄膜電晶體 281b 重疊的區域中發光，因此可以確保較廣的發光面積。然而，如果 EL 層 289 的底層具有凹凸，則在該凹凸上膜厚度的分佈不均勻，陽極 290 和陰極 288 短路而導致顯示缺陷。由此，較佳的設置平坦化層 286。藉由設置平坦化層 286，可以提高成品率。

在陰極 288 和陽極 290 之間夾住 EL 層 289 的區域相當於發光元件 282。在圖 26A 和 26B 示出的像素中，從發光元件 282 發射的光如空心箭頭所示那樣發射到陽極 290 一側。

陰極 288 只要是功函數小且反射光的導電層，可以使用已知的材料。例如，較佳的使用 Ca、Al、MgAg、AlLi 等。EL 層 289 既可以由單獨層構成，又可以由多層的疊層構成。在由多層構成的情況下，在陰極 288 上按順序層疊電子注入層、電子傳輸層、發光層、電洞傳輸層、電洞注入層。此外，無需設置除了發光層以外的層，例如電子注

入層、電子傳輸層、電洞傳輸層、電洞注入層的所有的層，根據需要設置即可。陽極290使用透光的透光導電材料而形成，例如也可以使用具有透光性的導電層如含有氧化鎢的銦氧化物、含有氧化鎢的銦鋅氧化物、含有氧化鈦的銦氧化物、含有氧化鈦的銦錫氧化物、ITO、銦鋅氧化物、添加有氧化矽的銦錫氧化物等。

雖然在此示出從與基板相反一側的面取出發光的頂部發射結構的發光元件，但是本實施例不局限於此。就是說，可以適當地採用從基板一側的面取出發光的底部發射結構的發光元件、從基板一側及與基板相反一側的面取出發光的雙面發射結構的發光元件。

另外，雖然在此對作為發光元件的有機EL元件進行說明，但是也可以採用無機EL元件作為發光元件。

注意，雖然在本實施例中示出控制發光元件的驅動的薄膜電晶體（驅動用薄膜電晶體）和發光元件連接的實例，但是也可以採用驅動用薄膜電晶體和發光元件之間連接有電流控制用薄膜電晶體的結構。

如上所說明，可以製造發光顯示裝置。本實施例的發光顯示裝置因為將導通電流高且截止電流低的薄膜電晶體用作像素電晶體而使用，所以可以製造圖像品質良好（例如高灰度）且耗電量低的發光顯示裝置。

實施例 8

接下來，下面示出可以應用上述實施例的顯示裝置的

顯示面板的結構的一例。

圖 27A 表示只另行形成信號線驅動電路 303，並且使該信號線驅動電路 303 與形成在基板 301 上的像素部 302 連接的顯示面板的方式。形成有像素部 302、保護電路 306、以及掃描線驅動電路 304 的元件基板，藉由使用實施例 1 至實施例 5 中的任一個所示的薄膜電晶體而形成。信號線驅動電路 303 由將單晶半導體用於通道形成區的電晶體、將多晶半導體用於通道形成區的電晶體、或將 SOI（絕緣體上的矽 Silicon On Insulator）用於通道形成區的電晶體構成即可。在將 SOI 用於通道形成區的電晶體中，包括使用將設置在玻璃基板上的單晶半導體層用於通道形成區的電晶體。電源的電位及各種信號等藉由 FPC305 供給給像素部 302、信號線驅動電路 303、掃描線驅動電路 304 的每一個。也可以在信號線驅動電路 303 和 FPC305 之間、以及在信號線驅動電路 303 和像素部 302 之間的一個或兩者設置由實施例 1 至實施例 5 中的任一個所示的薄膜電晶體形成的保護電路 306。也可以使用從另外結構的薄膜電晶體、二極體、電阻元件及電容元件等中選擇的一個或多個元件設置保護電路 306。

注意，也可以將信號線驅動電路及掃描線驅動電路形成在與像素部的像素電晶體同一個基板上。

此外，在另行形成驅動電路的情況下，並不需要一定將形成有驅動電路的基板貼附到形成有像素部的基板上，例如也可以貼附到 FPC 上。圖 27B 示出只另行形成信號線

驅動電路 313，將 FPC315 與形成在基板 311 上的形成有像素部 312、保護電路 316、以及掃描線驅動電路 314 的元件基板連接的顯示面板的方式。像素部 312、保護電路 316 以及掃描線驅動電路 314 藉由使用上述實施例所示的薄膜電晶體形成。信號線驅動電路 313 透過 FPC315 及保護電路 316，與像素部 312 連接。電源的電位及各種信號等藉由 FPC315 供給給像素部 312、信號線驅動電路 313、以及掃描線驅動電路 314 的每一個。

另外，也可以藉由使用上述實施例所示的薄膜電晶體在與像素部同一個基板上形成信號線驅動電路的一部分或掃描線驅動電路的一部分，另行形成其他部分且將該部分與像素部電連接。圖 27C 示出將信號線驅動電路所具有的類比開關 323a 形成在與像素部 322 及掃描線驅動電路 324 相同的基板 321 上，將信號線驅動電路所具有的移位暫存器 323b 另行形成在不同的基板上，並且彼此貼合的顯示裝置的方式。像素部 322、保護電路 326 及掃描線驅動電路 324 藉由使用上述實施例所示的薄膜電晶體形成。信號線驅動電路所具有的移位暫存器 323b 藉由類比開關 323a 及保護電路 326 與像素部 322 連接。電源的電位及各種信號等藉由 FPC325 供給給像素部 322、信號線驅動電路、掃描線驅動電路 324 的每一個。也可以在 FPC325 和移位暫存器 323b 之間設置保護電路 326。

如圖 27A 至 27C 所示，在本實施例的顯示裝置中，可以在與像素部同一個基板上使用上述實施例所示的薄膜電晶

體而形成驅動電路的一部分或全部。

此外，對另行形成的基板的連接方法沒有特別的限制，可以使用已知的COG方式、引線鍵合方式、或者TAB方式等。此外，連接的位置只要是能夠電連接，就不局限於圖27A至27C所示的位置。另外，也可以另行形成控制器、CPU、或記憶體等而連接。

此外，在本實施例中所使用的信號線驅動電路具有移位暫存器和類比開關。除了移位暫存器和類比開關之外，還可以具有緩衝器、位準轉移電路、源極跟隨器等其他電路。另外，不需要一定設置移位暫存器和類比開關，例如既可以使用像解碼器電路那樣的可以選擇信號線的其他電路代替移位暫存器，又可以使用鎖存器等代替類比開關。

實施例9

可以將由上述方式的薄膜電晶體構成的元件基板、以及使用此的顯示裝置等用於主動矩陣型顯示裝置面板。就是說，可以對將這些組裝在顯示部的所有電子設備實施上述實施例。

作為這種電子設備，可以舉出影像拍攝裝置如攝像機和數位相機等、頭戴式顯示器（護目鏡型顯示器）、汽車導航系統、投影機、汽車音響、個人電腦、可攜式資訊終端（移動電腦、行動電話或電子書等）等。圖28A至28D示出了其一例。

圖28A表示電視裝置。可以將應用上述實施例的顯示

面板組裝在框體中來完成電視裝置。由顯示面板形成主畫面333，作為其他附屬裝置還具有揚聲器部339及操作開關等。

如圖28A所示那樣，在框體331中組裝利用顯示元件的顯示面板332，並且可以由接收機335接收普通的電視廣播，而且還可以藉由介於數據機334連接到有線或無線方式的通訊網路，從而進行單向（從發送者到接收者）或雙向（在發送者和接收者之間，或者在接收者之間）的資訊通訊。電視裝置的操作可以由組裝在框體中的開關或另外的遙控單元336進行，並且該遙控單元336也可以設置有顯示輸出資訊的顯示部337。另外，還可以在顯示部337設置有實施例1至實施例5中的任一個所示的薄膜電晶體。另外，還可以附加有如下結構：除了主畫面333以外，使用第二顯示面板形成輔助畫面338，來顯示頻道或音量等。在這種結構中，可以將實施例1至實施例5中的任一個所示的薄膜電晶體應用於主畫面333及輔助畫面338之一或兩者。

圖29示出說明電視裝置的主要結構的方塊圖。顯示面板形成有像素部371。信號線驅動電路372和掃描線驅動電路373也可以藉由COG方式安裝在顯示面板。

另外，作為其他外部電路的結構，在視頻信號的輸入一側具有：放大由調諧器374接收的信號中的視頻信號的視頻信號放大電路375；將從視頻信號放大電路375輸出的信號轉換為對應於紅、綠、藍的每一個顏色的顏色信號的視頻信號處理電路376；以及將該視頻信號轉換為驅動器

IC的輸入規格的控制電路377等。控制電路377對掃描線一側和信號線一側輸出信號。在進行數位驅動的情況下，也可以在信號線一側設置信號分割電路378而使得輸入數位信號分割成 m 個來供給。

由調諧器374接收的信號中的音頻信號發送到音頻信號放大電路379，其輸出透過音頻信號處理電路380供給給揚聲器383。控制電路381從輸入部382接收接收站（接收頻率）或音量的控制資訊，並且將信號發送到調諧器374和音頻信號處理電路380。

當然，本實施例不局限於電視裝置，還可以應用於用途如個人電腦的監視器、火車站或飛機場等中的資訊顯示幕、街頭上的廣告顯示幕等大面積顯示媒體。

如上所述，藉由將實施例1至實施例5中的任一個所說明的薄膜電晶體應用於主畫面333及輔助畫面338之一或兩者，可以製造圖像品質高且耗電量低的電視裝置。

圖28B表示行動電話341的一例。該行動電話341包括顯示部342、操作部343等。藉由將上述實施例1至實施例5中的任一個所說明的薄膜電晶體應用於顯示部342，可以提高圖像品質且降低耗電量。

另外，圖28C所示的便攜型電腦包括主體351、顯示部352等。藉由對顯示部352應用實施例1等所說明的薄膜電晶體，可以提高圖像品質且降低耗電量。

圖28D表示臺式照明設備，包括照明部361、燈罩362、可調整臂363、支柱364、台365、以及電源366。藉由對

照明部 361 應用上述實施例所說明的發光裝置來製造。藉由將實施例 1 至實施例 5 中的任一個所說明的薄膜電晶體應用於照明部 361，可以提高圖像品質且降低耗電量。

圖 30A 至 30C 表示行動電話的結構的一例，例如在顯示部中，應用具有實施例 1 至實施例 5 中的任一個所示的薄膜電晶體的元件基板及具有此的顯示裝置。圖 30A 是主視圖，圖 30B 是後視圖，圖 30C 是展開圖。圖 30A 至 30C 中示出的行動電話由框體 394 及框體 385 的兩個框體構成。圖 30A 至 30C 所示的行動電話具備行動電話和可攜式資訊終端雙重的功能，且內置有電腦，除了進行聲音對話外還可以處理各種各樣的資料，即所謂的智慧手機（Smartphone）。

行動電話由框體 394 及框體 385 的兩個框體構成。在框體 394 中備有顯示部 386、揚聲器 387、麥克風 388、操作鍵 389、定位裝置 390、表面影像拍攝裝置用透鏡 391、外部連接端子插孔 392、耳機端子 393 等，在框體 385 中備有鍵盤 395、外部儲存器插槽 396、背面影像拍攝裝置 397、燈 398 等。此外，天線內置在框體 394 內。

此外，在上述構成的基礎上，還可以內置有非接觸 IC 晶片、或小型儲存裝置等。

在圖 30A 中框體 394 和框體 385 相重合，框體 394 和框體 385 滑動，則如圖 30C 那樣展開。可以將實施例 1 至實施例 5 中的任一個所示的顯示裝置組裝於顯示部 386 中，根據使用方式顯示的方向適當地變化。注意由於在與顯示部 386 同一個面上備有表面影像拍攝裝置用透鏡 391，所以可以

進行視頻通話。此外，藉由將顯示部386用作取景器，可以利用背面影像拍攝裝置用透鏡396及燈398進行靜態圖像以及動態圖像的攝影。

除了聲音通話之外，揚聲器387和麥克風388可以用於視頻通話、錄音以及再生等的用途。此外，利用操作鍵389可以進行電話的撥打和接收、電子郵件等的簡單的資訊輸入、畫面的滾動、指標移動等。

此外，當處理的資訊較多時如製作檔、用作可攜式資訊終端等，使用鍵盤395是較方便的。再者，藉由使相重合的框體394和框體385（圖30A）滑動，可以如圖30C那樣展開，而可以使用可攜式資訊終端。另外，可以使用鍵盤395及定位裝置390，而順利地操作。外部連接端子插口392可以與AC匹配器以及USB電纜等的各種電纜連接，並藉由這些可以進行充電及與個人電腦等的資料通信。此外，藉由對外部記憶體插槽396插入記錄媒體且使用，可以進行更大量的資料儲存以及移動。

框體385的背面（圖30B）具備背面影像拍攝裝置397及燈398，並且可以將顯示部386用作取景器而進行拍攝靜態圖像以及動態圖像。

此外，除了上述結構之外，還可以具備紅外線通信功能、USB埠、單波段播放（one-segment broadcasting）接收功能、非接觸IC晶片、耳機插口等。

藉由將實施例1至實施例5中的任一個所說明的薄膜電晶體應用於像素，可以提高圖像品質且降低耗電量。

範例 1

在本範例中，下面示出在實施例 1 所示的模擬中，當將矽的晶粒間界以 NH 基交聯時的 LUMO 的狀態。

圖 7 及圖 8 分別示出將矽的晶粒間界以 O 原子交聯的模式（模式 1）、以及將矽的晶粒間界以 NH 基交聯的模式（模式 2）的每個 LUMO（最低未佔有分子軌道）的狀態。在此，LUMO 為激發狀態的電子進入的最低能級的分子軌道，並且相當於能帶理論中的傳導帶（CB）下端的軌道。因此，它為有助於載流子傳導的電子的波函數，也可以解釋為決定載流子的遷移率的軌道。

接下來，檢查模式 1 及模式 2 的 LUMO 基於哪個原子的哪個軌道。LUMO 的波函數可以由構成膜的原子的原子軌道的線型結合（就是，標量倍數的總計）來表示。

注意，根據每個線型結合的係數的絕對值的 2 次方可知每個原子軌道的存在機率，並且根據符號可知每個原子軌道是結合性（同符號）還是反結合性（異符號）。

接下來，圖 31A 示出在模式 1 的晶粒間界附近構成 LUMO 的主要原子軌道的示意圖，並且圖 31B 示出在模式 2 的晶粒間界附近構成 LUMO 的主要原子軌道的示意圖。在此，陰影處理不同的區域意味著波函數的符號互相相反。在此，矽原子的 s 軌道 452、456，矽原子的 p 軌道 451、453、455、457、O 原子的 2s 軌道 454、N 原子的 2s 軌道 458、H 原子的 1s 軌道 459。

如圖 31A 所示，在矽的晶粒間界以 O 原子交聯的情況下，O 原子的 2s 軌道 454 與晶粒間界雙側的矽原子的 sp^3 軌道（3s 軌道 452+3p 軌道 453、3s 軌道 456+3p 軌道 455）相位不同。就是說，O 原子的 2s 軌道 454 有助於原子之間的結合，但是由於其波函數的範圍小，所以不能連接電子雲。因此，可以認為無助於導電率的提高。

另一方面，如圖 31B 所示，在矽晶粒間界以 NH 基交聯的情況下，N 原子的 2s 軌道 458 與晶粒間界雙側的矽原子的 sp^3 軌道（3s 軌道 452+3p 軌道 453、3s 軌道 456+3p 軌道 455）相位不同。就是說，N 原子的 2s 軌道 458 不能連接電子雲。然而，藉由 H 原子的 1s 軌道 459 混合，同一個符號的區域與矽原子的 sp^3 軌道（3s 軌道 452+3p 軌道 453）、H 原子的 1s 軌道 459、以及矽原子的 sp^3 軌道（3s 軌道 456+3p 軌道 455）變成結合性軌道，可以將電子雲連接。因此，可以認為導電率提高。

上述結果可以解釋為如下：因為 LUMO 為激發狀態（能級高），所以一般而言，如圖 32A 所示那樣由原子軌道的反結合性軌道構成。可知在以圖 31A 的模式 1 所示的 O 原子的矽的晶粒間界的交聯或以圖 31B 的模式 2 所示的 NH 基的矽的晶粒間界的交聯中，O 原子及 N 原子的 2s 軌道 454、458 與矽原子的 sp^3 軌道（3s 軌道 452+3p 軌道 453、3s 軌道 456+3p 軌道 455）實現反結合（相位相反）。這意味著在反結合性軌道的情況下，電子雲具有紋（joint）。因此，在圖 31A 的模式 1 所示的將矽的晶粒間界以 O 原子的交聯的

情況下，電子雲不連接。另一方面，在圖31B的模式2所示的將矽的晶粒間界以NH基的交聯的情況下，雖然N原子的2s軌道458和矽的 sp^3 軌道（3s軌道452+3p軌道453、3s軌道456+3p軌道455）形成反結合性軌道，但是因為存在有H原子，如圖32B所示，H的1s軌道459和矽的 sp^3 軌道（3s軌道452+3p軌道453、3s軌道456+3p軌道455）可以形成結合性軌道。就是說，在採用NH基時因為存在有H原子，可以連接電子雲。

注意， CH_2 基具有H，但是 CH_2 基中的C原子或H原子的原子軌道結合的分子軌道因為構成更高的能級的分子軌道，所以不被包括在構成LUMO（最低未佔有分子軌道）的原子軌道中。因此，可以估計即使在以 CH_2 基的矽的晶粒間界的交聯中，電子雲也不連接。

如上所述，在以NH基交聯的矽的晶粒間界的LUMO中，雖然晶粒間界雙端的矽原子的 sp^3 軌道為與N原子的2s軌道相位相反，但是與H原子的1s軌道相位相同。因此，H原子的1s軌道橋接電子雲。其結果，電子雲連接，而形成載流子的路徑。另外，估計需要在矽的晶粒間界中的原子軌道具有構成LUMO的原子（例如O交聯的O原子、NH基中的N原子和H原子），並且會成為與矽的 sp^3 軌道相位相同的原子（例如NH基的H原子），以便電子雲連接。

範例2

在本範例中，下面示出關於實施例1的圖2所示的第一

區域 106a 的物性，以 CPM（固定光流法 Constant Photocurrent Method）測量的結果。

首先示出樣品的製造方法。

樣品 A

在基板上形成厚度為 300nm 的氮化矽層和厚度為 30nm 的非晶矽層。

在此，作為基板使用玻璃基板。作為氮化矽層的形成條件，引入將 SiH_4 的流量設定為 40sccm、 H_2 的流量設定為 500sccm、 N_2 的流量設定為 550sccm、 NH_3 的流量設定為 140sccm 的材料氣體並使它穩定，且處理室內的壓力為 100Pa、基板的溫度為 280℃，並且使用以 RF 電源頻率為 13.56MHz，RF 電源電力為 370W 進行電漿放電的電漿 CVD 法。

另外，作為非晶矽層的形成條件，引入將 SiH_4 的流量設定為 280sccm、 H_2 的流量設定為 300sccm 的材料氣體並使它穩定，且處理室內的壓力為 170Pa、基板的溫度為 280℃，並且使用以 RF 電源頻率為 13.56MHz，RF 電源電力為 60W 進行電漿放電的電漿 CVD 法。

樣品 B

在基板上連續形成厚度為 300nm 的氮化矽層和厚度為 30nm 的實施例 1 的圖 2 所示的第一區域 106a。

注意，氮化矽層的沉積條件與樣品 A 同樣。

另外，作為實施例1的圖2所示的第一區域106a的形成條件，引入將 SiH_4 的流量設定為10sccm、 H_2 的流量設定為1500sccm的材料氣體並使它穩定，且處理室內的壓力為280Pa、基板的溫度為280℃，並且使用以RF電源頻率為13.56MHz，RF電源電力為50W進行電漿放電的電漿CVD法。在此，因為與氮化矽層連續形成，在形成第一區域106a的氣氛中存在有氮。因此，第一區域106a包含氮。

樣品 C

在基板上連續形成厚度為300nm的氮化矽層和厚度為30nm的實施例1的圖2所示的第一區域106a。

注意，氮化矽層的沉積條件與樣品A同樣。

另外，作為實施例1的圖2所示的第一區域106a的形成條件，引入將 SiH_4 的流量設定為20sccm、 H_2 的流量設定為1500sccm的材料氣體並使它穩定，且處理室內的壓力為280Pa、基板的溫度為280℃，並且使用以RF電源頻率為13.56MHz，RF電源電力為50W進行電漿放電的電漿CVD法。

接下來，以CPM測量樣品A至樣品C。在此，使用JASCO（日本分光株式會社）製的亞帶隙（subgap）光吸收光譜測量系統SGA-1進行測量。注意，作為光源使用36V、400W的鹵素燈，將其照射面積設定為6mm×6mm。

根據CPM的測量結果，表1示出樣品A至樣品C的 E_{TAUC} 、Urbach端 E_u 、 σ_{dark} 、 σ_{photo} 、 $\sigma_{photo}/\sigma_{dark}$ 。注意

， E_{TAUC} 表示帶隙（由 $\sqrt{(\alpha h\nu)-h\nu}$ 特性算出），Urbach端 E_u 為反映帶隙的帶尾狀態的能級，由吸收係數和光子能量曲線（半對數）的坡度算出。 σ_{photo} 表示光傳導度， σ_{dark} 表示暗傳導度。

表 1

	E_{TAUC} [eV]	Urbach端 E_u [meV]	σ_{dark} [S/cm]	σ_{photo} [S/cm]	$\Sigma_{photo}/\sigma_{dark}$
樣品A	1.59	61	3.06E-09	2.74E-04	8.95E+04
樣品B	1.66	54	1.07E-09	3.82E-05	3.57E+04
樣品C	1.64	52	6.99E-10	5.27E-05	7.54E+04

另外，根據表 1，與樣品 A 相比樣品 B 及樣品 C 的 Urbach 端 E_u 的值小，可知與非晶矽層相比，在實施例 1 的圖 2 所示的第一區域 106a 的帶隙中觀察到的價帶一側的尾能級（帶尾狀態的能級）少。即，在帶隙中的能級的尾（帶尾）的坡度大。

範例 3

在本範例中，下面示出關於實施例 1 的圖 2 所示的第一區域 106a 的物性，以 CPM 測量的結果。

首先示出樣品的製造方法。

樣品 D

在基板上連續形成厚度為 100nm 的氮化矽層和厚度為 30nm 的非晶矽層。

在此，作為基板使用玻璃基板。另外，作為氮化矽層採用與範例2的樣品A所示的氮化矽層同樣的條件。另外採用與範例2的樣品A所示的非晶矽層同樣的條件。

樣品 E

在基板上連續形成厚度為100nm的氮化矽層和厚度為30nm的實施例1的圖2所示的第一區域106a。

在此，作為基板使用玻璃基板。另外，作為氮化矽層採用與範例2的樣品A所示的氮化矽層同樣的條件。

另外，作為實施例1的圖2所示的第一區域106a的形成條件，引入將 SiH_4 的流量設定為20sccm、100ppm的 NH_3 （使用 H_2 稀釋）的流量設定為250sccm的材料氣體並使它穩定，且處理室內的壓力為280Pa、基板的溫度為280℃，並且使用以RF電源頻率為13.56MHz，RF電源電力為50W進行電漿放電的電漿CVD法。在此，因為與氮化矽層連續形成，在形成第一區域106a的氣氛中存在有氮。因此，第一區域106a包含氮。

接下來，圖33示出在樣品D及樣品E中，與實施例2同樣以CPM測量的結果。以菱形表示樣品D的吸收光譜，以圓形表示樣品E的吸收光譜。

另外，根據CPM的測量結果，在表中示出樣品D及樣品E的 E_{TAUC} 、以及Urbach端 E_u 。

表 2

	E_{TAUC} [eV]	Urbach端 E_u [meV]
樣品D	1.62	65
樣品E	1.63	47

另外，根據表 2，與樣品 D 相比樣品 E 的 Urbach 端 E_u 的值小，可知與非晶矽層相比，在實施例 1 的圖 2 所示的第一區域 106a 的帶隙中觀察到的價帶一側的尾能級（帶尾狀態的能級）少。即，在帶隙中的能級的尾（帶尾）的坡度大。

範例 4

在本範例中，對實施例 1 所示的第一區域 106a 進行說明。第一區域 106a 雖然具有非晶結構，但是與所謂非晶半導體的膜質不同，下面對該差異進行說明。

圖 34 示出對於實施例 1 的第一區域 106a、非晶半導體層、以及將氮包含於材料氣體的非晶矽層，藉由低溫光致發光譜測量的評估結果。

首先，示出樣品的製造方法。

樣品 F

在基板上連續形成厚度為 300nm 的氮化矽層和厚度為 50nm 的實施例 1 的圖 2 所示的第一區域 106a。

作為基板使用玻璃基板。

注意，氮化矽層的沉積條件與範例2所示的樣品A同樣。

另外，作為實施例1的圖2所示的第一區域106a的沉積條件，與範例2所示的樣品B同樣。在此，因為與氮化矽層連續形成，在形成第一區域106a的氣氛中存在有氮。因此，第一區域106a包含氮。

樣品G

在基板上形成厚度為300nm的氮化矽層和厚度為50nm的非晶矽層。

注意，氮化矽層及非晶矽層的各沉積條件與範例2所示的樣品A同樣。

樣品H

在基板上連續形成厚度為300nm的氮化矽層和厚度為50nm的將氮包含於材料氣體的非晶矽層。

作為基板使用玻璃基板。

注意，氮化矽層的沉積條件與範例2所示的樣品A同樣。

另外，作為將氮包含於材料氣體的非晶矽層的形成條件，引入將 SiH_4 的流量設定為280sccm、包含100ppm的 NH_3 的 H_2 的流量設定為300sccm的材料氣體並使它穩定，且處理室內的壓力為280Pa、基板的溫度為280℃，並且使用以RF電源頻率為13.56MHz，RF電源電力為50W進行電漿

放電的電漿 CVD 法。

在圖 34 中，光譜 430 為對於樣品 F 進行低溫光致發光譜測量而獲得的，光譜 431 為對於樣品 G 進行低溫光致發光譜測量而獲得的，光譜 432 為對於樣品 H 進行低溫光致發光譜測量而獲得的。注意，圖 34 所示的光致發光譜測量的結果因為不進行校正，所以光譜的峰值的區域不同於範例 5 及範例 6。

注意，在本範例中，使用愛宕物產株式會社製的 Photoluminor-D 特型進行光致發光譜測量。作為激發光，使用以 3.5 W 振盪的波長為 514.5 nm 的氬雷射。作為檢測器使用能夠紅外區的測量的鎘的 PIN 光二極體，並且將測量時的樣品以液體氮冷卻。另外，測量時將檢測器冷卻到大約 4.2 K。

當對光譜 430 和光譜 431 進行比較時，光譜 430 的 1.0 eV 至 1.2 eV 附近光譜強度比光譜 431 的 1.0 eV 至 1.2 eV 附近光譜強度低，因此可知帶尾的坡度大（尤其參照圖 34 的 1.0 eV 至 1.2 eV 附近）。由此，與非晶矽層相比，第一區域 106a 的帶尾之間的能級寬度大。可以認為這是由於第一區域 106a 具有微小晶粒的緣故。因此可以估計第一區域 106a 所具有的缺陷的個數比非晶矽層所具有的缺陷的個數少。

再者，在測量感度低的 0.8 eV 以下時，光譜 430 和光譜 431 的形狀也大致不同，由這一點明顯可知形成第一區域 106a 的層的膜質與非晶半導體層的膜質不同。

另外，在光譜 431 和光譜 432 中帶尾的形狀大約同樣，

且帶尾之間的能級寬度的差異小。而且，在測量感度低的 0.8eV 以下時，光譜431和光譜432的形狀也大致類似。因此可以估計第一區域106a與只將氮包含於材料氣體的非晶矽層不同，只藉由將氮包含於材料氣體，不能形成具有與形成第一區域106a的層同樣的膜質的層。如上所述那樣，第一區域具有微小晶粒，但是只藉由將氮包含於非晶矽層的材料氣體不容易形成這些層。因此，上述形成第一區域106a的層的膜質與包含氮的非晶矽層的膜質不同。

另外，對光譜430至光譜432以 1.1eV 至 1.258eV 積分，在光譜430中成為0.109、在光譜431中成為0.132、在光譜432中成為0.133。

將 0.75eV 中的光譜強度除以 1.258eV 中的光譜強度的數值（光譜比），在光譜430中成為0.719、在光譜431中成為0.129、在光譜432中成為0.090。

在參照上述積分結果和光譜比的情況下，也可以說上述第一區域106a的膜質與非晶矽層的膜質不同。

注意，可以認為在 0.9eV 至 1.0eV 附近存在的峰值是受到水分的影響的。

注意，在第二區域106b中，分散地存在的多個晶粒121佔有的區域之外的部分是包含非晶結構的半導體，這一部分可以估計為與第一區域106a同樣的膜質。

上述說明的內容不局限於在氮化矽層上形成半導體層的情況，藉由其他方法形成第一區域106a時也同樣。

圖35示出對實施例1的第一區域106a和非晶矽層，藉

由低溫光致發光譜測量進行評估的結果。

首先，示出樣品的製造方法。

樣品 I

在基板上連續形成厚度為 100nm 的氮化矽層和厚度為 30nm 的實施例 1 的圖 2 所示的第一區域 106a。

作為基板使用玻璃基板。

注意，氮化矽層的沉積條件與範例 2 所示的樣品 A 同樣。

另外，作為實施例 1 的圖 2 所示的第一區域 106a 的形成條件，引入將 SiH_4 的流量設定為 20sccm、 H_2 的流量設定為 1400sccm、包含 100ppm 的 NH_3 的 H_2 的流量設定為 100sccm 的材料氣體並使它穩定，且處理室內的壓力為 280Pa、基板的溫度為 280℃，並且使用以 RF 電源頻率為 13.56MHz，RF 電源電力為 50W 進行電漿放電的電漿 CVD 法。在此，因為與氮化矽層連續形成，在形成第一區域 106a 的氣氛中存在有氮，並且作為原料氣體使用氮，因此第一區域 106a 包含氮。

樣品 J

在基板上連續形成厚度為 100nm 的氮化矽層和厚度為 30nm 的實施例 1 的圖 2 所示的第一區域 106a。注意，與樣品 I 的差異只是包含 100ppm 的 NH_3 的 H_2 的流量。

作為基板使用玻璃基板。

注意，氮化矽層的沉積條件與範例2所示的樣品A同樣。

另外，作為實施例1的圖2所示的第一區域106a的形成條件，引入將 SiH_4 的流量設定為20sccm、 H_2 的流量設定為1250sccm、包含100ppm的 NH_3 的 H_2 的流量設定為250sccm的材料氣體並使它穩定，且處理室內的壓力為280Pa、基板的溫度為280℃，並且使用以RF電源頻率為13.56MHz，RF電源電力為50W進行電漿放電的電漿CVD法。在此，因為與氮化矽層連續形成，在形成第一區域106a的氣氛中存在有氮，並且作為原料氣體使用氨，因此，第一區域106a包含氮。

樣品K

在基板上形成厚度為100nm的氮化矽層和厚度為30nm的非晶矽層。

注意，氮化矽層及非晶矽層的各沉積條件與範例2所示的樣品A同樣。

在圖35中，光譜433及光譜434是對具有實施例1的圖2所示的第一區域106a的樣品I及樣品J進行低溫光致發光譜測量的結果而獲得的，並且與圖34的情況同樣，光譜435是對具有非晶矽層的樣品K進行低溫光致發光譜測量的結果而獲得的。注意，光譜433中的針狀的峰值（0.86eV、1.02eV附近）是受到宇宙線（cosmic rays）的影響。注意，因為圖34所示的光致發光譜測量的結果沒有進行校正，

所以光譜的峰值的區域不同於範例 5 及範例 6。

當對光譜 433、光譜 434、及光譜 435 進行比較時，光譜 433 及光譜 434 的 1.0eV 至 1.2eV 附近光譜強度比光譜 435 的 1.0eV 至 1.2eV 附近光譜強度低，因此可知帶尾的坡度大（尤其參照圖 35 的 1.0eV 至 1.2eV 附近）。由此，如圖 34 中的說明同樣，與非晶矽層相比，第一區域 106a 的帶尾之間的能級寬度大，這可以估計因為第一區域 106a 具有微小晶粒的緣故。因此即使在將氮包含於原料氣體形成第一區域 106a 的情況下，也第一區域 106a 所具有的缺陷的個數比非晶矽層所具有的缺陷的個數少。

接下來，對於這些層進行光傳導度（ σ_{photo} ）和暗傳導度（ σ_{dark} ）。下面表 3 示出其測量結果。

表 3

	σ_{dark} [S/cm]	σ_{photo} [S/cm]	$\sigma_{photo}/\sigma_{dark}$
樣品I (光譜433)	1.01E-09	6.57E-05	6.58E+04
樣品J (光譜434)	1.01E-09	4.39E-05	4.37E+04
樣品K (光譜435)	2.87E-09	9.90E-05	3.40E+04

參照表 2 也明顯可知上述第一區域 106a 的膜質與非晶矽層的膜質不同。

如在本範例中所說明，可以說實施例 1 中的半導體層所包含的第一區域 106a 的膜質明顯不同於非晶矽層的膜質

。

範例 5

在本範例中，對實施例 1 所示的第一區域 106a 進行說明。第一區域 106a 雖然具有非晶結構，但是與所謂的非晶半導體的膜質不同，下面對該差異進行說明。

圖 36 示出對於實施例 1 的第一區域 106a、非晶半導體層、以及將氮包含於材料氣體的非晶矽層，藉由低溫光致發光譜測量的評估結果。

首先示出樣品的製造方法。

樣品 L

在基板上形成厚度為 100nm 的氮化矽層和厚度為 30nm 的非晶矽層。

注意，氮化矽層及非晶矽層的各沉積條件與範例 2 所示的樣品 A 同樣。

樣品 M

在基板上連續形成厚度為 100nm 的氮化矽層和厚度為 30nm 的將氮包含於材料氣體的非晶矽層。

作為基板使用玻璃基板。

注意，氮化矽層的沉積條件與範例 2 所示的樣品 A 同樣。

另外，將氮包含於材料氣體的非晶矽層的沉積條件與

範例 4 所示的樣品 H 同樣。

樣品 N

在基板上連續形成厚度為 100nm 的氮化矽層和厚度為 30nm 的實施例 1 的圖 2 所示的第一區域 106a。

作為基板使用玻璃基板。

注意，氮化矽層的沉積條件與範例 2 所示的樣品 A 同樣。

另外，作為實施例 1 的圖 2 所示的第一區域 106a 的沉積條件，與範例 2 所示的樣品 C 同樣。在此，因為與氮化矽層連續形成，在形成第一區域 106a 的氣氛中存在有氮。因此，第一區域 106a 包含氮。

樣品 O

在基板上連續形成厚度為 100nm 的氮化矽層和厚度為 30nm 的實施例 1 的圖 2 所示的第一區域 106a。

作為基板使用玻璃基板。

注意，氮化矽層的沉積條件與範例 2 所示的樣品 A 同樣。

另外，作為實施例 1 的圖 2 所示的第一區域 106a 的形成條件，引入將 SiH_4 的流量設定為 20sccm、 H_2 的流量設定為 1475sccm、包含 1000ppm 的 NH_3 的 H_2 的流量設定為 25sccm 的材料氣體並使它穩定，且處理室內的壓力為 280Pa、基板的溫度為 280℃，並且使用以 RF 電源頻率為 13.56MHz，

RF電源電力為50W進行電漿放電的電漿CVD法。在此，因為與氮化矽層連續形成，在形成第一區域106a的氣氛中存在有氮，並且作為原料氣體使用氮，因此，第一區域106a包含氮。

圖36中，光譜436是對樣品L進行低溫光致發光譜測量的結果而獲得的，光譜437是對樣品M進行低溫光致發光譜測量的結果而獲得的，光譜438是對樣品N進行低溫光致發光譜測量的結果而獲得的，光譜439是對樣品O進行低溫光致發光譜測量的結果而獲得的，並且左Y軸表示強度。另外，虛線440表示波長，且對應於右Y軸。

注意，在本範例中，對光致發光譜測量使用堀場喬平伊馮（HORIBA JOBIN YVON）公司製LabRAM HR-PL。作為激發光，使用波長為514.5nm的氬雷射。作為檢測器使用能夠進行紅外區的測量的InGaAs光二極體，並且將測量時的樣品以液體氮冷卻。此時，作為冷卻器使用牛津儀器（Oxford Instruments plc）公司製的MicrostatHe，以將設定溫度為4.2K。注意，在設有熱電偶的冷卻板上以潤滑脂（Grease）設置樣品，將該熱電偶的溫度作為上述設定溫度。

注意，在光譜436至439中，根據每個最大強度進行了標準化。另外，針狀的峰值是受到螢光燈的影響的。

在表4中示出每個樣品的光譜的峰值區域及半值寬度。注意，以強度值表示90%以上的區域示出峰值的區域。

表 4

	峰值區域	半值寬度(FWHM)
樣品L (光譜436)	1.23~1.35eV	0.290eV
樣品M (光譜437)	1.25~1.37eV	0.289eV
樣品N (光譜438)	1.33~1.39eV	0.268eV
樣品O (光譜439)	1.31~1.39eV	0.261eV

可知與光譜 436、437 相比，光譜 438、439 轉移到高能級一側。另外，在對半值寬度進行比較時，與光譜 436、437 相比，光譜 438、439 的半值寬度狹。因此可知與非晶矽層及將氮包含於材料氣體的非晶矽層相比，實施例 1 的圖 2 所示的第一區域 106a 的秩序性高。另外，明顯可知與非晶矽層及將氮包含於材料氣體的非晶矽層相比，實施例 1 的圖 2 所示的第一區域 106a 的物性不同。

範例 6

在本範例中，對實施例 1 所示的第一區域 106a 進行說明。第一區域 106a 具有非晶結構中的晶體區域，但是與所謂的微晶半導體的膜質不同，下面對這差異進行說明。

圖 37 示出對實施例 1 的第一區域 106a 及微晶半導體層，藉由低溫光致發光譜測量進行評估的結果。

首先示出樣品的製造方法。

樣品 P

在基板上連續形成厚度為 100nm 的氮化矽層和厚度為 30nm 的實施例 1 的圖 2 所示的第一區域 106a。

作為基板使用玻璃基板。

注意，氮化矽層的沉積條件與範例 2 所示的樣品 A 同樣。

另外，實施例 1 的圖 2 所示的第一區域 106a 的沉積條件與範例 5 所示的樣品 O 同樣。在此，因為與氮化矽層連續形成，在形成第一區域 106a 的氣氛中存在有氮，並且作為原料氣體使用氮，因此第一區域 106a 包含氮。

樣品 Q

在基板上形成厚度為 100nm 的氧氮化矽層和厚度為 50nm 的微晶矽層。

在此，作為基板使用玻璃基板。另外，作為氧氮化矽層的形成條件，引入將 SiH_4 的流量設定為 30sccm、 N_2O 的流量設定為 1200sccm 的材料氣體並使它穩定，且處理室內的壓力為 40Pa、基板的溫度為 280℃，並且使用以 RF 電源頻率為 13.56MHz，RF 電源電力為 50W 進行電漿放電的電漿 CVD 法。

另外，作為微晶矽層的形成條件，引入將 SiH_4 的流量設定為 10sccm、 H_2 的流量設定為 1500sccm 的材料氣體並使它穩定，且處理室內的壓力為 280Pa、基板的溫度為 280℃，並且使用以 RF 電源頻率為 13.56MHz，RF 電源電力為

50W進行電漿放電的電漿CVD法。

注意，在此微晶矽層的基底層為氮化矽層，且氮濃度低，因此包含於微晶矽層的氮濃度低，與實施例1的圖2所示的第一區域106a相比，樣品P的晶性高。

圖37中，光譜441是對樣品P進行低溫光致發光譜測量的結果而獲得的，光譜442是對樣品Q進行低溫光致發光譜測量的結果而獲得的，並且左Y軸表示強度。另外，虛線443表示波長，且對應於右Y軸。另外，光致發光譜測量與範例5同樣的裝置。注意，針狀的峰值是受到螢光燈的影響的。

在表5中示出每個樣品的光譜的峰值區域及半值寬度。注意，以強度值表示90%以上的區域示出峰值的區域。

表 5

	峰值區域	半值寬度(FWHM)	強度[a.u.]
樣品P (光譜441)	1.31~1.39eV	0.261eV	88
樣品Q (光譜442)	0.98~1.02eV	0.123eV	1253

光譜441的峰值區域為1.31eV至1.39eV，光譜442的峰值區域為0.98eV至1.02eV，實施例1的圖2所示的第一區域106a轉移到高能級一側。另外，與光譜442相比，光譜441的強度高15倍左右。可以認為這是因為與實施例1的圖2所示的第一區域106a相比，微晶矽層有多個晶粒間界，在該晶體區域中形成懸空鍵，因此光譜強度降低的緣故。另外

，單晶矽的光譜的峰值為 1.1 eV ，可以估計光譜442是基於矽晶體。

範例 7

在本範例中，對實施例1所示的第一區域106a進行說明。第一區域106a雖然具有非晶結構，但是與所謂的非晶半導體的膜質不同，下面對該差異進行說明。

圖38A和38B示出對於實施例1的第一區域106a及非晶半導體層，以拉曼光譜法進行評估的結果。

首先示出樣品的製造方法。

樣品 R

在基板上形成厚度為 100 nm 的氮化矽層和厚度為 30 nm 的非晶矽層。

注意，氮化矽層及非晶矽層的各沉積條件與範例2所示的樣品A同樣。

樣品 S

在基板上連續形成厚度為 100 nm 的氮化矽層和厚度為 30 nm 的實施例1的圖2所示的第一區域106a。

作為基板使用玻璃基板。

注意，氮化矽層的沉積條件與範例2所示的樣品A同樣。

另外，實施例1的圖2所示的第一區域106a的沉積條件

與實施例 5 所示的樣品 O 同樣。在此，因為與氮化矽層連續形成，在形成第一區域 106a 的氣氛中存在有氮，並且作為原料氣體使用氮，因此第一區域 106a 包含氮。

圖 38 示出對樣品 R 及樣品 S 以拉曼光譜法分析的結果。注意，光譜 444、光譜 446 是對樣品 R 進行以拉曼光譜法分析的結果而獲得的，光譜 445、光譜 447 是對樣品 S 進行藉由低溫光致發光譜測量的結果而獲得的，並且 Y 軸表示強度。另外，以 293K 測量光譜 444 及光譜 445，以 4K 測量光譜 445 及光譜 447。

注意，在本範例中，對拉曼光譜分析測量使用堀場喬平伊馮（HORIBA JOBIN YVON）公司製 LabRAM HR-PL。作為激發光，使用波長為 514.5nm 的氬雷射。作為檢測器使用 CCD 檢測器。

注意，在光譜 444 至 447 中，根據每個最大強度進行了標準化。

在表 6 中示出每個樣品的在測量溫度下的光譜的峰值區域及半值寬度。

表 6

	樣品R		樣品S	
	液體氮溫度 (設定為4K)	室溫 (設定為293K)	液體氮溫度 (設定為4K)	室溫 (設定為293K)
峰值區域(cm^{-1})	488	482	485	478
FWHM(cm^{-1})	64.4	61.5	64.4	63.2

在測量溫度為低溫（設定為 4K）或室溫（設定為

293K) 的哪一種情況下，樣品 S 的光譜的峰值位於比樣品 R 的光譜的峰值高波數一側。由此，與非晶矽層相比，實施例 1 的圖 2 所示的第一區域 106a 的拉曼光譜位於高波數一側。

另一方面，半值寬度在低溫時（設定為 4K）觀察不到太大的差異，但是在室溫時（設定為 293K）觀察到樣品 S 有稍微變狹的趨勢。由此，與非晶矽層相比，實施例 1 的圖 2 所示的第一區域 106a 半值寬度更狹小。

【圖式簡單說明】

圖 1A 和 1B 為說明根據本發明的薄膜電晶體的一例的圖；

圖 2 為說明根據本發明的薄膜電晶體所具有的半導體層的圖；

圖 3 為說明根據本發明的薄膜電晶體所具有的半導體層的電子顯微鏡圖像；

圖 4A 至 4C 為說明根據本發明的薄膜電晶體所具有的半導體層的電子顯微鏡圖像；

圖 5 為說明根據本發明的薄膜電晶體所具有的半導體層的圖；

圖 6 為說明根據本發明的薄膜電晶體所具有的半導體層的圖；

圖 7 為說明根據本發明的薄膜電晶體所具有的半導體層的圖；

圖 8 為說明根據本發明的薄膜電晶體所具有的半導體層的圖；

圖 9A 至 9C 為說明根據本發明的薄膜電晶體的製造方法的一例的圖；

圖 10A 至 10C 為說明根據本發明的薄膜電晶體的製造方法的一例的圖；

圖 11A 至 11C 為說明根據本發明的薄膜電晶體的製造方法的一例的圖；

圖 12 為說明可以應用於根據本發明的薄膜電晶體的製造方法的裝置的圖；

圖 13 為說明根據本發明的薄膜電晶體的製造方法的一例的圖；

圖 14A 和 14B 為說明根據本發明的薄膜電晶體的製造方法的一例的圖；

圖 15 為說明根據本發明的薄膜電晶體的製造方法的一例的圖；

圖 16 為說明根據本發明的薄膜電晶體的製造方法的一例的圖；

圖 17 為說明根據本發明的薄膜電晶體的製造方法的一例的圖；

圖 18A 和 18B 為說明根據本發明的薄膜電晶體的一例的圖；

圖 19A 至 19C 為說明根據本發明的薄膜電晶體的製造方法的一例的圖；

圖 20A 至 20C 為說明根據本發明的薄膜電晶體的製造方法的一例的圖；

圖 21A 至 21C 為說明根據本發明的薄膜電晶體的製造方法的一例的圖；

圖 22A 至 22C 為說明根據本發明的薄膜電晶體的製造方法的一例的圖；

圖 23 為說明可應用本發明的薄膜電晶體的電子設備等的圖；

圖 24 為說明可應用本發明的薄膜電晶體的電子設備等的圖；

圖 25 為說明可應用本發明的薄膜電晶體的電子設備等的圖；

圖 26A 和 26B 為說明可應用本發明的薄膜電晶體的電子設備等的圖；

圖 27A 至 27C 為說明可應用本發明的薄膜電晶體的電子設備等的圖；

圖 28A 至 28D 為說明可應用本發明的薄膜電晶體的電子設備等的圖；

圖 29 為說明可應用本發明的薄膜電晶體的電子設備等的圖；

圖 30A 至 30C 說明可應用本發明的薄膜電晶體的電子設備等的圖；

圖 31A 和 31B 為說明根據本發明的薄膜電晶體所具有的半導體層的圖；

圖 32A 和 32B 為說明根據本發明的薄膜電晶體所具有的半導體層的圖；

圖 33 為說明實施例所示的半導體層的 CMP 的測量結果的圖；

圖 34 為說明實施例所示的半導體層的光致發光譜測量結果的圖；

圖 35 為說明實施例所示的半導體層的光致發光譜測量結果的；

圖 36 為說明實施例所示的半導體層的光致發光譜測量結果的圖；

圖 37 為說明實施例所示的半導體層的光致發光譜測量結果的圖；以及

圖 38A 和 38B 為說明實施例所示的半導體層的拉曼光譜分析測量結果的圖。

【主要元件符號說明】

100：基板

102：閘極電極層

104：閘極絕緣層

105：半導體層

106：半導體層

107：緩衝層

108：緩衝層

109：雜質半導體層

- 110：汲區
- 111：導電層
- 112：佈線層
- 114：絕緣層
- 116：像素電極層
- 120：非晶結構
- 121：晶粒
- 122：非晶結構
- 123：微小晶粒
- 131：抗蝕劑掩模
- 132：抗蝕劑掩模
- 141：處理室
- 142：載物台
- 143：氣體供應部
- 144：簇射板
- 145：排氣口
- 146：上部電極
- 147：下部電極
- 148：交流電源
- 149：溫度控制部
- 150：氣體供應單元
- 151：排氣單元
- 152：汽缸
- 153：壓力調節閥

- 154：停止閥
- 155：質量流量控制器
- 156：蝶閥
- 157：導氣閥
- 158：渦輪分子泵
- 159：乾燥泵
- 160：低溫泵
- 161：電漿CVD裝置
- 180：灰色調掩模
- 181：基板
- 182：遮光部
- 183：衍射光柵部
- 185：半色調掩模
- 186：基板
- 187：半透光部
- 188：遮光部
- 192：晶粒間界
- 193：氧原子
- 194：NH基
- 195：氮原子
- 198：區域
- 200：基板
- 202：閘極電極層
- 204：閘極絕緣層

205：半 導 體 層
206：半 導 體 層
207：緩 衝 層
208：緩 衝 層
209：雜 質 半 導 體 層
210：汲 區
211：導 電 層
212：佈 線 層
214：絕 緣 層
216：像 素 電 極 層
231：抗 蝕 劑 掩 模
232：抗 蝕 劑 掩 模
250：基 板
251：對 置 基 板
252：閘 極 電 極
253：閘 極 電 極
254：佈 線
255：佈 線
256：佈 線
257：絕 緣 層
258：平 坦 化 層
259：開 口 部
260：像 素 電 極
261：狹 縫

- 262：像素電極
- 263：開口部
- 264：薄膜電晶體
- 265：薄膜電晶體
- 266：遮光膜
- 267：著色膜
- 268：平坦化層
- 269：對置電極
- 270：狹縫
- 271：對準膜
- 272：對準膜
- 273：液晶層
- 282：發光元件
- 285：絕緣層
- 286：平坦化層
- 288：陰極
- 289：EL層
- 290：陽極
- 291：分隔壁
- 292：保護絕緣膜
- 301：基板
- 302：像素部
- 303：信號線驅動電路
- 304：掃描線驅動電路

305 : FPC

306 : 保護 電 路

311 : 基 板

312 : 像 素 部

313 : 信 號 線 驅 動 電 路

314 : 掃 描 線 驅 動 電 路

315 : FPC

316 : 保護 電 路

321 : 基 板

322 : 像 素 部

324 : 掃 描 線 驅 動 電 路

325 : FPC

326 : 保護 電 路

331 : 框 體

332 : 顯 示 用 面 板

333 : 主 畫 面

334 : 數 據 機

335 : 接 收 機

336 : 遙 控 單 元

337 : 顯 示 部

338 : 輔 助 畫 面

339 : 揚 聲 器 部

341 : 行 動 電 話

342 : 顯 示 部

- 343：操作部
- 351：主體
- 352：顯示部
- 361：照明部
- 362：燈罩
- 363：可調整臂
- 364：支柱
- 365：台
- 366：電源
- 371：像素部
- 372：信號線驅動電路
- 373：掃描線驅動電路
- 374：調諧器
- 375：視頻信號放大電路
- 376：視頻信號處理電路
- 377：控制電路
- 378：信號分割電路
- 379：音頻信號放大電路
- 380：音頻信號處理電路
- 381：控制電路
- 382：輸入部
- 383：揚聲器
- 385：框體
- 386：顯示部

- 387：揚聲器
- 388：麥克風
- 389：操作鍵
- 390：定位裝置
- 391：表面影像拍攝裝置用透鏡
- 392：外部連接端子插孔
- 393：耳機端子
- 394：框體
- 395：鍵盤
- 396：外部儲存器插槽
- 397：背面影像拍攝裝置
- 398：燈
- 401：預處理
- 402：SiN的形成
- 403：氣體置換
- 404：SiON的形成
- 405：卸載
- 406：清洗處理
- 407：預塗處理
- 408：載入
- 409：沖洗處理
- 410：氣體置換
- 411：半導體層的形成
- 412：氣體置換

413 : a-Si層的形成

414 : 氣體置換

415 : 雜質半導體層的形成

416 : 排氣

421 : 預塗處理

422 : 氣體置換

423 : 半導體層的形成

430 : 光譜

431 : 光譜

432 : 光譜

433 : 光譜

434 : 光譜

435 : 光譜

436 : 光譜

437 : 光譜

438 : 光譜

439 : 光譜

440 : 虛線

441 : 光譜

442 : 光譜

443 : 虛線

444 : 光譜

445 : 光譜

446 : 光譜

447 : 光 譜

451 : p軌 道

452 : s軌 道

453 : p軌 道

454 : s軌 道

455 : p軌 道

456 : s軌 道

458 : s軌 道

459 : s軌 道

106a : 第 一 區 域

106b : 第 二 區 域

191a : 氫 原 子

191b : 氫 原 子

281a : 薄 膜 電 晶 體

281b : 薄 膜 電 晶 體

283a : 掃 描 線

283b : 閘 極 電 極

284a : 信 號 線

284b : 佈 線

285a : 電 源 線

285b : 佈 線

323a : 類 比 開 關

323b : 移 位 暫 存 器

七、申請專利範圍：

1.一種薄膜電晶體，包含：

在具有絕緣表面的基板上的閘極電極；

在該基板上的閘極絕緣層，該閘極絕緣層覆蓋該閘極電極；

在該閘極絕緣層上並與其接觸的第一半導體層，該第一半導體層包括包含在非晶結構中的多個晶體區域；

用於形成源區及汲區的至少兩個第二半導體層，該至少兩個第二半導體層包括賦予一導電型的雜質元素；以及

在該第一半導體層和該至少兩個第二半導體層之間的使用非晶半導體形成的緩衝層，

其中，該多個晶體區域包括從離該閘極絕緣層和該第一半導體層之間的介面有距離的位置向沉積該第一半導體層的方向以實質徑向生長的反錐形或反金字塔形的晶粒，以及

其中，該第一半導體層包括具有大於或等於1nm且小於或等於5nm尺寸的晶粒。

2.如申請專利範圍第1項的薄膜電晶體，其中，藉由二次離子質量分析法測量的該第一半導體層的氮濃度為 $1 \times 10^{20} \text{cm}^{-3}$ 至 $1 \times 10^{21} \text{cm}^{-3}$ 。

3.一種薄膜電晶體，包含：

在具有絕緣表面的基板上的閘極電極；

在該基板上的閘極絕緣層，該閘極絕緣層覆蓋該閘極電極；

在該閘極絕緣層上並與其接觸的第一半導體層，該第一半導體層包括包含在非晶結構中的多個晶體區域；

在該第一半導體層上的具有非晶結構的第二半導體層；以及

用於形成源區及汲區的至少兩個第三半導體層，該至少兩個第三半導體層包括賦予一導電型的雜質元素，

其中，該多個晶體區域包括從離該閘極絕緣層和該第一半導體層之間的介面有距離的位置向該第二半導體層的方向以實質徑向生長的反錐形或反金字塔形的晶粒，以及

其中，該第一半導體層包括具有大於或等於1nm且小於或等於5nm尺寸的晶粒。

4.一種薄膜電晶體，包含：

在具有絕緣表面的基板上的閘極電極；

在該閘極電極上的閘極絕緣層；

在該閘極絕緣層上並與其接觸的第一半導體層，該第一半導體層包括包含在非晶結構中的多個晶體區域；

在該第一半導體層上的具有非晶結構的第二半導體層；以及

在該第二半導體層上的源區及汲區，

其中，該源區及汲區包括賦予一導電型的雜質元素，

其中，該多個晶體區域包括反錐形或反金字塔形的晶粒，該反錐形或反金字塔形的晶粒的頂點比該第二半導體

層更接近於該閘極絕緣層和該第一半導體層之間的介面，
以及

其中，該第一半導體層包括具有大於或等於1nm且小於或等於5nm尺寸的晶粒。

5.如申請專利範圍第1、3、和4項中任一項的薄膜電晶體，其中該第一半導體層具有NH基。

6.如申請專利範圍第3或4項的薄膜電晶體，

其中，藉由二次離子質量分析法測量的該第一半導體層的氧濃度為小於或等於 $5 \times 10^{18} \text{cm}^{-3}$ ，以及

其中，藉由二次離子質量分析法測量的該第一半導體層的氮濃度為 $1 \times 10^{19} \text{cm}^{-3}$ 至 $1 \times 10^{21} \text{cm}^{-3}$ 。

7.如申請專利範圍第1、3、和4項中任一項的薄膜電晶體，

其中，藉由二次離子質量分析法測量的該第一半導體層的一部分的氮濃度為 $3 \times 10^{20} \text{cm}^{-3}$ 至 $1 \times 10^{21} \text{cm}^{-3}$ ，

其中，該部分是該閘極絕緣層和該第一半導體層之間的介面附近，以及

其中，該氮濃度從該介面附近向該第一半導體層的厚度方向降低。

8.如申請專利範圍第1、3、和4項中任一項的薄膜電晶體，其中藉由低溫光致發光譜測量的該第一半導體層的光譜的峰值區域為大於或等於1.31eV且小於或等於1.39eV。

9.如申請專利範圍第1、3、和4項中任一項的薄膜電晶體，其中，藉由二次離子質量分析法測量的該第一半導

體層的氧濃度為小於或等於 $5 \times 10^{18} \text{ cm}^{-3}$ 。

10.如申請專利範圍第1、3、和4項中任一項的薄膜電晶體，其中，該多個晶體區域的每一個為單晶。

11.如申請專利範圍第1、3、和4項中任一項的薄膜電晶體，其中，該多個晶體區域包括雙晶。

圖 1A

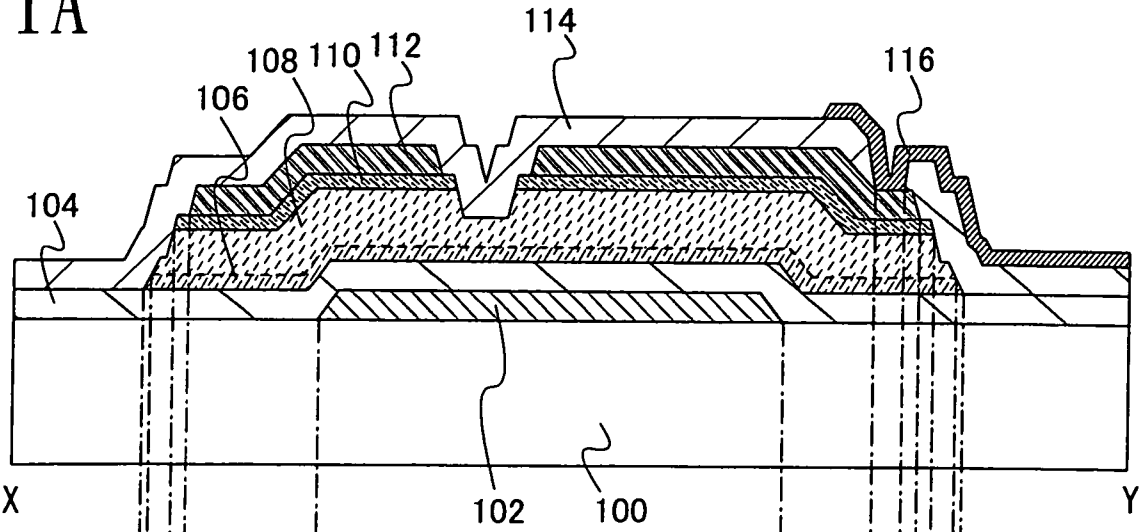


圖 1B

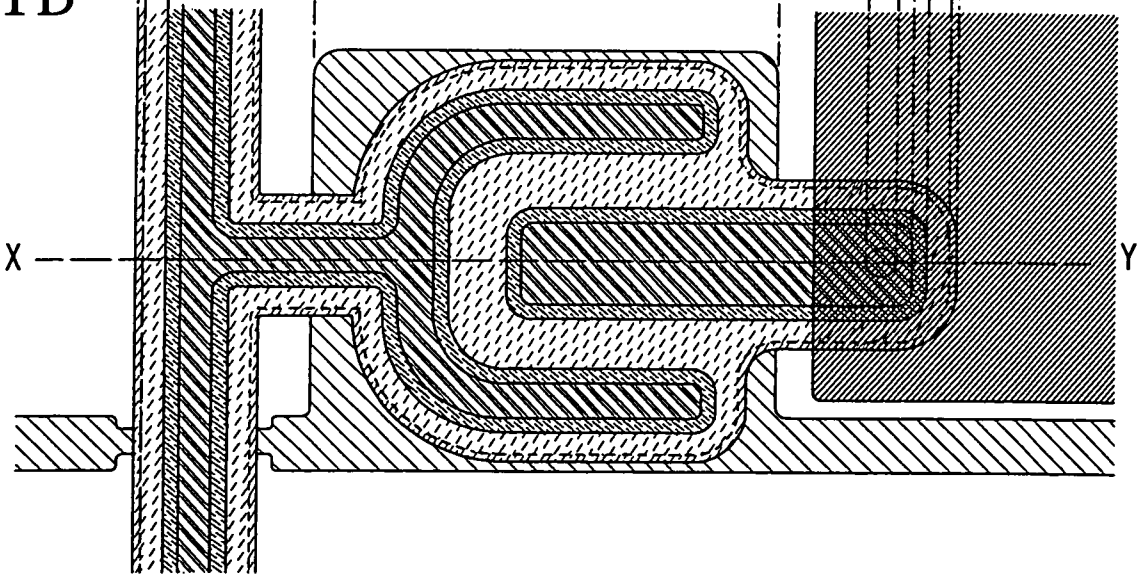


圖2

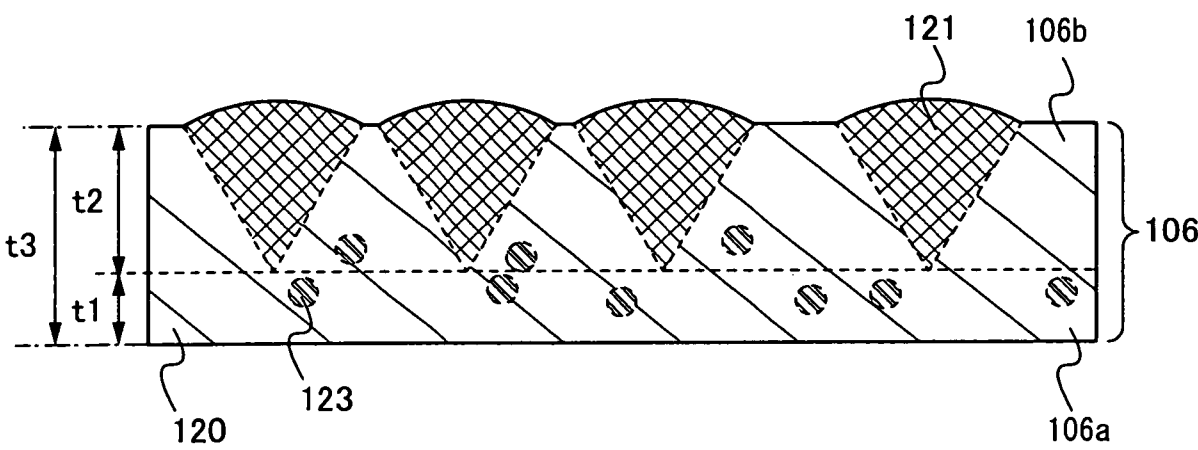


圖 3

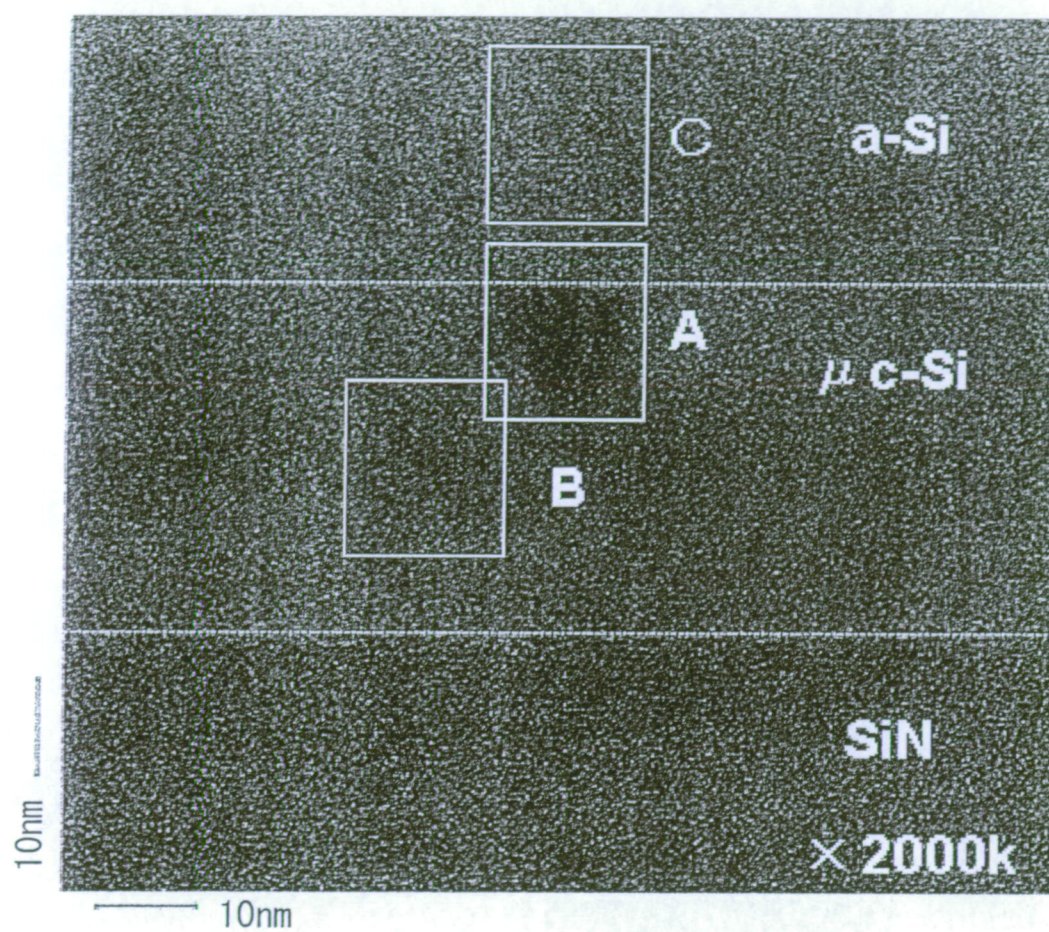


圖 4A



圖 4B-1

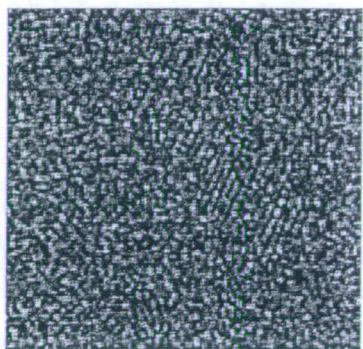


圖 4B-2

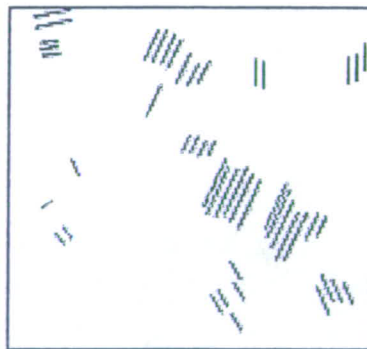


圖 4C

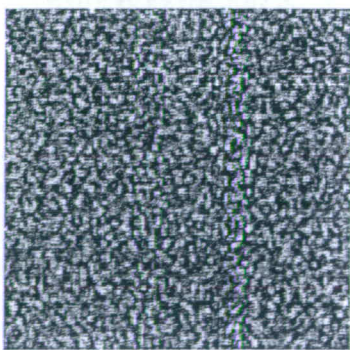


圖5

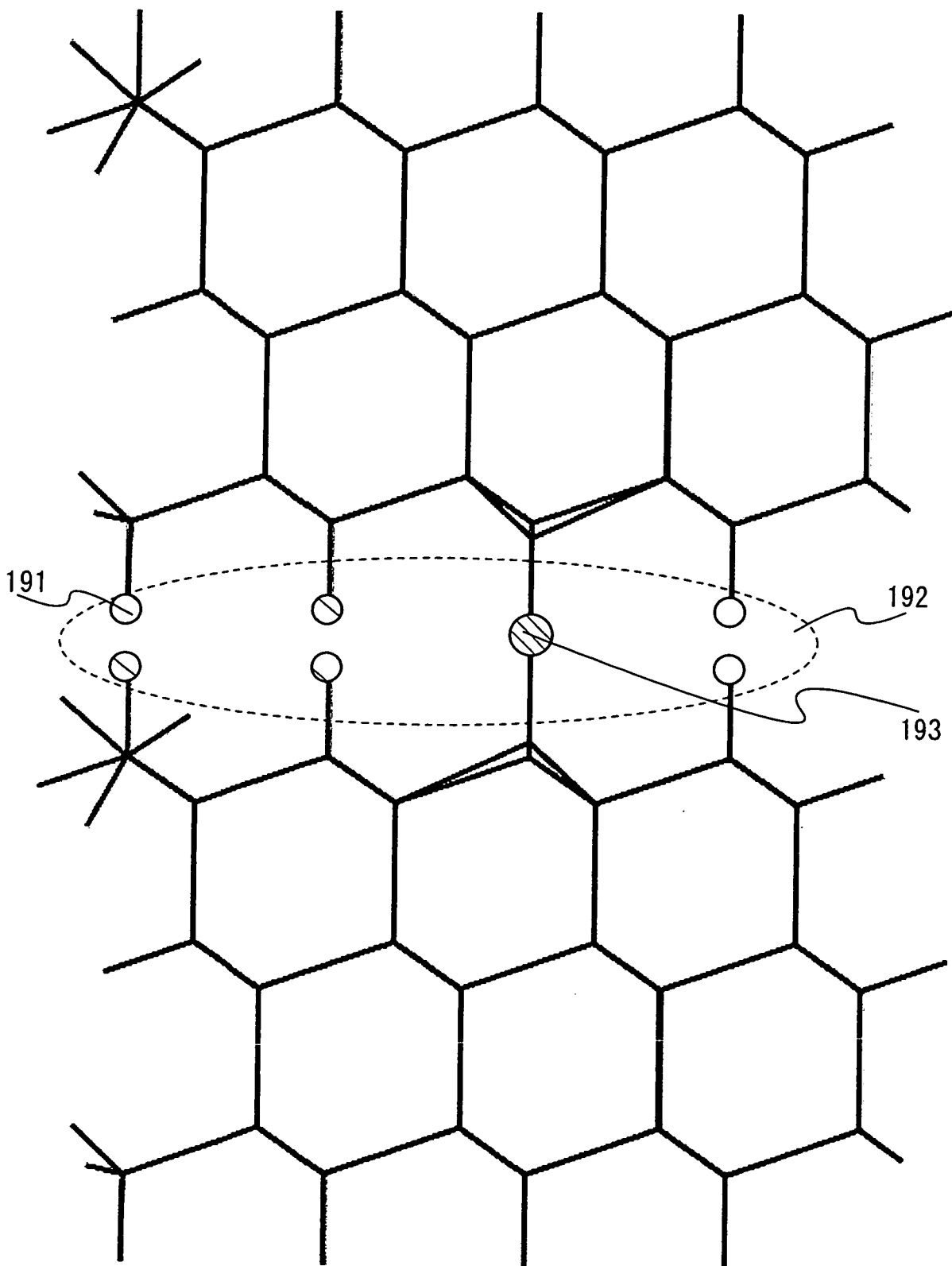


圖6

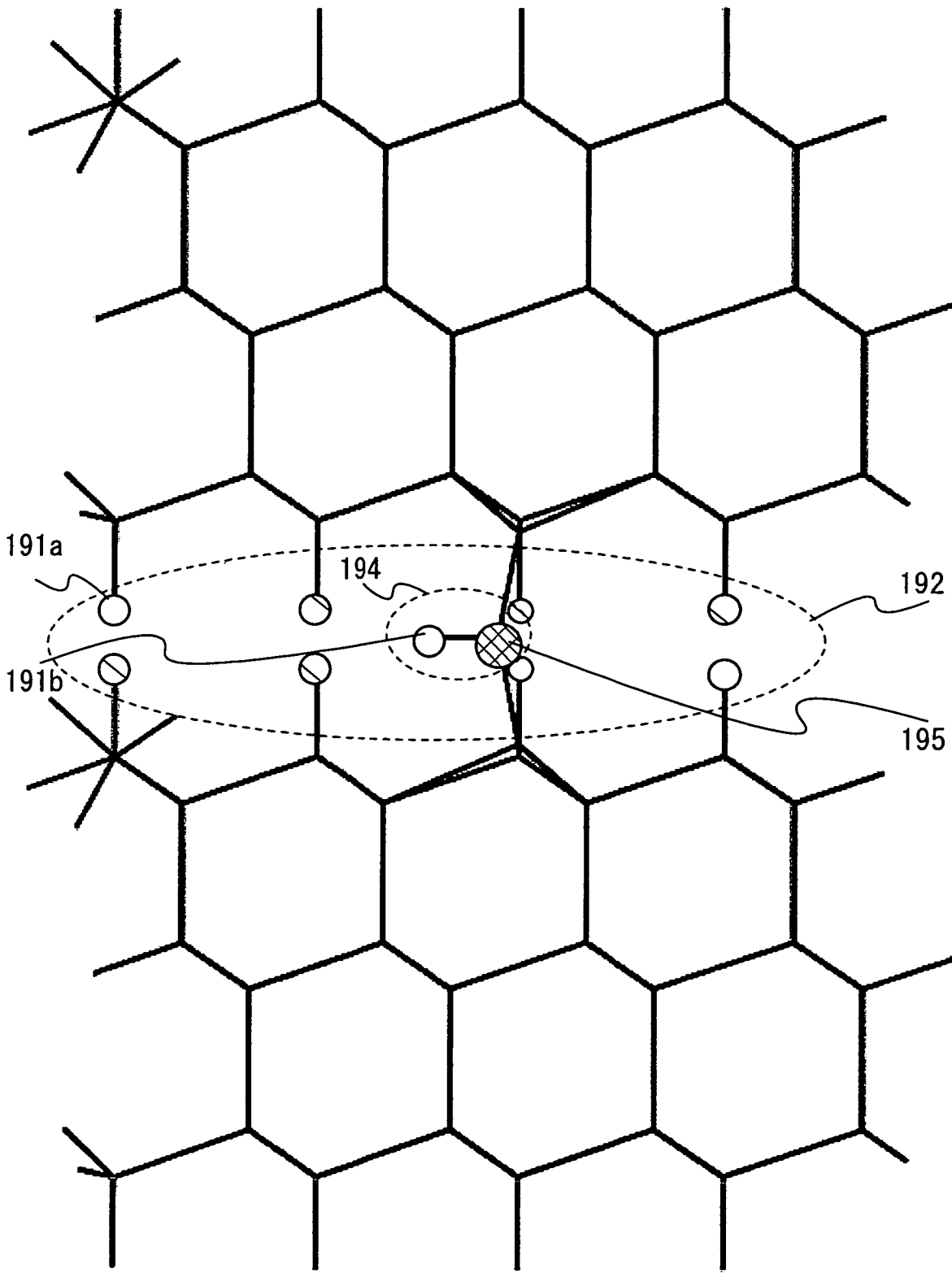


圖7

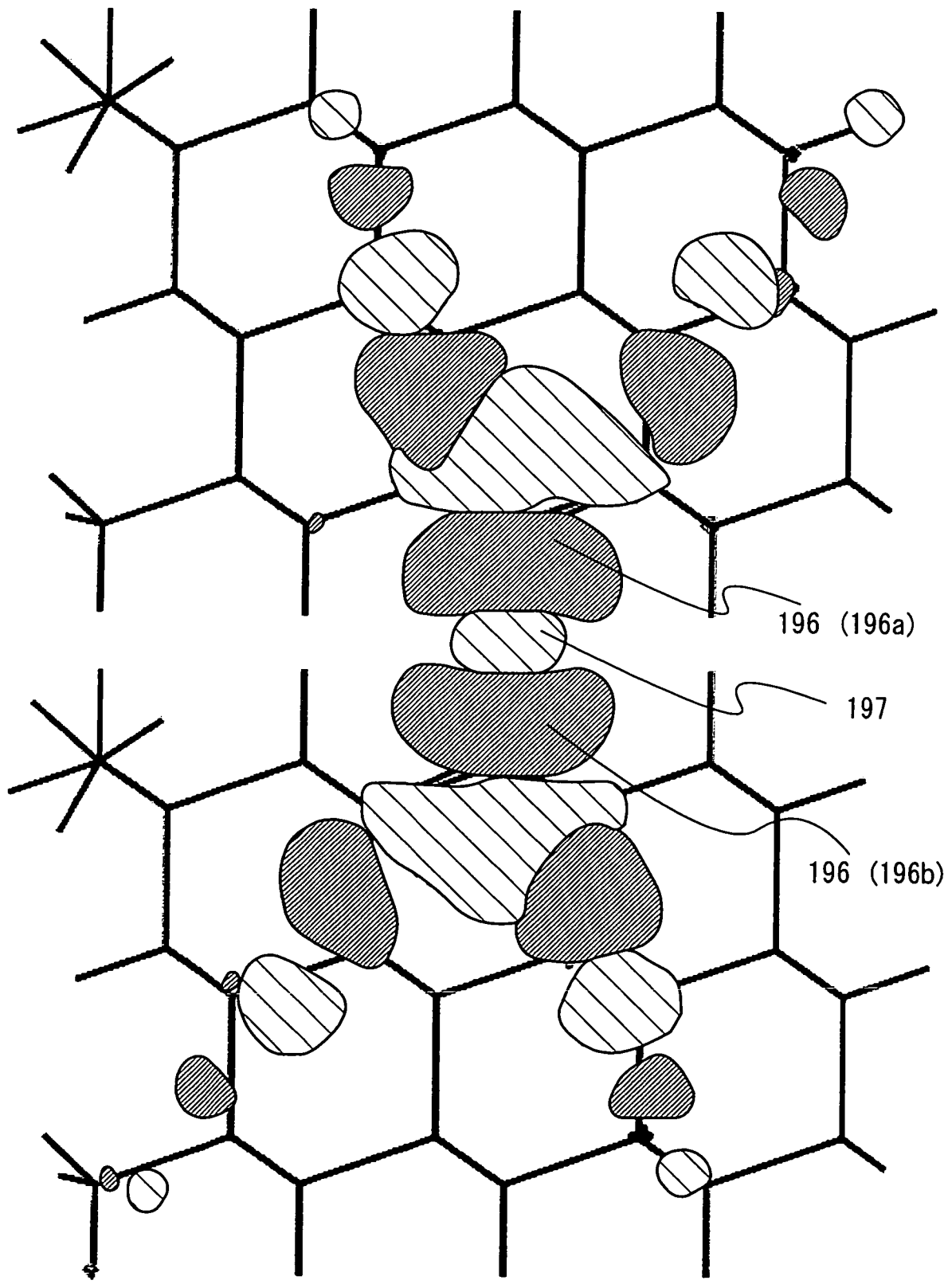


圖 8

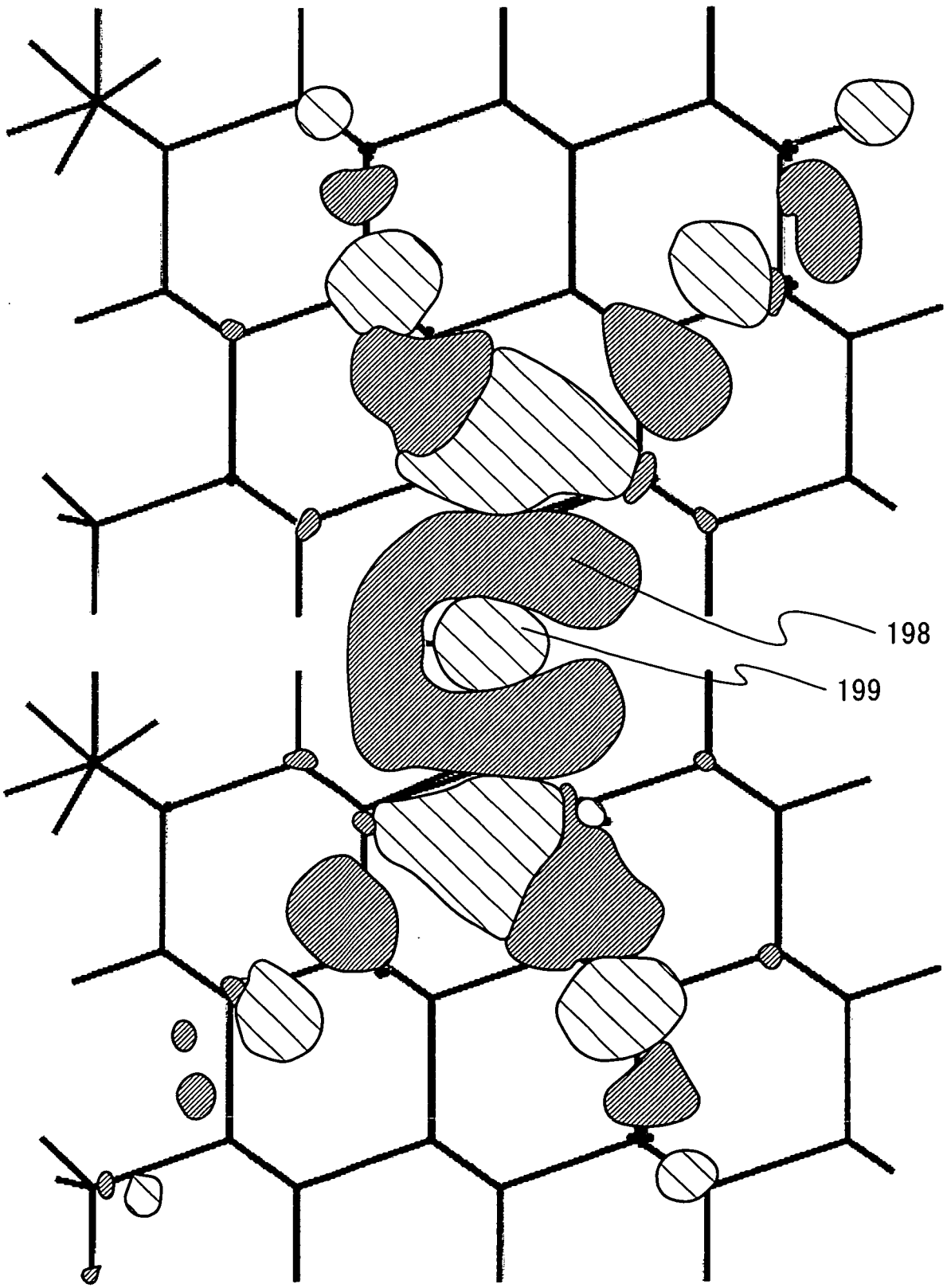


圖 9A

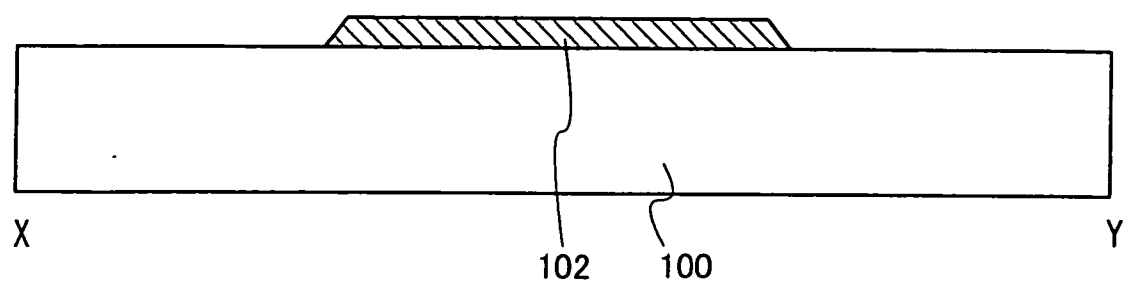


圖 9B

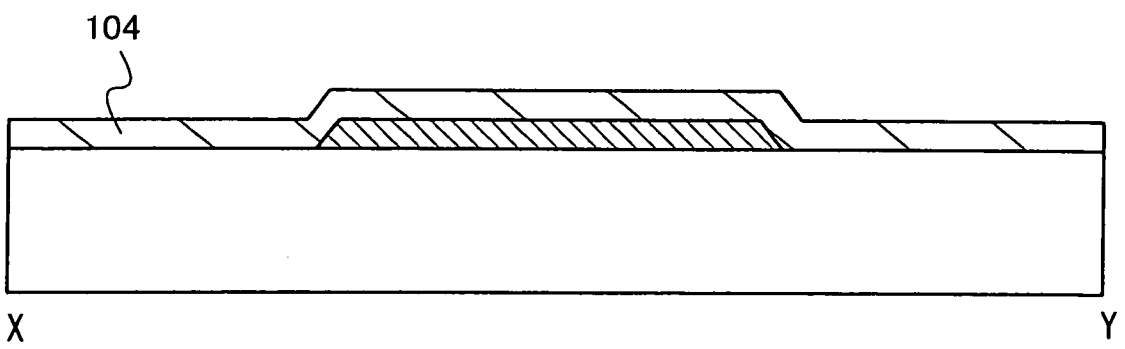


圖 9C

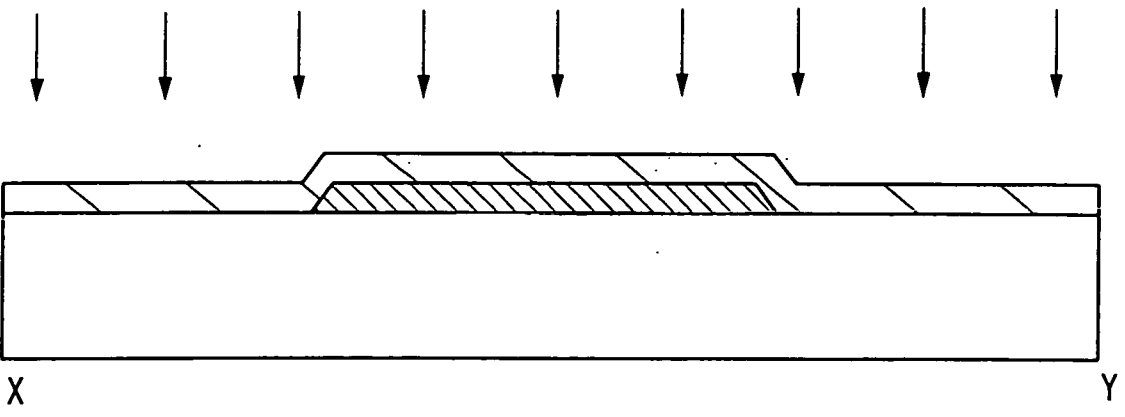


圖 10A

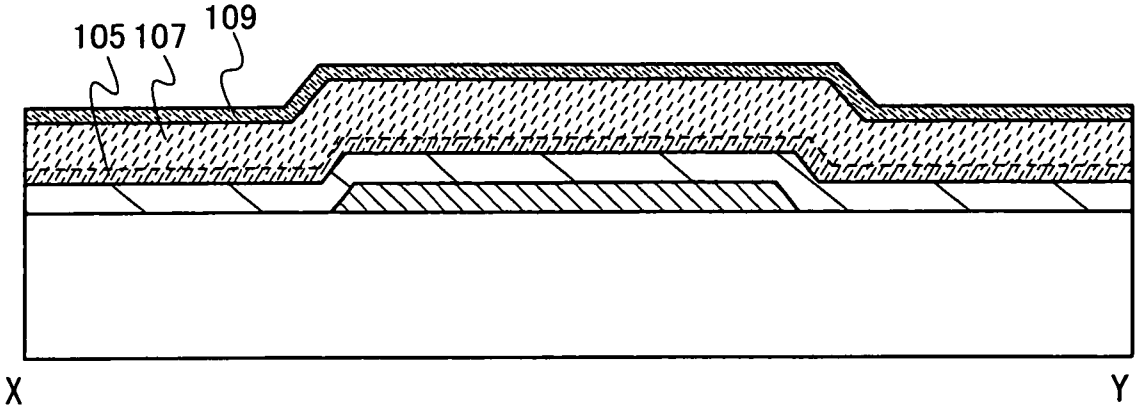


圖 10B

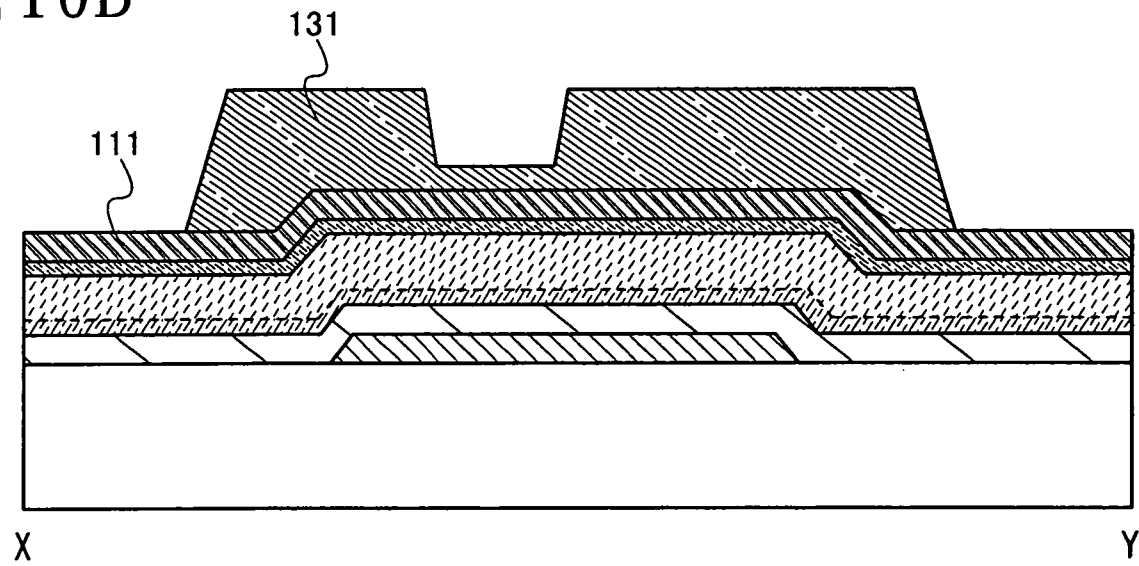


圖 10C

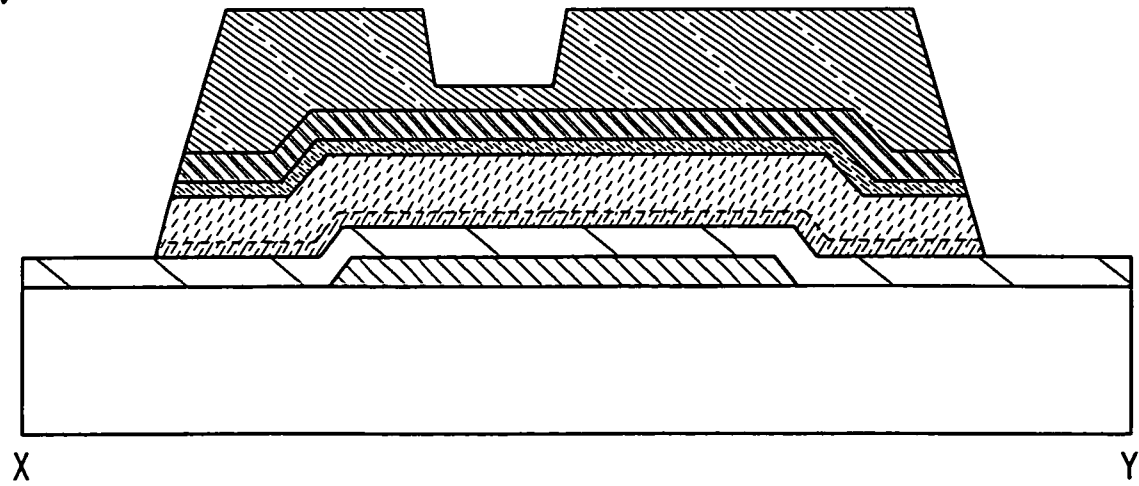


圖 11A

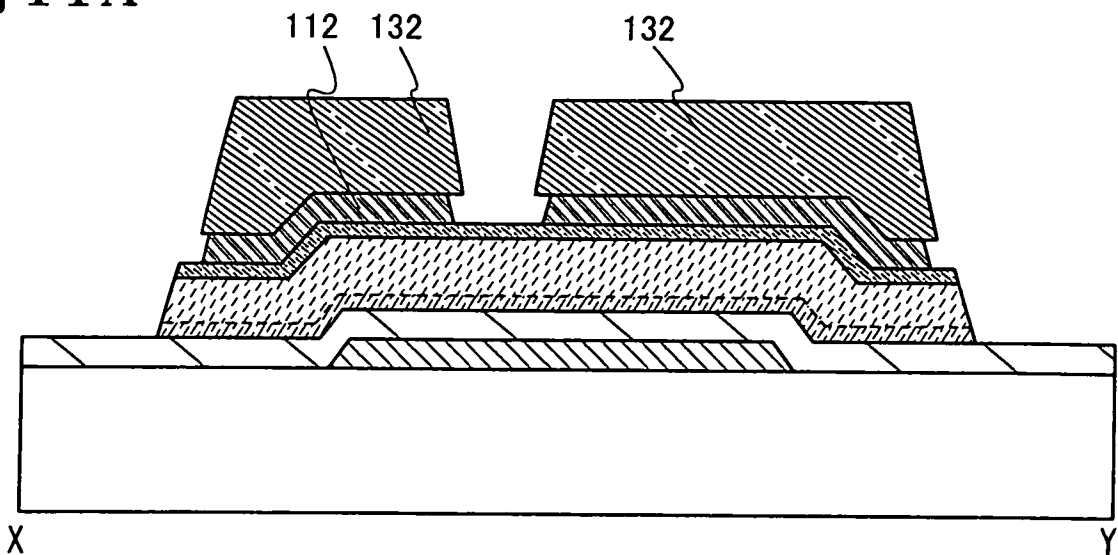


圖 11B

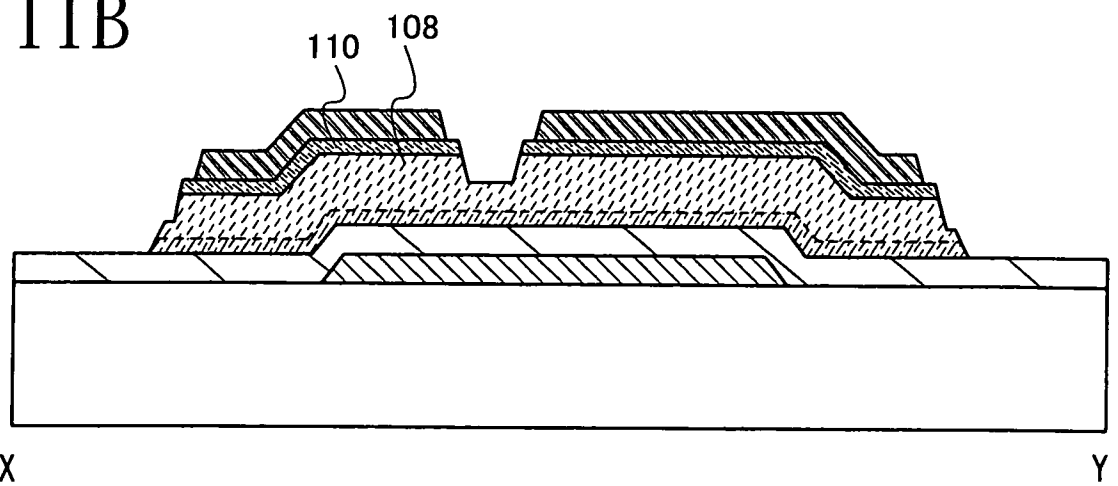


圖 11C

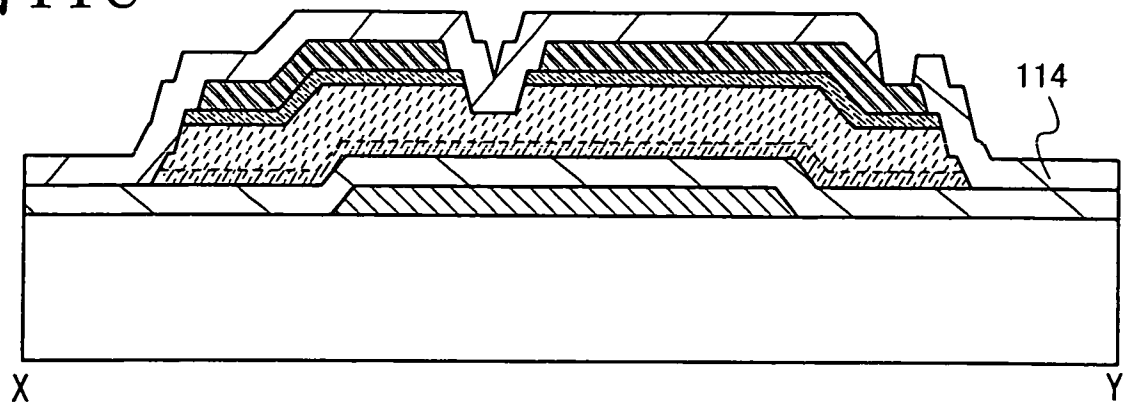
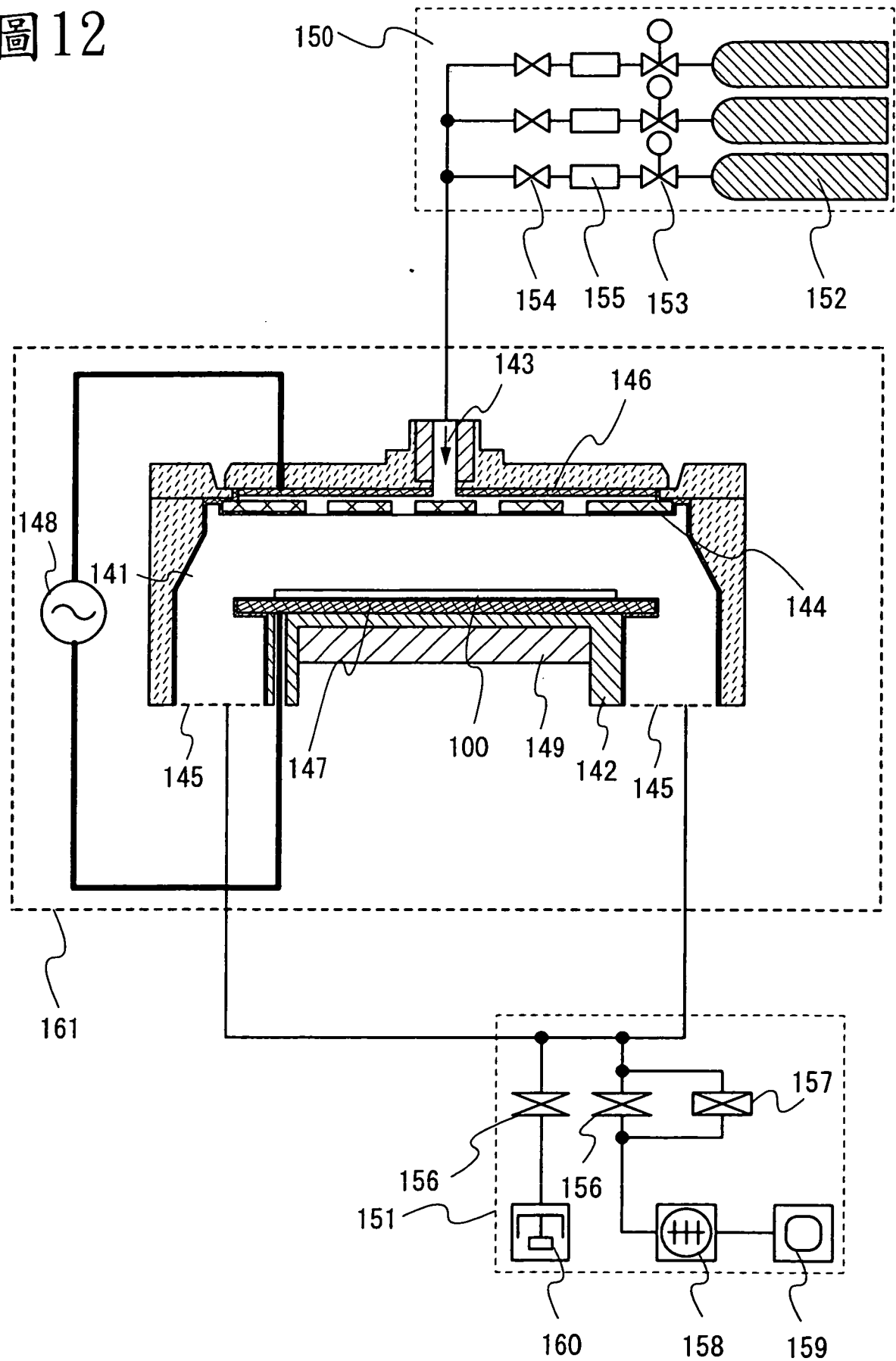


圖 12



13

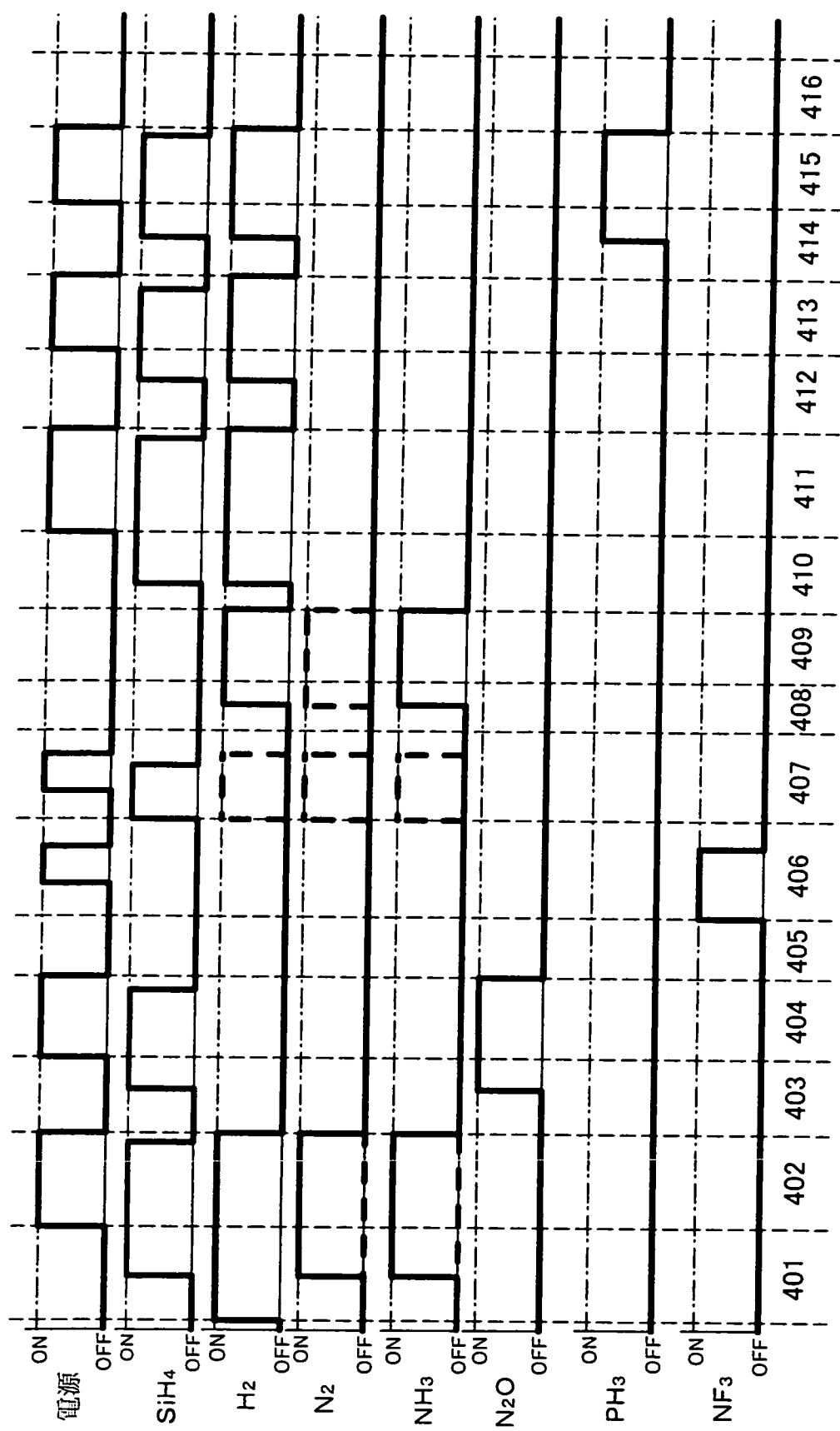


圖 14A-1

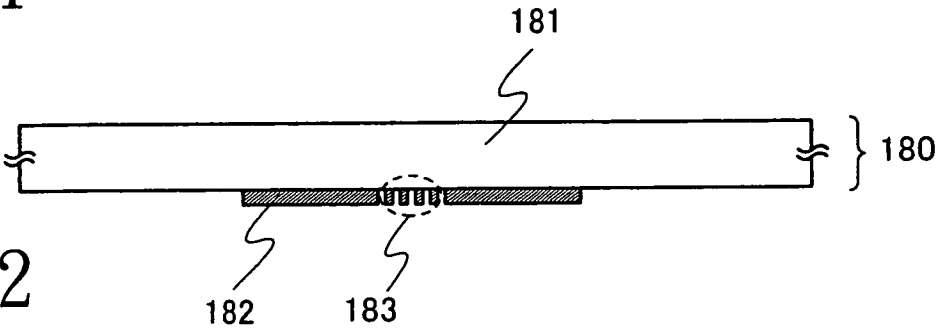


圖 14A-2

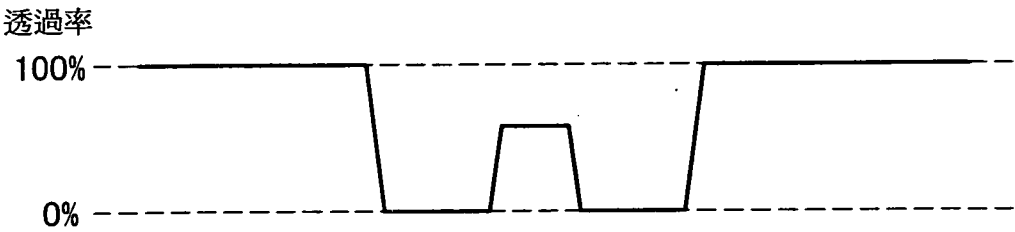


圖 14B-1

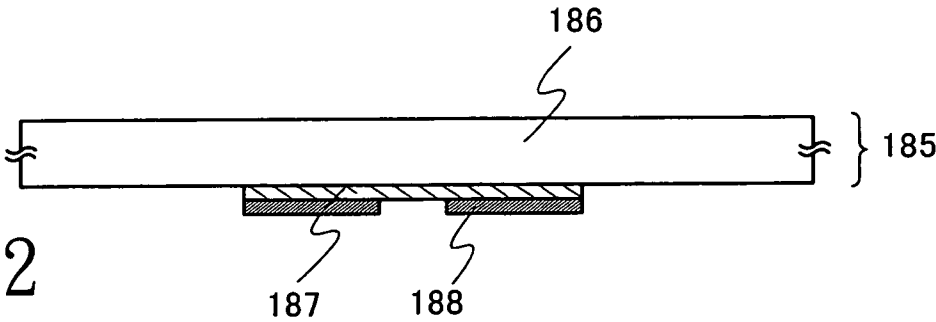


圖 14B-2

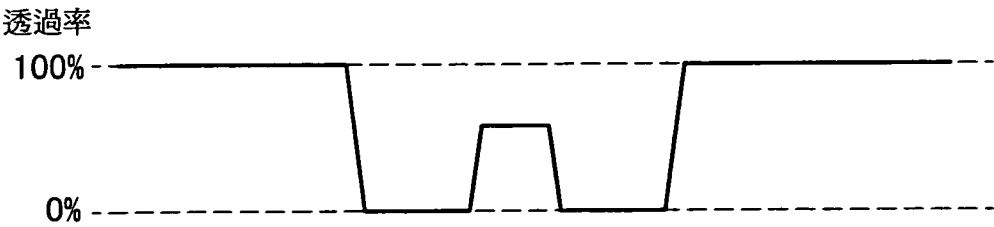
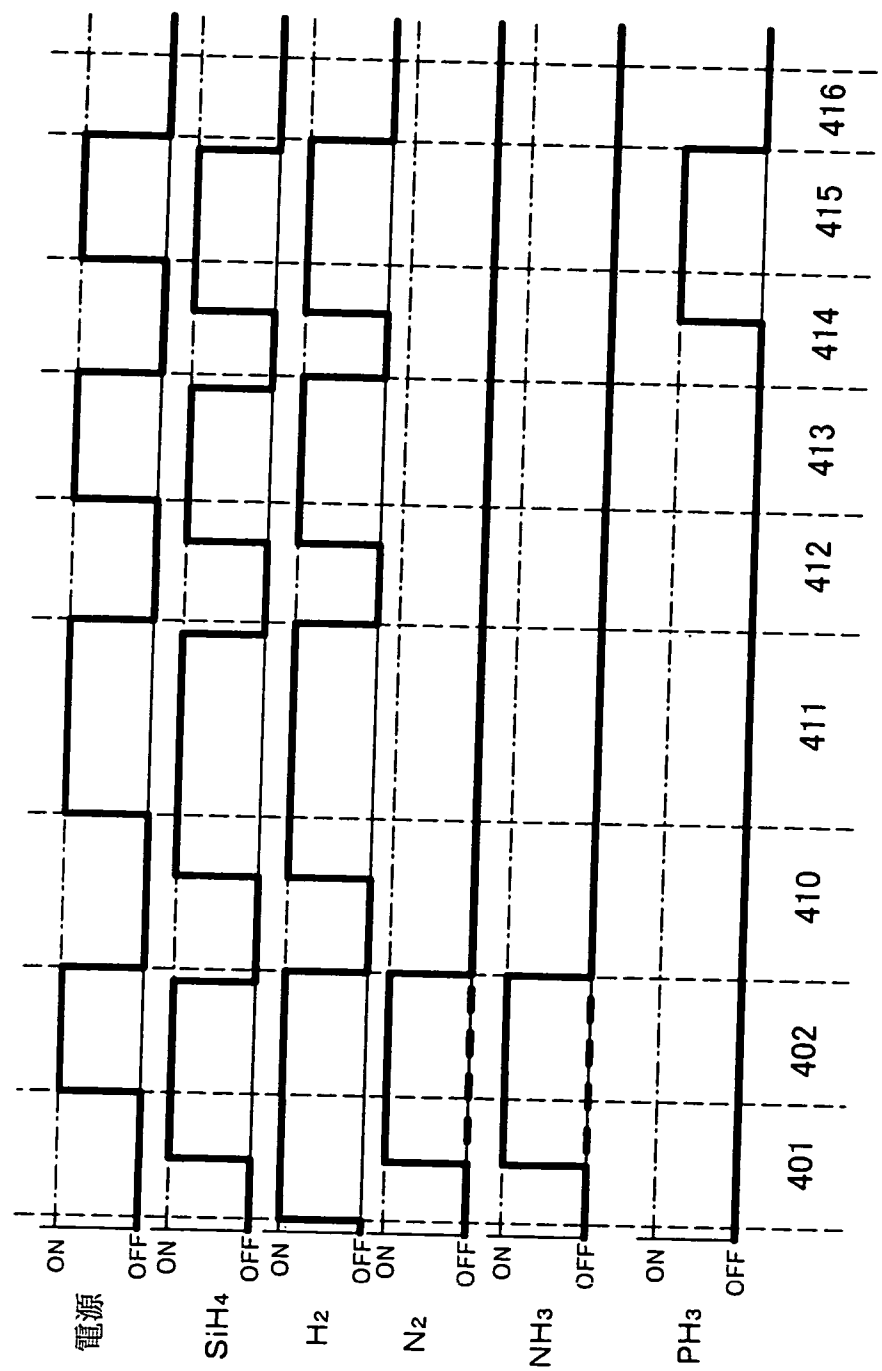


圖15



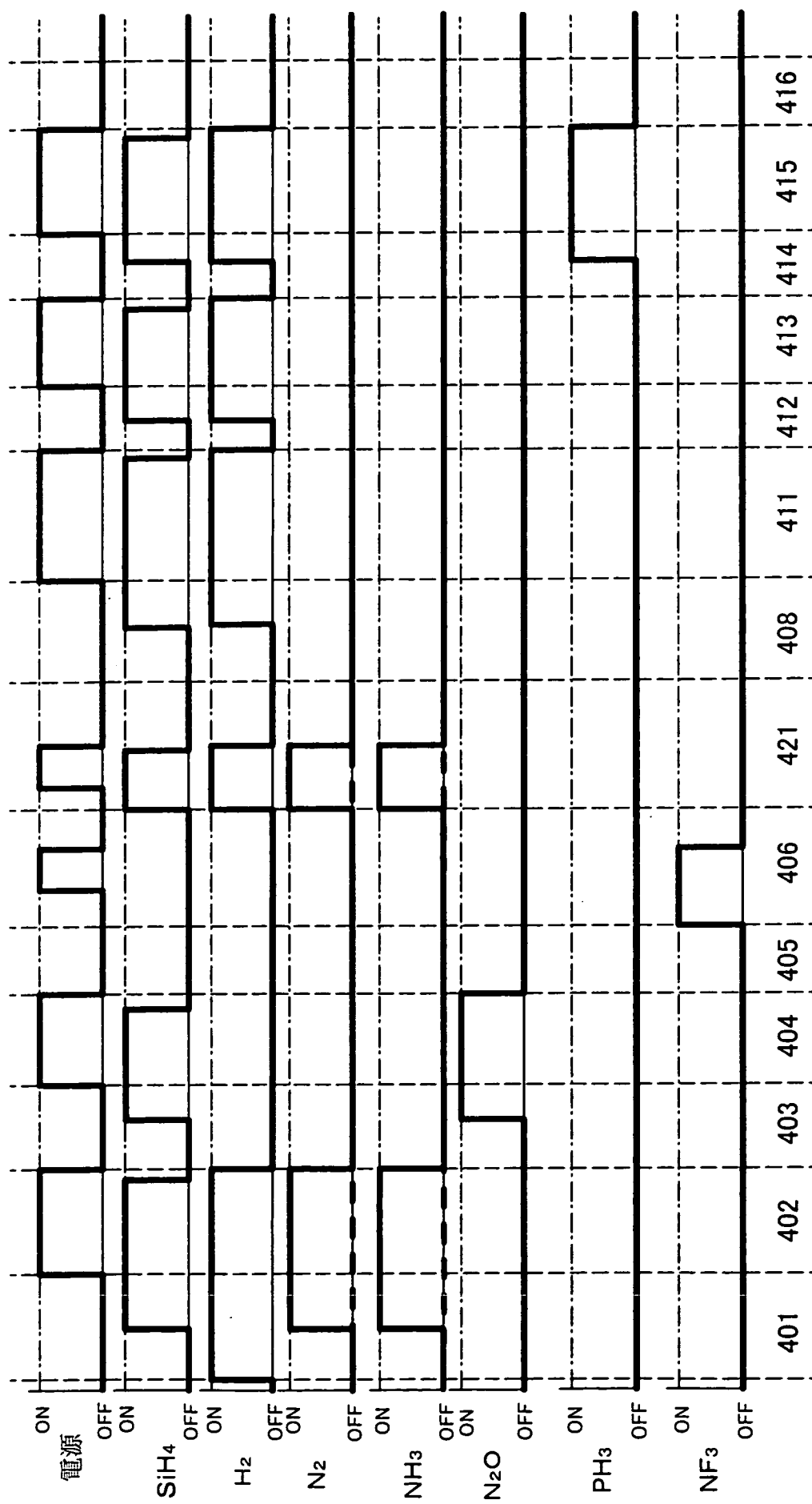


圖 17

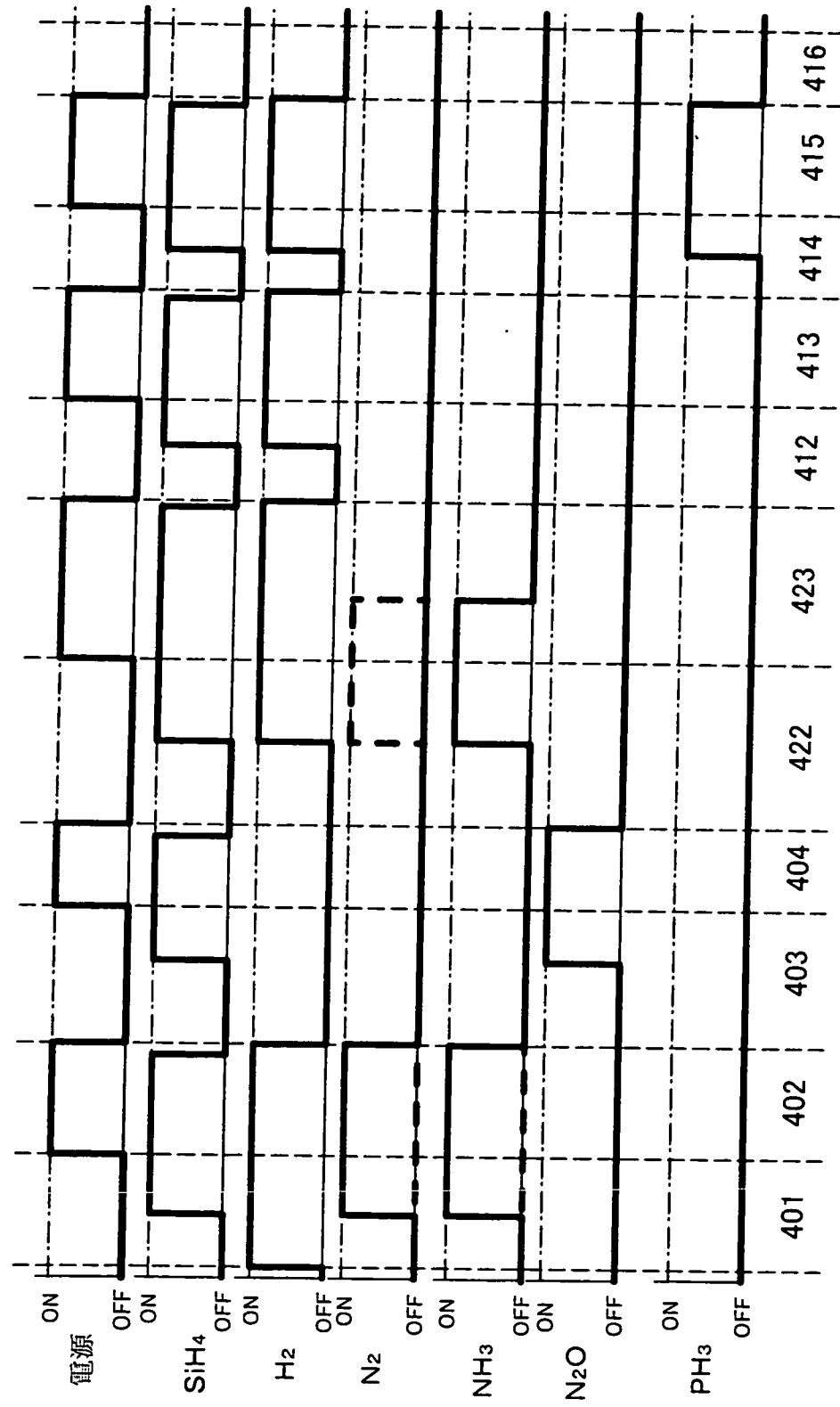


圖 18A

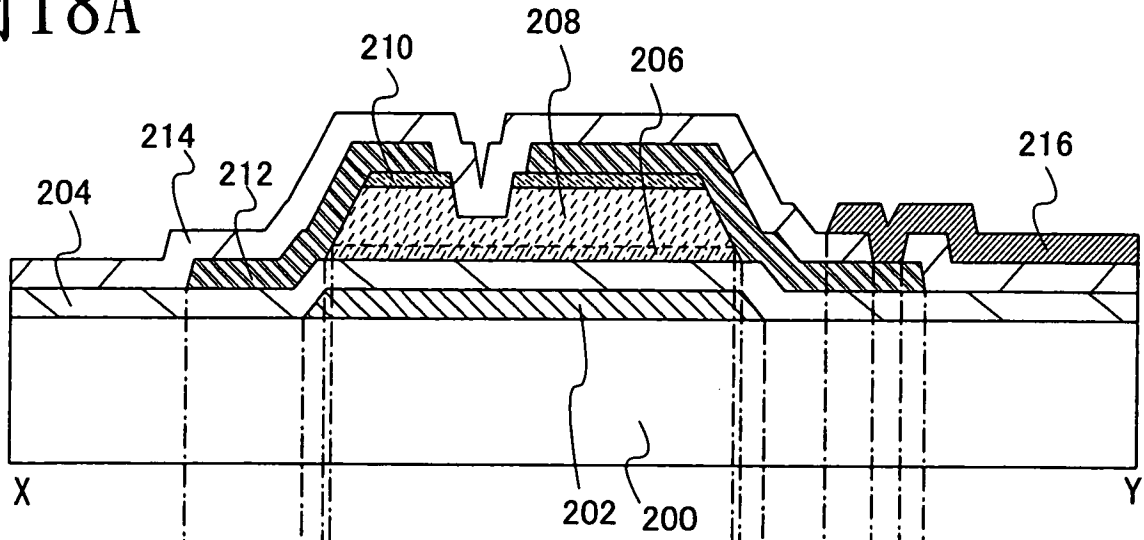


圖 18B

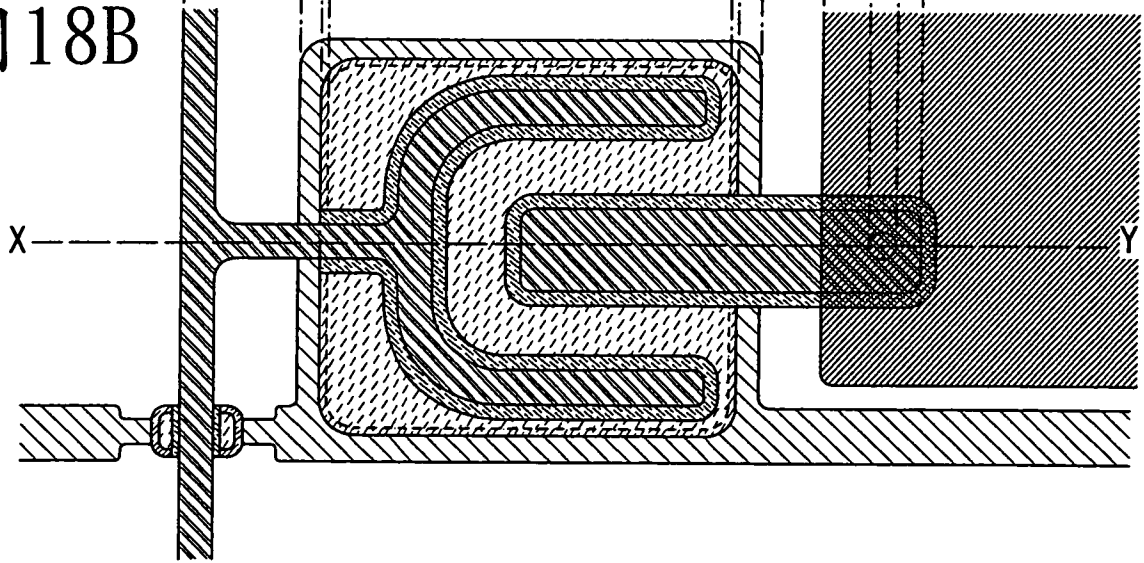


圖 19A

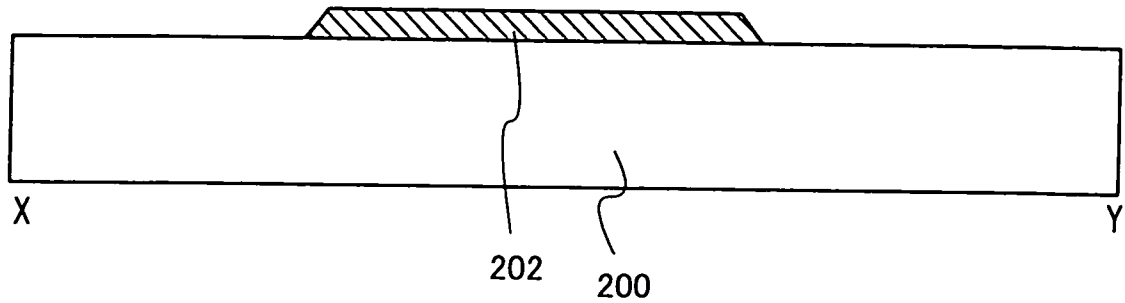


圖 19B

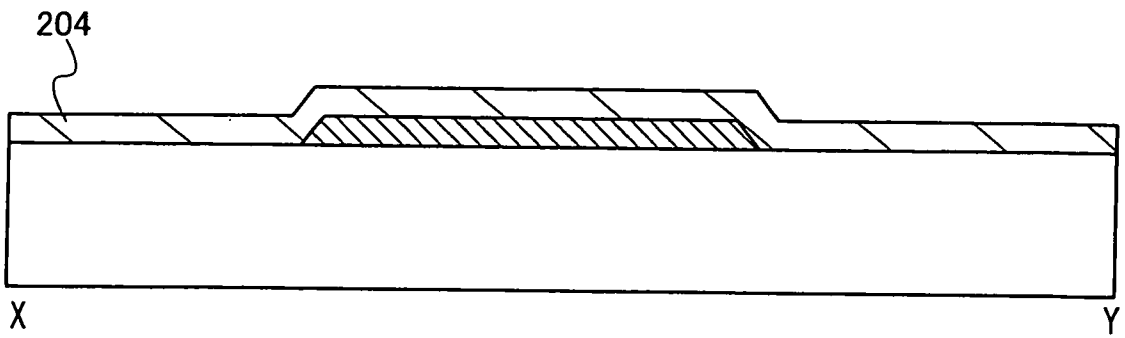


圖 19C

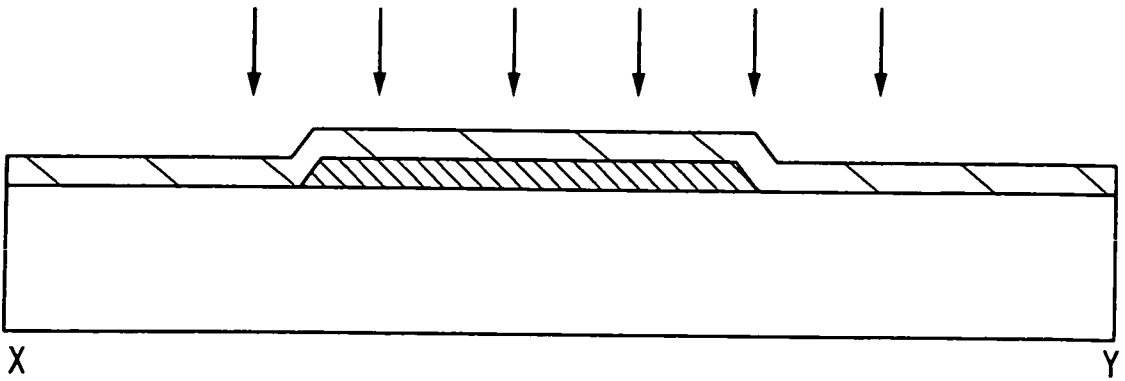


圖 20A

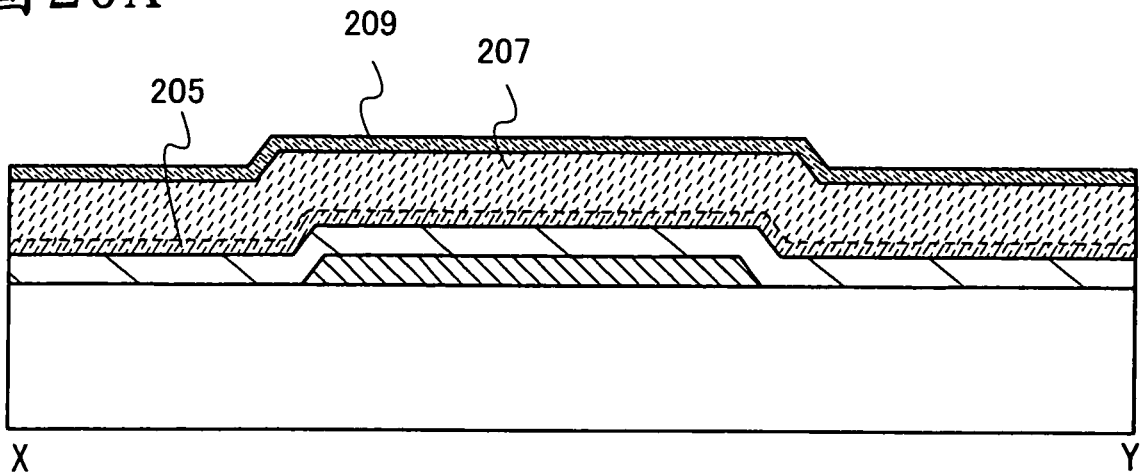


圖 20B

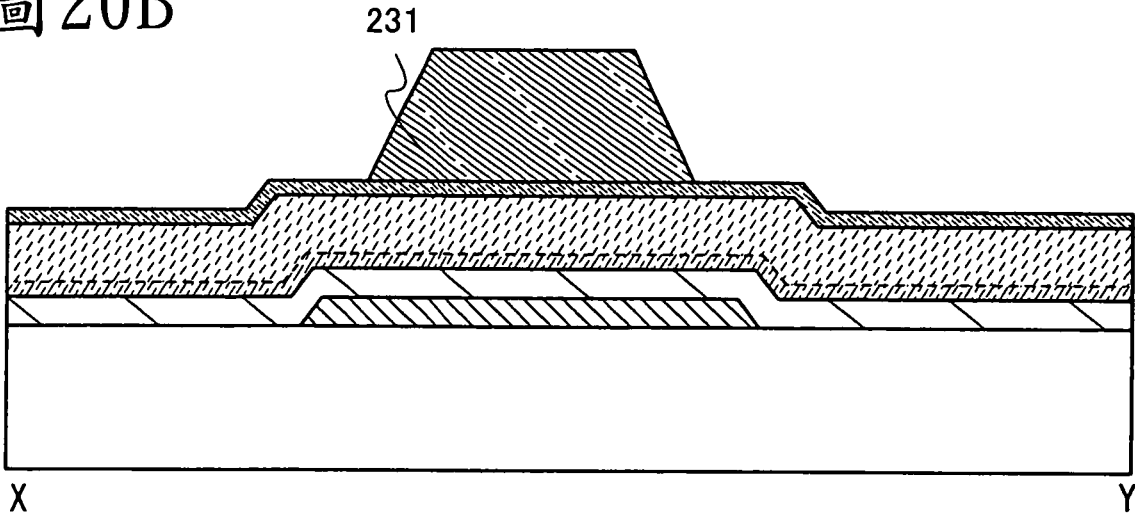


圖 20C

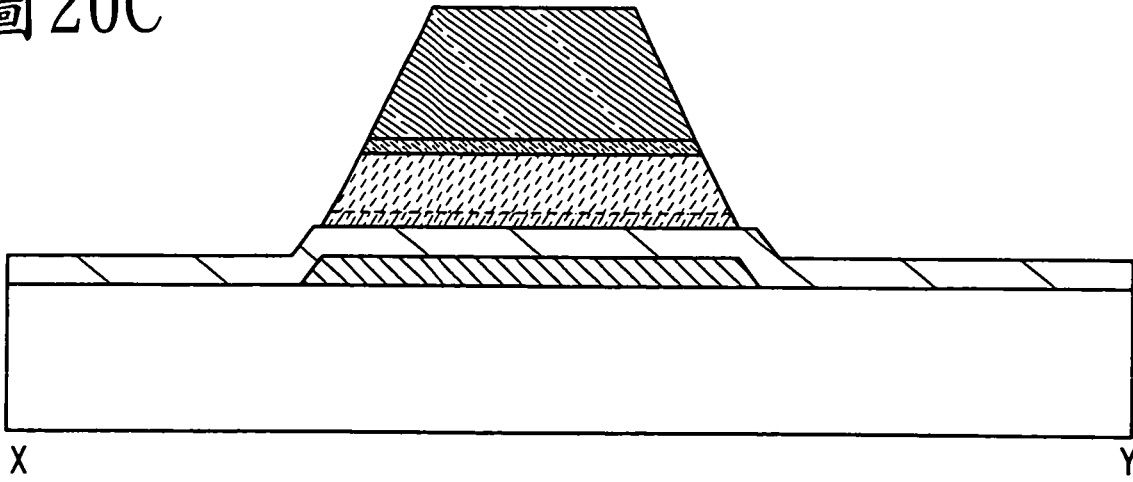


圖 21A

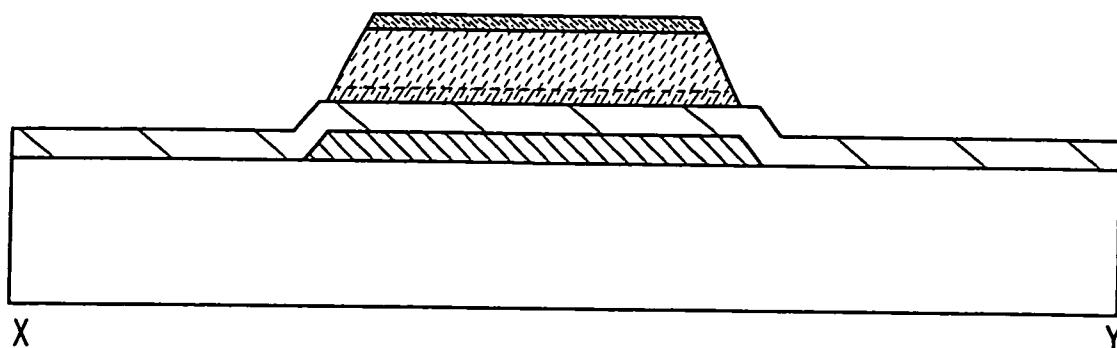


圖 21B

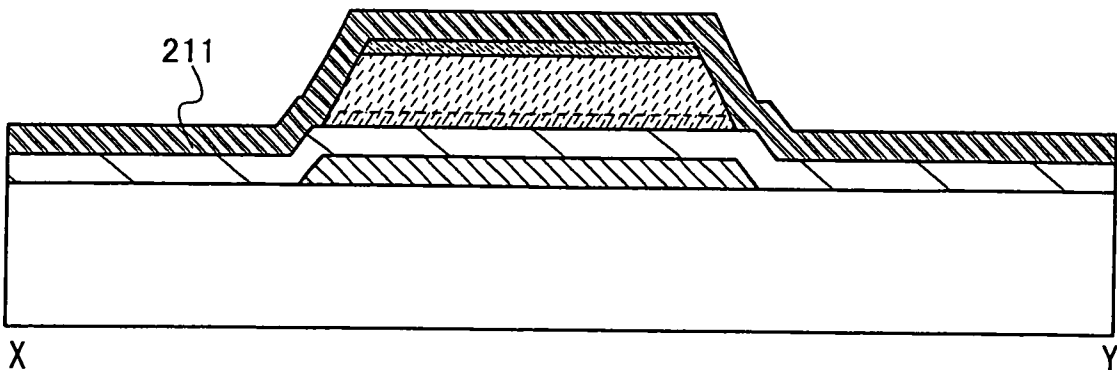


圖 21C

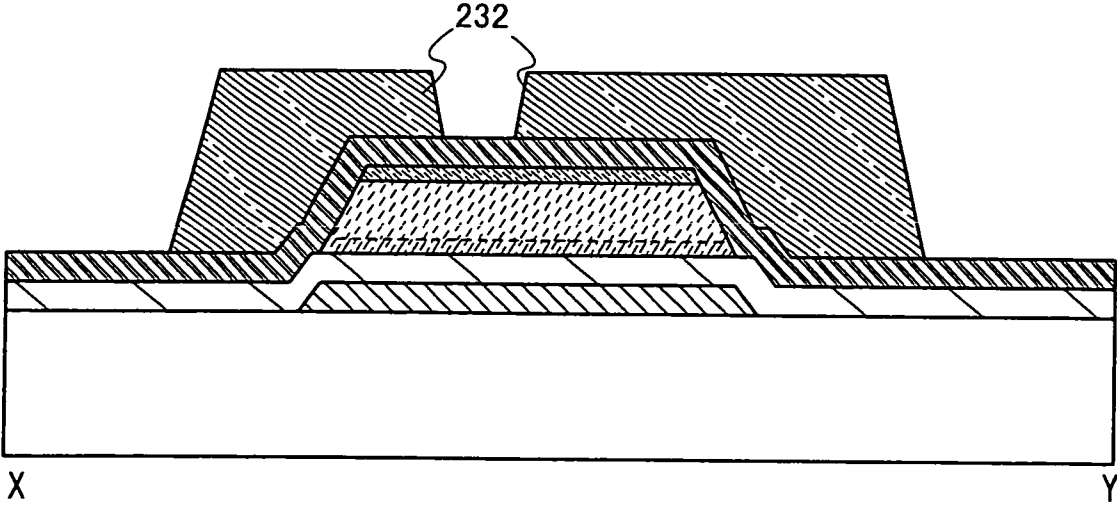


圖 22A

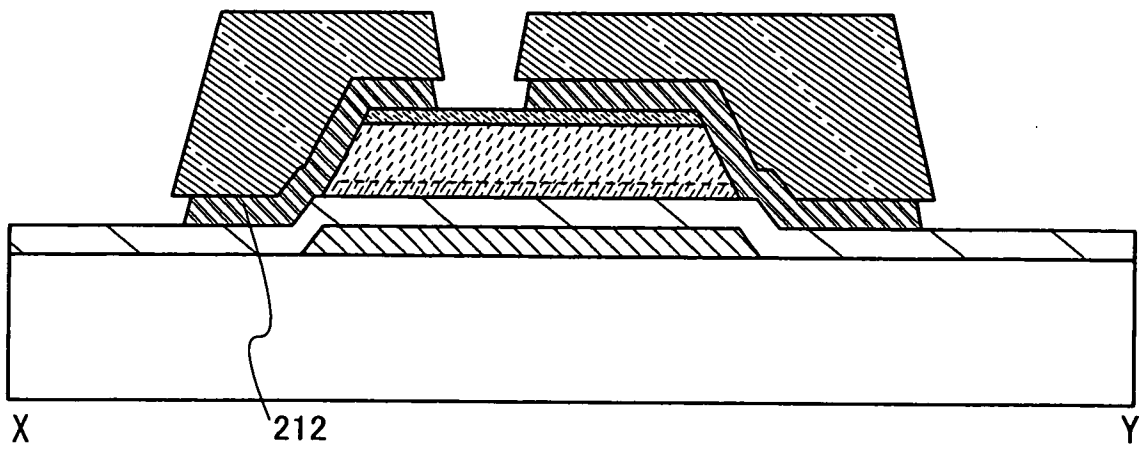


圖 22B

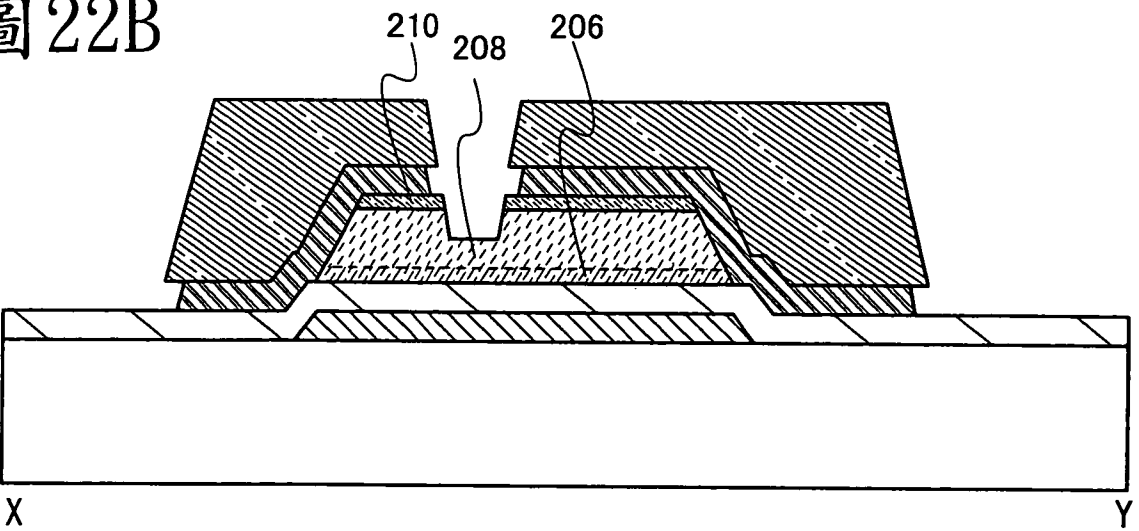


圖 22C

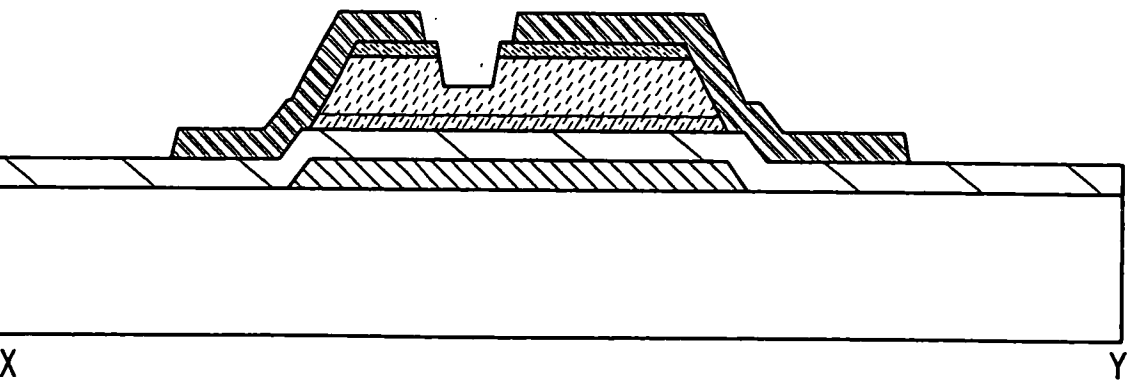


圖23

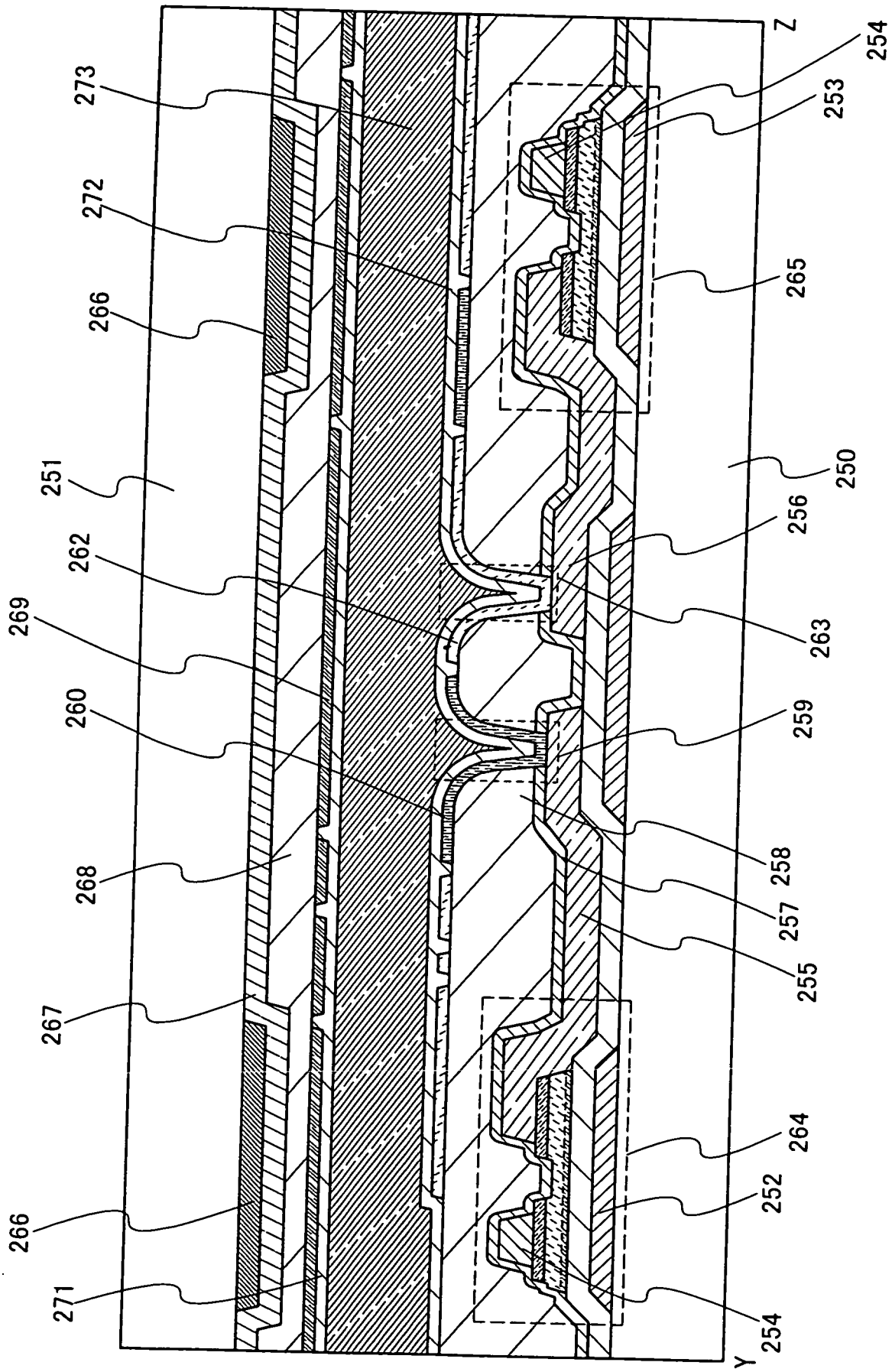


圖24

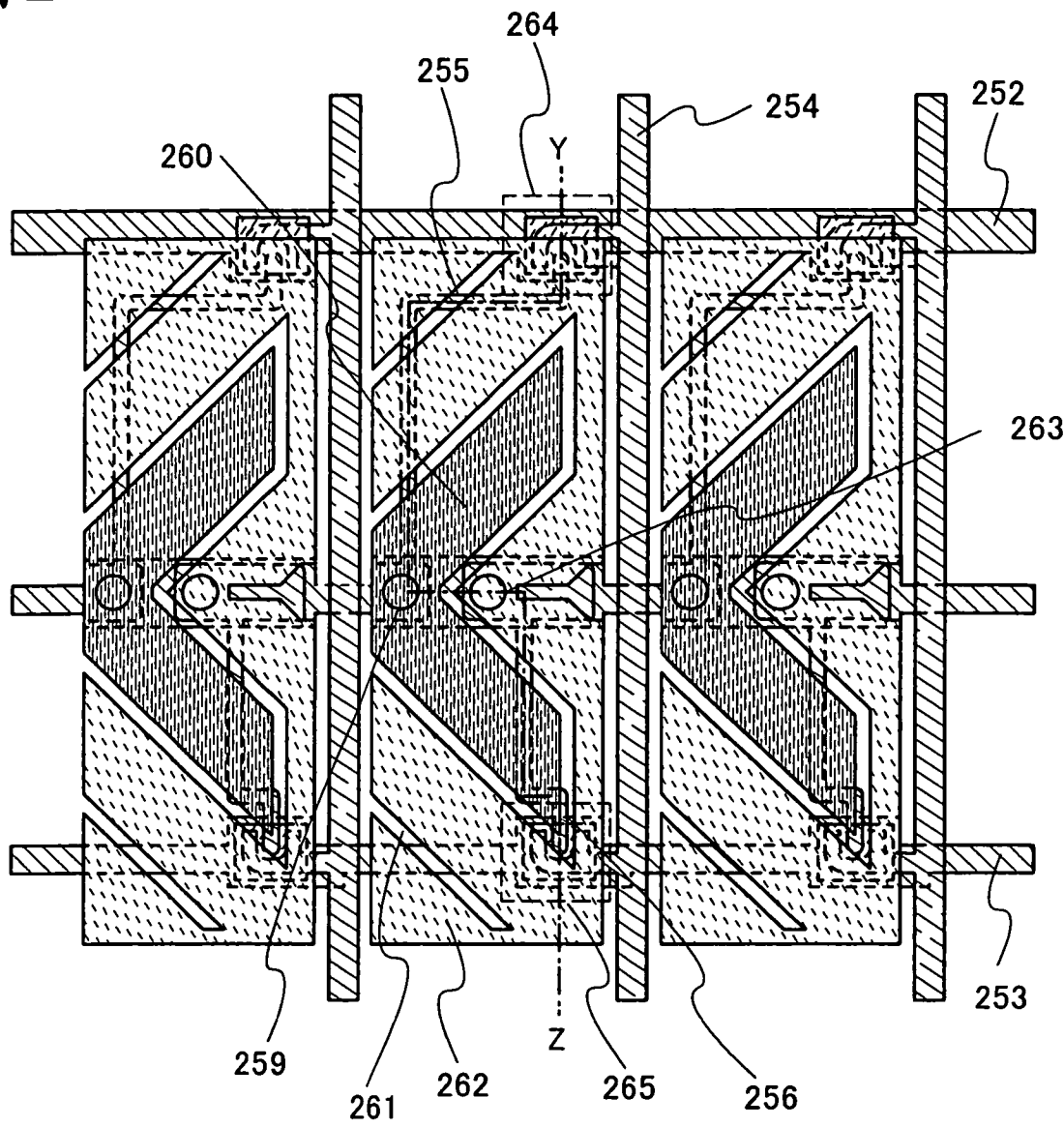


圖 25

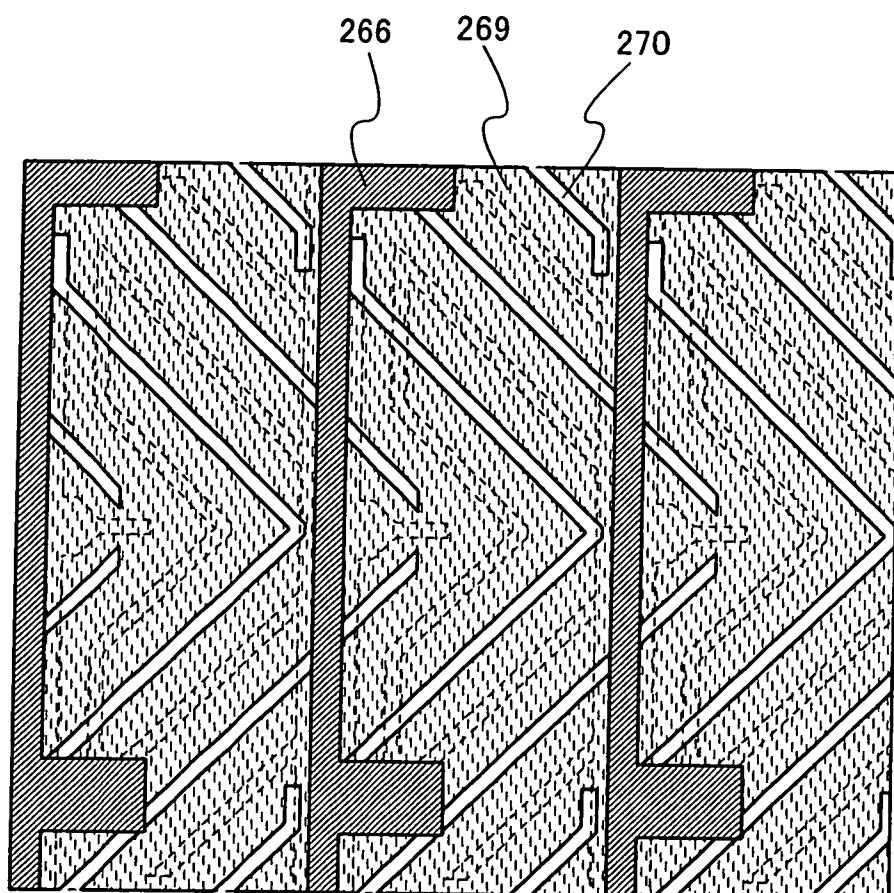


圖26A

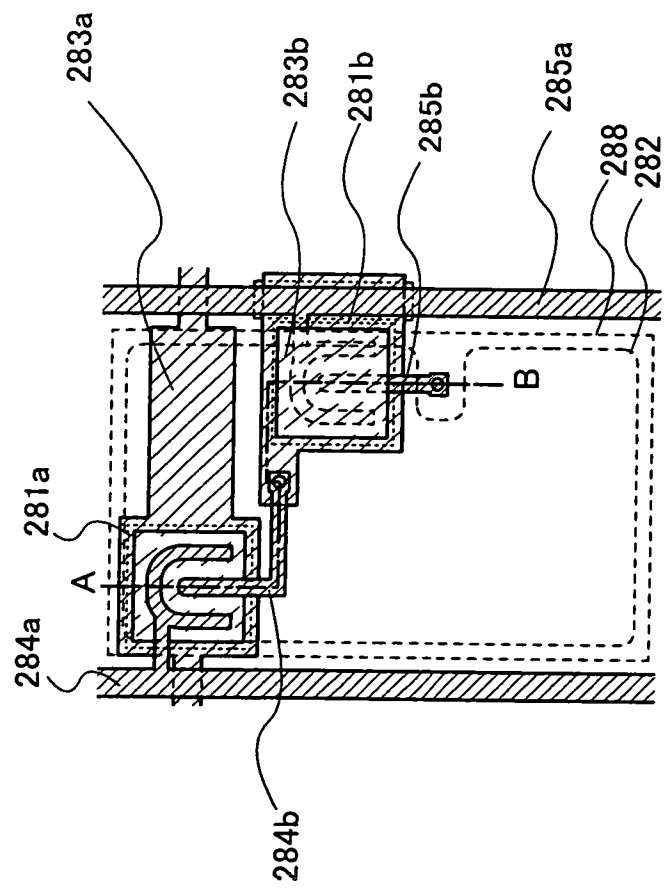


圖26B

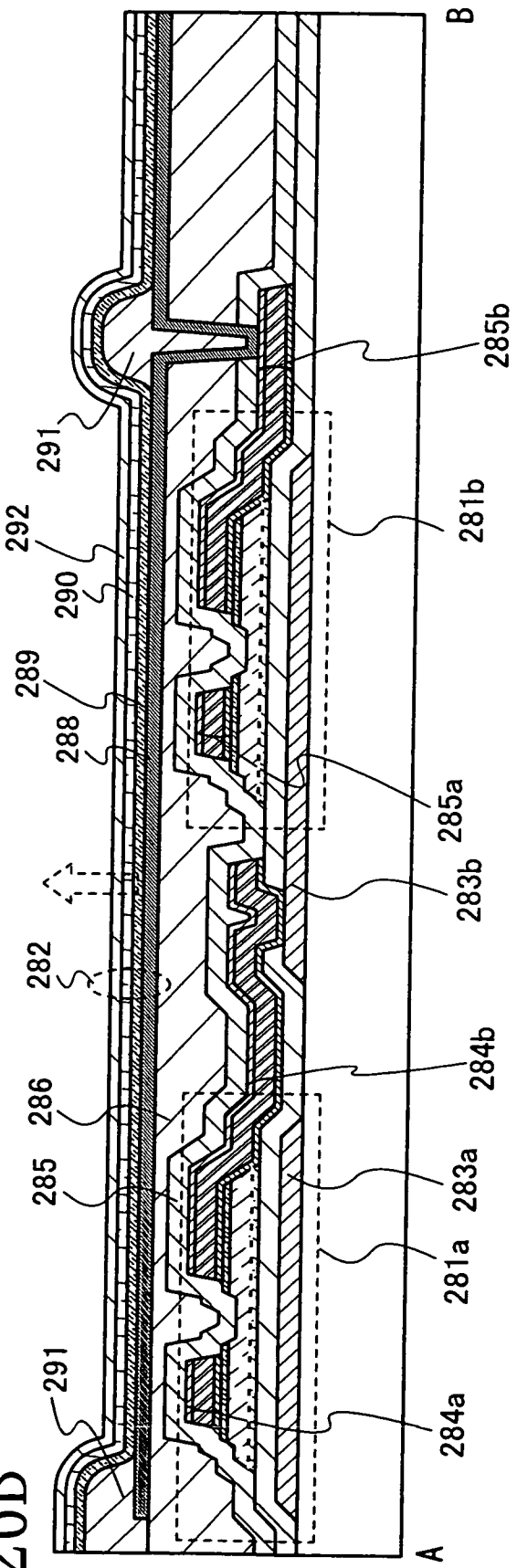


圖 27A

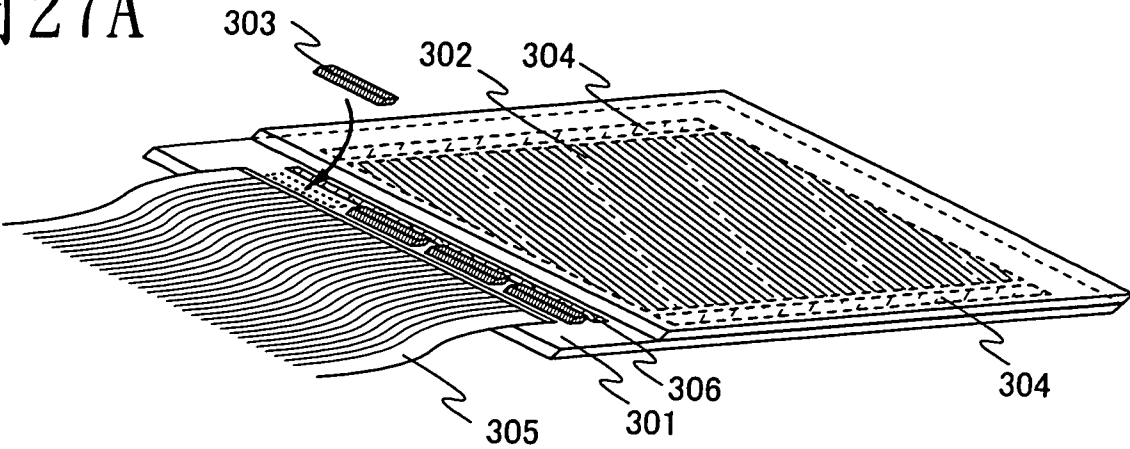


圖 27B

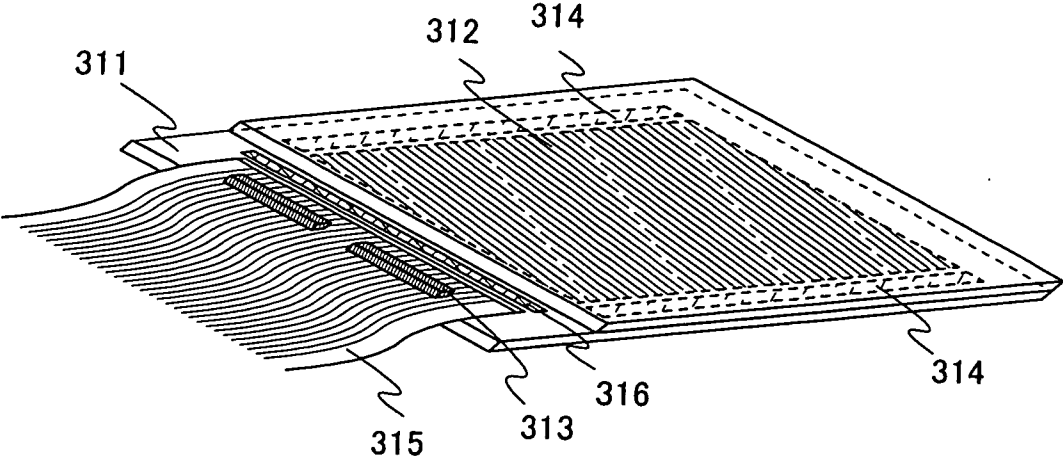


圖 27C

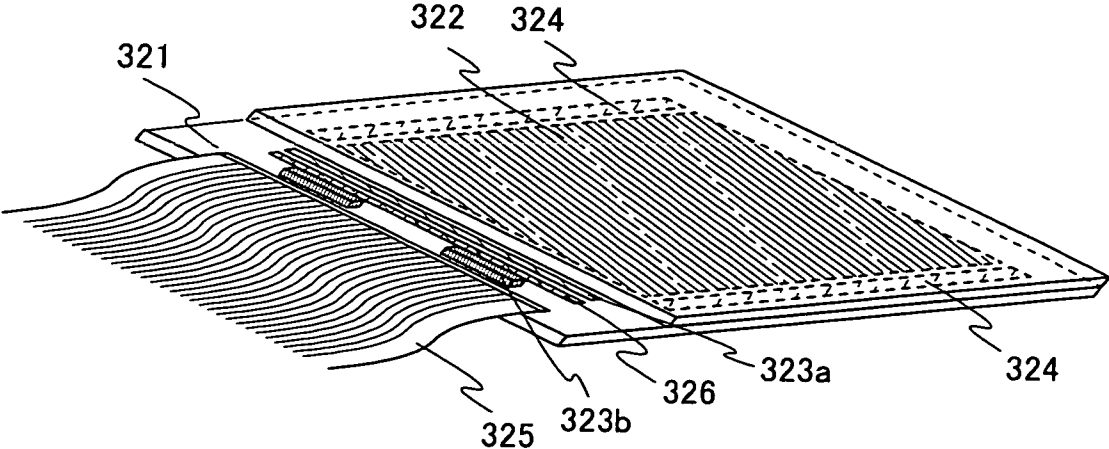


圖 28A

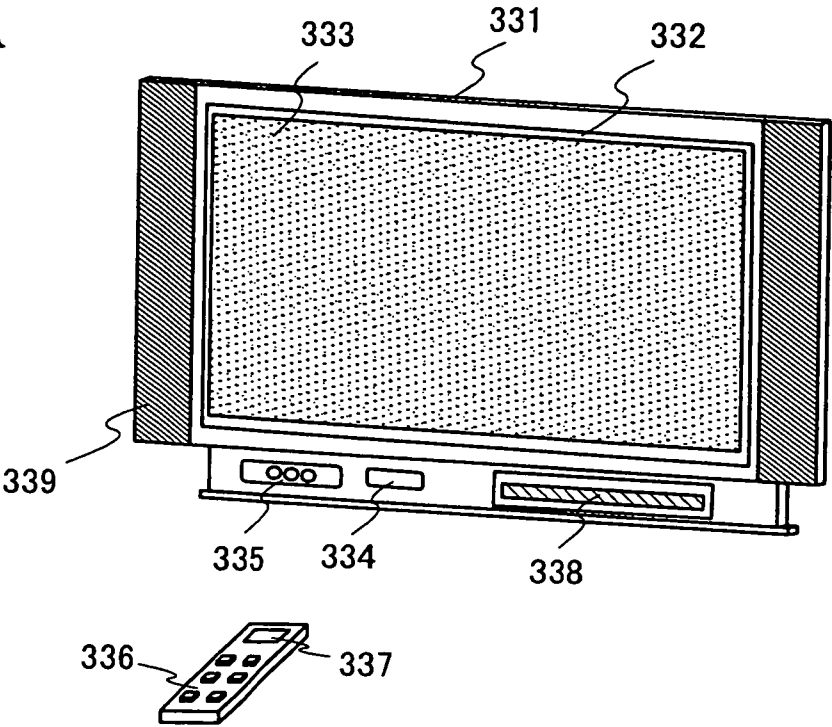


圖 28B

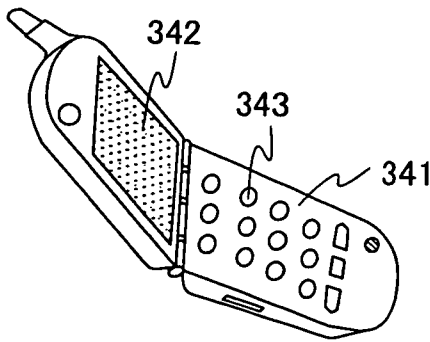


圖 28C

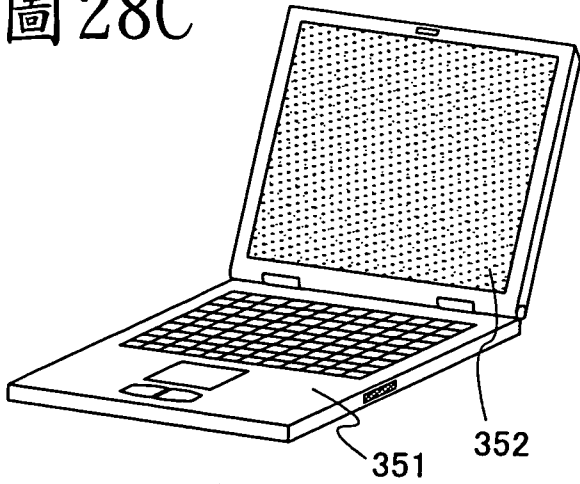


圖 28D

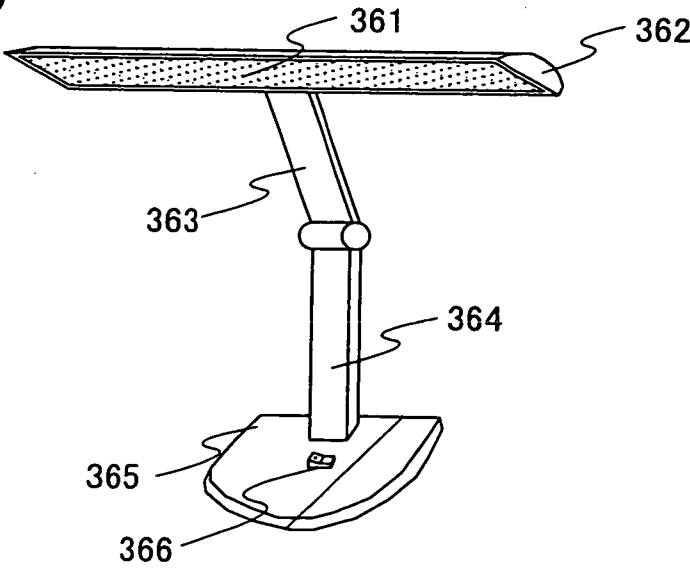


圖 29

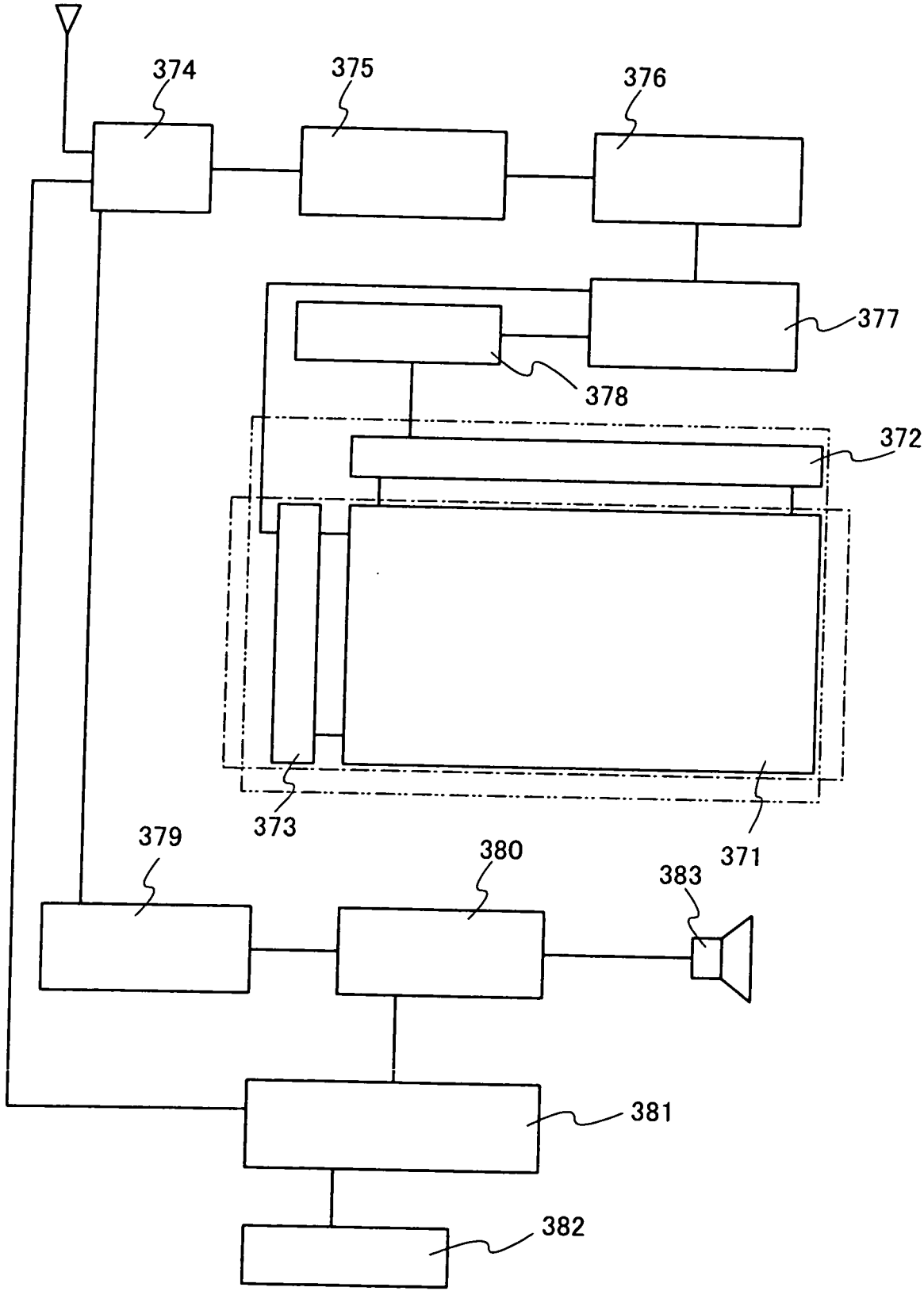


圖 30A

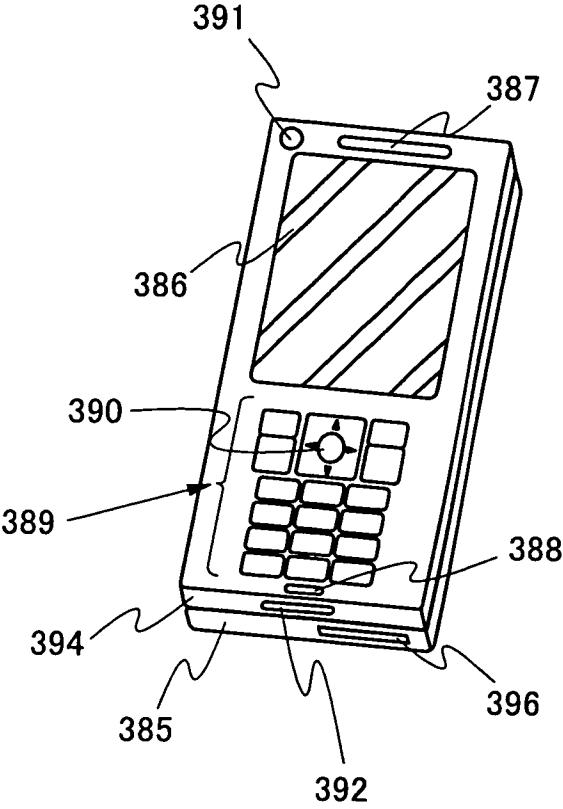


圖 30B

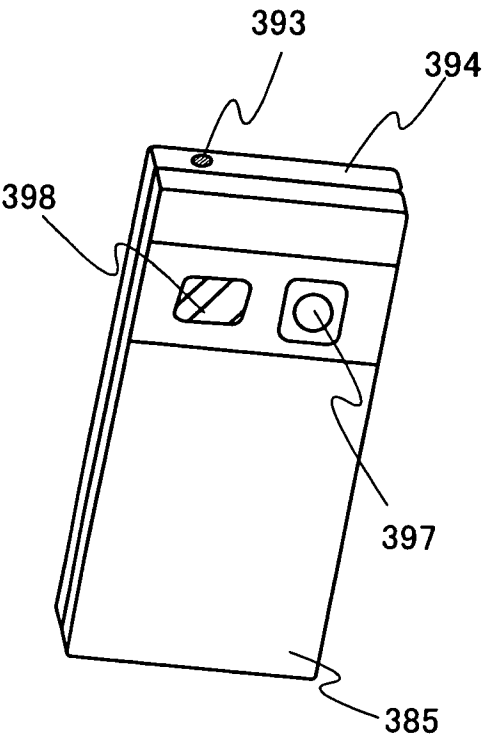


圖 30C

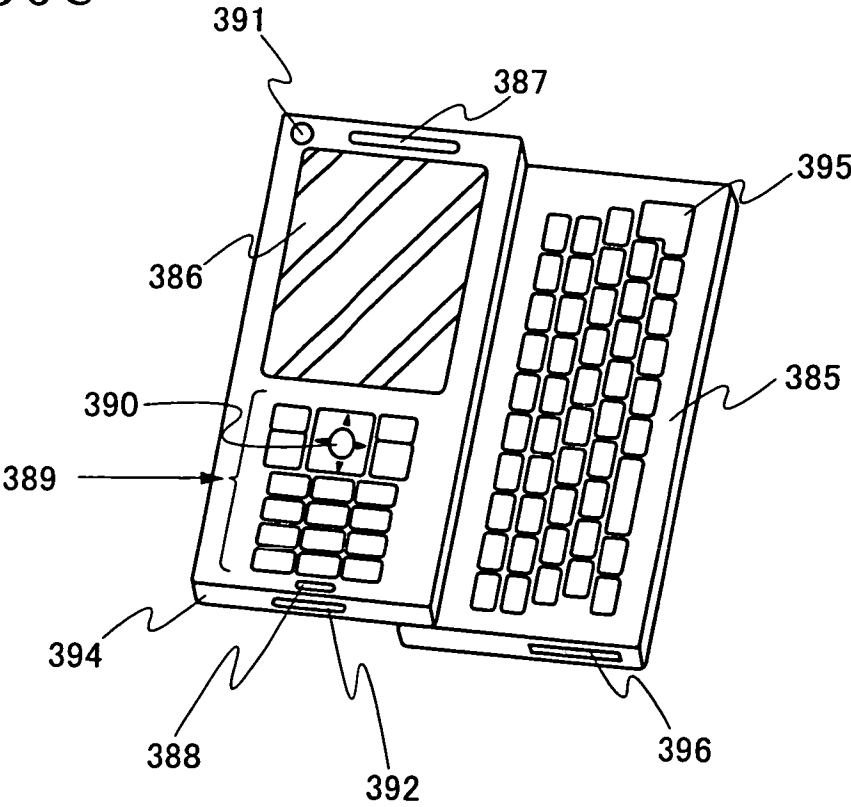


圖 31A

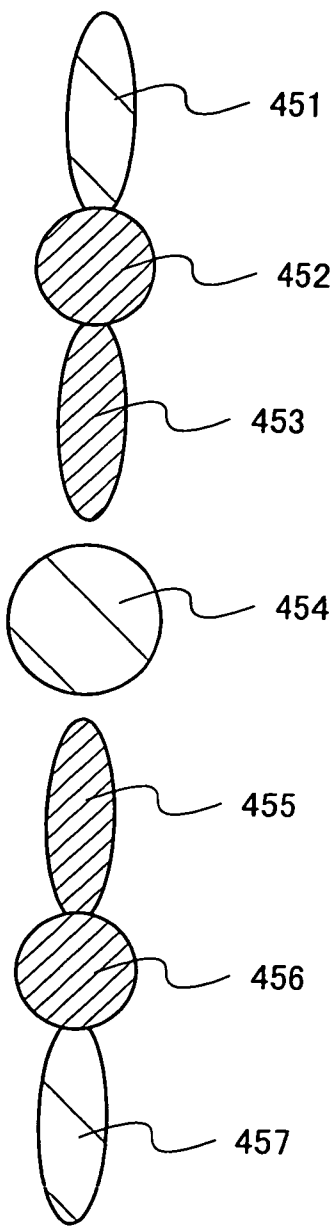


圖 31B

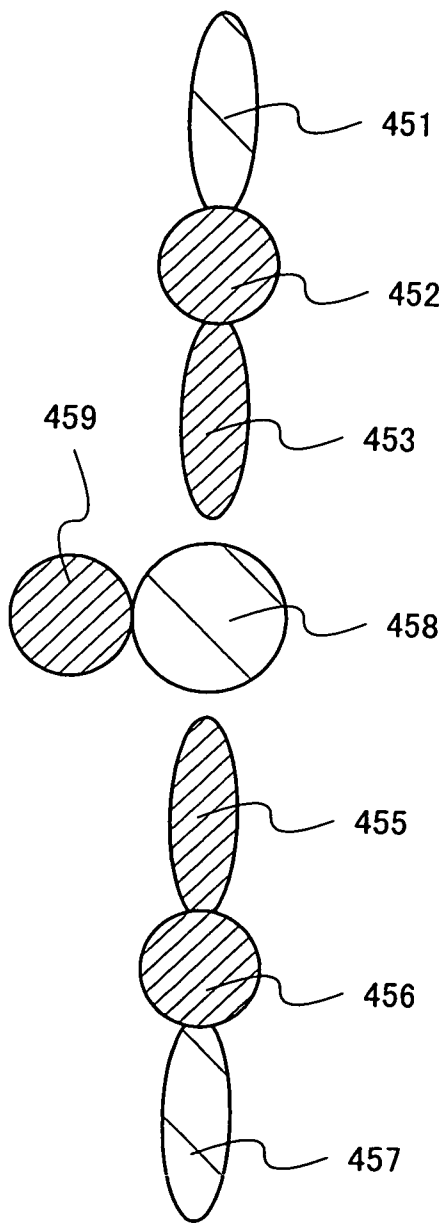
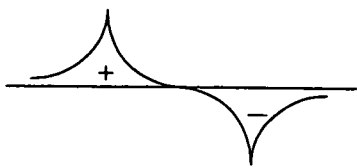


圖 32A



反結合性軌道

圖 32B



結合性軌道

圖 33

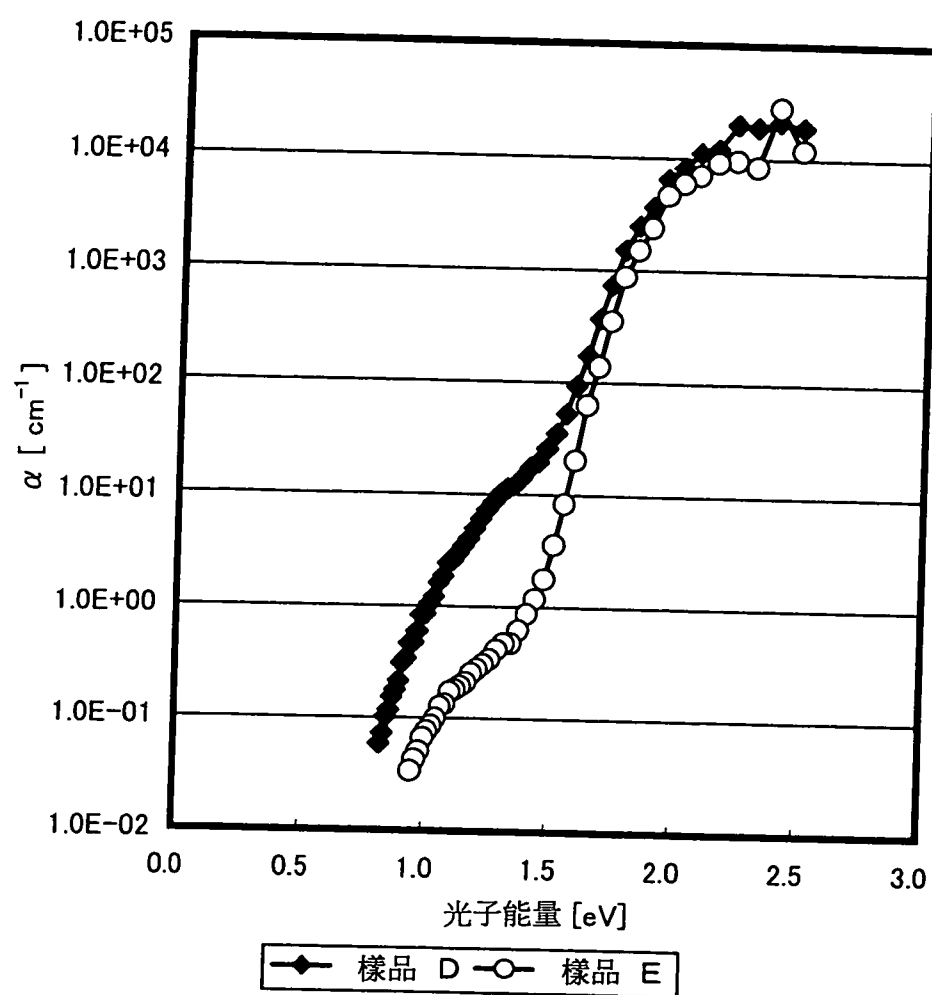


圖 34

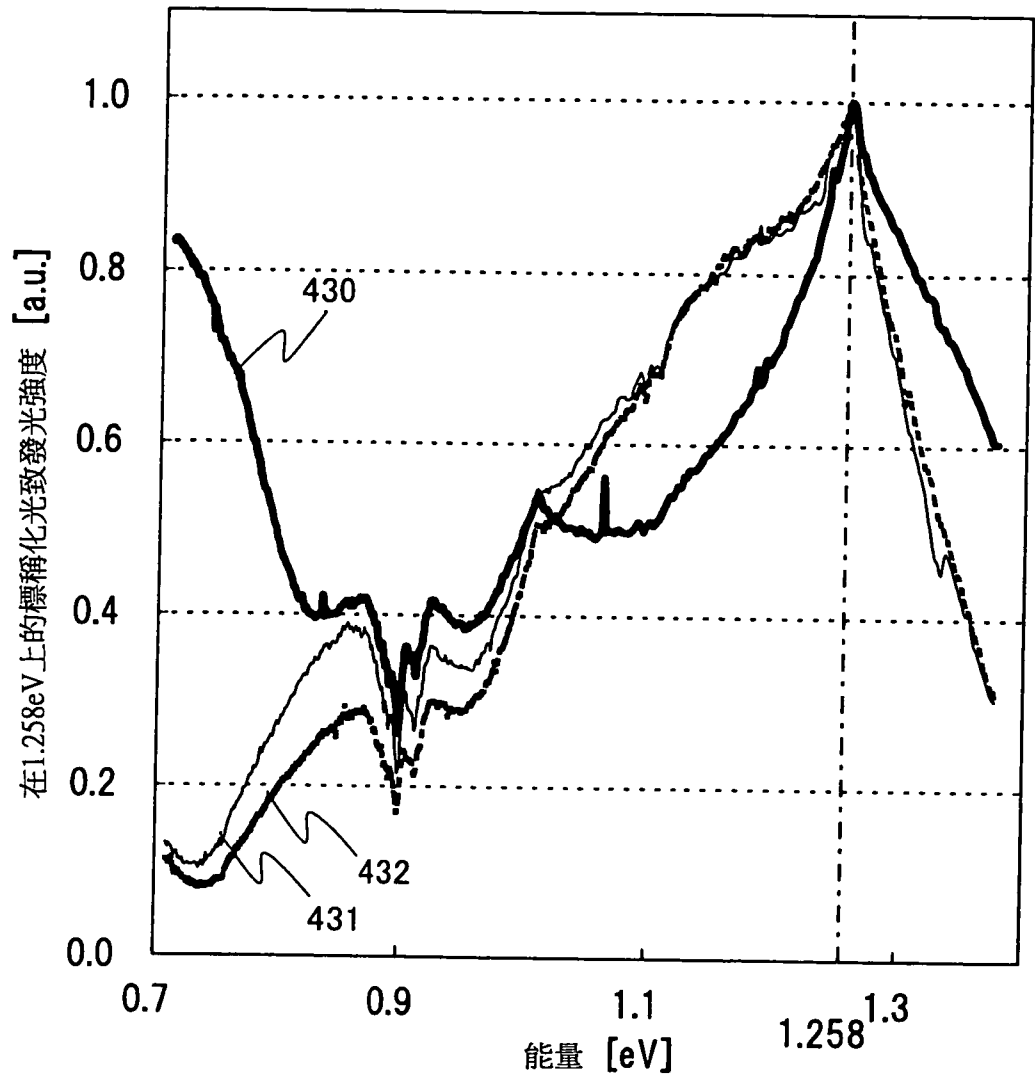


圖 35

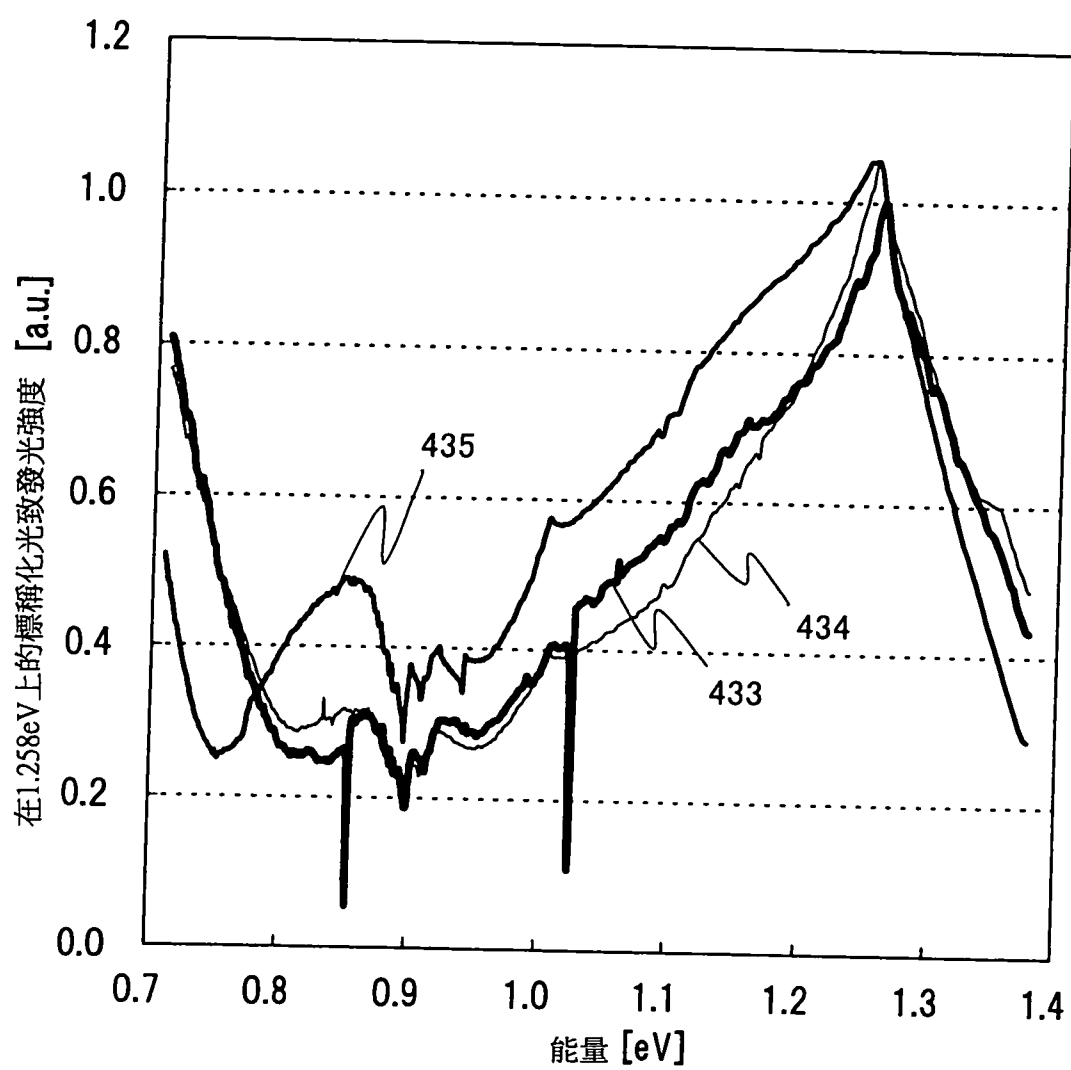


圖 36

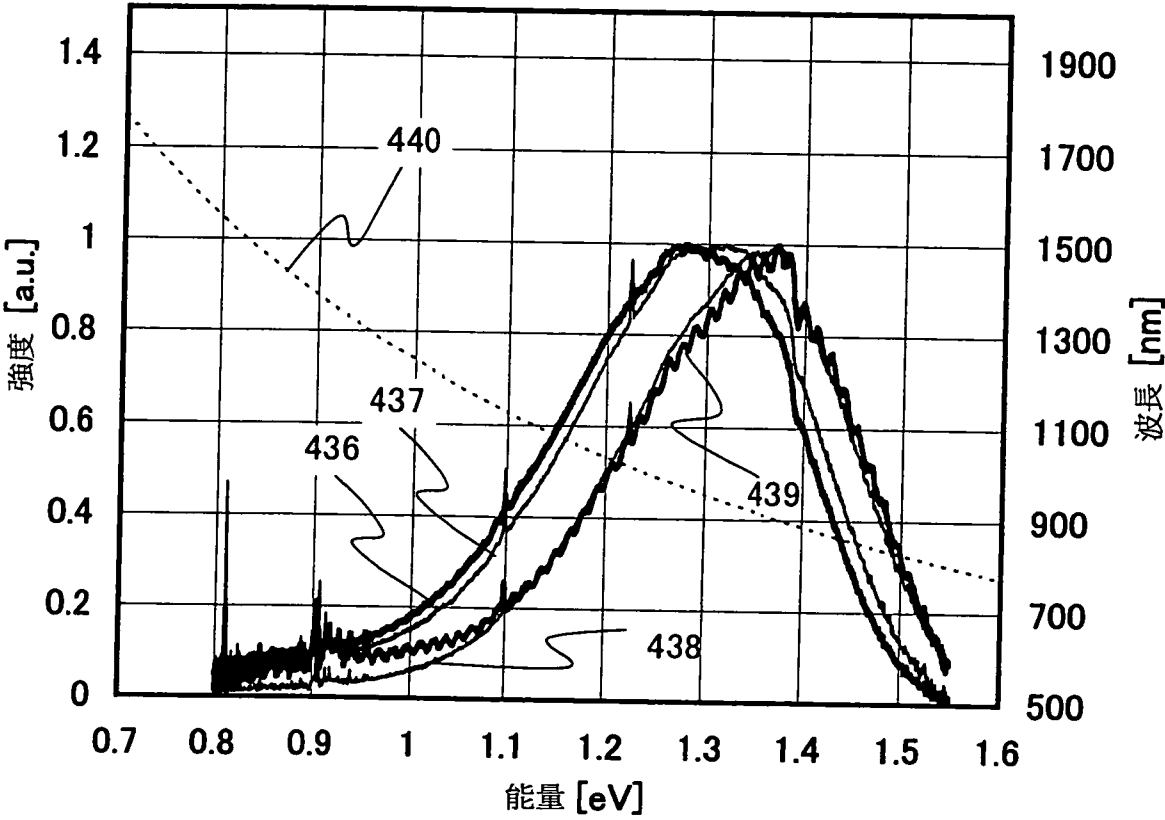


圖 37

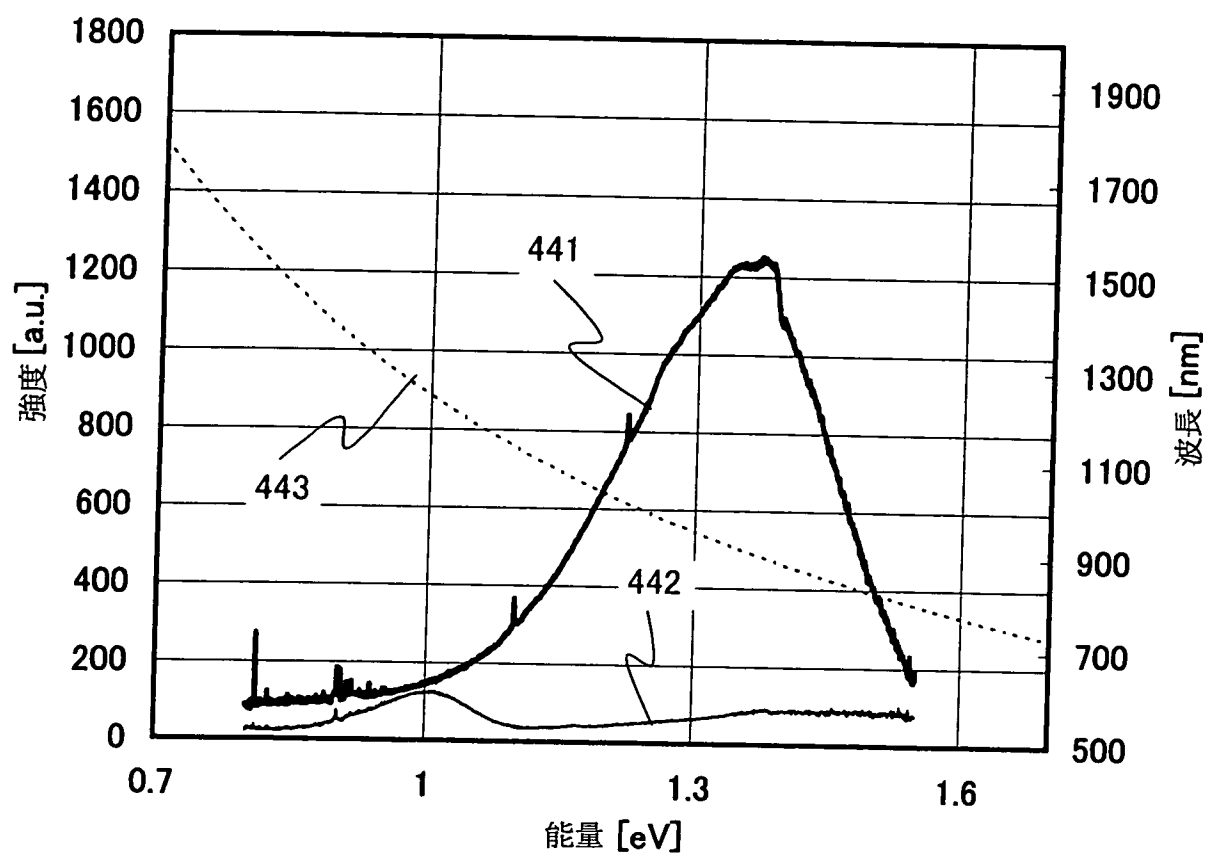


圖 38A

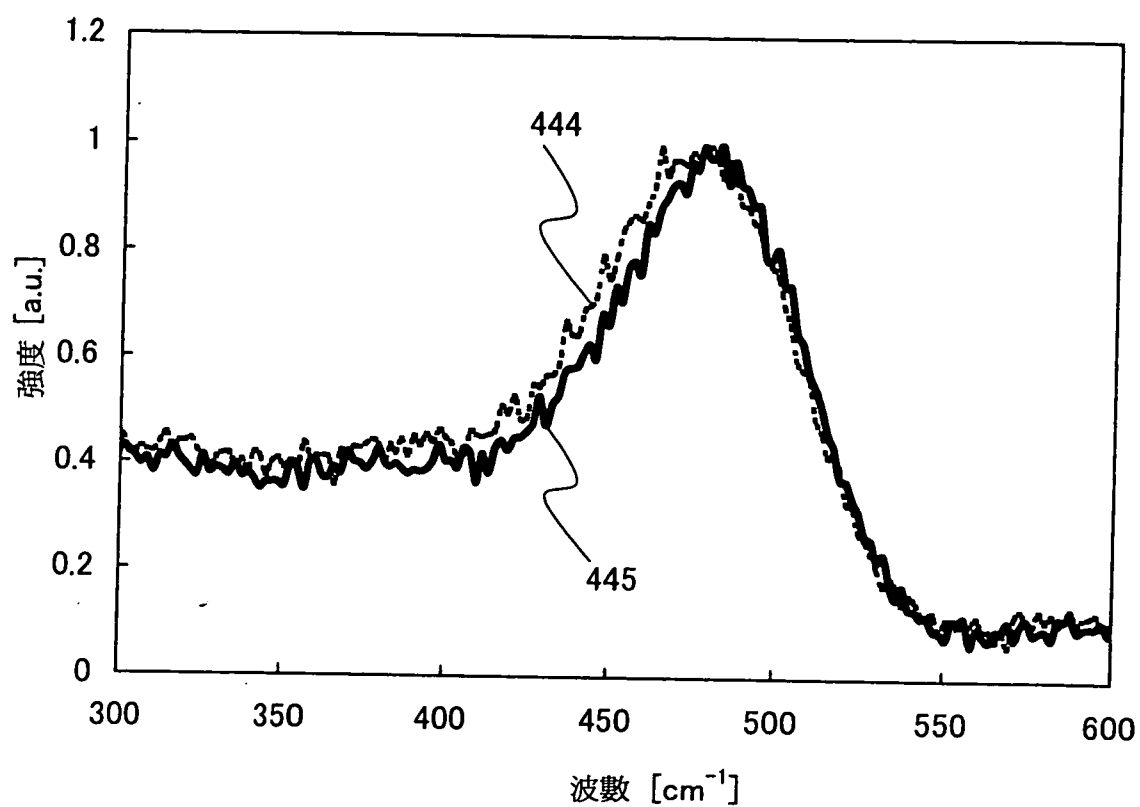


圖 38B

