



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I596651 B

(45)公告日：中華民國 106 (2017) 年 08 月 21 日

(21)申請案號：104143236

(22)申請日：中華民國 104 (2015) 年 12 月 22 日

(51)Int. Cl. : H01L21/02 (2006.01)

B23K20/00 (2006.01)

(30)優先權：2014/12/22 日本

2014-259115

(71)申請人：三菱重工工作機械股份有限公司 (日本) MITSUBISHI HEAVY INDUSTRIES
MACHINE TOOL CO., LTD. (JP)

日本

(72)發明人：內海淳 UTSUMI, JUN (JP)；後藤崇之 GOTO, TAKAYUKI (JP)；鈴木毅典 SUZUKI,
TAKENORI (JP)；井手健介 IDE, KENSUKE (JP)

(74)代理人：陳長文

(56)參考文獻：

JP 6-84733A

JP 10-256263A

JP 2012-238729A

審查人員：邱迺軒

申請專利範圍項數：9 項 圖式數：15 共 33 頁

(54)名稱

半導體裝置及半導體裝置之製造方法

(57)摘要

本發明提供一種半導體裝置及半導體裝置之製造方法。該半導體裝置之特徵在於：其係將接合電極 23、26 及絕緣層 22、25 分別於表面 17A、18A 露出之晶圓常溫接合而成者，且在表面 17A、18A 之間具備單獨時顯示非導電性而且與接合電極 23、26 結合而顯示導電性之接合中間層 30。

指定代表圖：



30b . . . 導電接合部

公告本

發明摘要

※ 申請案號：104143236

※ 申請日：104.12.22, ※IPC 分類：H01L 21/02 (2006.1)
B23K 20/00 (2006.1)

【發明名稱】

半導體裝置及半導體裝置之製造方法

【中文】

本發明提供一種半導體裝置及半導體裝置之製造方法。該半導體裝置之特徵在於：其係將接合電極23、26及絕緣層22、25分別於表面17A、18A露出之晶圓常溫接合而成者，且在表面17A、18A之間具備單獨時顯示非導電性而且與接合電極23、26結合而顯示導電性之接合中間層30。

【英文】

無

【代表圖】

【本案指定代表圖】：第（4）圖。

【本代表圖之符號簡單說明】：

17A	表面(接合面)
18A	表面(接合面)
21	第1半導體基材
22	第1絕緣層(絕緣材料)
23	第1接合電極(導電材料)
24	第2半導體基材
25	第2絕緣層(絕緣材料)
26	第2接合電極(導電材料)
30	接合中間層
30a	絕緣接合部
30b	導電接合部

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

半導體裝置及半導體裝置之製造方法

【技術領域】

本發明係關於一種將複數個基板接合而形成之半導體裝置及半導體裝置之製造方法。

【先前技術】

近年來，關於半導體裝置之高積體化，將同種或異種之半導體裝置積層化之三維積體化技術受到關注。在該三維積體化技術中，重要的是將構成電極或配線之導電材料與絕緣材料露出之基板之接合面彼此接合的技術。一般而言，作為2片基板之接合技術，已知悉常溫接合。所謂常溫接合係指藉由使待接合之2片基板之接合面在真空環境中活性化且將被活性化之接合面彼此壓接而接合之技術。在常溫接合中，能夠無需熱處理而將接合材料(基板)彼此直接接合。因此，具有能夠抑制伴隨熱處理而產生之基板之膨脹等之變形，並在接合時能夠正確地進行2片基板之對準此等優點。

且說在上述常溫接合中，雖然能夠將作為導電材料之金屬類彼此直接接合，但是無法將一般用作絕緣材料之氧化膜或氮化膜等直接接合。為此，先前曾提出一種常溫接合方法，其能夠利用附著於接合面之極微量金屬而同時將導電材料與絕緣材料接合(混合接合)(例如參照專利文獻1)。

[先前技術文獻]

[專利文獻]

[專利文獻1]日本專利第4162094號公報

【發明內容】**[發明所欲解決之問題]**

然而，由於在基板之接合面上形成有多數微細的導電材料(電極)，故擔憂在先前之接合方法中，由於附著於接合面之金屬導致在接近之導電材料(電極)間產生漏電流，而產生裝置之動作上的問題。

本發明係鑒於上述問題而完成者，其目的在於提供一種防止導電材料間之漏電流之產生，且可同時將導電材料與絕緣材料接合之半導體裝置及半導體裝置之製造方法。

[解決問題之技術手段]

為解決上述問題，且為達成上述目的，本發明之特徵在於：其具備導電材料及絕緣材料分別於半導體基材之接合面露出之一對基板，且係將上述基板彼此常溫接合者；且在一對接合面之間具備單獨時顯示非導電性而且與導電材料結合而顯示導電性之接合中間層。

根據該構成，由於在一對接合面之間具備接合中間層，故能夠同時分別將導電材料及絕緣材料接合。進而，由於接合中間層單獨時顯示非導電性而且與導電材料結合而顯示導電性，故能夠確保導電材料間之導電性，且能夠確保絕緣材料間之非導電性。因此，能夠防止導電材料間之漏電流之產生，而能夠實現半導體裝置之穩定之動作。

又，基板之絕緣材料彼此可介以接合中間層而接合。根據該構成能夠將絕緣材料彼此牢固地接合。

又，接合中間層可由非晶質半導體材料形成。根據該構成，藉由將半導體材料蒸鍍、濺射或化學氣相沈積而能夠在基板之接合面簡單地形成具有單獨時顯示非導電性而且與導電材料結合而顯示導電性之性質的接合中間層。

又，至少一者之基板可形成為接合面之絕緣材料之高度位置較導電材料更低。根據該構成，壓接基板彼此時，由於該壓接荷重係施

加於導電材料上，故接合中間層藉由該導電材料而斷裂。因此，藉由導電材料彼此直接地接合，可在導電材料間之接合中獲得良好的電氣特性及接合強度。

又，本發明之特徵在於：其係將導電材料及絕緣材料分別於半導體基材之接合面露出之一對基板彼此常溫接合而製造之半導體裝置之製造方法，且具備如下步驟：分別使基板之接合面活性化；在被活性化之接合面之至少一者，形成單獨時顯示非導電性而且與導電材料結合而顯示導電性之接合中間層；及介以接合中間層而將一對基板彼此壓接。根據該構成，可容易地實現同時分別將導電材料及絕緣材料接合之混合接合。

又，接合中間層可藉由半導體材料之蒸鍍或濺射或是化學氣相沈積而形成。根據該構成，能夠在基板之接合面簡單地形成接合中間層。

又，可行的是，在藉由朝半導體材料照射高速原子射束而將半導體材料濺射，從而在一者之基板之接合面形成接合中間層後，藉由朝形成於該接合面之接合中間層照射高速原子射束而將形成該接合中間層之半導體材料之一部分濺射，從而在另一者之基板之接合面形成接合中間層。根據該構成，能夠將作業步驟簡單化，且能夠在各基板之接合面簡單地形成接合中間層。

又，可行的是，至少一者之基板形成為接合面之絕緣材料之高度位置較導電材料更低，且接合中間層在壓接基板彼此時藉由導電材料而斷裂，從而該導電材料彼此直接地接合。根據該構成，藉由導電材料彼此直接地接合，可在導電材料間之接合中獲得良好的電氣特性及接合強度。

另外，可具備在壓接一對基板後，以特定之溫度加熱該基板之步驟。根據該構成，能夠追求導電材料間之接合強度及電氣特性之提

高。

[發明之效果]

根據本發明，能夠防止導電材料間之漏電流的產生，且能夠同時將導電材料與絕緣材料接合。

【圖式簡單說明】

圖1係示意性地顯示本實施形態之將半導體裝置接合之常溫接合裝置之構成的剖面圖。

圖2係示意性地顯示接合前之第1晶圓與第2晶圓之構成的剖面圖。

圖3係示意性地顯示將第1晶圓與第2晶圓接合而形成之半導體裝置之構成的剖面圖。

圖4係示意性地顯示已將第1晶圓與第2晶圓接合之狀態的剖面圖。

圖5係顯示作為絕緣層之 $\text{SiO}_2/\text{SiO}_2$ 之接合界面的穿透式電子顯微鏡相片。

圖6係顯示作為接合電極之 Cu/Cu 之接合界面的穿透式電子顯微鏡相片。

圖7係顯示測定點之Si-L吸收端之EELS(電子能量損失分光術)能譜的圖。

圖8係顯示測定點之O-K吸收端之EELS能譜的圖。

圖9係顯示 $\text{SiO}_2/\text{SiO}_2$ 間之電流與電壓之關係的圖。

圖10係顯示測定點之Si-L吸收端之EELS能譜的圖。

圖11係顯示測定點之Cu-L吸收端之EELS能譜的圖。

圖12係顯示 Cu/Cu 間之電流與電壓之關係的圖。

圖13-1係顯示將第1晶圓與第2晶圓接合之步驟的步驟說明圖。

圖13-2係說明將第1晶圓與第2晶圓接合之步驟的步驟說明圖。

圖13-3係顯示將第1晶圓與第2晶圓接合之步驟的步驟說明圖。

圖13-4係顯示將第1晶圓與第2晶圓接合之步驟的步驟說明圖。

圖13-5係顯示將第1晶圓與第2晶圓接合之步驟的步驟說明圖。

圖13-6係顯示將第1晶圓與第2晶圓接合之步驟的步驟說明圖。

圖14-1係顯示將第1晶圓與第2晶圓接合之另一步驟的步驟說明圖。

圖14-2係顯示將第1晶圓與第2晶圓接合之另一步驟的步驟說明圖。

圖14-3係顯示將第1晶圓與第2晶圓接合之另一步驟的步驟說明圖。

圖14-4係顯示將第1晶圓與第2晶圓接合之另一步驟的步驟說明圖。

圖15-1係示意性地顯示另一實施形態之第1晶圓與第2晶圓之接合前之構成的剖面圖。

圖15-2係示意性地顯示另一實施形態之已將第1晶圓與第2晶圓接合之狀態之構成的剖面圖。

【實施方式】

以下，參照圖式說明本發明之實施形態。另外，並非由以下之實施形態來限定本發明。又，以下之實施形態之構成要件中包含熟悉此項技術者可置換且容易置換之要件，或實質上相同之要件。

圖1係示意性地顯示本實施形態之將半導體裝置接合之常溫接合裝置之構成的剖面圖。如圖1所示，常溫接合裝置10具備真空腔室11；設置於該真空腔室11內之上側台12、下側台13；高速原子射束源(FBA：Fast Atom Beam)14、15；及真空排氣裝置16。

真空腔室11係將內部自外部環境密閉之容器，真空排氣裝置16將氣體從真空腔室11之內部排出。藉此，真空腔室11之內部成為真空

環境。進而，真空腔室11具備使該真空腔室11之內部空間與外部連通或分離之閘門(未圖示)。

上側台12具備形成為圓板狀之靜電卡盤12A、及使該靜電卡盤12A沿鉛垂方向上下之壓接機構12B。靜電卡盤12A在圓板之下端具備介電層，藉由朝該介電層施加電壓而以靜電力在該介電層上吸附支持第1晶圓(基板)17。壓接機構12B藉由使用者之操作而使靜電卡盤12A相對於真空腔室11沿鉛垂方向平行移動。

下側台13係在其上表面支持第2晶圓(基板)18之台，並具備未圖示之移送機構。該移送機構藉由使用者之操作而使下側台13沿水平方向平行移動，並使下側台13以平行於鉛垂方向的旋轉軸為中心旋轉移動。又，可行的是，下側台13具備在其上端具備介電層之機構，藉由朝該介電層施加電壓而以靜電力在該介電層上吸附並支持第2晶圓18。

高速原子射束源14、15射出用於將晶圓之表面活性化之中性原子射束(例如氬Ar原子)。一者之高速原子射束源14朝向支持於上側台12之第1晶圓17而配置，而另一高速原子射束源15朝向支持於下側台13之第2晶圓18而配置。藉由照射中性原子射束而進行第1晶圓17及第2晶圓18各自之表面之活性化。又，代替高速原子射束源14、15，其他之活性化器件(例如離子槍或電漿)亦可用於各晶圓之活性化。

其次，說明使用常溫接合裝置10而被常溫接合之半導體裝置20。圖2係示意性地顯示接合前之第1晶圓與第2晶圓之構成的剖面圖；圖3係示意性地顯示將第1晶圓與第2晶圓接合而形成之半導體裝置之構成的剖面圖。如圖2所示，第1晶圓17具備在第1半導體基材21上積層而形成之第1絕緣層(絕緣材料)22、及形成於該第1絕緣層22上之第1接合電極(導電材料)23。第1絕緣層22及第1接合電極23係分別於第1晶圓17之表面17A露出而形成，該表面17A係作為接合面而發揮

機能。又，第2晶圓18具備在第2半導體基材24上積層而形成之第2絕緣層(絕緣材料)25、及形成於該第2絕緣層25上之第2接合電極(導電材料)26。第2絕緣層25及第2接合電極26係分別於第2晶圓18之表面18A露出而形成，該表面18A係作為接合面而發揮機能。該等表面17A、18A形成為平坦面，表面17A、18A彼此密接。

第1半導體基材21及第2半導體基材24係使用例如單晶矽(Si)，但另外亦可使用單晶鍺(Ge)、砷化鎵(GaAs)及碳化矽(SiC)等之材料。又，第1半導體基材21及第2半導體基材24不僅可使用同種之材料，亦可使用異種之材料。

第1絕緣層22及第2絕緣層25在表面17A、18A側由半導體基材之氧化物及氮化物形成。具體而言，作為半導體基材於使用單晶矽(Si)時，藉由以氧化爐、氮化爐或化學氣相沈積(CVD：Chemical Vapor Deposition)裝置等之成膜而形成作為第1絕緣層22及第2絕緣層25之氧化矽膜(SiO_2)及氮化矽膜(Si_3N_4)。在本實施形態中係採形成氧化矽膜(SiO_2)。又，第1接合電極23及第2接合電極26係由導電性優良之材料例如銅(Cu)形成。在該第1接合電極23及第2接合電極26上連接配線材料而形成電子電路或各種元件。

將第1晶圓17與第2晶圓18接合時，如圖2、圖3所示，使作為接合面之表面17A、18A相互對向，並使用上述之常溫接合裝置10進行常溫接合。此時，第1晶圓17之第1接合電極23與第2晶圓18之第2接合電極26接合，第1晶圓17之第1絕緣層22與第2晶圓18之第2絕緣層25接合。在常溫接合中，雖然第1接合電極23及第2接合電極26之金屬類能夠彼此接合，但是由於第1絕緣層22及第2絕緣層25係氧化矽膜(SiO_2)及氮化矽膜(Si_3N_4)，故無法將其等直接接合。因此，在本構成中，如圖4所示，於第1晶圓17之表面17A與第2晶圓18之表面18A之間，設置有用於同時將接合電極與絕緣層接合之接合中間層30。

接合中間層30係用於將第1晶圓17之表面17A與第2晶圓18之表面18A接合之薄膜，且由非晶質半導體材料(例如非晶矽)形成。根據發明者之研究判明：非晶質半導體材料(例如非晶矽)單獨(單體)時雖顯示非導電性，但藉由與金屬類等結合而顯示導電性。因此，藉由將非晶質半導體材料用作接合中間層30，而能夠保持第1絕緣層22與第2絕緣層25之間之非導電性(絕緣性)且能夠將第1絕緣層22與第2絕緣層25牢固地接合。此外，不會發生第1接合電極23與第2接合電極26之間之電氣特性的劣化，並能夠確保第1接合電極23與第2接合電極26之間之導電性。亦即，接合中間層30形成為具備一方面保持非導電性(絕緣性)且將第1絕緣層22與第2絕緣層25接合之區域(絕緣接合部30a)、及具有導電性且將第1接合電極23與第2接合電極26接合之區域(導電接合部30b)。

其次，具體說明接合中間層30。圖5係顯示作為絕緣層之 $\text{SiO}_2/\text{SiO}_2$ 之接合界面的穿透式電子顯微鏡相片；圖6係顯示作為接合電極之 Cu/Cu 之接合界面的穿透式電子顯微鏡相片。穿透式電子顯微鏡(TEM：Transmission Electron Microscope)係利用電子射線照射觀察對象，並將穿透該觀察對象之電子所製成之干涉像放大而觀察之類型的電子顯微鏡。

如圖5所示，在作為第1絕緣層22及第2絕緣層25之 $\text{SiO}_2/\text{SiO}_2$ 之接合界面上，形成有非晶矽(a-Si)層作為接合中間層30(絕緣接合部30a)。又，如圖6所示，在作為第1接合電極23與第2接合電極26之 Cu/Cu 之接合界面上，同樣形成有非晶矽(a-Si)層作為接合中間層30(導電接合部30b)。該等接合中間層30之任一者之厚度皆形成為7~9 nm程度，而獲得一種觀測不到接合中間層30與 SiO_2 或Cu之間之空隙(void)存在的充分密接狀態。

接合中間層30係藉由單晶矽之濺射而形成於絕緣層(SiO_2)及接合

電極(Cu)之接合面，且將狀態從單晶矽變為非晶質(非晶)矽而形成。發明者針對接合中間層30內之測定點1及絕緣層(SiO_2)內之測定點2之2處，進行利用電子能量損失分光術(EELS：Electron Energy-Loss Spectroscopy)之界面附近之狀態分析。所謂電子能量損失分光術，係指藉由測定由於電子在透過薄片試料時與原子之相互作用而失去之能量，來分析物質之構成元素及電子構造之技術。

圖7係顯示測定點之Si-L吸收端之EELS能譜的圖；圖8係顯示測定點之O-K吸收端之EELS能譜的圖。在該圖7中，為進行比較，顯示有單晶矽(c-Si)、非晶矽(a-Si)、及氧化矽膜(SiO_2)之同能量域之能譜。如圖7所示，接合中間層30內之測定點1之Si-L吸收端之EELS能譜接近單晶矽或非晶矽，並觀測不到 SiO_2 之特徵峰。又，在O-K吸收端之EELS能譜中，幾乎無法確認接合中間層30中氧原子O之存在。因此，接合中間層30為不含Si氧化物者，再者，根據圖5所示之高解析度影像可認為形成於第1絕緣層22與第2絕緣層25之間之接合中間層30(絕緣接合部30a)為非晶矽。

繼而，測定形成於 $\text{SiO}_2/\text{SiO}_2$ 間之接合中間層30(絕緣接合部30a)之電氣特性。圖9係顯示 $\text{SiO}_2/\text{SiO}_2$ 間之電流與電壓之關係的圖。如該圖9所示，可確認非晶矽與單晶矽相比電氣特性大不相同，非晶矽單獨時具有不通電之非導電性。此處，所謂非導電性係指電阻率為 $10^5 \Omega \cdot \text{cm}$ 以上之狀態。

另外，測定介以接合中間層30而接合之 $\text{SiO}_2/\text{SiO}_2$ 之接合強度。接合強度之測定係藉由將已接合之 $\text{SiO}_2/\text{SiO}_2$ 之試料切割為 $12 \text{ mm} \times 12 \text{ mm}$ 之尺寸的晶片，且拉伸測試該晶片來進行。測試時，將晶片固定於治具，變更朝該治具之拉伸荷重並一面測定晶片斷裂時之荷重。在拉伸測試中，雖然發生斷裂，但該斷裂係由於晶片與治具在接著界面剝離而發生，故 $\text{SiO}_2/\text{SiO}_2$ 之接合仍被保持。由於斷裂時之拉伸強度為

25 MPa以上，故可認為接合中間層30所形成之接合界面之強度為該拉伸強度以上。

如此，在將非晶矽(非晶質半導體材料)用作接合中間層30之構成中，獲得能夠保持第1絕緣層22與第2絕緣層25之間之非導電性(絕緣性)且能夠將第1絕緣層22與第2絕緣層25牢固地接合此一結果。

其次，針對形成於Cu/Cu間之接合中間層30(導電接合部30b)，進行利用電子能量損失分光術之界面附近之狀態分析。作為測定點，係位於接合中間層30與Cu之邊界附近之測定點A、位於接合中間層30內之厚度方向之中央之測定點B、及位於測定點A與測定點B的厚度方向之間之測定點C之3者。圖10係顯示測定點之Si-L吸收端之EELS能譜的圖；圖11係顯示測定點之Cu-L吸收端之EELS能譜的圖。在該圖11中，為進行比較，顯示有銅(Cu)之同能量域之能譜。

如圖10所示，接合中間層30內之測定點A~C之Si-L吸收端之EELS能譜之任一者皆為相同形狀，顯示矽單獨存在。又，如圖11所示，在Cu-L吸收端之EELS能譜中，在接合中間層30內之任一測定點A~C皆可確認銅之存在。

進而，測定形成於Cu/Cu間之接合中間層30之電氣特性。圖12係顯示Cu/Cu間之電流與電壓之關係的圖。如該圖12所示，可認為即便在介以接合中間層30而接合之情形下，亦可在電壓與電流之間獲得直線關係，並可在Cu/Cu間獲得歐姆（遵循歐姆定律）連接。又，Cu/Cu間直接接合時之電阻值為20(mΩ)以下，相對於此，介以接合中間層30而接合時電阻值為25(mΩ)以下，係大致相同程度之結果。與SiO₂/SiO₂間之接合中間層顯示非導電性相比較，此一點大不相同。可認為，此係由於如上所述般，銅在部分上而言雖為微量，但其存在於接合中間層30(導電接合部30b)之整個區域中，並可認為係由於在第1接合電極23與第2接合電極26之壓接時，接合中間層30之非晶矽與各

電極之銅發生鍵結。

如此，在將非晶矽(非晶質半導體材料)用作接合中間層30之構成中，獲得能夠確保第1接合電極23與第2接合電極26之間之導電性此一結果。因此，由於本實施形態之半導體裝置20在接合電極23、26及絕緣層22、25分別露出之表面17A、18A之間具備接合中間層30，故能夠實現同時分別將接合電極23、26及絕緣層22、25接合之混合接合。進而，由於接合中間層30單獨時顯示非導電性而且與接合電極23、26結合而顯示導電性，故能夠確保第1接合電極23與第2接合電極26之間之導電性，且能夠確保第1絕緣層22與第2絕緣層25之間之非導電性。因此，由於能夠防止流動於第1接合電極23與第2接合電極26之間之電流在第1絕緣層22與第2絕緣層25之間流動，故能夠防止漏電流之產生，而能夠實現半導體裝置20之穩定之動作。

其次，說明半導體裝置20之製造步驟。圖13-1～圖13-6係顯示將第1晶圓與第2晶圓接合之步驟的步驟說明圖。前提是：第1晶圓17與第2晶圓18各自預先藉由另一作業步驟製造成接合電極23、26及絕緣層22、25分別於表面17A、18A露出之狀態。

如圖13-1所示，第1晶圓17被搬送至常溫接合裝置10之真空腔室11內，該第1晶圓17係以表面17A朝向鉛垂下方之方式支持於上側台12之靜電卡盤12A。真空腔室11內維持為真空環境。在該狀態下，從高速原子射束源14朝第1晶圓17之表面17A射出氬射束14a。該氬射束14a照射第1晶圓17之表面17A而使該表面17A活性化。

繼而，如圖13-2所示，裸晶圓31被搬送至真空腔室11內，該裸晶圓31係載置於下側台13之上表面。裸晶圓31係由單晶矽形成，用作生成接合中間層30時之濺鍍源。在該狀態下，從高速原子射束源15朝裸晶圓31射出氬射束15a。藉此裸晶圓31被濺射，從裸晶圓31彈出之矽原子上升，而在第1晶圓17之表面17A上將接合中間層30成膜。在本

實施形態中，以特定時間(例如10 min)進行氬射束15a之照射，而在第1晶圓17之表面17A上形成厚度為1 nm～50 nm程度之接合中間層30。該接合中間層30如上所述般為非晶(非晶質)矽。

繼而，如圖13-3所示，將裸晶圓31從真空腔室11搬出，取而代之的是第2晶圓18被搬送至真空腔室11內。該第2晶圓18係以表面18A朝向鉛垂上方之方式載置於下側台13之上表面。繼而，如圖13-4所示，從高速原子射束源15朝第2晶圓18之表面18A射出氬射束15a。該氬射束15a照射第2晶圓18之表面18A而使該表面18A活性化。

繼而，如圖13-5所示，從高速原子射束源14朝形成於第1晶圓17之表面之接合中間層30射出氬射束14a。此時，形成接合中間層30之非晶矽之一部分係作為濺鍍源發揮機能。藉由氬射束14a之照射而接合中間層30被濺射，從接合中間層30彈出之矽原子上升，而亦在第2晶圓18之表面18A上將接合中間層30成膜。在本實施形態中，以特定時間(例如10 min)進行氬射束14a之照射，而在第2晶圓18之表面18A上形成厚度為1 nm～50 nm程度之接合中間層30。該接合中間層30亦如上所述般為非晶(非晶質)矽。在本實施形態中，由於將形成於第1晶圓17之表面之接合中間層30用作濺鍍源，故無需另行準備第2晶圓18之表面18A用之濺鍍源，且由於朝真空腔室11內之濺鍍源之出入減少，故能夠將作業步驟簡單化，且能夠在第1晶圓17及第2晶圓18之各表面17A、18A上簡單地形成接合中間層30。

繼而，在進行第1晶圓17與第2晶圓18之對準後，如圖13-6所示，藉由使上側台12之壓接機構12B動作，使支持第1晶圓17之靜電卡盤12A朝鉛垂下方下降，而壓接第1晶圓17與第2晶圓18。藉此，第1晶圓17之表面17A與第2晶圓18之表面18A以接合中間層30接合，而形成半導體裝置20。繼而，在真空腔室11內以特定溫度(例如50 °C～400 °C程度)加熱半導體裝置20(第1晶圓17及第2晶圓18)。藉此，促

進第1接合電極23及第2接合電極26之銅(Cu)與接合中間層30之非晶矽之合金化，而使第1接合電極23與第2接合電極26之接合更牢固，且電氣特性提高。

如以上說明般，由於本實施形態之半導體裝置20之製造方法具備：分別使第1晶圓17之表面17A與第2晶圓18之表面18A活性化之步驟、在被活性化之表面17A、18A形成接合中間層30之步驟、及介以接合中間層30而壓接第1晶圓17與第2晶圓18之步驟，故可容易地實現同時分別將接合電極23、26及絕緣層22、25接合之混合接合。

進而，在本實施形態中，由於在藉由朝裸晶圓31照射氬射束15a而將裸晶圓31濺射，從而在第1晶圓17之表面17A形成接合中間層30後，藉由朝形成於該表面17A之接合中間層30照射氬射束14a而將形成接合中間層30之非晶矽之一部分濺射，從而在第2晶圓18之表面18A形成接合中間層30，故能夠將作業步驟簡單化，且能夠在第1晶圓17及第2晶圓18之各表面17A、18A簡單地形成接合中間層30。

其次，說明半導體裝置20之另一製造步驟。圖14-1～圖14-4係顯示將第1晶圓與第2晶圓接合之另一步驟的步驟說明圖。此時亦然，前提是：第1晶圓17與第2晶圓18各自預先藉由另一作業步驟製造成接合電極23、26及絕緣層22、25分別於表面17A、18A露出之狀態。

如圖14-1所示，第1晶圓17被搬送至常溫接合裝置10之真空腔室11內，該第1晶圓17係以表面17A朝向鉛垂下方之方式被支持於上側台12之靜電卡盤12A。同樣的，第2晶圓18被搬送至真空腔室11內，該第2晶圓18係以表面18A朝向鉛垂上方之方式被載置於下側台13之上表面。真空腔室11內維持為真空環境。在該狀態下，從高速原子射束源14、15分別朝第1晶圓17之表面17A、第2晶圓18之表面18A射出氬射束14a、15a。該氬射束14a、15a分別照射第1晶圓17之表面17A、第2晶圓18之表面18A，而使該表面17A、18A活性化。

繼而，如圖14-2所示，表面17A、18A被活性化之第1晶圓17及第2晶圓18從真空腔室11被移送至成膜腔室40。此時，較佳者係以不接觸外部大氣(氧)之方式，利用真空之搬送路徑搬送第1晶圓17及第2晶圓18。成膜腔室40係用於在第1晶圓17之表面17A及第2晶圓18之表面18A將上述接合中間層30成膜之腔室，在成膜腔室40內配置有化學氣相沈積裝置(未圖示)。化學氣相沈積法係在以特定條件加熱第1晶圓17及第2晶圓18之狀態下，朝第1晶圓17之表面17A及第2晶圓18之表面18A供給包含矽之原料氣體，並藉由在該等表面17A、18A之化學反應而形成接合中間層30者。在該等化學氣相沈積法中亦然，接合中間層30由非晶(非晶質)矽形成。在該構成中，由於能夠另行形成接合中間層30，故能夠謀求接合步驟之處理時間之縮短化。

繼而，如圖14-3所示，將形成有接合中間層30之第1晶圓17及第2晶圓18搬送至真空腔室11內。而且，第1晶圓17係以接合中間層30朝向鉛垂下方之方式支持於上側台12之靜電卡盤12A，而第2晶圓18係以接合中間層30朝向鉛垂上方之方式載置於下側台13之上表面。真空腔室11內維持為真空環境。在該狀態下，從高速原子射束源14、15分別朝形成於第1晶圓17、第2晶圓18之接合中間層30、30射出氬射束14a、15a。該氬射束14a、15a分別照射第1晶圓17、第2晶圓18之接合中間層30、30之表面，而使該接合中間層30、30之表面活性化。

繼而，在進行第1晶圓17與第2晶圓18之對準後，如圖14-4所示，藉由使上側台12之壓接機構12B動作，使支持第1晶圓17之靜電卡盤12A朝鉛垂下方下降，而壓接第1晶圓17與第2晶圓18。藉此，第1晶圓17之表面17A與第2晶圓18之表面18A係以接合中間層30接合，而形成半導體裝置20。繼而，在真空腔室11內以特定溫度(例如50℃～400℃)加熱半導體裝置20(第1晶圓17及第2晶圓18)。藉此，促進第1接合電極23及第2接合電極26之銅Cu與接合中間層30之非晶矽之合金

化，而使第1接合電極23與第2接合電極26之接合更牢固，且電氣特性提高。

其次，說明另一實施形態。圖15-1係示意性地顯示另一實施形態之第1晶圓與第2晶圓之接合前之構成的剖面圖；圖15-2係示意性地顯示另一實施形態之已將第1晶圓與第2晶圓接合之狀態之構成的剖面圖。在上述構成中，第1晶圓17之表面17A、及第2晶圓18之表面18A分別形成為平坦面，該等表面17A、18A係以彼此密接之方式形成。相對於此，在該另一實施形態中，如圖15-1所示，積層於第1半導體基材121上之第1絕緣層122與第1接合電極123於表面17A露出，第1絕緣層122之表面122A之高度位置形成為較第1接合電極123之表面123A之高度位置更低。該高度位置之差 t 係設定為與接合中間層30相同程度之1 nm~100 nm程度。同樣，積層於第2半導體基材124上之第2絕緣層125與第2接合電極126於表面18A露出，第2絕緣層125之表面125A之高度位置形成為較第2接合電極126之表面126A之高度位置更低。該高度位置之差 t 設定為與接合中間層30相同程度之1 nm~100 nm程度。有關其他之構成，由於與上述實施形態之構成相同故省略說明。

根據該構成，由於在壓接第1晶圓17與第2晶圓18時，該壓接荷重係施加於第1接合電極123及第2接合電極126，故如圖15-2所示，接合中間層30藉由第1接合電極123與第2接合電極126而斷裂，從而第1接合電極123與第2接合電極126彼此直接地接合。藉此，可在第1接合電極123與第2接合電極126之間之接合中獲得良好的電氣特性及接合強度。

以上，說明了本發明之實施形態，但本發明並不限定於上述實施形態。例如，在上述實施形態中，在第1晶圓17及第2晶圓18之表面17A、18A之兩者形成有接合中間層30，但亦可在一者形成該接合中

間層。又，在上述實施形態中，第1接合電極123及第2接合電極126分別為較第1絕緣層122及第2絕緣層125更突出之形狀，但亦可為第1接合電極123或第2接合電極126中之一者為該形狀。又，在上述實施形態中，說明了藉由濺射或化學氣相沈積法而形成接合中間層30之構成，但亦可藉由蒸鍍而形成接合中間層30。蒸鍍係在真空容器之中，加熱蒸鍍材料(例如矽)使其氣化或昇華，而令其附著於置放於遠離位置之基板的表面而形成薄膜者。藉由該方法，亦可使接合中間層30由非晶(非晶質)矽形成。根據該構成，由於能夠另行形成接合中間層30，故能夠謀求接合步驟之處理時間之縮短化。

【符號說明】

10	常溫接合裝置
11	真空腔室
12	上側台
12A	靜電卡盤
12B	壓接機構
13	下側台
14	高速原子射束源
14a	氬射束
15	高速原子射束源
15a	氬射束
16	真空排氣裝置
17	第1晶圓(基板)
17A	表面(接合面)
18	第2晶圓(基板)
18A	表面(接合面)
20	半導體裝置

21	第1半導體基材
22	第1絕緣層(絕緣材料)
23	第1接合電極(導電材料)
24	第2半導體基材
25	第2絕緣層(絕緣材料)
26	第2接合電極(導電材料)
30	接合中間層
30a	絕緣接合部
30b	導電接合部
31	裸晶圓
40	成膜腔室
121	第1半導體基材
122	第1絕緣層(絕緣材料)
122A	表面
123	第1接合電極(導電材料)
123A	表面
124	第2半導體基材
125	第2絕緣層(絕緣材料)
125A	表面
126	第2接合電極(導電材料)
126A	表面
A	測定點
B	測定點
C	測定點
t	高度位置之差

申請專利範圍

1. 一種半導體裝置，其特徵在於：具備導電材料及絕緣材料分別於半導體基材之接合面露出之一對基板，且係將前述基板彼此常溫接合者；且

在一對前述接合面之間具備單獨時顯示非導電性而且與前述導電材料結合而顯示導電性之接合中間層，

前述接合中間層具備保持非導電性同時將前述基板之前述絕緣材料彼此接合之絕緣接合部、及具有導電性且將前述基板之前述導電材料彼此接合之導電接合部。

2. 如請求項1之半導體裝置，其中前述基板之前述絕緣材料彼此係介以前述接合中間層而被接合。
3. 如請求項1之半導體裝置，其中前述接合中間層由非晶質半導體材料形成。
4. 如請求項1之半導體裝置，其中至少一者之基板形成為前述接合面之前述絕緣材料之高度位置較前述導電材料更低。
5. 一種半導體裝置之製造方法，其特徵在於：其係將導電材料及絕緣材料分別於半導體基材之接合面露出之一對基板彼此常溫接合而製造之半導體裝置之製造方法，且具備如下步驟：

分別使前述基板之接合面活性化；

在被活性化之前述接合面之至少一者，形成單獨時顯示非導電性而且與前述導電材料結合而顯示導電性之接合中間層；及

介以前述接合中間層而將一對前述基板彼此壓接；

其中在對半導體材料照射高速原子射束而將前述半導體材料濺射，藉此在一者之前述基板之接合面形成前述接合中間層後，對形成於該接合面之接合中間層照射高速原子射束而將形

成該接合中間層之前述半導體材料之一部分濺射，藉此在另一者之前述基板之接合面形成前述接合中間層。

6. 一種半導體裝置之製造方法，其特徵在於：其係將導電材料及絕緣材料分別於半導體基材之接合面露出之一對基板彼此常溫接合而製造之半導體裝置之製造方法，且具備如下步驟：

分別使前述基板之接合面活性化；

在被活性化之前述接合面之至少一者，形成單獨時顯示非導電性而且與前述導電材料結合而顯示導電性之接合中間層；及

介以前述接合中間層而將一對前述基板彼此壓接；

其中至少一者之前述基板形成為前述接合面之前述絕緣材料之高度位置較前述導電材料更低，且前述接合中間層在壓接前述基板彼此時藉由前述導電材料而斷裂，從而該導電材料彼此直接地接合。

7. 如請求項5之半導體裝置之製造方法，其中至少一者之前述基板形成為前述接合面之前述絕緣材料之高度位置較前述導電材料更低，且前述接合中間層在壓接前述基板彼此時藉由前述導電材料而斷裂，從而該導電材料彼此直接地接合。
8. 如請求項6之半導體裝置之製造方法，其中前述接合中間層係藉由半導體材料之蒸鍍或濺射、或是化學氣相沈積而形成。
9. 如請求項5或6之半導體裝置之製造方法，其中具備在壓接一對前述基板後，以特定之溫度加熱該基板之步驟。