



СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) **SU** (11) **1411777 A1**

(51) 4 G 06 F 15/332

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 4185916/24-24

(22) 23.01.87

(46) 23.07.88. Бюл. № 27

(72) Г.В.Дивин, Ю.Н.Иртегов,
В.Б. Климов, Н.В.Полушкина,
А.Ю.Скуратов, А.В.Солодилов и Ю.П.Щи-
нов

(53) 681.32(088.8)

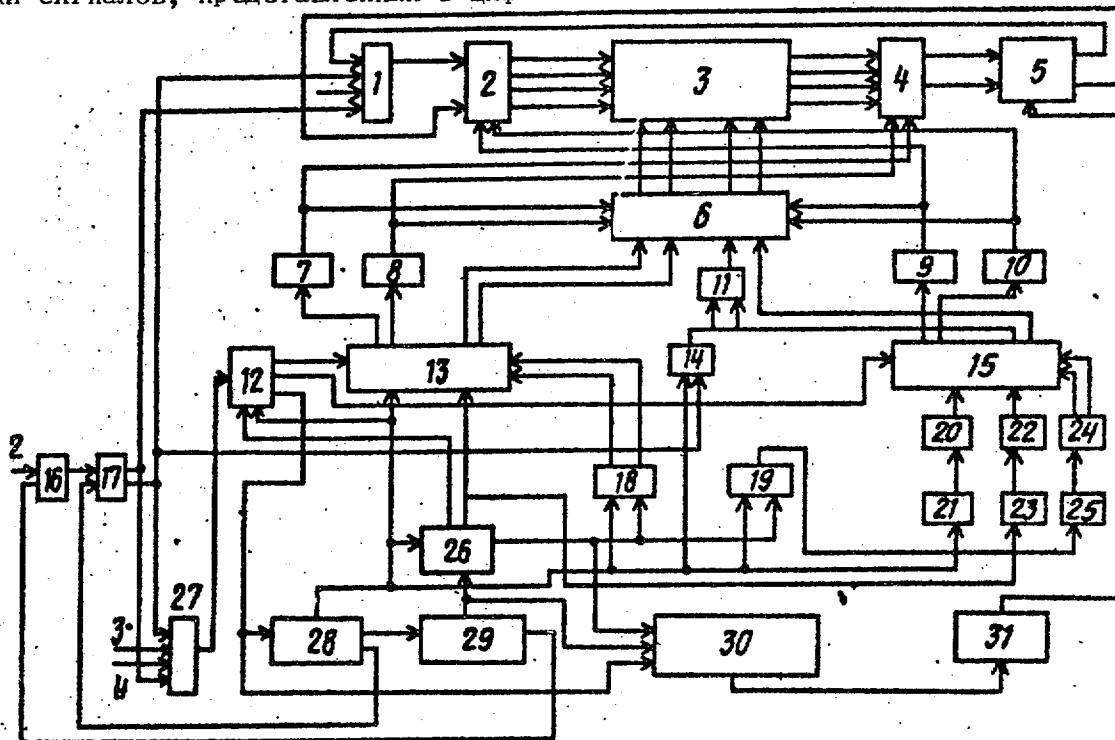
(56) Авторское свидетельство СССР
№ 1056207, кл. G 06 F 15/332, 1983.

Автометрия, 1973, № 3, с. 32-38.

(54) УСТРОЙСТВО ДЛЯ ВЫПОЛНЕНИЯ БЫСТ-
РОГО ПРЕОБРАЗОВАНИЯ ФУРЬЕ

(57) Изобретение относится к области
вычислительной техники и предназна-
чено для спектрального анализа элект-
рически сигналов, представленных в циф-

ровой форме. Цель изобретения - повы-
шение быстродействия. Устройство со-
держит элемент И-ИЛИ 1, входной ком-
мутатор 2, блок памяти 3, выходной
коммутатор 4, арифметический блок 5,
дешифратор адреса 6, дешифраторы чте-
ния 7,8, дешифраторы записи 9, 10,
блок элементов ИЛИ 11, блок коррекции
12, коммутатор адреса 13, блок элемен-
тов И 14, коммутатор адреса 15, эле-
мент И 16, триггер режима 17, блоки
элементов И-ИЛИ 18,19, регистры 20-
23, триггеры 24, 25, дешифратор адре-
са 26, элемент И-ИЛИ 27, счетчик опе-
рандов 28, счетчик итераций 29, дешиф-
ратор адреса 30, блок постоянной па-
мяти 31. 5 ил.



Фиг.1

(19) **SU** (11) **1411777 A1**

Изобретение относится к вычислительной технике и предназначено для спектрального анализа электрических сигналов, представленных в цифровой форме.

Цель изобретения - повышение быстродействия устройства.

На фиг. 1 представлена функциональная схема устройства; на фиг. 2 - временные диаграммы работы устройства; на фиг. 3 - временные диаграммы управления первым коммутатором адреса; на фиг. 4 - временные диаграммы управления вторым коммутатором адреса; на фиг. 5 - схема блока коррекции.

Устройство содержит элемент И-ИЛИ 1, входной коммутатор 2, блок 3 памяти, выходной коммутатор 4, арифметический блок 5, дешифратор 6 адреса, два дешифратора 7 и 8 чтения, два дешифратора записи 9 и 10, блок 11 элементов ИЛИ, блок 12 коррекции, коммутатор 13 адреса, блок 14 элементов И, коммутатор 15 адреса, элемент И 16, триггер 17 режима, блок элементов 18 И-ИЛИ, блок 19 элементов И-ИЛИ, регистры 20-23, триггеры 24 и 25, дешифратор 26 адреса, элемент И-ИЛИ 27, счетчик 28 операндов, счетчик 29 итераций, дешифратор 30 адреса, блок 31 постоянной памяти.

Блок 12 (фиг. 4) содержит элементы И 32 и 33, элементы ИЛИ 34, 35, элементы И-НЕ 36-39, элемент НЕ 40, триггера 41-43.

В устройстве реализуется алгоритм БПФ с прореживанием по времени с замещением, по отношению 2, с объемом выборки N, двоичной инверсией на выходе.

Базовая операция такого алгоритма состоит в том, что входных числа A и B объединяются для получения выходных чисел X и Y следующим образом:

$$\begin{aligned} X_i &= A_i + B_i W_i^k; \\ Y_i &= A_i - B_i W_i^k, \end{aligned} \quad (1)$$

где $k = j2^{\pi}/N$;

$A_i, B_i,$

$X_i, Y_i,$

W_i - комплексные числа.

Согласно применяемого алгоритма БПФ вычисления проводятся за $P = \log_2 N$ итераций. На каждой итерации выполняются N/2 базовых операций длительностью $T_{\text{б0}}$.

В соответствии с временной диаграммой (фиг. 3) в устройстве в каждом такте одновременно выполняются следующие операции: обращение к двум модулям блока памяти с чтением пары операндов A_i и B_i , выполнение базовой операции над операндами A_{i-1} и B_{i-1} и запись результатов X_{i-2} и Y_{i-2} от выполнения базовой операции над операндами A_{i+2} и B_{i+2} в два других модуля блока памяти.

Указанное совмещение работы блоков памяти и арифметического блока сохраняется на протяжении выполнения всего алгоритма БПФ. При этом для достижения максимального параллелизма работы блоков в предлагаемом устройстве выполнены следующие условия:

$$T_{\text{б0}} \leq T_{\text{обр. ОЗУ}},$$

где $T_{\text{обр. ОЗУ}}$ - время обращения к блоку ОЗУ с чтением или записью,

$T_{\text{б0}}$ - время выполнения базовой операции БПФ.

Устройство работает следующим образом.

В исходном состоянии триггер 17 режима сигналом через вход элемента ИЛИ устанавливается в единичное состояние (прямой выход) и переводит устройство в режим ввода информации.

При этом входной массив через элемент И-ИЛИ 1, открытый по входу единичным сигналом с прямого выхода триггера 17 режима, поступает на информационный вход входного коммутатора 2. В последнем обеспечивается распределение операндов по модулям блока 3 согласно сигналам управления с выхода дешифратора 9 записи.

Массив входной информации вводится синхронно по адресам записи, которые формируются последовательно на n-разрядном счетчике 28 операндов, где $n = \log_2 N$. Входные тактовые импульсы поступают на вход счетчика операндов с входа через первый вход элемента И-ИЛИ 27 и блок 12 коррекции (прохождение входных импульсов через блок 12 коррекции не показано). С выхода счетчика 28 операндов n-разрядные адреса записи через блок 14 элементов И, открытый по входу сигналом с прямого выхода триггера 17 режима, и вход блока 11 элементов ИЛИ поступают на вход дешифратора 6 адреса. Последний управляется по входу

сигналами управления с выхода дешифратора 9 записи. Выбор номера модуля блока 3 памяти, в который записывается операнд входной информации по соответствующему адресу записи, осуществляется в дешифраторе 9 записи, на вход которого подаются n -й и второй разряды сформированного адреса записи (n - старший разряд). При этом каждой двухразрядной комбинации указанных разрядов соответствует единственный сигнал на одном из его четырех выходов, который обеспечивает прохождение на выбранный модуль операндов входной информации с входного коммутатора 2 и соответствующих им $(n-2)$ -разрядные адреса записи с дешифратора 6 адреса. При этом код 00 определяет первый модуль блока памяти, 01 - второй, 10 - третий, 11 - четвертый.

По окончании ввода информации через N тактовых импульсов единичный сигнал с выхода счетчика 28 операндов поступает на вход триггера 17 режима и переводит его в нулевое состояние. При этом единичный сигнал с инверсного выхода триггера 17 режима переключает устройство в режим вычисления алгоритма БПФ.

Работа устройства на этапе вычисления БПФ осуществляется по тактовым импульсам, поступающим на вход счетчика 28 операндов с входа устройства через вход элемента 27 и через блок 12 коррекции.

В исходном состоянии счетчик 28 операндов находится в единичном положении, а счетчик 29 итераций в нулевом.

На каждой итерации по тактовым импульсам выполняется $N/2$ базовых операций в соответствии с выражением (1).

После подсчета $N/2$ тактовых импульсов на первой итерации счетчик 28 операндов устанавливается в исходное состояние, а в счетчик 29 итераций добавляется "1". С приходом очередных тактовых импульсов аналогично осуществляется вычисление алгоритма БПФ на второй итерации. Аналогично производятся вычисления на всех P итерациях. С приходом последнего $N/2$ тактового импульса на P -й итерации на выходе счетчика 29 итераций вырабатывается сигнал, который переводит триггер 17 режима в единичное состояние, т.е. переводит устройство в режим ввода информации.

В соответствии с временной диаграммой, представленной на фиг. 4 (на каждой итерации), с приходом i -го тактового импульса формируются адреса чтения операндов A_i и B_i . Адрес чтения операнда A_i формируется на n -разрядном счетчике 28 операндов, адрес чтения операнда B_i формируется одновременно в дешифраторе 26 адреса путем суммирования по mod 2 адреса чтения операнда A_i с закодированным номером соответствующей итерации. Сформированная пара адресов чтения операндов A_i и B_i поступает одновременно на входы коммутатора 13 адреса и на соответствующие входы регистров 21 и 23.

Управление коммутатором 13 адреса обеспечивается блоком 18 элементов И-ИЛИ по временным диаграммам, представленным на фиг. 4. С выхода коммутатора 13 адреса n -разрядные адреса чтения операндов A_i и B_i монтажным способом распределяются следующим образом: n -й и второй разряды сформированных адресов чтения поступают соответственно на входы дешифраторов 7 и 8. Сформированные таким образом двухразрядные коды определяют номера модулей блока 3 памяти, из которых одновременно производится считывание операндов A_i и B_i . При этом код 00 определяет первый модуль, код 01 - второй модуль, 10 - третий модуль, 11 - четвертый модуль. На дешифратор 6 адреса соответственно поступают оставшиеся $(n-2)$ -разрядные коды адресов чтения операндов A_i и B_i в следующем виде:

$$n-1, n-2, n-3, \dots, 3, 1,$$

где $(n-1)$ - старший разряд.

Сигналы управления одновременно с выходов дешифраторов 7 и 8 поступают на входы дешифратора 6 адреса и на управляющие входы выходного коммутатора 4, тем самым обеспечивается считывание информации операндов A_i и B_i из выбранных модулей блока 3 памяти и подача их на входы арифметического блока 5.

Одновременно со считыванием операндов A_i и B_i из блока 3 памяти на вход арифметического блока 5 из блока постоянной памяти по адресу, сформированному на дешифраторе 30 адреса

по i -му тактовому импульсу, считывается кодовое значение соответствующего коэффициента W_i^k .

С приходом $(i+1)$ -го тактового импульса в арифметическом блоке 5 выполняется базовая операция над операндами A_i и B_i и осуществляется запись адресов чтения этих операндов соответственно в регистры 21 и 23.

С приходом $(i+2)$ -го тактового импульса результаты выполнения базовой операции X_i и Y_i (над операндами A_i и B_i) фиксируются в выходных регистрах арифметического блока 5 и поступают на входы входного коммутатора 2 для записи в модули блока 3 памяти. По этому же импульсу адреса из регистров 21 и 23 переписываются соответственно в регистры 20 и 22 и поступают на входы коммутатора 15 адреса, на выходе которого формируются адреса записи результатов X_i и Y_i .

Управление коммутатором 15 адреса обеспечивается сигналами с блока 19 элементов И-ИЛИ, задержанными на два такта на триггерах 25 и 24, в соответствии с временными диаграммами.

На выходе коммутатора 15 адреса сформированная пара адресов записи представляется следующим образом: n -й и второй разряды каждого адреса поступают соответственно на дешифраторы 9 и 10.

Сформированные двухразрядные коды определяют номера модулей блока 3 памяти, в которые обеспечивается запись результатов X_i и Y_i .

При этом код 00 определяет первый модуль, 01 - второй модуль, 10 - третий модуль, 11 - четвертый модуль. На входы дешифратора 6 адреса оставшиеся $(n-2)$ -разрядные адреса записи результатов X_i и Y_i поступают в следующем виде:

$$n-1, n-2, n-3, \dots, 3, 1,$$

где $(n-1)$ - старший разряд.

Сигналы управления с выходов дешифраторов 9 и 10 одновременно и соответственно поступают на входы дешифратора 6 адреса, а также на управляющие входы входного коммутатора 2, что обеспечивает запись результатов X_i и Y_i в выбранные модули записи блока 3 памяти по адресам, посту-

пающим с выходов дешифратора 6 адреса. На этом цикл выполнения базовой операции над операндами A_i и B_i заканчивается.

Совмещение аналогичных циклов выполнения базовой операции на протяжении вычисления всего алгоритма БПФ согласно временным диаграммам, представленным на фиг. 2, обеспечивает полное совмещение работы арифметического блока 5 и блока 3 памяти. При этом в каждом такте работы устройства одновременно со считыванием операндов A_i и B_i осуществляется выполнение базовой операции БПФ над операндами A_{i-1} и B_{i-1} , а также производится запись результатов X_{i-2} и Y_{i-2} выполнения базовой операции над операндами A_{i-2} и B_{i-2} .

Ф о р м у л а и з о б р е т е н и я

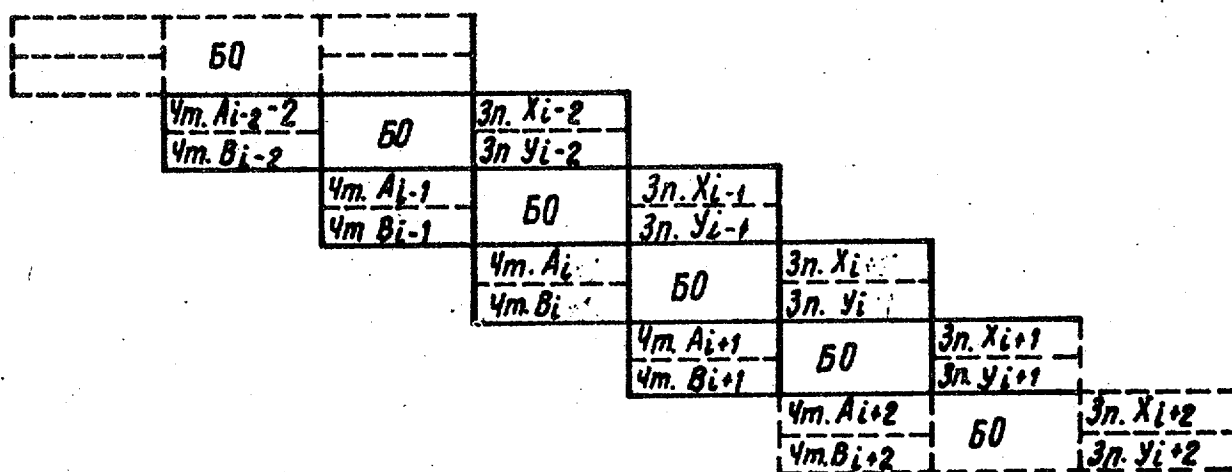
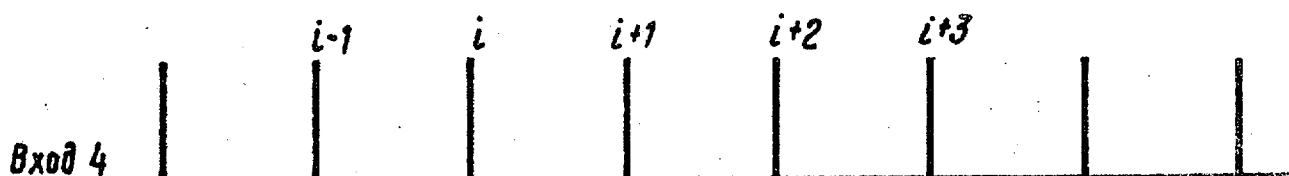
Устройство для выполнения быстрого преобразования Фурье, содержащее блок памяти, арифметический блок, блок постоянной памяти, первый дешифратор адреса, счетчик операндов и счетчик итераций, счетный вход которого подключен к выходу переноса счетчика операндов, информационный выход счетчика итераций подключен к первому входу первого дешифратора адреса, выход которого подключен к адресному входу блока постоянной памяти, выход которого подключен к входу задания коэффициента арифметического блока, отличающееся тем, что, с целью повышения быстродействия, в него введены первый и второй дешифраторы чтения, первый и второй дешифраторы записи, второй и третий дешифраторы адреса, первый и второй коммутаторы адреса, блок коррекции, блок элементов ИЛИ, блок элементов И, первый и второй блоки элементов И-ИЛИ, элемент И, первый, второй элементы И-ИЛИ, входной коммутатор, выходной коммутатор, триггер режима, первый, второй, третий и четвертый регистры, первый и второй триггеры, причем выход первого элемента И-ИЛИ подключен к первому информационному входу входного коммутатора, выход которого подключен к информационному входу блока памяти, выход которого подключен к информационному входу выходного коммутатора, первый и второй выходы ко-

торого подключены к входам соответственно первого и второго операндов арифметического блока, первый и второй выходы результата которого подключены соответственно к второму информационному входу входного коммутатора и первому входу первого элемента И-ИЛИ, второй вход которого является информационным входом устройства, входом задания режима которого является первый вход элемента И, выход которого подключен к первому установочному входу триггера режима, прямой выход которого подключен к третьему входу первого элемента И-ИЛИ и первому входу второго элемента И-ИЛИ, выход которого подключен к первому входу блока коррекции, первый выход которого подключен к первому информационному входу первого коммутатора адреса, первый выход которого подключен к входу первого дешифратора чтения, выход которого подключен к первому управляющему входу выходного коммутатора и первому входу второго дешифратора адреса, второй вход которого соединен с вторым управляющим входом выходного коммутатора и подключен к выходу второго дешифратора чтения, вход которого подключен к второму выходу первого коммутатора адреса, третий выход которого подключен к третьему входу второго дешифратора адреса, первый, второй и третий выходы которого подключены соответственно к адресному входу, входу записи и входу считывания блока памяти, инверсный выход триггера режима подключен к четвертому входу первого элемента И-ИЛИ и второму входу второго элемента И-ИЛИ, третий и четвертый входы которого являются соответственно первым и вторым тактовыми входами устройства, информационный выход счетчика операндов подключен к первым входам первого и второго блоков элементов И-ИЛИ первому входу блока элементов И, информационному входу первого регистра, первому входу третьего дешифратора адреса, второму информационному входу первого коммутатора адреса и второму входу блока коррекции, второй выход которого подключен к первому информационному входу второго коммутатора адреса, первый выход которого подключен к первому входу первого дешифратора записи, выход которого подключен

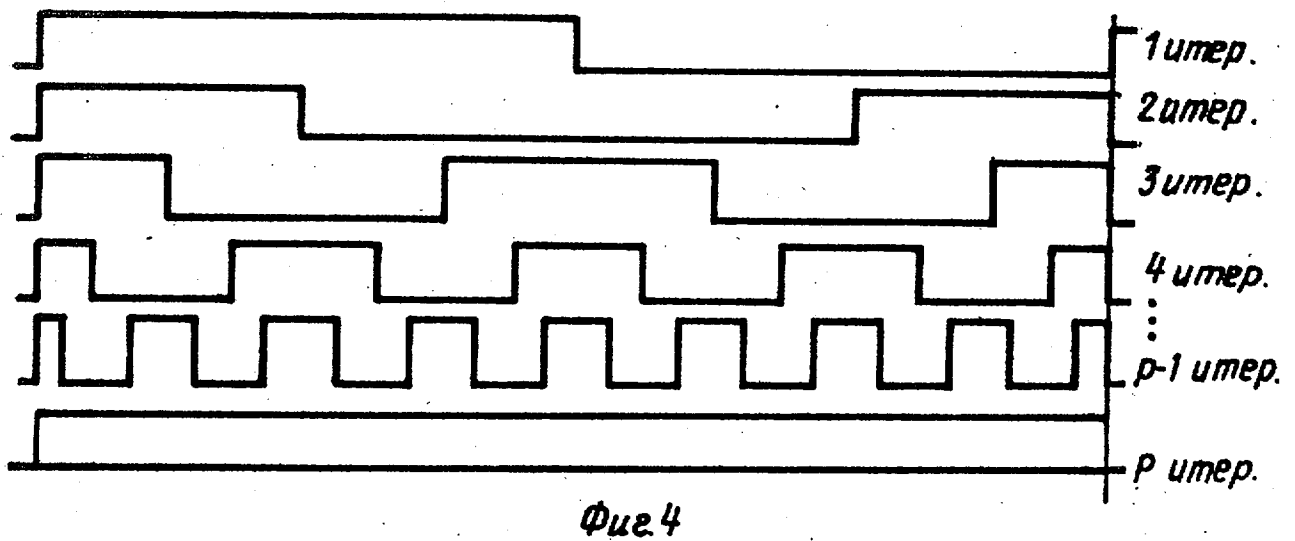
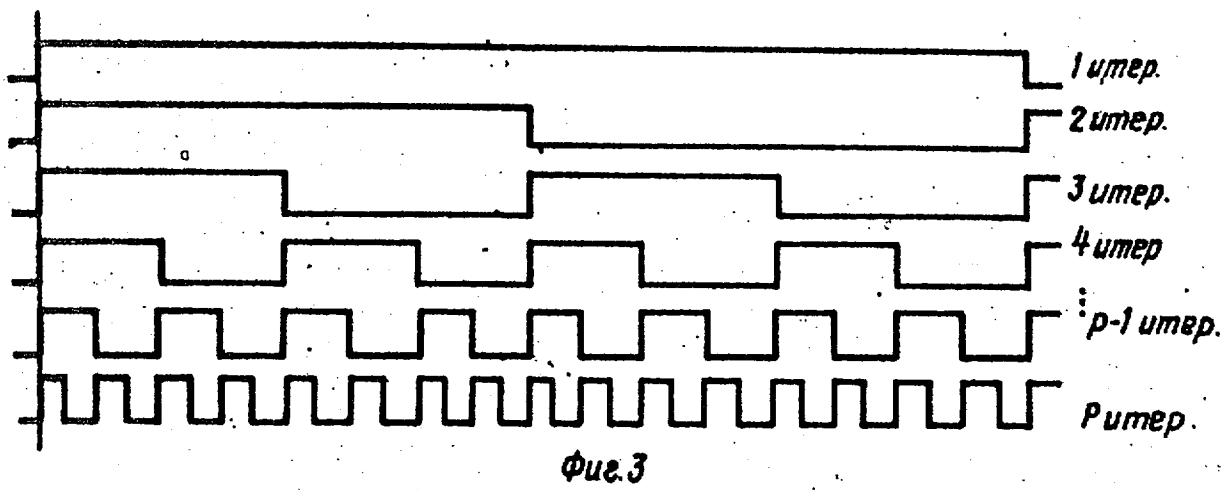
к четвертому входу второго дешифратора адреса и первому управляющему входу входного коммутатора, второй управляющий вход которого соединен с пятым входом второго дешифратора адреса и подключен к выходу второго дешифратора записи, вход которого подключен к второму выходу второго коммутатора адреса, третий и четвертый выходы которого подключены соответственно к первому входу блока элементов ИЛИ и шестому входу второго дешифратора адреса, седьмой вход которого подключен к выходу блока элементов ИЛИ, второй вход которого подключен к выходу блока элементов И, второй вход которого подключен к инверсному выходу триггера режима, информационный выход счетчика итераций подключен к второму входу третьего дешифратора адреса, первый выход которого подключен к третьему входу блока коррекции, третий выход которого подключен к второму входу первого дешифратора адреса и счетному входу счетчика операндов, выход старшего разряда которого подключен к второму установочному входу триггера режима, второй выход третьего дешифратора адреса подключен к третьему информационному входу первого коммутатора адреса и информационному входу второго регистра, выход которого подключен к информационному входу второго коммутатора адреса, третий информационный вход которого подключен к выходу четвертого регистра, информационный вход которого подключен к выходу первого регистра, третий выход третьего дешифратора адреса подключен к третьему входу первого дешифратора адреса и вторым входам первого и второго блоков элементов И-ИЛИ, выходы которых подключены соответственно к управляющему входу первого коммутатора адреса и тактовому входу первого триггера, выход которого подключен к тактовому входу второго триггера, прямой и инверсный выходы которого подключены соответственно к первому и второму управляющим входам второго коммутатора адреса, выход переноса счетчика итераций подключен к второму входу элемента И, причем блок коррекции содержит два элемента ИЛИ, два элемента И, четыре элемента И-НЕ, элемент НЕ, три триггера, при этом

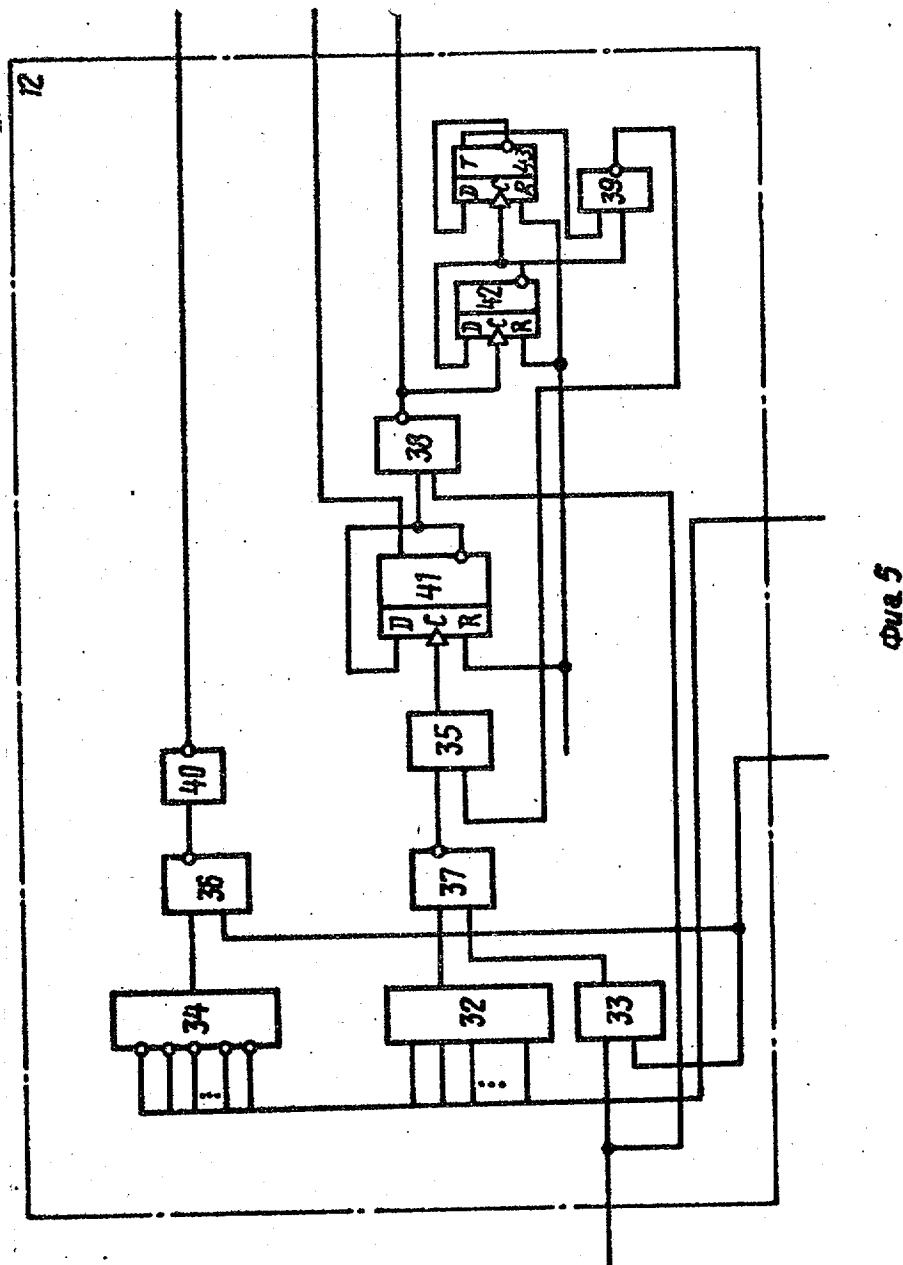
выход первого элемента ИЛИ подключен к первому входу первого элемента И-НЕ, выход которого подключен к входу элемента НЕ, выход которого является первым выходом блока коррекции, выход первого элемента И подключен к первому входу второго элемента И-НЕ, выход которого подключен к первому входу второго элемента ИЛИ, выход которого подключен к тактовому входу первого триггера, инверсный выход которого подключен к информационному входу первого триггера и первому входу третьего элемента И-НЕ, выход которого является вторым выходом блока коррекции и подключен к тактовому входу второго триггера, инверсный выход которого подключен к D-входу второго триггера, первому входу четвертого элемента И-НЕ и

тактовому входу третьего триггера, инверсный выход которого подключен к D-входу третьего триггера, прямой выход которого подключен к второму входу четвертого элемента И-НЕ, выход которого подключен к второму входу второго элемента ИЛИ, второй вход второго элемента И-НЕ подключен к выходу второго элемента И, первый вход которого соединен с вторым входом третьего элемента И-НЕ и является первым входом блока коррекции, вторым входом которого являются соединенные между собой вторые входы второго элемента И и первого элемента И-НЕ, соответствующие входы первых элементов ИЛИ и И соединены между собой и являются третьим входом блока коррекции, третьим выходом которого является прямой выход первого триггера.



Фиг. 2





Составитель А. Баранов
 Редактор Н. Бобкова Техред А. Кравчук Корректор М. Васильева

Заказ 3656/46 Тираж 704 Подписное
 ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4