

(19) 日本国特許庁(JP)

## (12) 公表特許公報(A)

(11) 特許出願公表番号

特表2010-507309

(P2010-507309A)

(43) 公表日 平成22年3月4日(2010.3.4)

(51) Int.Cl.

H03H 17/02 (2006.01)

F 1

H03H 17/02 635A  
H03H 17/02 601K  
H03H 17/02 681G

テーマコード (参考)

		審査請求 未請求 予備審査請求 未請求 (全 13 頁)
(21) 出願番号	特願2009-532896 (P2009-532896)	(71) 出願人 506070464 カルレック オーディオ リミテッド 英国 エイチエックス7 8イーゼット ウエスト ヨークシャー ヘブデン ブリ ッジ ナットクラフ ミル
(86) (22) 出願日	平成19年10月19日 (2007.10.19)	(74) 代理人 303009467 株式会社ディーアンドエムホールディング ス
(85) 翻訳文提出日	平成21年6月10日 (2009.6.10)	(72) 発明者 ウオーリントン、ジョン パトリック 英国 エイチエックス7 8イーゼット ウエスト ヨークシャー ヘブデン ブリ ッジ ナットクラフ ミル
(86) 國際出願番号	PCT/GB2007/004006	
(87) 國際公開番号	W02008/047139	
(87) 國際公開日	平成20年4月24日 (2008.4.24)	
(31) 優先権主張番号	0620819.3	
(32) 優先日	平成18年10月20日 (2006.10.20)	
(33) 優先権主張国	英國 (GB)	

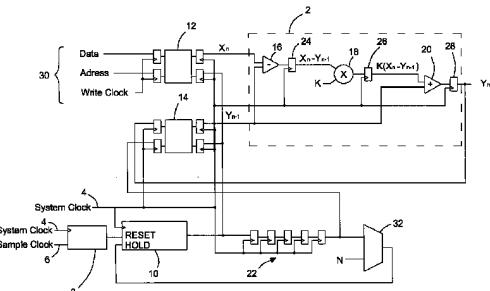
最終頁に続く

(54) 【発明の名称】 デジタル信号処理

## (57) 【要約】

デジタル信号に適用されることになる利得(係数)を補間するためのデジタル信号プロセッサであって、目標利得係数を格納する第1のメモリ手段12と、現在の利得係数を格納する第2のメモリ手段14と、目標利得係数及び現在の利得係数に基づいて、出力利得係数を求める応答決定手段12と、現在の利得係数の代わりに、後続の演算において現在の利得係数として用いられることになる出力利得係数を第2のメモリ手段に格納する手段とを備える、デジタル信号プロセッサ。このようにして、以前のDSPソフトウェア手法ではなく、ハードウェアを用いて、利得係数補間器を実施することができる。

【選択図】図3



## 【特許請求の範囲】

## 【請求項 1】

デジタル信号に適用されることになる利得を補間するためのデジタル信号プロセッサであって、

目標利得係数を格納する第1のメモリ手段と、

現在の利得係数を格納する第2のメモリ手段と、

前記目標利得係数及び前記現在の利得係数に基づいて、出力利得係数を求める応答決定手段と、

前記現在の利得係数の代わりに、後続の演算において現在の利得係数として用いられることになる前記出力利得係数を前記第2のメモリ手段に格納する手段とを備える、デジタル信号プロセッサ。10

## 【請求項 2】

前記デジタル信号プロセッサは、フィールドプログラマブルゲートアレイ（FPGA）を用いて実施される、請求項1に記載のデジタル信号プロセッサ。

## 【請求項 3】

前記応答決定手段はフィルタを含む、請求項1又は2に記載のデジタル信号プロセッサ。20

## 【請求項 4】

前記フィルタの応答は、前記現在の利得係数と前記目標利得係数との間の所望の度合いの補間を提供して、所望の前記出力利得係数を提供するように選択される、請求項3に記載のデジタル信号プロセッサ。20

## 【請求項 5】

前記フィルタは一次フィルタである、請求項4に記載のデジタル信号プロセッサ。

## 【請求項 6】

前記フィルタの時定数は、前記利得係数が適用されることになる前記デジタル信号のサンプリング周期よりも大きくなるように選択される、請求項5に記載のデジタル信号プロセッサ。

## 【請求項 7】

前記フィルタの応答時間は、前記デジタル信号の前記サンプリング周期の百倍よりも大きい、請求項6に記載のデジタル信号プロセッサ。30

## 【請求項 8】

利得係数の変化率を制限するための前記一次フィルタは、前記目標利得係数値  $x_n$  を受信するための第1の入力と、（デジタル信号の利得を変更する際に用いるための）補間された出力利得係数値  $y_n$  を供給するための出力と、前記目標利得係数  $x_n$  と先行する補間された出力利得値  $y_{n-1}$ （第1の事例では、現在の利得係数値  $y_{n-1}$  となる）との間の差を計算するための減算器と、結果として生成された値  $x_n - y_{n-1}$  と、前記フィルタの前記応答を規定する、格納されているフィルタ定数  $K$  とを乗算する（ $K(x_n - y_{n-1})$ ）ための乗算器と、その後、前記先行する補間された出力利得値  $y_{n-1}$  と、結果として生成された乗算値  $K(x_n - y_{n-1})$  とを加算して、補間されたフィルタ出力  $y_{n-1} + K(x_n - y_{n-1})$   $\cdot y_{n-1} = y_n$  を生成する加算器とを備えることができる、請求項5に記載のデジタル信号プロセッサ。40

## 【請求項 9】

前記メモリ手段のそれぞれは、それぞれの音声チャンネルに関連する複数の利得係数のための十分な記憶容量を含む、請求項5に記載のデジタル信号プロセッサ。

## 【請求項 10】

前記フィルタは、複数の選択可能なフィルタ定数（ $K$ ）値を格納するための第3のメモリ手段を備える、請求項5に記載のデジタル信号プロセッサ。

## 【請求項 11】

前記プロセッサは、回路内の適当な場所に配置される1つ又は複数のパイプラインレジスタを備え、それによって制御された状態で信号が回路の中を進む、請求項1～10のい50

すれか一項に記載のデジタル信号プロセッサ。

【請求項 1 2】

前記パイプラインレジスタは、プロセッサ回路の一部が第1の信号に対して演算することができると同時に、該プロセッサ回路の第2の部分が第2の信号に対して演算することができるよう、前記プロセッサが機能することを可能にする、請求項11に記載のデジタル信号プロセッサ。

【請求項 1 3】

請求項1～12のいずれか一項に記載のデジタル信号プロセッサと、デジタル信号に前記出力利得係数を適用する手段とを備える、デジタル信号処理モジュール。

【請求項 1 4】

請求項1～13のいずれか一項に記載の1つ又は複数のデジタル信号プロセッサ及び/又はデジタル信号処理モジュールを備える、デジタルオーディオミキシングデスク。

【請求項 1 5】

デジタル信号に適用されることになる利得を補間する方法であって、

1. 目標利得係数を第1のメモリ手段に格納するステップと、
2. 現在の利得係数を第2のメモリ手段に格納するステップと、

3. 出力利得係数を生成するために、前記第1のメモリ手段及び前記第2のメモリ手段から前記目標利得係数及び前記現在の利得係数を検索すると共に、所定のアルゴリズムに従って、前記利得係数間で補間を行うステップと、

4. 前記現在の利得係数の代わりに、前記出力利得係数を前記第2のメモリ手段に格納するステップとを含む、方法。

【請求項 1 6】

後続の動作のためにステップ1～4を繰り返すさらなるステップを含む、請求項15に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はデジタル信号プロセッサ及びデジタル信号処理方法に関する。典型的には、本発明は、多数の入力信号（チャンネル）が処理及び合成されて、種々の出力が生成される種類のミキシングコンソールにおいて用いることができる。これらは、テレビ及びラジオ放送、音楽録音、音響増幅及び拡声装置、劇場、並びに映画撮影後の編集などの用途において用いられる。より具体的には、本発明は、信号の処理中に円滑に利得を制御することができるようにするために、個々のチャンネルに適用される1つ又は複数の利得係数を補間するための構造及び方法に関する。

【背景技術】

【0002】

デジタル信号の処理では、典型的には、その利得を制御する必要がある。これは通常、各デジタル信号を利得係数と乗算することによって達成される。所与の信号に適用される利得係数の値が急激に変更されると、不快なアーチファクト、たとえば、音声雑音（音声信号の場合）が生成される可能性がある。これは、利得係数の変化率を制御することによって最小限に抑えることができる。

【0003】

今のところ、デジタル処理装置は、市販されている専用のデジタル信号処理集積回路（DSPデバイス）を用いて、デジタル音声サンプルストリームに利得を加えることによって、これを果たす。これらは基本的には、ソフトウェア制御のプロセッサである。1つのそのようなデバイスはShark DSP（商標）である。利得係数の補間が必要とされる場合には、DSPデバイスは、補間を適用するようにプログラムされる。制御すべき数多くのサンプルストリームが存在する場合には、利得係数を補間する負荷によって、DSPデバイスの処理能力のかなりの割合が消費されることがあり、さらに負荷が重い場合には、さらなるDSPデバイスを追加する必要がある。

10

20

30

40

50

**【0004】**

DSPデバイスは、永久の固定ハードウェアアーキテクチャから構成され、ソフトウェアによりプログラム可能であり、そのソフトウェアによって、そのDSPデバイスは、超高速命令シーケンスを提供することができるようになり、リアルタイムに信号を処理することができる。たとえば、DSPデバイスは、48kHz～192kHzの典型的なサンプリングレートにおいて、20キロヘルツまでの音声信号を処理することができる。しかしながら、DSPデバイスの設計は、多種多様なタスクを実行することができるだけの十分な自由度はあるが、単一のタスクを何度も実行する際に必ずしもあまり効率的ではないことを意味する。デジタルミキサでは、少数のタスクが何度も実行される必要があるので、DSPデバイスの大規模なアレイが必要とされ、多数のプリント回路カード上に収容される。典型的には、カード当たり、そのようなデバイスが6～8個必要とされる。しかしながら、そのようなミキサは多数の構成要素と、それに応じて相対的に複雑な多数の相互接続とを含むので、構成するのに相対的にコストがかかり、本質的に信頼性がない。さらに、それらのミキサは、大量のエネルギーを消費し、結果として、大量の熱を生成する。

10

**【発明の概要】****【発明が解決しようとする課題】****【0005】**

本発明の目的は、上記の欠点を克服するか、又は緩和するデジタル信号処理のシステムを提供することである。

20

**【課題を解決するための手段】****【0006】**

最も広い意味において、本発明は、固定アーキテクチャを使用し、ソフトウェア又はDSP処理を必要としない、多数の利得係数に補間が適用されるシステムを提供する。

30

**【0007】**

したがって、第1の態様において、本発明は、デジタル信号に適用されることになる利得を補間するためのデジタル信号プロセッサであって、

目標利得係数を格納する第1のメモリ手段と、

現在の利得係数を格納する第2のメモリ手段と、

目標利得係数及び現在の利得係数に基づいて、出力利得係数を求める応答決定手段と、

現在の利得係数の代わりに、後続の演算において現在の利得係数として用いられることになる出力利得係数を第2のメモリ手段に格納する手段とを備える、デジタル信号プロセッサを提供する。

**【0008】**

このようにして、以前のDSPソフトウェア手法ではなく、ハードウェアを用いて、利得係数補間器を実施することができる。デジタル信号プロセッサは、フィールドプログラマブルゲートアレイ(FPGA)を用いて実施されることが好ましい。

30

**【0009】**

フィールドプログラマブルゲートアレイ(FPGA)は、製造後に使用者が設定することができ、それにより使用者が自身の個人要件に合わせることが可能な集積回路である。実際、FPGAのハードウェアアーキテクチャ(すなわち、作り出されるべき回路設計)は、ユーザによってカスタム化ができる。設定されたなら、そのようなデバイスは、構成可能な論理ブロックのアレイ及びルーティングチャンネルを含む、専ら固定アーキテクチャを用いて動作する。これは、デバイスが多数の異なるタスクを処理することができ、予め準備されたタスクを処理するように構成することができるという利点を有する。

40

**【0010】**

これまでの説明は、本発明がオーディオミキシングデスクの一部である場合の、ただ1つの目標係数、すなわち暗に、ただ1つの音声チャンネルだけを指している。しかしながら、実際には、そのようなシステムは典型的には、数多くのチャンネル(たとえば、最大で500チャンネル)を含むので、第1のメモリ手段及び第2のメモリ手段は、多数の利

50

得係数、典型的には、必要とされるチャンネル当たり1つの利得係数を格納するように設定することができる。これは後にさらに詳細に参照されることになるが、簡単にするために、以下の説明のうちの一部では、単一のチャンネルだけが参照されることになる。

【0011】

応答決定手段はフィルタを含むことが好ましい。フィルタの設計（すなわち、応答）は、任意の所望の程度の補間を与えるように選択されることがある。応答決定手段は、所望の出力利得係数を与えるために、現在の利得係数と目標利得係数との間を補間するので、典型的には、目標利得係数と現在の利得係数との間の差に基づいて動作する。

【0012】

本発明のいくつかの実施形態において適していることがわかっている1つの比較的簡単なフィルタ応答は、一次フィルタである。利得係数値に一次フィルタを適用することによって、その係数が正確に調整されるなら、利得値が、その開始値から新たな値まで時間と共に円滑にランピングするという効果があるであろう。一次フィルタは、値間の差に関係なく、値間でランピングするのに同じ時間を要するという望ましい特性を有する。

【0013】

フィルタの時定数は、利得係数が適用されることになるデジタル信号（複数可）のサンプリング周期よりも幾分大きくなるように選択することができる。これは、出力利得係数が常に、目標利得係数よりも小さくなること、それゆえ、利得係数が適用される信号が、単一のサンプリング周期において所望の値に達することができないことを意味するであろう。これは、先に言及されたアーチファクト問題を回避するのを助ける。実際には、フィルタの応答時間は、デジタル信号のサンプリング周期よりも著しく大きくなるように選択されるであろう。典型的な場合には、フィルタの応答時間は、デジタル信号のサンプリング周期の百倍よりも大きく、サンプリング周期の少なくとも250倍よりも大きいことが好ましく、サンプリング周期の500倍よりも大きいことが最も好ましいが、必要に応じて、さらに大きな応答時間を選択することもできる。

【0014】

利得係数の変化率を制限するための一次フィルタは、目標利得係数値  $x_n$  を受信するための第1の入力と、（デジタル信号の利得を変更する際に用いるための）補間された出力利得係数値  $y_n$  を供給するための出力と、目標利得係数  $x_n$  と先行する補間された出力利得値  $y_{n-1}$ （第1の事例では、現在の利得係数値  $y_{n-1}$  となる）との間の差を計算するための減算器と、結果として生成された値  $x_n - y_{n-1}$  と、フィルタの応答を規定する、格納されているフィルタ定数  $K$  とを乗算する（ $K(x_n - y_{n-1})$ ）ための乗算器と、その後、上記先行する補間された出力利得値  $y_{n-1}$  と、結果として生成された乗算値  $K(x_n - y_{n-1})$  を加算して、補間されたフィルタ出力  $y_{n-1} + K(x_n - y_{n-1}) \cdot y_{n-1} = y_n$  を生成する加算器とを備えることができる。

【0015】

目標利得係数のための第1のメモリ手段は入力RAMであり、デュアルポート入力RAMとすることができる。現在の利得係数のための第2の方法手段は、出力RAMとすることができる。

【0016】

先に述べられたように、これらの各メモリ手段は、それぞれの音声チャンネルに関連する複数の利得係数のための十分な記憶容量を含むことができる。典型的には、これは、500チャンネル又は1000チャンネルほどの数多くの音声チャンネルになることがあるので、それに応じて、メモリ手段のサイズも決定されるであろう。

【0017】

プロセッサはシステムクロックを含むことができ、システムクロックは各構成要素を制御して、各サイクル中に計算を行なうことができるようになる。また、プロセッサは、デジタル入力信号のためのサンプリングクロックも含むことができる。サンプリングクロックに対するシステムクロックの周波数の比は、所与のデジタルサンプルにおいてフィルタによって実行される補間の数Nを決定することができる。システムクロックとして、高速

10

20

30

40

50

システムクロックを用いることができる。

【0018】

プロセッサはエッジ検出器を含むことができ、エッジ検出器は、サンプリングクロックの所定のエッジを検出し、カウンタをリセットする、すなわちカウンタ出力を0に設定して利得値の新たな補間を開始するパルスを生成する。

【0019】

一次フィルタの場合、フィルタ定数Kは、フィルタの時定数を規定し、アーチファクトを所定のレベル未満にしておくために、補間のレートを制御し、利得係数の変化率を制限するように選択することができる。フィルタは、複数の選択可能なK値を格納する記憶装置（たとえば、第3のメモリ手段）を備えることができる。その記憶装置は、デュアルポートRAMの形をとることができる。

10

【0020】

それに加えて、又はそれとは別に、後続の補間にために、異なるK値が用いられるか、又は選択されることがある。これは、所望のオーディオ効果、たとえば、フェードイン又はフェードアウトを達成するための1つの方法であろう。

【0021】

フィルタは、新たな利得係数をフィルタに書き込む手段も備えることができ、そのフィルタ係数は入力RAMに格納されることがある。新たな利得係数の書き込みは、システムクロックに同期して行われることができる。

20

【0022】

フィルタは比較器を備えることができ、比較器はカウンタ値を検出し、所与のサンプリングクロックエッジの場合に、利得値の必要数Nが検出されたときに、カウントを保持する手段を有する。先に述べられたように、デジタル信号プロセッサは、同時に処理されることになる多数の信号、すなわち、必要に応じて、信号毎に異なる利得係数を有する多数の信号を可能にすることができる。処理の効率を高めるために、プロセスは、パイプラインレジスタードバッファ処理を利用するように構成されることが好ましい。これは、プロセッサが、回路内の適当な場所に配置される1つ又は複数のパイプラインレジスタを備え、それによって制御されて信号が回路の中を進む(stepped through)ことを意味する。これにより、プロセッサ回路の一部が第1の信号に対して演算することができるようになるのと同時に、プロセッサ回路の第2の部分が第2の信号（すなわち、第2の音声チャンネルに関連する等）に対して演算することもできる。

30

【0023】

デジタル信号プロセッサは、ミキシングコンソール、好ましい実施形態では、デジタルミキシングコンソールにおいて用いられるFPGA上の回路として用いることができる。システムクロックレートは192MHzにすることができ、デジタル信号サンプルは48KHzにすることができ、それは、最大で毎秒4000回の補間を可能にすることができる。クロックレートを高くするほど、多くの数の利得値を補間することができるようになることを理解されたい。これは、FPGA上において少数の構成要素を組み合わせることで達成され、他の機能のために利用することができるFPGA資源のわずかな部分しか必要としないであろう。同じクロックレートでクロック制御する既知のDSPデバイスは、半分の数の利得係数しか補間することができない上に、それを果たすのに完全に占有されてしまうであろう。

40

【0024】

したがって、さらなる態様において、本発明は、本発明の第1の態様によるデジタル信号プロセッサと、デジタル信号に出力利得係数を適用する手段とを備える、デジタル信号処理モジュールを提供する。

また、さらなる態様において、本発明は、本発明の第1の態様又は第2の態様による1つ又は複数のデジタル信号プロセッサ及び/又はデジタル信号処理モジュールを備える、デジタルオーディオミキシングデスクである。

【0025】

50

さらなる態様では、本発明は、デジタル信号に適用されることになる利得を補間する方法を提供し、その方法は、

1. 目標利得係数を第1のメモリ手段に格納するステップと、
2. 現在の利得係数を第2のメモリ手段に格納するステップと、
3. 出力利得係数を生成するために、第1のメモリ手段及び第2のメモリ手段から目標利得係数及び現在の利得係数を検索し、所定のアルゴリズムに従って、それらの利得係数間で補間を行うステップと、
4. 現在の利得係数の代わりに、出力利得係数を第2のメモリ手段に格納するステップとを含む。

【0026】

その方法は、後続の動作のためにステップ1～4を繰り返すさらなるステップを含むことが好ましい。

【0027】

例としてのみ、これより、本発明の実施形態を添付の図面を参照しながら説明する。

【図面の簡単な説明】

【0028】

【図1】本発明の一実施形態による、デジタル信号プロセッサの動作を示すブロック図である。

【図2】本発明を用いて選択することができる典型的な応答を示す、デジタル信号出力のグラフである。

【図3】多数のデジタル信号値を補間するためのFPGAデバイス内の回路を示す回路図である。

【発明を実施するための形態】

【0029】

図1は、本発明による、回路の動作の原理を示すブロック図である。図1は、ただ1つの音声チャンネルを用いる発明を示すが、先に述べられたように、実際には、本発明は、数多くの音声チャンネルに対応するように実施されるであろう。

【0030】

原理的には、本発明のこの実施形態は主に、一対のメモリ手段M1及びM2、並びに応答決定手段Fから成る。使用者が（たとえばここでもまた、ミキシングデスク上のノブ又はスライド（フェーダと呼ばれることが多い）を操作することによって選択される）特定の利得を音声信号に加えたい場合には、第1のメモリM1に、目標利得係数G<sub>t</sub>が入力される。その時点でその音声信号に加えられている現在の利得係数G<sub>o</sub>は既にメモリM2に格納されているであろう。原理的には、本発明は、比較器Cを用いて、目標利得係数G<sub>t</sub>と、現在の利得係数G<sub>o</sub>とを比較し、その後、その比較器の出力に、望ましい補間関数を適用する。本発明のいくつかの実施形態では、選択される補間関数は、先に説明されたように、一次フィルタになるであろう。その補間関数、及び、多くの場合に、現在の利得係数G<sub>o</sub>と目標利得係数G<sub>t</sub>との間の中間値になるように意図される出力利得係数G<sub>o</sub>。その後、出力利得係数G<sub>o</sub>を、適用されるべきである音声信号と混合して、結果の音声信号を生成することができる。

【0031】

図2は、本発明を用いるときに、出力が時間と共に如何に変化し得るかを示す。使用者によって選択される目標出力値が、グラフ上に破線で示される。一般的に、出力は、Kによって制御されるレートで增加的に変化する。この例では、開始出力値は0であるものと仮定されるが、当然、実際には任意の値にすることができる。先に説明されたように、いくつかの例では、フィルタ手段Fの時定数は、当該音声信号のサンプリング周期よりもはるかに長くなるように選択される。この例では、一次フィルタ応答が用いられており、出力値の増加は逆指数関数的であるが、任意の他の適当な応答を用いることもできる。たとえば、フィルタの応答時間は、サンプリング周期にわたって、出力値が、たとえば1%だけ増加するように選択することができる。当然、この値は、必要に応じて変更することができる。

10

20

30

40

50

できる。図2に示されるグラフでは、最初の5サンプリング周期だけが示されるが、当然、実際には、その応答は、さらに多くのサンプリング周期にわたって生じるであろう。たとえば、プロセッサの所望の全応答時間（所望の目標係数、ひいては所望の信号出力値に達するのにかかる時間）が、たとえば10ミリ秒であるならば、その応答は、500サンプリング周期にわたって生じるであろう。

【0032】

本発明の一実施形態によれば、図3に示されるように、一次フィルタを用いて多数のサンプル値を補間するための少なくとも1つの回路が、FPGA上で実施される。以下の式は、一次フィルタを表す。

$$y_n = K \cdot x_n + (1 - K) \cdot y_{n-1}$$

10

ただし、 $y_n$ はフィルタ出力を表し、 $x_n$ は入力を表し、 $y_{n-1}$ は先行するフィルタ出力を表す。定数Kは、フィルタの時定数を規定する。それは、補間のレートを制御し、利得係数の変化率を制限することによってアーチファクトがたとえば可聴レベル未満のような所望のレベル未満に保持されるように選択される。この式は、以下のように記述される。

$$y_n = y_{n-1} + K (x_n - y_{n-1}) \cdot y_{n-1}$$

これが、本発明において用いられる式の形である。

【0033】

回路は、高速システムクロック4及びデジタル入力信号のためのサンプリングクロック6を備える制御システムを備える。

【0034】

システムクロック4が動作する速度は、サンプリングクロック6よりも、はるかに周波数が高い。これらの2つの比は、実行される補間演算の数を決定する。たとえば、デジタル信号サンプリングレートが48kHzであり、システムクロックレートが192MHzである場合には、実行される補間の数Nは、以下の式によって与えられる。

$$N = f_{\text{system\_clock}} / f_{\text{sample\_rate}} = 192 \times 10^6 / 48 \times 10^3 = 4000$$

20

【0035】

回路は、エッジ検出器8と、カウンタ10と、入力デュアルポートRAM（入力DPRAM）12と、出力デュアルポートRAM（出力DPRAM）14と、減算器16と、乗算器18と、加算器20と、一連のパイプライン遅延レジスタ22と、複数のさらなるレジスタ24、26、28とを備える。これらの構成要素が、本発明に従って相互接続され、図3に示されるフィルタ回路が提供される。

30

【0036】

回路は、新たな利得係数を入力DPRAM12に書き込むようになっている制御インターフェース30も備えており、入力DPRAM12及び出力DPRAM14はいずれも、ビット幅WのN個の利得係数値を格納するように設計される。ビット幅は、利得係数の分解能を決定する。デジタル音声利得係数に適した値は32ビットであり、192dBのダイナミックレンジを与える。出力DPRAM14を用いて、先行するフィルタ出力 $y_{n-1}$ が格納される。

【0037】

回路は以下のように動作する。

40

【0038】

エッジ検出器8が、サンプリングクロック6の立ち上がりエッジを検出し、カウンタ10をクリアして0にするパルスを生成する。カウンタがリセットされた後に、カウンタ出力は0に設定される。カウンタ10の出力は、入力DPRAM12及び出力DPRAM14の両方のためのアドレスを提供する。2クロックサイクル後に、アドレス0からの所望の利得値又はフィルタ入力 $x_n$ が、入力DPRAM12から検索され、先行するフィルタ出力 $y_{n-1}$ が、出力DPRAM14から検索される。新たなフィルタ入力 $y_n$ 及び先行するフィルタ出力 $y_{n-1}$ はいずれも、減算器16の入力を介して、フィルタ2に加えられ、計算 $x_n - y_{n-1}$ が行われる。この計算の結果は、次のレジスタ24に格納される。後続のクロックサイクル中に、この結果は、乗算器18において、一次フィルタ係数を表す定数K

50

と乗算される。結果  $K (x_n - y_{n-1})$  が、次のレジスタ 2 6 に格納される。最後に、先行するフィルタ出力  $y_{n-1}$  が、加算器 2 0 において加算され ( $y_{n-1} + K (x_n - y_{n-1}) \cdot y_{n-1}$ )、新たなフィルタ出力  $y_n$  が生成される。

【0039】

新たなフィルタ出力  $y_n$  はレジスタ 2 8 に格納され、それは、デジタル信号ストリームの利得を直に変更するために用いられる補間された利得値である。

【0040】

新たなフィルタ出力  $y_n$  は、アドレス 0 において入力 D P R A M 1 2 内の利得値に補間が適用される次の時点で、次の計算において用いるための先行するフィルタ出力  $y_{n-1}$  として、出力 D R A M 1 4 に格納される。このために、出力 D P R A M 1 4 への移動中に、メモリアクセス及びフィルタ計算のパイプライン遅延 2 2 を補償するために、新たなフィルタ出力  $y_n$  は、5つのパイプライン遅延を受ける。

10

【0041】

設計は、クロックサイクル当たり1回フィルタを計算することができるようにするために、このようにしてパイプライン化される。カウンタがNまでカウントアップするのにつれて、動作が続けられ、カウンタ 1 0 がN個の利得係数値に達するまで、クロックサイクル毎に新たな補間利得値が計算される。

【0042】

回路はさらに、システムクロック4の周波数が、補間を必要とする利得値の要求数のために必要な周波数よりも高い場合に、次のサンプリングクロック立ち上がりエッジの前に、カウンタ 1 0 が補間過程を折り返して再開することができないようにするために、要求数分の補間後にカウンタ 1 0 を停止させる手段が設けられるようになっている。これには、見掛け上の補間率が、一次フィルタ値  $K$  によって定義される補間率よりも高いという不都合がある。その手段は、パイプラインレジスタ 2 2 後のカウンタ 1 0 の値がN、すなわち利得値の要求数に等しい時点を検出する比較器 3 2 を含む。この時点で、次のサンプリングクロック4の立ち上がりエッジまで、さらに補間が行なわれるのを防ぐために、カウンタ 1 0 を保持するための信号が送られる。

20

【0043】

一定の定数  $K$  が記述されてきたが、回路はさらに、付加的な異なる  $K$  値を格納するようになっているさらなるD P R A M (図示せず)を備えるようにすることができ、異なる補間率を利得値毎に選択することができるようになる。

30

【0044】

本発明は、単なる一例として記載される上記の実施形態の細部に限定されるように意図されていないことを理解されたい。

【図1】

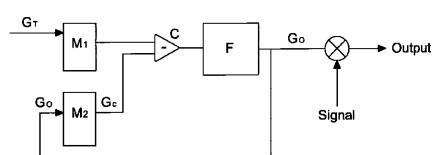


Fig. 1

【図3】

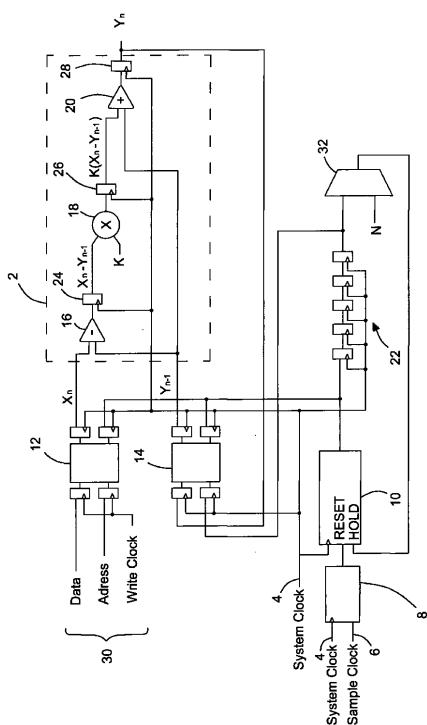


Fig. 3

【図2】

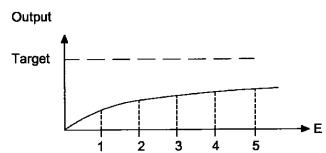


Fig. 2

## 【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No PCT/GB2007/004006									
<b>A. CLASSIFICATION OF SUBJECT MATTER</b> INV. H03G3/30 H03G5/00 H03H17/02											
According to International Patent Classification (IPC) or to both national classification and IPC											
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) H03H H03G H03M											
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched											
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data, INSPEC, COMPENDEX											
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="text-align: left; padding: 2px;">Category*</th> <th style="text-align: left; padding: 2px;">Citation of document, with indication, where appropriate, of the relevant passages</th> <th style="text-align: left; padding: 2px;">Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td style="padding: 2px;">X</td> <td style="padding: 2px;">EP 0 932 253 A (TEXAS INSTRUMENTS INC [US]) 28 July 1999 (1999-07-28) paragraph [0023] – paragraph [0037]; figures 10,11,14</td> <td style="padding: 2px;">1-16</td> </tr> <tr> <td style="padding: 2px;">A</td> <td style="padding: 2px;">US 4 809 207 A (NILLESEN ANTONIUS H H J [NL]) 28 February 1989 (1989-02-28) the whole document</td> <td style="padding: 2px;">8</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	X	EP 0 932 253 A (TEXAS INSTRUMENTS INC [US]) 28 July 1999 (1999-07-28) paragraph [0023] – paragraph [0037]; figures 10,11,14	1-16	A	US 4 809 207 A (NILLESEN ANTONIUS H H J [NL]) 28 February 1989 (1989-02-28) the whole document	8
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.									
X	EP 0 932 253 A (TEXAS INSTRUMENTS INC [US]) 28 July 1999 (1999-07-28) paragraph [0023] – paragraph [0037]; figures 10,11,14	1-16									
A	US 4 809 207 A (NILLESEN ANTONIUS H H J [NL]) 28 February 1989 (1989-02-28) the whole document	8									
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.											
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "I" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed											
Date of the actual completion of the international search  23 January 2008		Date of mailing of the international search report  29/01/2008									
Name and mailing address of the ISA/ European Patent Office, P.B. 5518 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer  Lecoutre, Renaud									

**INTERNATIONAL SEARCH REPORT**

Information on patent family members

International application No  
PCT/GB2007/004006

Patent document cited in search report	Publication date		Patent family member(s)	Publication date
EP 0932253	A	28-07-1999	JP 11317637 A	16-11-1999
US 4809207	A	28-02-1989	DE 3672857 D1	30-08-1990
			EP 0195482 A1	24-09-1986
			FI 861102 A	21-09-1986
			JP 61218217 A	27-09-1986
			NL 8500805 A	16-10-1986

---

## フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, K, P, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW