

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



# [12] 发明专利说明书

专利号 ZL 200580017337.2

H01L 29/36 (2006.01)

H01L 29/80 (2006.01)

H01L 27/01 (2006.01)

H01L 29/76 (2006.01)

H01L 29/861 (2006.01)

[45] 授权公告日 2009年9月9日

[11] 授权公告号 CN 100539181C

[22] 申请日 2005.4.26

[21] 申请号 200580017337.2

[30] 优先权

[32] 2004.5.28 [33] US [31] 10/856,602

[86] 国际申请 PCT/US2005/014323 2005.4.26

[87] 国际公布 WO2005/119913 英 2005.12.15

[85] 进入国家阶段日期 2006.11.28

[73] 专利权人 飞思卡尔半导体公司

地址 美国得克萨斯

[72] 发明人 维杰伊·帕萨撒拉希

维施努·K·基姆卡 朱荣华

阿米塔瓦·博斯

[56] 参考文献

US6459139B2 2002.10.1

US6476442B1 2002.11.5

EP1233456A2 2002.8.21

审查员 王琳

[74] 专利代理机构 中国国际贸易促进委员会专利  
商标事务所

代理人 杜娟

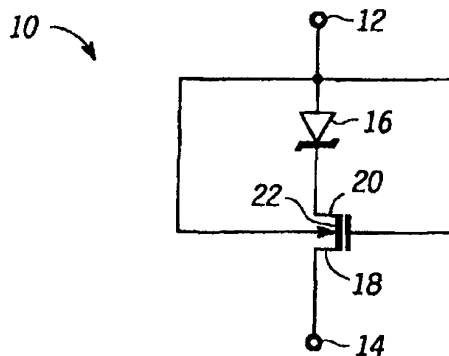
权利要求书 5 页 说明书 7 页 附图 2 页

[54] 发明名称

肖特基器件

[57] 摘要

常规的肖特基二极管(16)或具有肖特基二极管特性的器件(90)与 MOS 晶体管(18、92)串行耦合,以对漏电流和击穿电压提供了显著的改进,而前向电流只有小的降低。在反向偏置情况下,有一个小的反向偏置电流,但通过肖特基二极管(16、90)的电压由于 MOS 晶体管(18、92)而保持较小。几乎所有的反向偏置电压都通过 MOS 晶体管(18、92),直至 MOS 晶体管(18、92)损坏。然而,因为肖特基二极管限制了电流,所以该晶体管损坏不是一开始就损坏的。随着反向偏置电压持续增加,肖特基二极管(16、90)开始吸收更多的电压。这增加了漏电流,而击穿电压相当于晶体管(18、92)和肖特基二极管(16、90)之间的和。



1、一种具有正极端子和负极端子的肖特基器件，包括：

具有正极端子和负极端子的类肖特基器件，其中类肖特基器件的正极端子作为肖特基器件的正极端子工作；和

耗尽型晶体管，具有耦合到类肖特基器件的负极端子的第一电流电极，耦合到类肖特基器件的正极端子的栅极，和作为肖特基器件的负极端子工作的第二电流电极，

其中类肖特基器件包括晶体管，该晶体管具有连接到一起以形成类肖特基器件的正极端子的第一电流电极、栅极和体，以及作为类肖特基器件的负极端子的第二电流电极。

2、如权利要求 1 所述的肖特基器件，其中所述类肖特基器件的晶体管是阈值电压不大于 0.2V 的非耗尽型晶体管。

3、如权利要求 1 所述的肖特基器件，其中该肖特基器件形成在衬底的半导体区域中，该肖特基器件包括：

第一传导类型的第一阱区；

与第一阱区相邻的第二传导类型的第二阱区；

在第一阱区的第一部分上的金属，其中所述第一阱区的第一部分与第一掺杂区隔开，该金属被耦合到肖特基器件的正极端子；

在第一阱区中的第二传导类型的第一掺杂区，位于衬底的表面处，并且具有在金属的一部分之下的第一部分，其中金属的该部分之下的第一掺杂区的该部分是肖特基二极管的负极端子，并且金属是肖特基二极管的正极端子。

栅极，在第一掺杂区的第二部分上，并被耦合到肖特基器件的正极端子，其中所述第一掺杂区的第二部分与金属隔开；

第二传导类型的第二掺杂区，是耗尽型晶体的第二电流电极，在衬底的表面处，在第二阱区中，是肖特基器件的负极端子，并且与第一掺杂区隔开；和

在第二阱区中的隔离区，与第一掺杂区隔开，并在第一掺杂区和

第二掺杂区之间。

4、如权利要求 3 所述的肖特基器件，其中第二传导类型是 N 型。

5、如权利要求 3 所述的肖特基器件，进一步包括在第一阱区中的第一传导类型的第三掺杂区，其掺杂得比第一阱区浓，在衬底的表面处，并且在金属的第二部分之下。

6、如权利要求 1 所述的肖特基器件，其中所述肖特基器件形成在第一传导类型的衬底的半导体区域中，该肖特基器件包括：

衬底上的金属，所述金属被连接到肖特基器件的正极端子；

衬底中的第二传导类型的第一掺杂区，位于衬底的表面处，并且具有金属的一部分之下的第一部分，其中金属的该部分之下的第一掺杂区的该部分是肖特基二极管的负极端子，并且所述金属是肖特基二极管的正极端子；

栅极，在第一掺杂区的第二部分之上，并被耦合到肖特基器件的正极端子，其中所述第一掺杂区的第二部分与金属隔开；

第二传导类型的第二掺杂区，是耗尽型晶体管的第二电流电极，在衬底的表面处，在衬底中，是肖特基器件的负极端子，并与第一掺杂区隔开；和

在半导体区域中的隔离区，与第一掺杂区隔开，并位于第一掺杂区与第二掺杂区之间。

7、如权利要求 6 所述的肖特基器件，其中第二传导类型是 N 型。

8、如权利要求 7 所述的肖特基器件，进一步包括在衬底中的第一传导类型的第三掺杂区，其掺杂得比衬底浓，在衬底的表面处，并且在金属之下。

9、一种具有正极端子和负极端子的肖特基器件，包括：

具有正极端子和负极端子的类肖特基器件，其中类肖特基器件的正极端子作为肖特基器件的正极端子工作；和

耗尽型晶体管，具有耦合到类肖特基器件的负极端子的第一电流电极，耦合到类肖特基器件的正极端子的栅极，和作为肖特基器件的负极端子工作的第二电流电极，

其中肖特基器件形成在衬底的半导体区域中，该肖特基器件具有：

第一传导类型的第一阱区；

与第一阱区相邻的第二传导类型的第二阱区；

第一传导类型的第一掺杂区，位于衬底的表面处，耦合到肖特基器件的正极端子，掺杂得比第一阱区浓，并在第一阱区中；

在第一阱区的第一部分上的金属硅化物，由此形成了肖特基二极管，其中该金属硅化物是肖特基二极管的负极端子，第一阱区的第一部分是肖特基二极管的正极端子，所述第一阱区的第一部分与第一掺杂区隔开；

第一隔离区，位于第一阱区的第一部分与第一掺杂区之间的第一阱区中；

第二传导类型的沟道区，与第一阱区的第一部分隔开，在第一阱区中，并在衬底的表面处；

沟道区之上的栅极；

第二传导类型的第二掺杂区，是耗尽型晶体管的第一电流电极，掺杂得比沟道区浓，与沟道区相邻并接触，并且具有在金属硅化物之下并与金属接触的至少一部分；

第三掺杂区，与沟道区隔开，是第二传导类型，是耗尽型晶体管的第二电流电极，在衬底的表面处，在第二阱区中，并且是肖特基器件的负极端子；和

第二隔离区，在沟道区和第三掺杂区之间。

10、如权利要求 9 所述的肖特基器件，其中第二传导类型是 N 型。

11、如权利要求 10 所述的肖特基器件，其中所述金属硅化物是硅化钴。

12、一种具有正极端子和负极端子的肖特基器件，包括：

具有半导体区域的衬底；

在半导体区域中的第一传导类型的第一阱区；

第二传导类型的第二阱区，与第一阱区相邻并位于半导体区域

中;

第一传导类型的第一掺杂区,位于衬底的表面处,掺杂得比第一阱区浓,耦合到正极端子,并在第一阱区中;

在第一阱区的第一部分上的金属,其中所述第一阱区的第一部分与第一掺杂区隔开;

第一隔离区,在第一阱区的第一部分与第一掺杂区之间的第一阱区中;

第二传导类型的沟道区,与第一阱区的第一部分隔开,在第一阱区中,并且在衬底的表面处;

栅极,在沟道区之上;

在第一阱区中的第二传导类型的第二掺杂区,掺杂得比沟道区浓,并与沟道区相邻和接触,并具有在所述金属之下并与所述金属接触的至少一部分;

第二传导类型的第三掺杂区,与沟道区隔开,在衬底的表面处,在第二阱区中,并且是肖特基器件的负极端子;和

第二隔离区,在沟道区和第三掺杂区之间。

13、如权利要求 12 所述的肖特基器件,其中第二隔离区的特征还在于与沟道区隔开。

14、如权利要求 12 所述的肖特基器件,进一步包括在第一阱区的第一部分和第一隔离区之间的第二传导类型的第四掺杂区。

15、如权利要求 12 所述的肖特基器件,其中第二传导类型是 N 型。

16、一种具有第一端子和第二端子的肖特基器件,包括:

类肖特基器件,具有耦合到肖特基器件的第一端子的第一端子,和第二端子;和

晶体管,具有耦合到肖特基器件的第一端子的栅极,耦合到类肖特基器件的第二端子的第一电流电极,和耦合到肖特基器件的第二端子的第二电流电极,

其中类肖特基器件是低阈值电压晶体管,具有连接在一起形成类

肖特基器件的第一端子的第一电流电极、栅极和体，以及作为类肖特基器件的第二端子的第二电流电极。

17、如权利要求 16 所述的肖特基器件，其中晶体管是耗尽型晶体管。

18、如权利要求 16 所述的肖特基器件，其中类肖特基器件的第一端子是正极端子，类肖特基器件的第二端子是负极端子。

## 肖特基器件

### 技术领域

本发明涉及半导体，更具体地，涉及可像肖特基二极管一样工作的半导体器件。

### 背景技术

很长时间以来，人们发现肖特基二极管在相当多应用中都有用。肖特基二极管比提供各种有用功能的 PN 结二极管在前向偏置方向上具有更低的阈值。典型的肖特基二极管的主要缺陷是随着反向偏置电压增加，其在反向偏置方向的漏电流指数倍地增加。这种效应有时被称为“势垒降低”。另一个希望改进的特性是击穿电压。图 1 中示出了肖特基二极管的 I-V 特征曲线。该曲线是半对数标度 (semi-log scale) 的，其中电压 (V) 是线性的，电流 (I) 是对数标度的。该图显示电流随着反向偏置电压成指数倍增加，在对数曲线中是线性的，同时存在击穿电压 (BV)。通过降低本底掺杂浓度，击穿电压最多可增加到 50V，但是，这会降低前向偏置电流。此外，由于漏电流随着反向偏置电压指数倍增加，随着接近击穿电压，漏电流会变得很大。

为改进上述缺陷，已开发出一种使用沿肖特基二极管的边沿很深掺杂的区域的技术，以“夹断 (pinchoff)”势垒降低效应。该技术具有基本上消除了势垒降低并改进了击穿电压的效果。这种方法的问题是处理并不简单，而且还导致了肖特基二极管尺寸的大大增加。该技术是一个需要很深且浓的掺杂区域的垂直技术方案 (vertical solution)，其中该区域是一个笔直并且垂直的壁。难于组合地实现这些，即使认为努力是值得的，其也依赖于深接触 (deep contact)。具有这种垂直特性的处理，例如双极性处理和离散处理，需要增加必要的步骤以实现该夹断。其他处理更多是横向的，例如 CMOS 和混合信

号处理，当为了实现改进的肖特基二极管而试图一体化夹断类型结构时，这些处理更为困难并需付出更大的成本。

这样，需要一种具有改进的泄漏和/或击穿电压、更便于横向处理使用的肖特基器件。

#### 附图说明

本发明通过例子来说明且并不限于附图，图中相似的标号表示相似的要素，图中：

图 1 是传统肖特基二极管的 I-V 曲线；

图 2 是根据发明的实施例的肖特基器件的电路图；

图 3 是根据第一实现的图 2 的肖特基器件的截面图；

图 4 是图 2 的肖特基器件的 I-V 曲线；

图 5 是根据第二实现的图 2 的肖特基器件的截面图；

图 6 是根据第三实现的图 2 的肖特基器件的截面图；和

图 7 是根据图 2 实施例的另选实施例的肖特基器件的电路图。

本领域技术人员将理解，为了简单和清楚而例示了图中的要素，但这些要素没有必要按比例绘制。例如，图中一些要素的尺寸相对于其他要素可能被夸大，以帮助提高对本发明的实施例的理解。

#### 具体实施方式

一方面，常规的肖特基二极管或具有肖特基二极管特性的器件和 MOS 晶体管被串行耦合，以在泄漏电流和击穿电压方面提供显著的改进，而前向电流只有小的降低。在反向偏置的情况下，反向偏置电流小但通过肖特基二极管的电压由于 MOS 晶体管而保持较小。几乎所有的反向偏置电压都通过 MOS 晶体管，直至 MOS 晶体管损坏。然而，因为肖特基二极管限制了电流，所以该晶体管损坏不是一开始就损坏的。随着反向偏置电压持续增加，肖特基二极管开始吸收更多的电压。这增加了漏电流，而击穿电压相当于晶体管的击穿电压和肖特基二极管的击穿电压之间的和。实际效应是显著减少的漏电流和分别大于晶

体管或者肖特基二极管的击穿电压的击穿电压。参考附图和以下说明更好地对此进行理解。

图 1 示出了肖特基器件 10，其包括肖特基二极管 16、正极端子 12、负极端子 14，以及 N 沟道晶体管 18。在这里所使用的传统技术是当肖特基器件 10 是前向偏置时，电流从正极端子 12 流向负极端子 14，当反向偏置时，漏电流从负极端子 14 流向正极端子 12。肖特基二极管 16 具有耦合到正极端子 12 的正极端子，以及负极端子。晶体管 18 具有：在触点 20 连接到肖特基二极管 16 的负极端子的第一电流电极、连接到正极端子 12 的栅极、连接到负极端子 14 的第二电流电极、连接到正极端子 12 的体 (body)，和沟道区 22。当肖特基器件 10 前向偏置时晶体管 20 的第一电流电极用作漏极，当肖特基二极管 10 反向偏置时用作源极。沟道区 22 被掺杂以使得晶体管 18 为具有例如 -0.2V 的负阈值电压的 N 沟道耗尽型晶体管。该阈值电压可以不同于此，但最好是负值，这样就是耗尽型器件。

在前向偏置操作中，晶体管 18 是导电的，因为它是耗尽型器件，端子 12 的电压在正向上大于端子 14 的电压。肖特基二极管 16 在特性阈值电压时导电，以使得肖特基器件 10 在肖特基二极管 16 的阈值电压时变得导电。随着前向偏置增加，晶体管 18 会略微更为导电，但肖特基二极管 16 以普通肖特基二极管的方式箝位端子 12 和 14，以使得随着电流增加，唯一最小电压可能增加。晶体管 18 的体依赖于端子 12 的电压提高，以有助于晶体管 18 的导电，但是该体可能依赖于第一电流电极，该器件将仍然表现为肖特基二极管的特性。由于晶体管 18 增加了一些电阻，肖特基器件 10 与单独的肖特基二极管 16 相比，前向电流略微减小，但通过略微增加肖特基二极管 16 的尺寸和适当调整晶体管 18 的尺寸，可以轻易地对此进行补偿以实现想要的前向电流。

在反向偏置操作中，在端子 12 和 14 间的任何电压差的情况下，晶体管 18 将导电，肖特基二极管 16 将基于其上的电压差使漏电流通过。当端子 14 的电压相对于端子 12 增加时，晶体管 18 会吸收电压。

触点 20 的电压相对于端子 12 不能增加过多, 否则会导致晶体管 18 不导电。这样晶体管 18 就具有在肖特基二极管的负极端子处箝位电压的作用。针对阈值电压为  $-0.2\text{V}$  的晶体管 18 的示例, 当触点 20 的电压大致比端子 12 的电压大  $0.5\text{V}-1\text{V}$  时, 晶体管 18 会变得不导电。这样, 通过肖特基二极管 16 的电压在不大于  $0.5\text{V}-1\text{V}$  处被箝位。这会防止漏电流变得大于当  $0.5\text{V}-1\text{V}$  反向偏压通过肖特基二极管 16 时的漏电流, 从而避免如果端子 12 和 14 的反向偏置电压被施加到肖特基二极管 16 则将发生的指数倍数的增加。

图 3 所示为肖特基器件 10 在反向偏置方向上的 I-V 曲线。该图显示了与肖特基二极管关联的初始电流, 在达到晶体管 18 的击穿电压  $B_T$  前电流保持平坦。这是由于晶体管 18 不断吸收相当大的电压, 以使得肖特基二极管 16 以大大低于施加于端子 12 和 14 处的反向偏置电压的值而反向偏置。当晶体管 18 达到击穿电压时, 电流增大, 但在此点这是非毁灭性击穿, 因为电流被肖特基二极管 16 所限制。随着反向偏置增加, 电流开始以指数倍增加, 但是是在远远大于针对典型的肖特基二极管的电压处。最后, 达到肖特基器件 10 的击穿电压  $B_D$ 。

图 4 所示为包括肖特基二极管 16 和晶体管 18 的肖特基器件 10 的器件结构, 包括: P 型硅的衬底 24; 在衬底 24 中的 P 型阱 26; 在衬底 24 中的 N 型阱 28; 掺杂至 P+ 的接触区 30; 与接触区 30 相邻的绝缘区 32; 为 N+ 区的触点 20, 其环绕阱 26 中的区域, 并且一部分与绝缘区 32 相邻; 掺杂至 N- 并且与触点 20 的一部分相邻的沟道区 22; 与沟道区 22 分隔开的绝缘区 34; 掺杂至 N+ 的接触区 36; 作为肖特基二极管 16 的负极端子的金属 38, 其横跨被区域 20 环绕的部分; 栅极 40, 在沟道区 22 和绝缘 34 的一部分以及位于沟道 22 和绝缘 34 之间的阱 53 的一部分之上; 栅极 40 下面的栅极电介质 42。栅极电介质 42 和栅极 40 被设计成与区域 26 和 28 两者都交叠。触点 20 和区域 30、32、20、22、34 和 36 向下延伸至与衬底 24 的表面有一个短距离。

接触区 30 用作与阱 26 的触点, 并由此用于晶体管 18 的体和肖特基二极管 16 的正极端子。触点 20 用作肖特基二极管 16、晶体管 18

的第一电流电极的传统保护环,并用作肖特基二极管 16 的负极端子和晶体管 18 的第一电流电极之间的触点。沟道区 22 从阱 26 延伸到阱 28。绝缘区 34 将沟道 22 与接触区 36 分隔开以增加晶体管 18 的击穿电压。晶体管的如下布置对于提高 MOS 晶体管的击穿电压是一种公知的结构,其具有:部分位于沟道下的阱体,例如阱 28;和在截止状态下支持高电压的位于栅极 40 和触点 36 间的区域 28。接触区 36 是肖特基器件 10 的负极端子 14 的触点。

图 4 中所示的这种器件结构以实现图 2 的电路的方式结合了传统的肖特基二极管和传统的高击穿电压 MOS 结构,在一体化方面有些功效。为此所需的处理是本领域中普通技术人员所公知的,本领域普通技术人员意识到使用这种类型的结构调整例如绝缘区 34 的宽度以及从栅极 40 边缘到区域 36 的距离,使得击穿电压是可调的。本发明的这个实施例的一种功效是利用接触区 30 作为肖特基二极管的正极端子触点和晶体管的体触点。另一功效是利用传统的肖特基二极管的保护环作为晶体管的漏极,因此还实现了肖特基二极管与晶体管间的接触。这些功效没有引入处理的复杂性。这样,显然,不需要改进漏电流和击穿电压的夹断方法所需的垂直处理技术,使用横向处理技术就可容易地实现了。

图 5 所示是用于实现图 2 的电路的另选器件结构 50。器件结构 50 包括 P 型衬底 51, P 阱 52, N 阱 53, 掺杂至 P+ 的区域 54, 与区域 54 相邻并从阱 52 贯穿至阱 53 的掺杂至 N- 的区域 56, 与沟道区 56 隔开的绝缘 62, 掺杂至 N+ 并与区域 64 相邻的区域 64, 在区域 54 和 56 这些区域的一部分之上的金属 58, 与区域 58 隔开并且位于区域 52、53 和 56 以及绝缘区 62 这些区域的部分之上的栅极 60, 以及栅极 60 下的栅极电介质。产生沟道区 56 的注入 (implant) 也被阱 53 接受, 并且会增加阱 53 表面处的 N 型掺杂浓度, 但不会显著到使它变为 N+。在这种情况下, 肖特基二极管的正极端子是金属 58, 负极端子是金属 58 下的区域 56 的该部分。晶体管的第一电流电极穿过区域 56 与肖特基二极管接触, 在区域 56 中栅极 60 与金属 58 隔开。为耗尽型晶体管

提供的沟道是栅极 60 下的区域 56 的该部分。阱 53、区域 62 和区域 64 为晶体管击穿电压的提高而提供，而区域 64 还为肖特基器件 50 的负极端子提供接触。端子 57 作为肖特基器件 50 的正极端子连接到金属 58 和栅极 60。区域 54 为晶体管的体穿过金属 54 接触到正极端子 57 而提供。这样，以图 5 所示的这种结构实现了针对电路 2 所描述的连接。

图 6 所示的是用于形成图 2 的电路的第二另选肖特基器件 70。肖特基器件 70 包括衬底 72、P+区域 74、与区域 74 相邻的 N-区域 76、与区域 76 相邻的 N+区域、在区域 74 的一部分和区域 76 的一部分之上的金属 80、在区域 76 的一部分上并与金属 80 隔开的栅极 82，以及栅极 82 之下的栅极电介质 83。区域 76 将栅极 82 从区域 78 分离开。肖特基器件 70 的正极端子 71 连接到栅极 82 和金属 80。与晶体管的体接触从端子 71 穿过金属 80 到区域 74，从而到衬底 72。金属 80 是肖特基二极管的正极端子。金属 80 下的区域 76 的该部分是肖特基二极管的负极端子。区域 76 的将金属 80 和栅极 82 分隔开的部分是晶体管的第一电流电极，以及在晶体管的第一电流电极和肖特基二极管的负极端子间的触点。晶体管的沟道是区域 76 的、栅极 82 下的部分。第二电流电极是区域 76 的与区域 78 相邻但不在栅极 82 之下的部分。肖特基器件 70 的负极端子是连接到区域 78 的端子 81，该区域进而连接到晶体管的第二电流电极。这种方法依赖于区域 76 的、栅极 82 和区域 78 间的一部分，以实现所需的击穿电压。这样，针对电路 2 所描述的连接以图 6 所示的结构实现。

在本说明中，肖特基二极管被认为是这样的二极管，它由与半导体区域接触的金属区域形成，该区域掺杂充分以形成具有比 PN 结的前向偏置阈值低的前向偏置阈值的二极管。类肖特基器件是具有类似于图 1 所示的特征曲线的结构，并包括肖特基二极管和其他结构，例如在名为“Pseudo-Schottky Diode”的美国专利号 6,476,442 B1 中所示的结构。肖特基器件是包括类肖特基器件和增强（enhancement）的结构，其中所述增强提高了类肖特基器件的性能。

图 7 所示是示出了肖特基器件 84 的电路框图，其以针对组合肖特基二极管和耗尽型晶体管而描述的方式，利用与耗尽型晶体管组合的类肖特基器件。肖特基器件 84 包括晶体管 90 和晶体管 92。在这种情况下，晶体管 90 是具有非常低阈值电压的非耗尽型晶体管，该阈值电压例如不大于 0.2V，但不是负值。晶体管 92 是耗尽型晶体管。在本实施例中两个都是 N 沟道。晶体管 90 以作为类肖特基器件工作的方式被连接。晶体管 90 具有连接到作为肖特基器件 84 的正极端子的端子 86 的第一电流电极、连接到端子 86 的栅极、连接到端子 86 的体、以及作为类肖特基器件的负极端子的第二电流电极。该晶体管 90 的体、第一电流电极和栅极被连接到一起，作为类肖特基器件的正极端子工作。晶体管 92 具有连接到晶体管 90 的第二电流电极的第一电流电极、连接到端子 86 的栅极、连接到端子 86 的体、连接到作为肖特基器件 84 的负极端子的端子 88 的第二电流电极。

在前面的详述中，参照具体实施例描述了本发明。然而，本领域普通技术人员应该认识到在不脱离以下权利要求所限定的本发明范围的情况下可以进行各种修改和变化。例如，不同于硅的其他半导体材料可被用作衬底。为了实现类似的结果，传导类型可以是可逆的。用于肖特基二极管的金属可以为不同于硅化钴的金属。在二者被描述为被连接的情况下，它们也可以通过相干结构耦合，代替直接连接。因此，实施例和附图被视为例示性的，而不是严格意义上的，所有的这些修改都旨在包括在本发明的范围之内。

已经针对具体实施例描述了有益效果、其他优点和问题的解决方案。然而，有益效果、优点、问题的解决方案，和任何可能产生有益效果、优点或解决方案，或变得更明确的要素不被理解为任何或所有的权利要求的严格的、必须的、或本质的特性或要素。这里所用的术语“包含”，或任何其他变化旨在涵盖非排他性包括，以使得包括一组要素的处理、方法、物品，或设备不仅仅包括这些要素，也可能包括没有详细列出的要素或这些过程、方法、物品或设备所固有的要素。

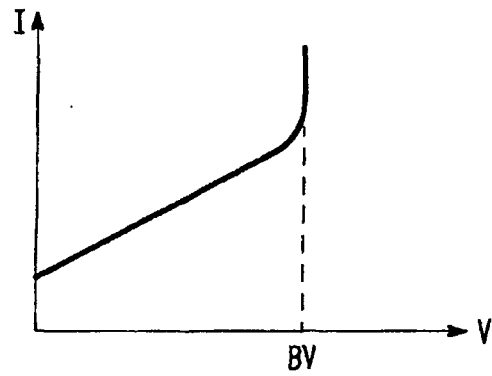


图1  
现有技术

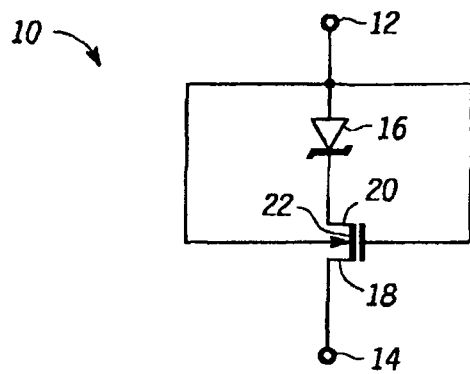


图2

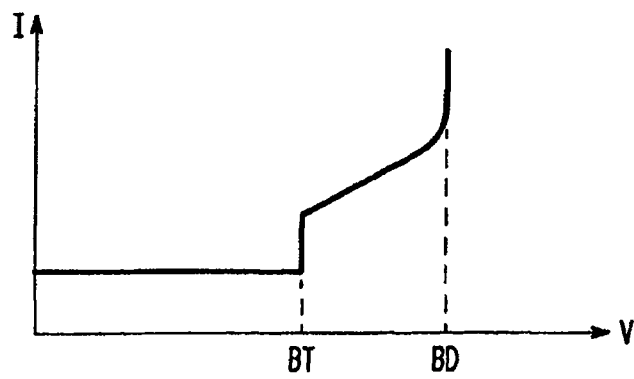


图3

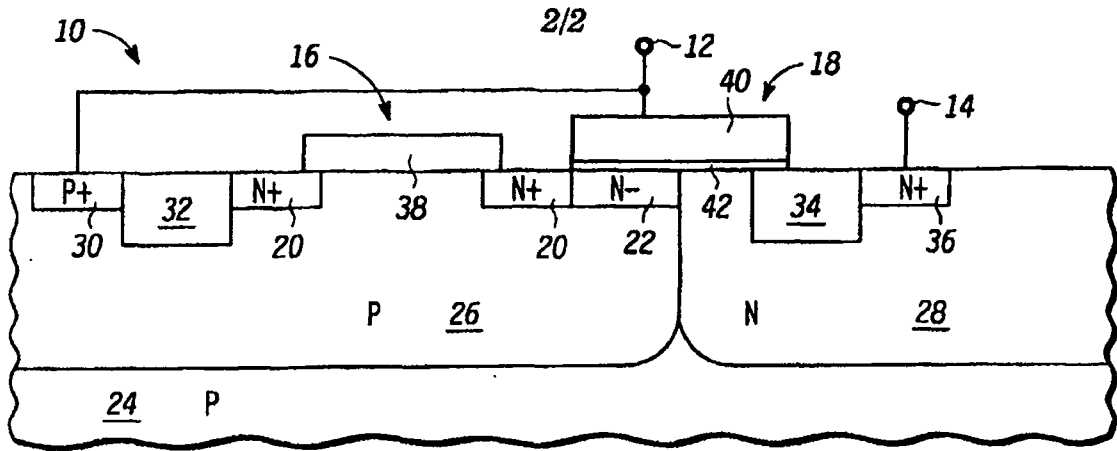


图 4

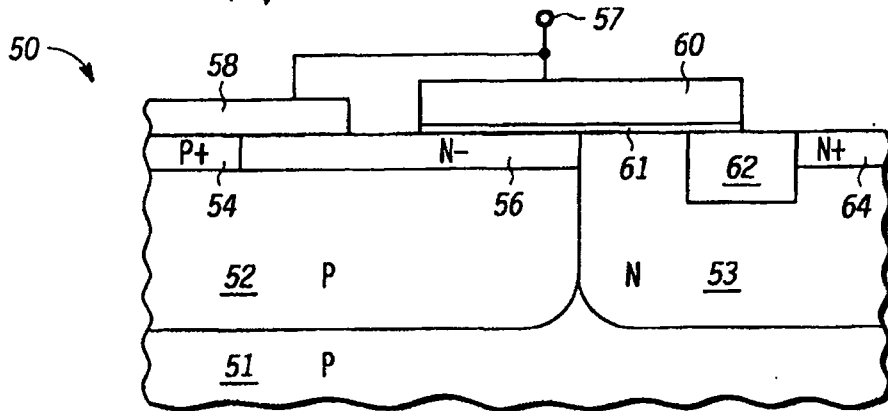


图 5

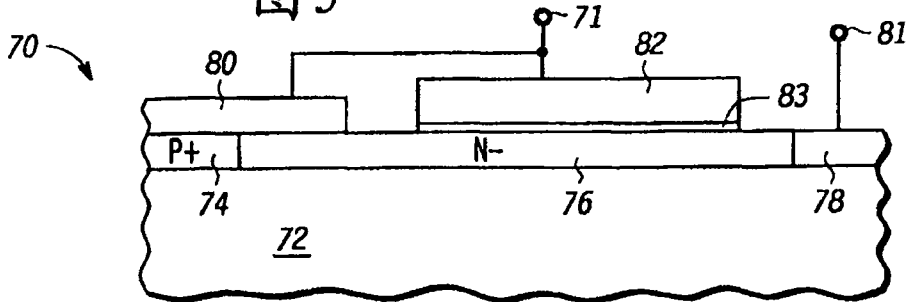


图 6

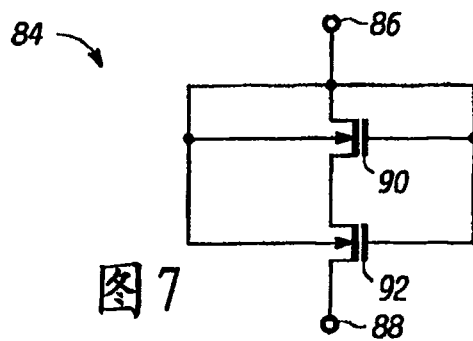


图 7