



(12)发明专利申请

(10)申请公布号 CN 106158001 A

(43)申请公布日 2016.11.23

(21)申请号 201610237894.5

(22)申请日 2016.04.11

(30)优先权数据

62/146,220 2015.04.10 US

(71)申请人 新加坡商格罗方德半导体私人有限公司

地址 新加坡新加坡城

(72)发明人 K·李 卓荣发 J·T·王 郭克文

(74)专利代理机构 北京戈程知识产权代理有限公司 11314

代理人 程伟 王锦阳

(51)Int.Cl.

G11C 11/16(2006.01)

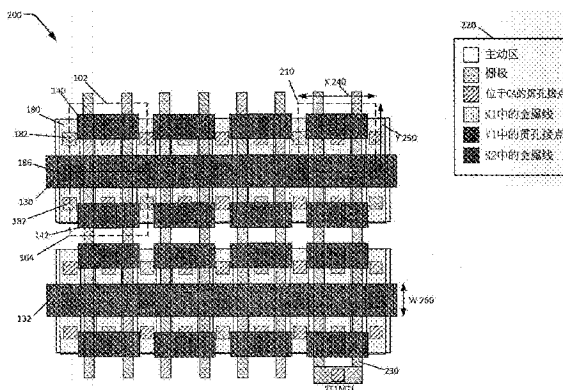
权利要求书3页 说明书9页 附图8页

(54)发明名称

用于嵌入式FLASH应用的STT-MRAM位格

(57)摘要

所揭示乃是一种自旋转移力矩磁性随机存取存储器装置、以及一种进行嵌入式快闪装置操作的方法。该自旋转移力矩磁性随机存取存储器装置装配成包括自旋转移力矩磁性随机存取存储器位格阵列。该数组包含复数个位线和复数个字符线,其中该位线形成多行自旋转移力矩磁性随机存取存储器位格且该字符线形成多列自旋转移力矩磁性随机存取存储器位格。各个自旋转移力矩磁性随机存取存储器位格包含串联耦合至存取晶体管的磁穿隧接面组件,该存取晶体管具有栅极端点以及源极和漏极端点。该数组包含耦合至该存取晶体管的该源极端点的复数个源极线。该自旋转移力矩磁性随机存取存储器位格的操作装配成包括:初始化操作、编程操作和扇区抹除操作。



1. 一种自旋转移力矩磁性随机存取存储器(STT-MRAM)装置,其包含:
 - 具有M个自旋转移力矩磁性随机存取存储器胞元的第一位线;
 - 具有M个自旋转移力矩磁性随机存取存储器胞元的第二位线,其中该第一及第二位线形成第一及第二行自旋转移力矩磁性随机存取存储器胞元,且磁性随机存取存储器胞元包括
 - 具有第一及第二磁穿隧界面(MTJ)端点的磁穿隧界面组件,以及
 - 具有栅极、源极和漏极端点的存取晶体管,其中该漏极端点耦合至该第一磁穿隧界面端点,以提供该存取晶体管和该磁穿隧界面组件之间的串联耦合;
 - 复数M个字符线(WLs),其耦合至该自旋转移力矩磁性随机存取存储器胞元的该存取晶体管的该栅极端点,其中字符线耦合至该第一及第二位线中的一个自旋转移力矩磁性随机存取存储器胞元以形成一系列自旋转移力矩磁性随机存取存储器胞元,该复数M个字符线形成M列自旋转移力矩磁性随机存取存储器胞元;以及
 - 源极线(SL),其耦合至该第一及第二行自旋转移力矩磁性随机存取存储器胞元的该自旋转移力矩磁性随机存取存储器胞元的该存取晶体管的该源极端点,其中该源极线由该第一及第二行自旋转移力矩磁性随机存取存储器胞元共享。
2. 如申请专利范围第1项所述的自旋转移力矩磁性随机存取存储器装置,其中该源极线组配成平行于该第一及第二位线。
3. 如申请专利范围第2项所述的自旋转移力矩磁性随机存取存储器装置,其中该第一及第二行自旋转移力矩磁性随机存取存储器胞元形成一对具有共享的源极线的自旋转移力矩磁性随机存取存储器胞元行。
4. 如申请专利范围第2项所述的自旋转移力矩磁性随机存取存储器装置,其中在扇区抹除操作期间,共享的该源极线由适当的电压所驱动,而该第一及第二位线接地以在嵌入式快闪(eFlash)抹除操作中抹除所有共享该源极线的该自旋转移力矩磁性随机存取存储器胞元。
5. 如申请专利范围第2项所述的自旋转移力矩磁性随机存取存储器装置,其中在编程操作期间,该第一及第二位线的一个由适当电压所驱动,而共享的该源极线接地以允许在嵌入式快闪编程操作中选择性写入逻辑H值到随机可存取的自旋转移力矩磁性随机存取存储器胞元。
6. 一种具有组配成嵌入式快闪(eFlash)取代装置的自旋转移力矩磁性随机存取存储器(STT-MRAM)胞元数组的自旋转移力矩磁性随机存取存储器装置,该数组包含:
 - 具有M个自旋转移力矩磁性随机存取存储器胞元的复数N个位线,该位线形成N行磁性随机存取存储器胞元,其中各个磁性随机存取存储器胞元包括
 - 具有第一及第二磁穿隧界面(MTJ)端点的磁穿隧界面组件,以及
 - 具有栅极、源极和漏极端点的存取晶体管,其中该漏极端点耦合至该第一磁穿隧界面端点,以提供该存取晶体管和该磁穿隧界面组件之间的串联耦合;
 - 复数M个字符线(WLs),其耦合至该数组的该自旋转移力矩磁性随机存取存储器胞元的该存取晶体管的该栅极端点,其中字符线耦合至该N个位线的每一个中的一个自旋转移力矩磁性随机存取存储器胞元以形成一系列自旋转移力矩磁性随机存取存储器胞元,该复数M个字符线形成M列自旋转移力矩磁性随机存取存储器胞元;以及

复数 S 个源极线(SL),其耦合至该存取晶体管的源极端点,其中该复数 S 个源极线的源极线耦合至该 N 行自旋转移力矩磁性随机存取存储器胞元的两个或更多相邻行的存取晶体管的源极端点或由其所共享。

7.如申请专利范围第6项所述的自旋转移力矩磁性随机存取存储器装置,其中该源极线组配成平行于该位线。

8.如申请专利范围第6项所述的自旋转移力矩磁性随机存取存储器装置,其中 N 为偶数且 S 等于 $N/2$ 。

9.如申请专利范围第6项所述的自旋转移力矩磁性随机存取存储器装置,其中相同位线的相邻存取晶体管的该源极端点为共享的源极端点,以形成一对位线的自旋转移力矩磁性随机存取存储器胞元。

10.如申请专利范围第9项所述的自旋转移力矩磁性随机存取存储器装置,其中 M 为偶数且位线具有 $M/2$ 个自旋转移力矩磁性随机存取存储器胞元对。

11.如申请专利范围第6项所述的自旋转移力矩磁性随机存取存储器装置,其中在编程操作期间, N 个位线的位线由适当电压所驱动,而共享的该源极线接地以允许在嵌入式快闪编程操作中选择性写入逻辑 L 值到随机可存取的该数组的自旋转移力矩磁性随机存取存储器胞元。

12.如申请专利范围第11项所述的自旋转移力矩磁性随机存取存储器装置,其中单向电流被用来进行该编程操作。

13.如申请专利范围第6项所述的自旋转移力矩磁性随机存取存储器装置,其中在扇区抹除操作期间,共享的该源极线由适当的电压所驱动,而该位线接地以在嵌入式快闪抹除操作中抹除所有共享该源极线的该自旋转移力矩磁性随机存取存储器胞元。

14.如申请专利范围第13项所述的自旋转移力矩磁性随机存取存储器装置,其中共享该源极线的该自旋转移力矩磁性随机存取存储器胞元在该扇区抹除操作期间被抹除并重设至逻辑 L 值。

15.如申请专利范围第14项所述的自旋转移力矩磁性随机存取存储器装置,其中对于该扇区中所包括的各字符线,该扇区抹除操作是借由依序判定该字符线来启用。

16.如申请专利范围第6项所述的自旋转移力矩磁性随机存取存储器装置,其中在初始化操作期间,该 S 个源极线由适当电压所驱动,而该 N 个位线接地以允许写入逻辑 H 值到该数组中的每一个自旋转移力矩磁性随机存取存储器胞元。

17.如申请专利范围第6项所述的自旋转移力矩磁性随机存取存储器装置,其中该源极线的宽度借由与各个源极线的自旋转移力矩磁性随机存取存储器共享个数而有效倍增。

18.如申请专利范围第6项所述的自旋转移力矩磁性随机存取存储器装置,其中该 S 个源极线组配成金属阶层大于 $M1$ 金属阶层以适应宽度上的增加。

19.一种形成自旋转移力矩磁性随机存取存储器(STT-MRAM)装置的方法,其包含:

形成组配为嵌入式快闪(eFlash)取代装置的自旋转移力矩磁性随机存取存储器胞元数组,其中形成该数组包含形成具有 M 个磁性随机存取存储器胞元的复数 N 个位线,该位线形成 N 行磁性随机存取存储器胞元,其中各个磁性随机存取存储器胞元包括

具有第一及第二磁穿隧端面(MTJ)端点的磁穿隧端面组件,以及

具有栅极、源极和漏极端点的存取晶体管,其中该漏极端点耦合至该第一磁穿隧端面

端点,以提供该存取晶体管和该磁穿隧接面组件之间的串联耦合;

形成复数M个字符线(WLs),其耦合至该数组的该自旋转移力矩磁性随机存取存储器胞元的该存取晶体管的该栅极端点,其中字符线耦合至该N个位线中的每一个中的一个自旋转移力矩磁性随机存取存储器胞元以形成一系列自旋转移力矩磁性随机存取存储器胞元,该复数M个字符线形成M列自旋转移力矩磁性随机存取存储器胞元;以及

形成复数S个源极线(SL),其耦合至该存取晶体管的源极端点,其中该S个源极线的源极线耦合至该N行自旋转移力矩磁性随机存取存储器胞元的两个或更多相邻行的存取晶体管的源极端点或由其所共享。

20.如申请专利范围第18项所述的方法,其中该S个源极线组配成平行于该N个位线。

用于嵌入式FLASH应用的STT-MRAM位格

技术领域

[0001] 相关申请案交互参照

[0002] 本申请案主张2015年4月10日提出申请的美国临时专利申请案第62/146,220号的利益及优先权,其全文并入本文作为参考。

背景技术

[0003] 自旋转移力矩磁性随机存取存储器(STT-MRAM)装置有可能取代非挥发性存储器应用中广受使用的以CMOS为主的记忆胞装置。STT-MRAM装置典型为包括STT-MRAM记忆胞阵列。各STT-MRAM记忆胞典型为包括磁穿隧界面(MTJ)存储器组件及存取(或选择)晶体管。

[0004] 嵌入式非挥发性存储器应用中普遍实际使用的是嵌入式快闪(eFlash)存储器。虽然STT-MRAM相较于eFlash装置可减少写入能量,仍然希望可以在不降低读取能量和速度的情况下减少STT-MRAM胞元尺寸。

[0005] 经由前述论述,希望在诸如嵌入式Flash(eFlash)取代等存储器应用中提供具有成本效益、尺寸更小且高效节能的STT-MRAM装置。

发明内容

[0006] 本揭露中的具体实施例关于磁性装置,尤其是低成本、低电量、eFlash取代应用中所使用的STT-MRAM存储器装置。于40nm及之前的节点技术,eFlash在包括微控制器到智能卡中安全金钥储存等许多应用中很普遍。然而,于先进技术节点中,要找出可行的eFlash解决方案一直有挑战性,因为大部分基于浮动闸极/电荷捕捉技术的eFlash产品可能无法比例缩小到28nm以下。

[0007] 在一项具体实施例中,所揭示乃是一种自旋转移力矩磁性随机存取存储器(STT-MRAM)装置、以及一种用以建造STT-MRAM位格数组的方法,以实现低成本且省电的eFlash取代装置。该数组包含具有M个自旋转移力矩磁性随机存取存储器胞元的复数N个位线,该位线形成N行自旋转移力矩磁性随机存取存储器胞元。各个自旋转移力矩磁性随机存取存储器胞元包括具有第一及第二磁穿隧界面(MTJ)端点的磁穿隧界面组件,以及具有栅极、源极和漏极端点的存取晶体管,其中该漏极端点耦合至该第一磁穿隧界面端点,以提供该存取晶体管和该磁穿隧界面组件之间的串联耦合。该数组包含复数M个字符线(WLs),其耦合至该数组的该自旋转移力矩磁性随机存取存储器胞元的该存取晶体管的该栅极端点。字符线耦合至该N个位线的每一个中的一个自旋转移力矩磁性随机存取存储器胞元以形成一系列自旋转移力矩磁性随机存取存储器胞元,其中该复数M个字符线形成M列自旋转移力矩磁性随机存取存储器胞元。该数组还包括复数S个源极线(SL),其耦合至该存取晶体管的源极端点。该复数S个源极线的源极线耦合至该N行自旋转移力矩磁性随机存取存储器胞元的两个或更多相邻行的存取晶体管的源极端点。共享的该源极线平行于该N个位线。

[0008] 在另一具体实施例中,所揭示乃是一种自旋转移力矩磁性随机存取存储器(STT-MRAM)装置。该STT-MRAM装置包含具有M个自旋转移力矩磁性随机存取存储器胞元的第一位

线和具有M个自旋转移力矩磁性随机存取存储器胞元的第二位线。该第一及第二位线形成第一及第二行自旋转移力矩磁性随机存取存储器胞元。磁性随机存取存储器胞元包括具有第一及第二磁穿隧界面(MTJ)端点的磁穿隧界面组件,以及具有栅极、源极和漏极端点的存取晶体管,其中该漏极端点耦合至该第一磁穿隧界面端点,以提供该存取晶体管和该磁穿隧界面组件之间的串联耦合。该STT-MRAM装置包括复数M个字符线(WLs),其耦合至该自旋转移力矩磁性随机存取存储器胞元的该存取晶体管的该栅极端。字符线耦合至该第一及第二位线中的一个自旋转移力矩磁性随机存取存储器胞元以形成一系列自旋转移力矩磁性随机存取存储器胞元,其中该复数M个字符线形成M列自旋转移力矩磁性随机存取存储器胞元。该STT-MRAM装置还包括源极线(SL),其耦合至该第一及第二行自旋转移力矩磁性随机存取存储器胞元的该自旋转移力矩磁性随机存取存储器胞元的该存取晶体管的该源极端点,其中该源极线由该第一及第二行自旋转移力矩磁性随机存取存储器胞元共享。共享的该源极线平行于该第一及第二位线。

[0009] 在又一个具体实施例中,所揭露的是一种形成自旋转移力矩磁性随机存取存储器(STT-MRAM)装置的方法。该STT-MRAM装置的位格数组是藉由使用平行源极线、位线(SL//BL)结构来组配,其中各位格组配成包括串联耦合至存取晶体管的磁穿隧界面(MTJ)胞元,且字符线(WL)耦合至该存取晶体管的栅极。该SL//BL结构组配成包括共享于相邻位线之间的源极线(SL),其中源极线接地并允许在eFlash的编程操作中选择性写入逻辑H值。驱动源极线并使所有的位线接地可进行eFlash的抹除操作。共享公用源极线的位被抹除并重设为逻辑L值。藉由依序进行遍及一个扇区的抹除操作,可进行eFlash的抹除操作。共享的该源极线使得该抹除操作更有效率。读取操作不受影响,且少量的读取偏压施加在所选择的位在线以及源极线接地。

[0010] 本文中所揭示的具体实施例的这些及其它优点及特征,透过参考以下说明及附图会变为显而易见。再者,要了解的是,本文中所述的各项具体实施例的特征并不互斥,并且可用各种组合及排列呈现。

附图说明

[0011] 图式不必然有依照比例绘示,而是在绘示本发明的原理时,大体上可能会出现重点描述的情况。附图并入本说明书并形成本说明书的部分,其中相似的组件符号指定相似的零件,此等附图绘示本揭露的较佳具体实施例,还连同本说明书,作用在于阐释本揭露各项具体实施例的原理。

[0012] 图1A绘示组配成用来进行作为eFlash取代装置的操作的STT-MRAM装置的一部分的具体实施例的简化电路图。

[0013] 图1B绘示组配成包括复数个扇区的STT-MRAM装置的一部分的具体实施例的简化电路图。

[0014] 图1C绘示组配成用来进行作为eFlash取代装置的初始化操作的STT-MRAM装置的一部分的具体实施例的简化电路图。

[0015] 图1D绘示组配成用来进行作为eFlash取代装置的编程操作的STT-MRAM装置的一部分的具体实施例的简化电路图。

[0016] 图1E绘示组配成用来进行作为eFlash取代装置扇区抹除操作的STT-MRAM装置的

一部分的具体实施例的简化电路图。

[0017] 图2A绘示参照图1A、1B、1C、1D及1E等所述STT-MRAM装置的简化布局图。

[0018] 图2B绘示参照图2A所述1T1MTJ位格及参照图1A所述位格(0,0)的简化截面层表征。

[0019] 图3乃是说明程序的流程图,该程序进行图1A、1B、1C、1D、1E、2A及2B等所述STT-MRAM装置中的eFlash操作。

[0020] 符号说明

[0021] 100 STT-MRAM

[0022] 102 位格

[0023] 104 位格

[0024] 110 磁穿隧接面胞元

[0025] 112 磁穿隧接面胞元

[0026] 120 存取晶体管

[0027] 122 存取晶体管

[0028] 130 源极线

[0029] 132 源极线

[0030] 140 位线

[0031] 142 位线

[0032] 144 位线

[0033] 146 源极线

[0034] 150 字符线

[0035] 152 字符线

[0036] 160 低位准电压基准

[0037] 162 高位准电压供应源

[0038] 170 扇区

[0039] 172 扇区

[0040] 180 公用金属线

[0041] 182 贯孔接点

[0042] 186 贯孔接点

[0043] 190 读写电路

[0044] 192 读写电路

[0045] 194 感测放大器

[0046] 196 感测放大器

[0047] 198 电压基准

[0048] 200 布局图

[0049] 210 2T1MTJ位格

[0050] 220 图例

[0051] 230 双多晶结构

[0052] 310 模拟图

- [0053] 320 模拟图
- [0054] 330 模拟图
- [0055] 340 基准电流间隔
- [0056] 400 表格
- [0057] 410 表状形式
- [0058] 500 程序
- [0059] 502 操作步骤
- [0060] 504 操作步骤
- [0061] 506 操作步骤
- [0062] 508 操作步骤
- [0063] 510 操作步骤。

具体实施方式

[0064] 本揭露的具体实施例大体上关于自旋转移力矩磁性随机存取存储器(STT-MRAM)装置。STT-MRAM装置可实现为芯片或可嵌入在各种电子装置中。STT-MRAM装置乃是用电流来编程,而不须外在磁场来编程。本文中所述乃是适用于嵌入式Flash(eFlash)取代的低成本且高效节能的STT-MRAM位格架构。本揭露所描述的STT-MRAM装置举例而言,可并入汽车微控制器、智能卡、及各种消费性与工业用微控制器应用或与其配合使用。此等装置举例而言,亦可并入消费性电子产品,例如:电脑、智能型手机、类似手表的无线电子装置、相机与打印机、GPS、以及数种类型的平板运算装置。将此等装置并入其它应用也可有作用。

[0065] 书面说明中诸如顶端、底端、左、右、上游、下游及类似的其它词汇等描述性及指向性用语在图式中是指称为卧置于图纸上,而且非指称为本揭露的物理限制,除非另有具体注记。附图可能未按照比例绘示,而且本文中所示及所述的具体实施例有一些特征可能为了绘示本揭露的原理、特征及优点而简化或夸大。

[0066] 在一具体实施例中,本揭露的STT-MRAM装置组配为包含具有复数N个位线(BL)以及M个STT-MRAM胞元的STT-MRAM位格(或胞元)数组,其中该位线形成N行STT-MRAM胞元。各个STT-MRAM胞元包含具有第一及第二磁穿隧接面(MTJ)端点的磁穿隧接面组件,以及具有栅极、源极和漏极端点的存取晶体管,其中该漏极端点耦合至该第一磁穿隧接面端点,以提供该存取晶体管和该磁穿隧接面组件之间的串联耦合。该数组包含复数M个字符线(WLs),其耦合至该数组的该STT-MRAM胞元的该存取晶体管的该栅极端点。字符线耦合至该N个位线的每一个中的一个STT-MRAM胞元以形成一行STT-MRAM胞元,其中该复数M个字符线形成M列STT-MRAM胞元。该数组还包括复数S个源极线(SL),其耦合至该存取晶体管的源极端点。该复数S个源极线的源极线耦合至该N行STT-MRAM胞元的两个或更多相邻行的存取晶体管的源极端点。共享的该源极线平行于该N个位线。该STT-MRAM装置的细节和操作将在以下段落中配合图1A-1E和图2A-2B说明。

[0067] 图1A绘示组配成用来进行eFlash装置操作的STT-MRAM装置100的一部分的具体实施例的简化电路图。在图1A所示的具体实施例中,STT-MRAM装置100组配成具有共享一个源极线(例如,SL0 130)的两个相邻位线(例如,BL0 140和BL1 142)的位或位格的eFlash取代装置,其中该源极线平行于该位线。

[0068] STT-MRAM装置100组配成具有包含复数个位格(或胞元)的数组。该数组包含复数N个位线(BLs),其中该位线形成N行位格,该数组并包含复数M个字符线(WLs),其中该字符线形成M列位格。因此,该位格可借由位格(行,列)来个别识别。在一具体实施例中,所有位格全都可组配成彼此等同。举例而言,位格(0,0)102组配成包括:耦合至存取晶体管(T00)120的漏极端点的磁穿隧界面(MTJ00)组件110,其提供MTJ组件和存取晶体管之间的串联连接、耦合至存取晶体管T00 120的源极端点的源极线(SL0)130、耦合至MTJ00组件110的位线(BL0)140;以及耦合至存取晶体管T00 120的栅极的字符线(WL0)150。类似的是,相邻于位格(0,0)的位格(1,0)104乃是等同位格,其组配成包括:耦合至存取晶体管(T10)122的漏极端点的磁穿隧界面(MTJ10)组件112,其提供MTJ组件和存取晶体管之间的串联连接、耦合至存取晶体管T10 122的源极端点的源极线(SL0)130、耦合至MTJ10组件112的位线(BL1)142;以及耦合至存取晶体管T10 122的字符线(WL0)150。

[0069] 在一具体实施例中,数组的各源极线(例如:SL0 130)可共享于多个位格或位之间,例如:共享于BL0 140的位格与至少一条相邻位线(例如:BL1 142)之间。BL0140与该至少一条相邻位线(例如:BL1 142)布置于SL0 130的任一侧。BL0 140、SL0 130与此至少一条相邻位线BL1 142组配成彼此平行。因此,该STT-MRAM装置100说明成使用SL//BL结构。存取晶体管(例如:T00 120、T10 122及其它存取晶体管)切换(或判定)成用于进行读取及写入操作,用以让电流可以流经对应的MTJ组件(例如:MTJ00 110、MTJ10 112及其它MTJ),以致此MTJ组件的逻辑状态可由读写电路(未图示)及感测放大器(未图示)来读取或写入。

[0070] 各该N条位线(例如:行BL0至BL31)耦合至M(例如:WL0 150及WL1 152)个MTJ组件,各MTJ组配成用来借由控制对应的源极线、位线及字符线的电压位准以储存逻辑高(H)或低(L)值(例如:控制SL0 130、BL0 140及WL0 150以将逻辑H或L写入到MTJ00 110)。MTJ位格中所储存的记忆状态可使用NxM阵列的周边电路系统,诸如各源极线与位线对的读写驱动器电路及感测放大器(SA)(例如:与BL0 140、BL1 142及SL0 130相关联的电路),借由测量MTJ电阻(例如: R_{AP} 与 R_P)的差异来侦检。 R_{AP} 指自由层的磁化经编程而和MTJ组件的基准层呈反平行方向时对应的MTJ电阻,而 R_P 指自由层的磁化经编程而和MTJ组件的基准层呈平行方向时对应的MTJ电阻。感测放大器(SA)可用来感测MTJ状态和基准信号之间的电阻差异。参考信号可借由将个别对应于 R_P 和 R_{AP} 的读取电流取平均而产生。

[0071] 位格(或胞元)的两个或更多个相邻行可组配为共享1条源极线。在所示具体实施例中,源极线的数目等于 $N/2$ (例如:行SL0 130至SL15 146)。相较于SL专用于BL的位格结构,在至少两条相邻位线(例如:BL0 140与BL1 142)的位格之间共享SL0 130有助于导致芯片面积缩减。据了解,位线的行取向和字符线的列取向乃是为了方便起见,且位线及字符线的行与列取向是可以调换的。

[0072] 在一个实施例中,相同位线的相邻存取晶体管的源极端点是公用的源极端点,以形成如图1A所示的位线的STT-MRAM胞元对。在其他实施例中,相同位线的相邻存取内存的源极端点可组配为分离的源极端点。此外,如图所示,数组包含偶数个位线。在数组中设置奇数个位线也是有可能的。在这样的情况中,该位线的其中一个它是它自己的源极线。其他用于数组的适当组构也是可以使用的。

[0073] 为了使位格尺寸极小,依照逻辑设计规则来说,此SL共享架构(其中SL相对于BL垂直取向)可优于专用SL架构(其中SL及BL乃是平行取向)。此SL共享架构典型为在习知的

eFlash中使用。然而,遍及一个扇区地共享SL不适用于STT-MRAM装置,因为STT-MRAM技术乃是基于电流诱发式磁化切换,而且分页抹除可能需要过量电流。

[0074] 对于可用于且较适合SRAM的专用SL架构(其中SL及BL的取向为平行,而且SL专用于各BL),当一位远离SA并且使读取路径的总电阻具有位置相依性时,出自窄SL(M1)的互连电阻可变为相当显著。为了以专用SL架构组配最小尺寸位格,此选项(其中SL及BL的取向为平行,而且SL专用于各BL)会显著降低中点基准的读写裕度,因为对于感测放大器来说,读取路径中的所有寄生电阻组件会降低两状态之间的有效电阻差异。

[0075] 对于具有平行的SL与BL、及共享于两个或更多相邻BL的多个位之间的SL的STT-MRAM 100装置,和一个SL共享的位数的值可组配成一些诸如读写裕度、写入驱动器容量、位格尺寸/布局限制条件、技术节点及其它因素等因素的函数。在所示具体实施例中,2条位线在选择方面可基于应用需要、及/或基于读写驱动器电路的容量额定值而能够提供足以令BL0 140与BL1 142共享相同SL0 130的电流。与一个SL共享的位数的值亦可基于模拟建模资料来决定。举例来说,电流可足以令MTJ00 110及至少一条相邻者(例如:MTJ10)112回应于进行存储器操作以变更操作状态。

[0076] 在一具体实施例中,此存储器操作组配成包括:编程操作、扇区抹除操作、及初始化操作。写入到NxM阵列的可随机存取位格位置典型只有在eFlash的编程操作中才获得许可。此eFlash存储器在扇区抹除或初始化操作中典型为不容许写入到可随机存取位格位置。STT-MRAM装置100作为eFlash取代装置下操作的补充细节乃是参照图1B、1C、1D及1E等作说明。

[0077] 图1B绘示组配成包括复数个扇区170的STT-MRAM装置的一部分的具体实施例的简化电路图。可形成NxM阵列的一部分以组配扇区172(亦可称为节段或区块)。具有复数个扇区170的好处在于STT-MRAM装置100为可扇区抹除以运行eFlash存储器。亦即,STT-MRAM装置100支撑一次抹除一个扇区而非一次抹除各位格的抹除操作而大幅改善效能。在一具体实施例中,此抹除操作可包括抹除或重设扇区172中的各位格为逻辑L值。例如,此抹除操作可包括写入逻辑L值到扇区172中的各位格。

[0078] 图1C绘示组配成用来进行eFlash装置初始化操作的STT-MRAM装置100的一部分的具体实施例的简化电路图。在初始化操作中,阵列的各位格可组配成用来储存逻辑H值(例如:逻辑1)。举例来说,当自由层及基准层中的磁化为反平行(AP)且MTJ电阻 R_{AP} 的值为高时,MTJ00 110可组配成用来储存逻辑H值。相反地,当自由层及基准层中的磁化为平行(P)且MTJ电阻 R_P 的值为低时,MTJ00 110可组配成用来储存逻辑L值。MTJ00 110其它用于储存逻辑值的组态也可有作用。

[0079] STT-MRAM装置100可借由将N条位线(例如:BL0 140至BL31 144)耦合至低位准电压基准160(例如:接地GND)、将N/2条源极线(例如:SL0 130及SL1(图未示))耦合至高位准电压供应源162(例如:VDD)、以及依序判定各该M条字符线(例如:WL0 150至WL1 152)来初始化。从SL0 130经由MTJ00 110及至少一个相邻MTJ10 112流动至BL0及BL1的电流造成MTJ的自由层与基准层中的磁化为反平行(AP),藉以将逻辑H值写入到MTJ00 110及至少一个相邻MTJ10 112。同时,耦合至其余位线(例如:BL(N-1)及BL(N))的其它MTJ组件亦切换至AP状态。此操作以循序方式借由判定NxM阵列的WL1 152及其它M条WL来重复进行。

[0080] 扇区抹除与初始化操作类似,差别在于一个命令中写入到此等扇区的一选定者、

及写入到所有扇区的不同。亦即,抹除eFlash装置典型为包括将位格的整个扇区一次抹除并重设至逻辑L值(例如:逻辑0),而初始化eFlash装置典型为包括将逻辑H值(例如:逻辑1)写入到整个存储器阵列。

[0081] 图1D绘示组配成用来进行eFlash装置编程操作的STT-MRAM装置100的一部分的具体实施例的简化电路图。eFlash装置典型为经编程用以将逻辑L值(例如:逻辑0)写入到存储器装置的可随机存取位格位置。在进行编程操作前,先如参照图1C所述将阵列初始化。阵列的各个位格储存逻辑H值。在编程操作中,阵列中的任何可随机存取位格位置组配成用来储存逻辑L值(例如:逻辑0)。因此,编程操作在STT-MRAM 100的正常可位组写入的写入操作期间,进行单向写入操作(逻辑1至逻辑0)。

[0082] 在一具体实施例中,为了说明,可随机存取位格位置选择为耦合至BL0 140的MTJ00 110。编程操作借由将BL0 140耦合至高位准电压基准162(例如:VDD)、将SL0 130耦合至低位准电压供应源基准160(例如:接地GND)、以及判定WL0 150来进行。从BL0 140经由MTJ00110流动至SL0 130的电流造成MTJ00 110的自由层及基准层中的磁化为平行(P),藉以将逻辑L值写入到MTJ00 110。在编程操作期间,只有可随机存取位格(0,0)102及MTJ00 110受到影响,阵列的MTJ不受影响。

[0083] 图1E绘示组配成用来进行eFlash装置扇区抹除操作的STT-MRAM装置100的一部分的具体实施例的简化电路图。请参阅图1B及图1E,在扇区抹除操作中,复数个扇区170中所选择扇区(例如:扇区172)的各位格组配成抹除并重设至逻辑L值(例如:逻辑0)。此扇区抹除操作由于将所选择扇区(例如:扇区172)中的每一个位重设至逻辑L值,因此不需要随机存取。举例来说,在eFlash抹除操作中,驱动SL并使N个BL接地可抹除所有共享该SL的位。

[0084] 扇区172可借由将N条位线(例如:BL0 140至B31 144)耦合至低位准电压基准160(例如:接地GND)、将N/2条源极线(例如:SL0 130及SL1)耦合至高位准电压供应源162(例如:VDD)、以及依序判定扇区172中所包括的P条字符线的各者(例如:WL0 150至WL1 152)来初始化,P乃是不大于M的整数。从SL0 130经由MTJ00 110及至少一个相邻MTJ10 112流动至BL0及BL1的电流造成MTJ组件的自由层与基准层中的磁化为平行(P),藉以将逻辑L值写入到MTJ00 110及至少一个相邻MTJ10 112。同时,耦合至其余位线(例如:BL(N-1)及BL(N))的其它MTJ亦切换至平行状态。此操作以循序方式借由判定扇区172的WL1及其它P条WL来重复进行。因此,如上述,进行扇区抹除操作与进行初始化操作类似,差别在于遭受写入的扇区数不同。

[0085] 图2A绘示参照图1A、1B、1C、1D及1E等所述STT-MRAM装置100的简化布局图200。STT-MRAM装置的不同阶中所布置的各个层借由索引键或图例220来说明。在所示具体实施例中,数组中的每一个位格可被组配为具有共享SL//BL结构的1T1MTJ位格210。在只作为说明用途的范例中,位格的相邻行的存取晶体管的源极端点透过预金属介电质(PMD)或CA阶中的贯孔接点,耦合至M1阶中的公用金属线。举例而言,金属线M1顺着相对BL及SL的垂直方向而置。M1中的公用金属线耦合至穿过置于V1阶中的贯孔接点充当置于上金属阶M2中的SL的金属线。因此,此种组态容许在相邻位线的位格之间共享SL。

[0086] 举例来说且不限于此例,置于金属阶M2中的SL0 130共享于位格的相邻行之间(例如,位格102与104以及其他等)。如图2A所示,位格的相邻行(例如,位格102与104)的存取晶体管的源极区耦合至M1阶中穿过PMD或CA阶中的贯孔接点182的公用金属线180。如图所示,

M1阶中的公用金属线举例而言,是顺着相对BL(例如:BL0 140、BL1 142)及SL(例如:SL0 130)的垂直方向而置。M1中的公用金属线180耦合至穿过置于V1阶中的贯孔接点186充当置于上金属阶M2中的SL(SL0 130)的金属线。因此,此种组态容许在位格的相邻行(例如,位格102与104以及其他)之间共享SL0 130。也可使用其他能够使SL共享于位格的两个或更多相邻行之间的适当组态。

[0087] 请参阅图2A,M2阶用于各SL,而不是用于容许各SL宽度增加的M1阶。借由使SL置于M2阶中,得以避免M1岛设计规则限制、主动区(RX)间距、及CA中的贯孔接点齐平闸极间距等问题。这样的组态可允许各SL(例如,SL0 130、SL1 132和其他等)的宽度(W)借由位格或位与各SL的共享数而有效倍增。如此一来,SL的有效电阻相对于使用专用SL组态的传统位格结构可下降大约50%。应了解到,取决于所需要的SL宽度,也可使用用于SL的M2以上其他合适金属阶层。

[0088] STT-MRAM 100组态中的一项因素为存取晶体管(例如:T00 120、T10 122及其它存取晶体管)的宽度。宽度增加可改善写入裕度。另外,多个突指可用于缩减存取晶体管宽度,并因此缩减芯片尺寸。举例而言,使用2个突指可将宽度要求缩减一半,而使用3个突指可将宽度要求缩减大约66%。在一具体实施例中,双多晶结构230可用于建构2个突指。

[0089] 1T1MTJ位格210布局尺寸X 240、Y 250及W260可使用SPICE模型及一般布局设计规则来估计。在一个实施例中,已发现模拟结果显示借由使用基于在位格的相邻行之间共享SL的结构,SL宽度W 260得以增加,但总体位格尺寸却缩减约10%,而且SL电阻缩减约50%。

[0090] 图2B绘示参照图2A所述的1T1MTJ位格210及参照图1A所述的位格(0,0)的简化截面层表征。所示为MTJ00 110、存取晶体管T00 120、BL0 140、WL0 150以及SL 130。读写电路(未图示)在BL0 140与SL0 130之间(例如,于M2阶)产生写入电压。取决于BL0 140与SL0 130之间的电压值,可变更MTJ00 110的自由层的磁性方向,并且可对应地将逻辑状态H或L写入到MTJ00 110。同样地,在读取操作期间,产生穿过MTJ00 110在BL0 140与SL0 130之间流动的读取电流。当电流获许流经存取晶体管T00 120时,MTJ00 110的电阻(R_{AP} 或 R_P)可基于BL0 140与SL0 130之间的电压差来决定,此电压差是相较于基准,并且接着由感测放大器(SA)来放大。

[0091] 具有低读取能量存储器装置典型为需要中点基准感测形态,藉此还需要更紧密的MTJ电阻分布。对于中点感测,可能希望组配小于6%的 $\sigma(R_{MTJ})$ 。然而,对于给定程序, $\sigma(R_{MTJ})$ 倾向于随着减少的MTJ面积而增加。STT-MRAM 100的优化位格面积及缩减的SL电阻可允许MTJ临界尺寸(CD)缩减到低于70nm,并且符合 $\sigma(R_{MTJ})$ 要求。

[0092] 举一替代方案来说,具有2T2MTJ位格架构的差动感测形态可考虑用来将给定 $\sigma(R_{MTJ})$ 的读取裕度加倍。然而,此替代方案也将位格尺寸加倍,从而增加成本。因此,此替代方案可能不被视为eFlash取代的可行成本效益选项,尤其是当存储器容量较大时。

[0093] 在可能是想要的情况中,STT-MRAM 100组配成在高(R_{AP})与低(R_P)电阻状态之间提供大间隔,此大间隔改善SA的读取特性。假如 R_{AP} 与 R_P 状态之间发生重叠时,该重叠可能会造成读取错误。由于与一个SL所共享的位于数目增加,SL宽度W 260也些微增加,然而SL电阻会显着减少。在一实施例中,可进行使用SPICE的模拟来比较具有专用SL结构的位格和具有共享SL//BL结构的1T1MTJ210位格的表现。使用SPICE的模拟结果意味着共享SL//BL结构的SL电阻可以显着地高,且相较于具有专用SL结构的位格的MTJ电阻来说可能是无法忽略的。

该模拟结果同样意味着,对于在位格的相邻行之间共享有SL的1T1MJT210位格结构来说,电阻得以减少超过50%,此电阻减少改善读取裕度并降低感测错误。

[0094] 图3乃是说明程序的流程图,该程序进行图1A、1B、1C、1D、1E、2A及2B等所述STT-MRAM装置100中的eFlash操作。程序300始于操作步骤302,其中STT-MRAM 100装置的NxM位格阵列借由使用平行源极线、位线(SL//BL)结构来组配,其中各位格组配成包括串联耦合至存取晶体管的漏极端点的磁穿隧界面(MTJ)胞元,且字线(WL)耦合至该存取晶体管的栅极。于操作步骤304,该SL//BL结构组配成包括共享于位格的相邻行之间。

[0095] 于操作步骤306,该阵列的初始化操作借由将逻辑H值写入到该阵列中的各位格来进行。于操作步骤308,编程操作借由将逻辑L值写入到该阵列的可随机存取位格位置来进行。于操作步骤310,扇区抹除操作借由将该阵列的扇区中所包括的各该位抹除并重设至逻辑L值来进行。该阵列组配成包括复数个扇区,其中该逻辑H值及该逻辑L值乃是二元对立。

[0096] 本文中所述任何程序或方法的顺序不意味着视为限制,而且任意数目的所述程序块可依任何顺序组合以便实施本程序、方法或替代方法。另外,可从此程序删除个别程序块而不会脱离本文中所述专利标的的精神及范畴。再者,可用任何合适的硬体、软体、韧体、或以上组合来实施程序而不会脱离本发明的范畴。

[0097] 上述具体实施例导出优点。于40nm及之前的技术节点,eFlash在包括窗控制器中符码储存到智能卡中安全金钥储存等许多应用中很普遍。然而,于先进的技术节点中,寻找可行的eFlash解决方案一直都有挑战性,因为传统在eFlash中使用的浮动闸极/电荷捕捉技术可能无法比例缩小到28nm以下。本揭露所呈现的STT-MRAM 100装置可组配成为了先进技术节点作为eFlash取代应用而缩减面积并改善读取裕度。

[0098] STT-MRAM 100装置提供更小的胞元尺寸、用于所提升的读写比(R/W)的更低SL寄生电阻,并为了在包括eFlash存储器的产品/程序中使用而进行eFlash操作。STT-MRAM 100装置亦提供更有效率的扇区/分页抹除形态。另外,STT-MRAM 100装置可利用目前的逻辑/MRAM技术、利用已知的程序及设备来实施。在一些应用中,STT-MRAM可组配成操作在由先进逻辑技术平台所给定的额定电压VDD范围内。因此,相较于需要附加电荷泵电路以供应用于编程/抹除操作的高内部电压的eFlash装置,此装置可利用大幅降低的能耗操作。

[0099] 本揭露可体现成其它特定形式而不会脱离其精神或主要特性。因此,前述具体实施例在所有层面都要视为说明性,而不是限制本文中所述的发明。本发明的范畴从而由随附申请专利范围指出,而不是由前述说明指出,而且均等于申请专利范围的意义及范围内的所有变更全都意欲囊括于其中。

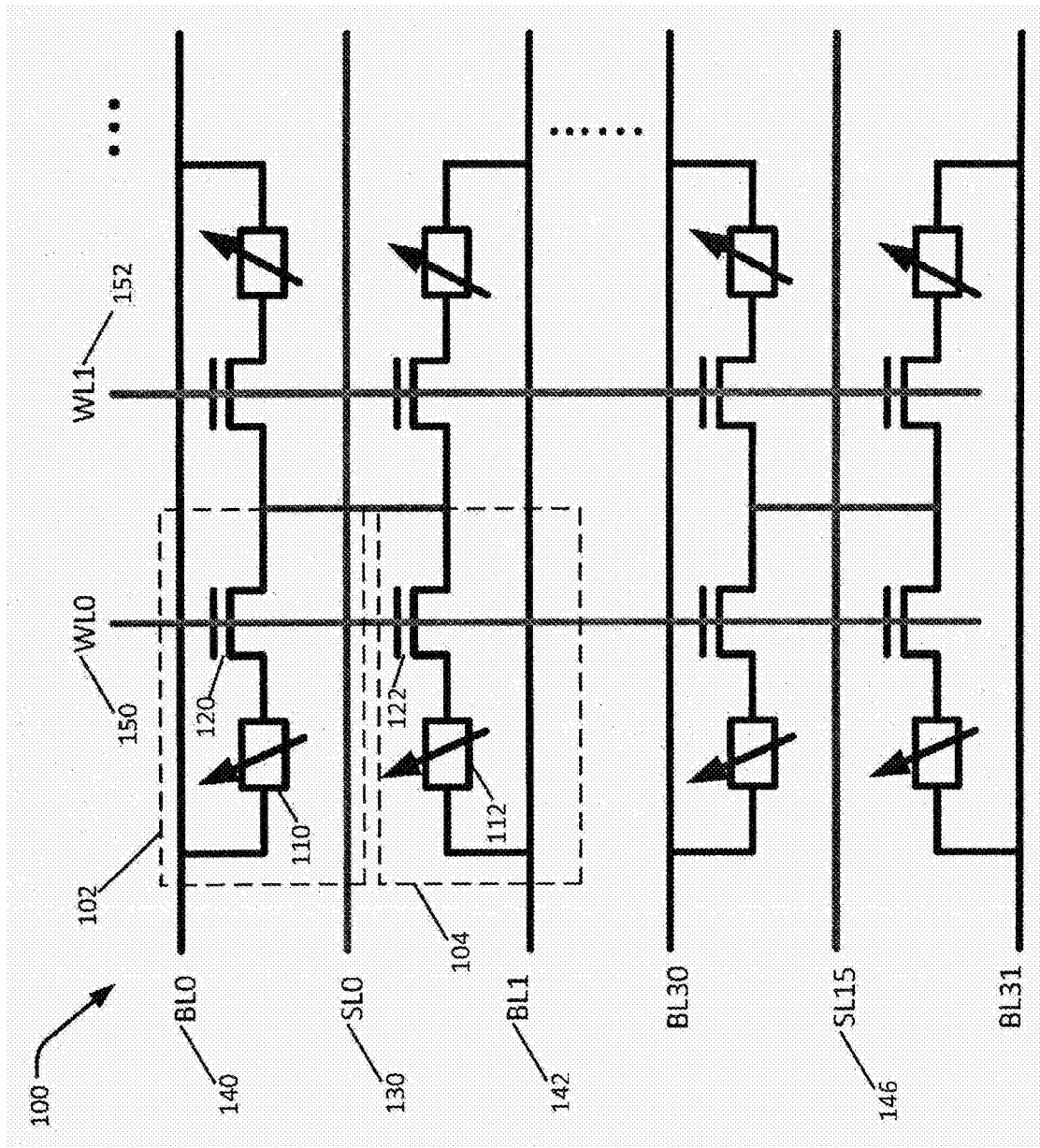


图1A

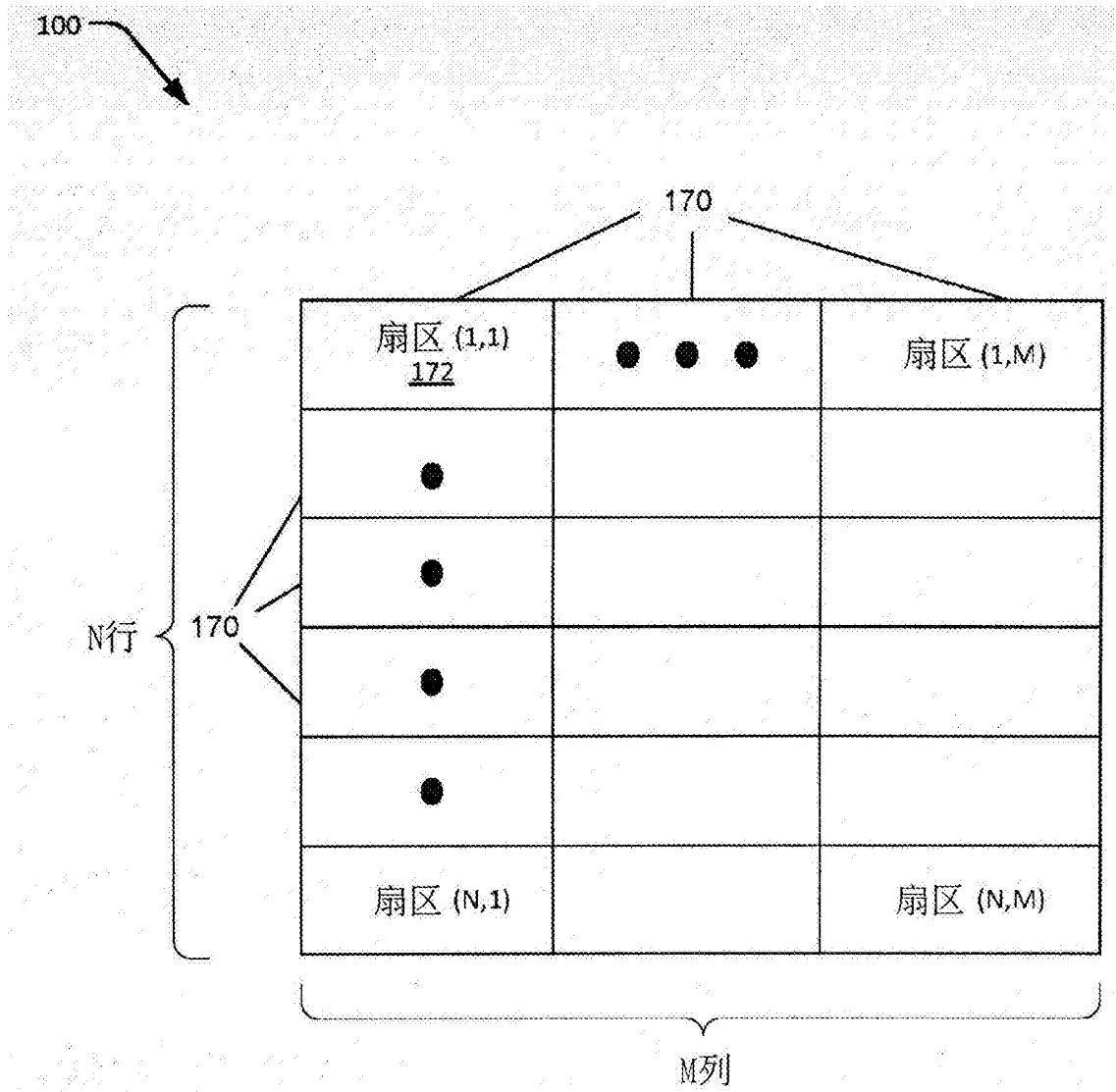


图1B

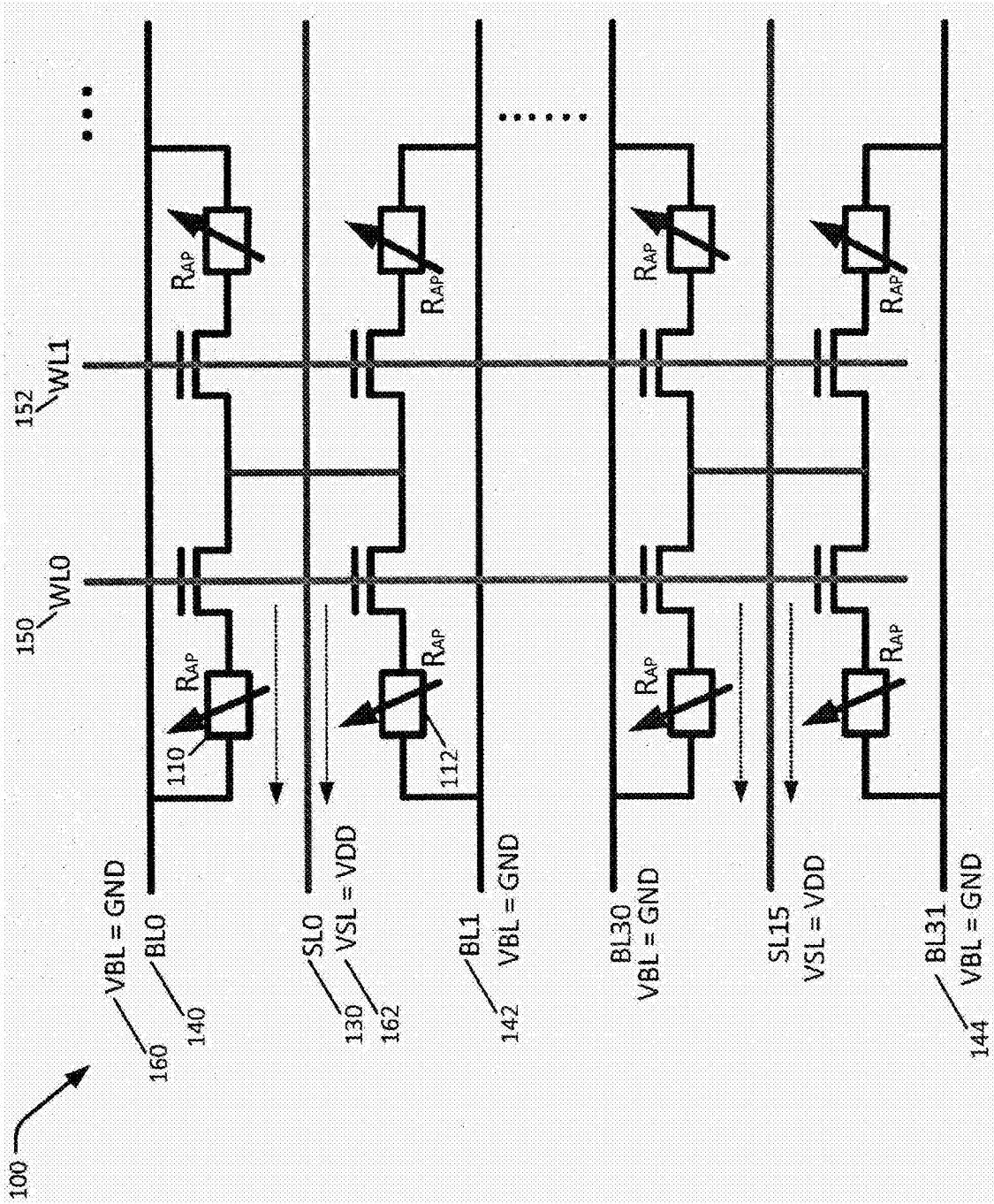


图1C

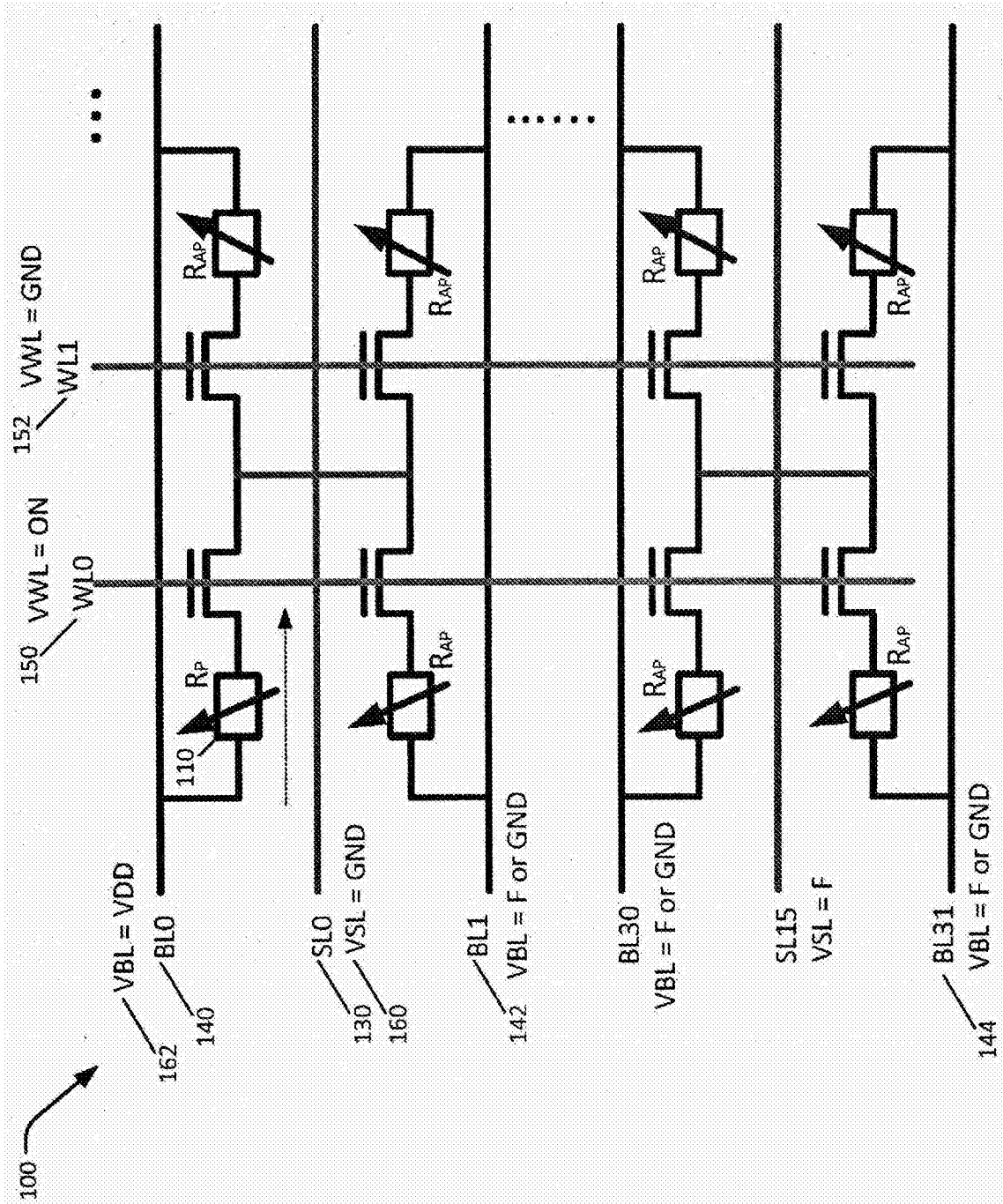


图1D

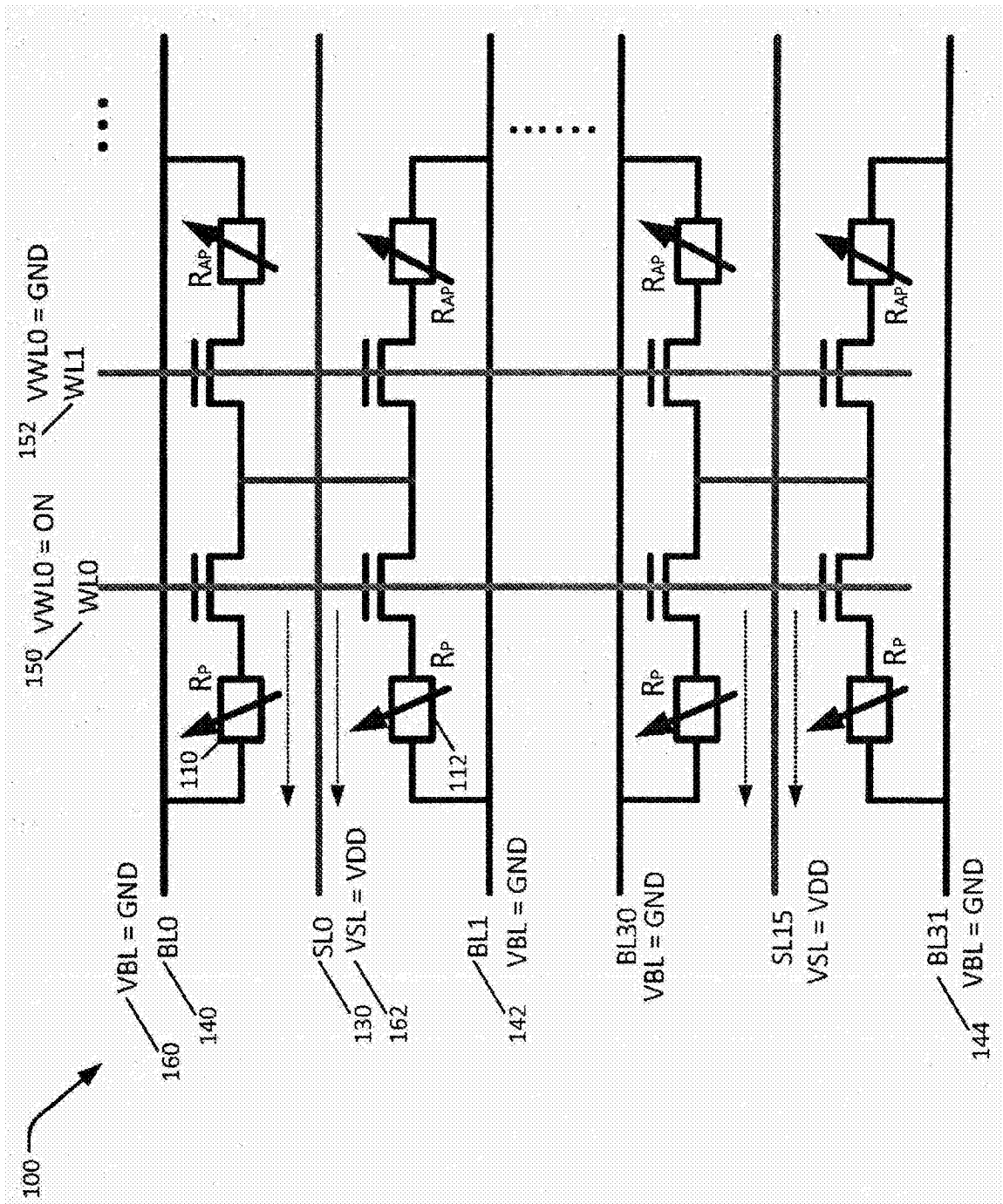


图1E

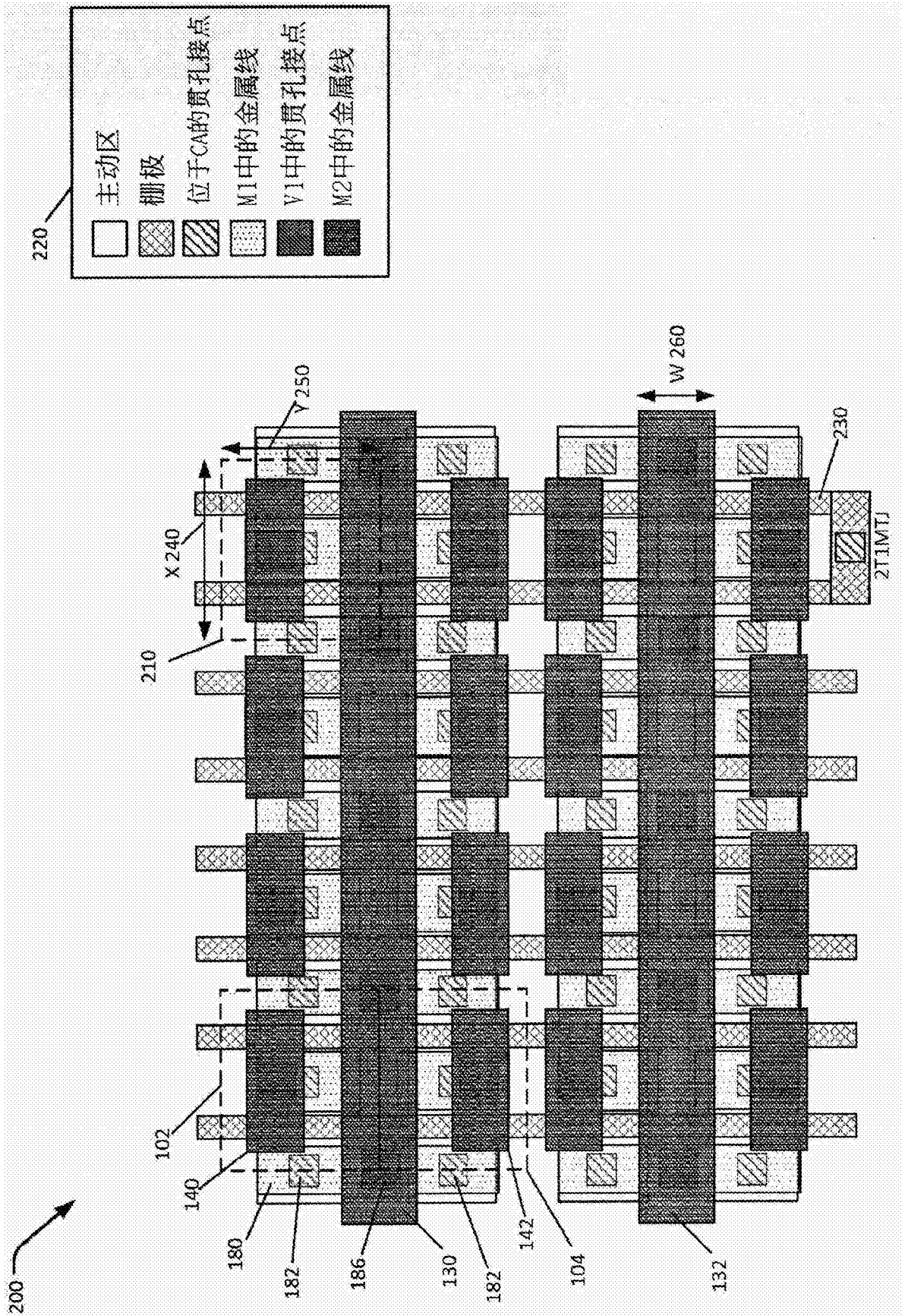


图2A

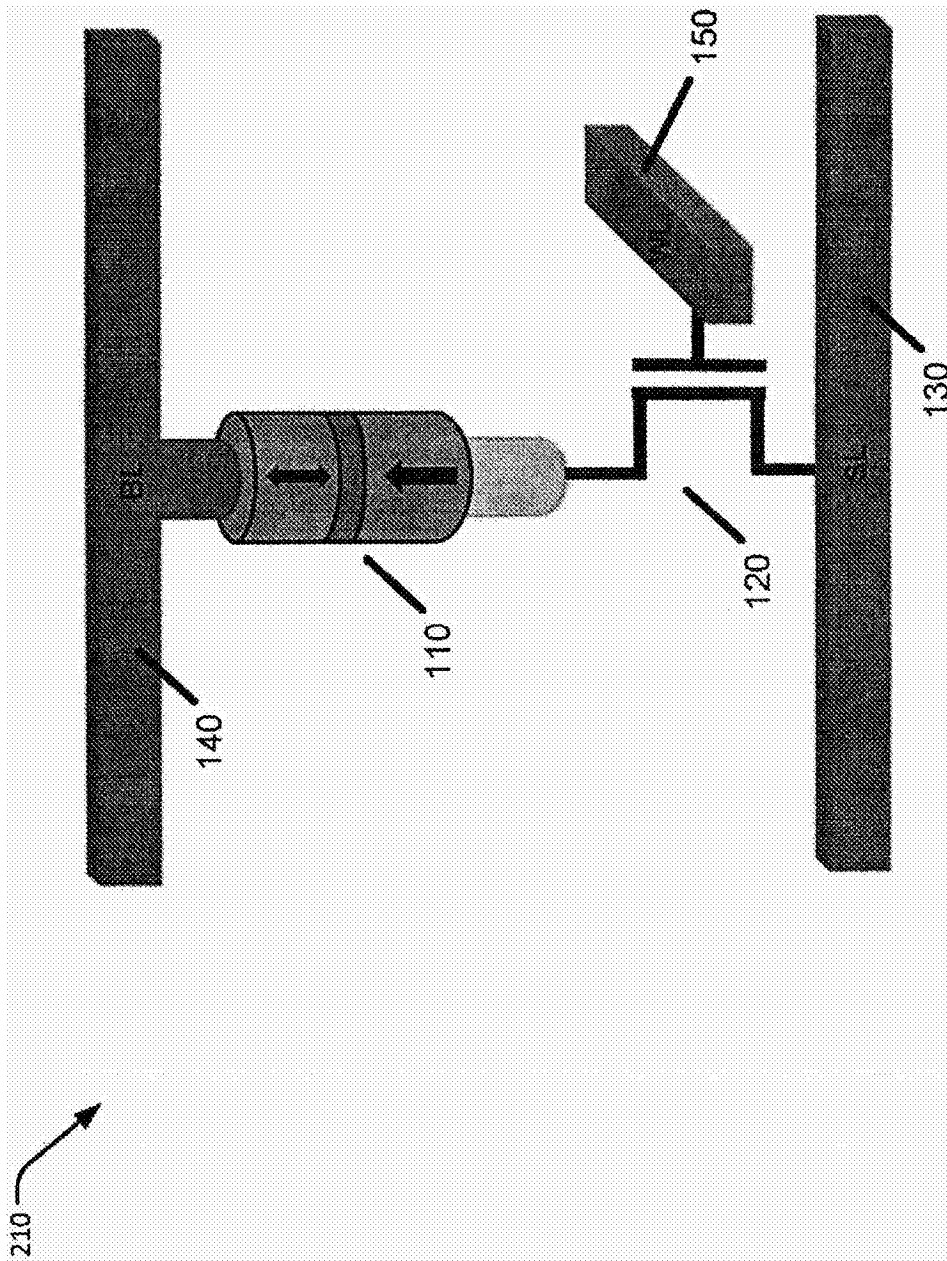


图2B

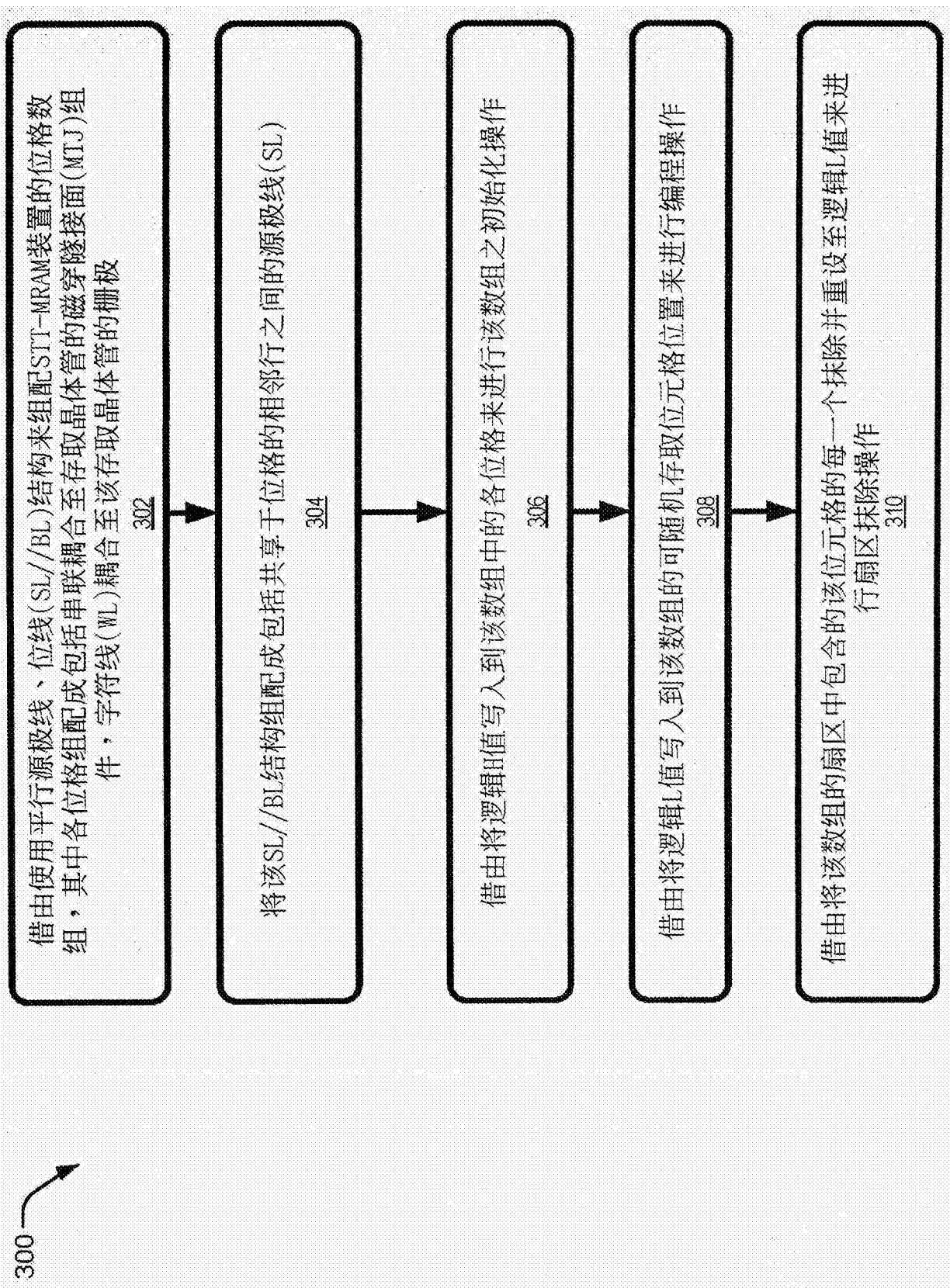


图3