

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第4875767号
(P4875767)

(45) 発行日 平成24年2月15日 (2012. 2. 15)

(24) 登録日 平成23年12月2日 (2011. 12. 2)

(51) Int.Cl.
H03M 3/02 (2006.01)

F I
H03M 3/02

請求項の数 8 (全 15 頁)

(21) 出願番号	特願2010-510020 (P2010-510020)	(73) 特許権者	000005821
(86) (22) 出願日	平成21年3月16日 (2009. 3. 16)		パナソニック株式会社
(86) 国際出願番号	PCT/JP2009/001162		大阪府門真市大字門真1006番地
(87) 国際公開番号	W02009/133653	(74) 代理人	100077931
(87) 国際公開日	平成21年11月5日 (2009. 11. 5)		弁理士 前田 弘
審査請求日	平成23年6月14日 (2011. 6. 14)	(74) 代理人	100110939
(31) 優先権主張番号	特願2008-117349 (P2008-117349)		弁理士 竹内 宏
(32) 優先日	平成20年4月28日 (2008. 4. 28)	(74) 代理人	100110940
(33) 優先権主張国	日本国 (JP)		弁理士 嶋田 高久
		(74) 代理人	100113262
			弁理士 竹内 祐二
		(74) 代理人	100115059
			弁理士 今江 克実
		(74) 代理人	100117581
			弁理士 二宮 克也

最終頁に続く

(54) 【発明の名称】 積分器、共振器及びオーバーサンプリングA/D変換器

(57) 【特許請求の範囲】

【請求項 1】

信号入力端と、
信号出力端と、
出力端が前記信号出力端に接続された演算増幅器と、
前記信号入力端と前記演算増幅器の反転入力端との間に接続された第1のフィルタと、
前記演算増幅器の前記反転入力端と前記出力端との間に接続された第2のフィルタとを
備え、
前記第1のフィルタは、 n を2以上の整数として、
前記信号入力端と前記演算増幅器の前記反転入力端との間に直列接続された n 個の抵
抗素子と、
前記 n 個の抵抗素子を個々に接続する $n-1$ 個の接続点と接地ノードとの間に挿入接
続された $n-1$ 個の容量素子とを有するものであり、
前記第2のフィルタは、
前記演算増幅器の前記反転入力端と前記出力端との間に直列接続された n 個の容量素
子と、
前記 n 個の容量素子を個々に接続する $n-1$ 個の接続点と前記接地ノードとの間に挿
入接続された $n-1$ 個の抵抗素子とを有するものである
ことを特徴とする積分器。

【請求項 2】

10

20

請求項 1 の積分器において、

前記第 1 のフィルタに並列接続された抵抗素子及び容量素子の少なくとも一つを有する第 3 のフィルタを備えていることを特徴とする積分器。

【請求項 3】

請求項 1 及び 2 のいずれか一つの積分器において、

前記抵抗素子は、いずれも、スイッチトキャパシタ回路であることを特徴とする積分器。

【請求項 4】

請求項 1 から 3 のいずれか一つの積分器と、

前記第 1 のフィルタにおける前記 $n-1$ 個の接続点の少なくとも一つと前記演算増幅器の前記出力端との間に接続された少なくとも一つの Gm 素子又は抵抗素子とを備え、
前記積分器の前記信号入力端に信号を入力して、前記積分器の前記信号出力端から信号を出力する

ことを特徴とする共振器。

【請求項 5】

請求項 1 の積分器と、

前記積分器の出力を量子化する量子化器と、

前記量子化器のデジタル出力を電流信号に変換して前記第 1 のフィルタにおける前記 $n-1$ 個の各接続点にフィードバックする $n-1$ 個の D/A 変換器と、

前記量子化器のデジタル出力を電流信号に変換して前記第 2 のフィルタにおける前記 $n-1$ 個の各接続点にフィードバックする $n-1$ 個の D/A 変換器とを備え、

前記積分器の前記信号入力端にアナログ信号を入力して、前記量子化器の前記デジタル出力を出力信号とする

ことを特徴とするオーバーサンプリング A/D 変換器。

【請求項 6】

請求項 1 の積分器と、

前記積分器の出力を量子化する量子化器と、

前記量子化器のデジタル出力を電流信号に変換して前記第 1 のフィルタにおける前記 $n-1$ 個の各接続点にフィードバックする $n-1$ 個の D/A 変換器と、

前記量子化器のデジタル出力を電流信号に変換して前記演算増幅器の前記反転入力端にフィードバックする D/A 変換器とを備え、

前記積分器の前記信号入力端にアナログ信号を入力して、前記量子化器の前記デジタル出力を出力信号とする

ことを特徴とするオーバーサンプリング A/D 変換器。

【請求項 7】

請求項 2 の積分器と、

前記積分器の出力を量子化する量子化器と、

前記量子化器のデジタル出力を電流信号に変換して前記積分器の入力側にフィードバックする D/A 変換器とを備え、

前記積分器の前記信号入力端にアナログ信号を入力して、前記量子化器の前記デジタル出力を出力信号とする

ことを特徴とするオーバーサンプリング A/D 変換器。

【請求項 8】

請求項 5 から 7 のいずれか一つのオーバーサンプリング A/D 変換器において、

前記第 1 のフィルタにおける前記 $n-1$ 個の接続点の少なくとも一つと前記演算増幅器の前記出力端との間に接続された少なくとも一つの Gm 素子又は抵抗素子を備えている

ことを特徴とするオーバーサンプリング A/D 変換器。

【発明の詳細な説明】

【技術分野】

10

20

30

40

50

【0001】

本発明は、積分器に関し、特に、連続時間型 $\Delta\Sigma$ 変調器に好適な積分器に関する。

【背景技術】

【0002】

オーバーサンプリングA/D変換器は通信機器のフロントエンドや音声信号の変換などに広く用いられており、現在の通信、映像、音声信号処理回路に必須の回路技術である。オーバーサンプリングA/D変換器の一つに、連続時間型フィルタを備えた連続時間型 $\Delta\Sigma$ A/D変換器(CTDS-ADC:Continuous Time Delta-Sigma A/D converter)がある(例えば、非特許文献1, 2参照)。

【0003】

一般的なCTDS-ADCでは、入力信号は縦続接続された n 個の積分器(連続時間型フィルタ)を通して量子化器によって量子化される。量子化器のデジタル出力は n 個のD/A変換器によってアナログ電流信号に変換されてから n 個の積分器のそれぞれにフィードバックされる。CTDS-ADCでは、アナログ回路部分にスイッチが含まれないため低電圧化が可能となる。また、サンプリングフィルタを用いた場合に通常必要となる前置フィルタがCTDS-ADCでは不要である。これらの点から、CTDS-ADCは通信システムへの応用に適しており、近年、応用開発研究が盛んとなっている。

【非特許文献1】Richard Schreier and Bo Bang, "Delta-Sigma Modulators Employing Continuous-Time Circuitry", IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS--I: FUNDAMENTAL THEORY AND APPLICATIONS, VOL. 43, NO. 4, APRIL 1996

【非特許文献2】Xuefeng Chen et al., "A 18mW CT $\Delta\Sigma$ Modulator with 25MHz Bandwidth for Next Generation Wireless Applications", IEEE 2007 Custom Integrated Circuits Conference, 2007

【発明の開示】

【発明が解決しようとする課題】

【0004】

CTDS-ADCにおいて分解能とSN性能を向上させるには量子化ノイズ除去のためのフィルタ次数を上げる必要があり、その次数分の演算増幅器が必要となる。すなわち、CTDS-ADCの性能を向上しようとすると多数の演算増幅器を使用しなければならない。しかし、演算増幅器の個数増加は回路規模と消費電力の増加を招くこととなり、携帯通信機器などに応用されるシステムLSIの性能向上に係るボトルネックの一因となる。

【0005】

上記問題に鑑み、本発明は、1個の演算増幅器で高次の積分特性を発揮する積分器を提供することを課題とする。さらに、そのような積分器を用いた共振器及び連続時間型オーバーサンプリングA/D変換器を提供することを課題とする。

【課題を解決するための手段】

【0006】

上記課題を解決するために本発明は次のような手段を講じた。積分器として、演算増幅器と、演算増幅器の反転入力端に接続された第1のフィルタと、演算増幅器の反転入力端と出力端との間に接続された第2のフィルタとを備えたものとする。ここで、第1のフィルタは、直列接続された n 個の抵抗素子と、一端が前記抵抗素子の各接続点に接続され、他端が接地された $n-1$ 個の容量素子とを有する。また、第2のフィルタは、直列接続された n 個の容量素子と、一端が容量素子の各接続点に接続され、他端が接地された $n-1$ 個の抵抗素子とを有する。ただし、 n は2以上の整数である。

【0007】

これによると、第1のフィルタにおける抵抗素子及び容量素子並びに第2のフィルタにおける抵抗素子及び容量素子の各素子値について所定の関係が成り立つようにすることで、当該積分器の伝達関数は、その分母及び分子において s (s はラプラス演算子である)から s^{n-1} までの項が打ち消されて $1/s^n$ の項のみとなる。すなわち、1個の演算増

10

20

30

40

50

幅器で n 次積分器を構成することができる。

【0008】

上記の積分器は、第1のフィルタに並列接続された抵抗素子及び容量素子の少なくとも一つを有する第3のフィルタをさらに備えていることが好ましい。これによると、第3のフィルタは当該積分器の入力と演算増幅器の反転入力端との間でフィードフォワードパスとして作用する。これにより、当該積分器の出力に0次、1次、及び2次積分成分を生じさせることができる。

【0009】

上記の積分器に、第1のフィルタにおける抵抗素子の接続点の少なくとも一つと演算増幅器の出力端との間に接続された少なくとも一つの G_m 素子又は抵抗素子を追加すると、共振器を構成することができる。

10

【0010】

また、本発明に係るオーバーサンプリング A/D 変換器は、上記の積分器と、積分器の出力を量子化する量子化器と、量子化器のデジタル出力を電流信号に変換して第1のフィルタにおける抵抗素子の各接続点にフィードバックする $n-1$ 個の D/A 変換器と、量子化器のデジタル出力を電流信号に変換して第2のフィルタにおける容量素子の各接続点にフィードバックする $n-1$ 個の D/A 変換器とを備えている。あるいは、本発明に係るオーバーサンプリング A/D 変換器は、上記の積分器と、積分器の出力を量子化する量子化器と、量子化器のデジタル出力を電流信号に変換して第1のフィルタにおける抵抗素子の各接続点にフィードバックする $n-1$ 個の D/A 変換器と、量子化器のデジタル出力を電流信号に変換して演算増幅器の反転入力端にフィードバックする D/A 変換器とを備えている。あるいは、本発明に係るオーバーサンプリング A/D 変換器は、上記の第3のフィルタを備えた積分器と、積分器の出力を量子化する量子化器と、量子化器のデジタル出力を電流信号に変換して積分器の入力側にフィードバックする D/A 変換器とを備えている。これらオーバーサンプリング A/D 変換器は、それが備えている演算増幅器の個数よりも高い次数のフィルタリング特性を発揮する。

20

【0011】

なお、上記のオーバーサンプリング A/D 変換器に、第1のフィルタにおける抵抗素子の接続点の少なくとも一つと演算増幅器の出力端との間に接続された少なくとも一つの G_m 素子又は抵抗素子を追加すると、量子化ノイズの伝達特性に零点を持つフィルタリング特性を発揮するようになる。

30

【発明の効果】

【0012】

本発明によると、小型かつ低消費電力の n 次積分器及び n 次共振器を得ることができる。さらに、高分解能かつ高 SN 比のオーバーサンプリング A/D 変換器の小型化及び低消費電力化が可能となる。

【図面の簡単な説明】

【0013】

【図1】図1は、第1の実施形態に係る積分器の構成図である。

【図2】図2は、第2の実施形態に係る積分器の構成図である。

40

【図3】図3は、第3の実施形態に係る積分器の構成図である。

【図4】図4は、第4の実施形態に係るオーバーサンプリング A/D 変換器の構成図である。

【図5】図5は、第5の実施形態に係るオーバーサンプリング A/D 変換器の構成図である。

【図6】図6は、第6の実施形態に係るオーバーサンプリング A/D 変換器の構成図である。

【図7】図7は、図6に示した本発明に係る共振器の過渡応答のシミュレーション結果を示すグラフである。

【図8】図8は、第7の実施形態に係るオーバーサンプリング A/D 変換器の構成図であ

50

る。

【図 9】図 9 は、図 8 に示した本発明に係る共振器の過渡応答のシミュレーション結果を示すグラフである。

【図 10】図 10 は、第 8 の実施形態に係るオーバーサンプリング A/D 変換器の構成図である。

【図 11】図 11 は、第 9 の実施形態に係るオーバーサンプリング A/D 変換器の構成図である。

【符号の説明】

【0014】

10 積分器

10

10A、10A' 共振器

11 演算増幅器

12 フィルタ（第 1 のフィルタ）

121 抵抗素子

122 容量素子

13 フィルタ（第 2 のフィルタ）

131 容量素子

132 抵抗素子

14 フィルタ（第 3 のフィルタ）

141 抵抗素子

20

142 容量素子

15 Gm 素子

16 抵抗素子

20 量子化器

30 D/A 変換器

40 D/A 変換器

【発明を実施するための最良の形態】

【0015】

以下、本発明を実施するための最良の形態について、図面を参照しながら説明する。

【0016】

30

（第 1 の実施形態）

図 1 は、第 1 の実施形態に係る積分器の構成を示す。当該積分器 10 は、演算増幅器 11、演算増幅器 11 の反転入力端に接続されたフィルタ 12、及び演算増幅器 11 の反転入力端と出力端との間に接続されたフィルタ 13 を備えている。フィルタ 12 は、直列接続された 2 個の抵抗素子 121、及び一端がこれら抵抗素子の接続点に接続され、他端が接地された容量素子 122 を備えた 2 次ローパスフィルタである。フィルタ 13 は、直列接続された 2 個の容量素子 131、及び一端がこれら容量素子の接続点に接続され、他端が接地された抵抗素子 132 を備えた 2 次ハイパスフィルタである。

【0017】

積分器 10 において、入力電圧を V_{in} 、出力電圧を V_{out} 、抵抗素子 121 の抵抗値を R_1 、容量素子 122 の容量値を C_1 、抵抗素子 132 の抵抗値を R_2 、容量素子 131 の容量値を C_2 、抵抗素子 121 と容量素子 122 との接続点の電圧を V_1 、及び容量素子 131 と抵抗素子 132 との接続点の電圧を V_2 とすると、次の節点方程式が導出される。ただし、 s はラプラス演算子である。

40

【0018】

【数 1】

$$\begin{cases} \frac{(V_1 - V_{in})}{R_1} + V_1 \cdot s \cdot C_1 + \frac{V_1}{R_1} = 0 \\ -\frac{V_1}{R_1} - V_2 \cdot s \cdot C_2 = 0 \\ V_2 \cdot s \cdot C_2 + \frac{V_2}{R_2} + (V_2 - V_{out}) \cdot s \cdot C_2 = 0 \end{cases} \quad 10$$

【0019】

この節点方程式を解くと積分器10の伝達関数が次式のように導出される。

【0020】

【数 2】

$$\frac{V_{out}}{V_{in}} = -\frac{1}{s^2 C_2^2 R_1 R_2} \cdot \frac{(2s C_2 R_2 + 1)}{(s C_1 R_1 + 2)} \quad 20$$

【0021】

ここで、 $C_1 R_1 = 4 C_2 R_2$ が成り立つとき、次の伝達関数が導出される。

【0022】

【数 3】

$$\frac{V_{out}}{V_{in}} = -\frac{1}{2 s^2 C_2^2 R_1 R_2}$$

【0023】

すなわち、抵抗素子121及び132並びに容量素子122及び131の各素子値を適宜設定することで $1/s^2$ の項のみからなる伝達関数を得ることができる。このように、本実施形態によると、1個の演算増幅器11で2次積分器を構成することができる。なお、本実施形態に係る積分器10を多重化することで4次以上の積分器を構成することができる。例えば、本実施形態に係る積分器10を2個多重化することで、2個の演算増幅器11で4次積分器を構成することができる。

【0024】

(第2の実施形態)

図2は、第2の実施形態に係る積分器の構成を示す。当該積分器10は、図1の積分器10とは異なる構成のフィルタ12及び13を備えている。すなわち、フィルタ12は、直列接続された3個以上の抵抗素子121、及び一端がこれら抵抗素子の各接続点に接続され、他端が接地され、抵抗素子121よりも1個少ない容量素子122を備えたn次ローパスフィルタである。フィルタ13は、直列接続された3個以上の容量素子131、及び一端がこれら容量素子の各接続点に接続され、他端が接地され、容量素子131よりも1個少ない抵抗素子132を備えたn次ハイパスフィルタである。

【0025】

抵抗素子121及び容量素子131の個数をnとすると当該積分器10の伝達関数は一般に次式で表される。ただし、 α 、 β 、 γ 、 τ 、 κ は抵抗素子121及び132並びに容量素子122及び131の各素子値によって決まる定数である。

【0026】

10

20

30

40

50

【数 4】

$$\frac{V_{out}}{V_{in}} = \frac{\prod_{k=1}^{n-1} (\alpha_k + s \cdot \tau_k)}{\gamma \cdot s^n \prod_{k=1}^{n-1} (\beta_k + s \cdot \kappa_k)}$$

【0027】

10

ここで、抵抗素子121及び132並びに容量素子122及び131の各素子値について所定の関係が成り立つようにすることで、上記の伝達関数の分母及び分子においてsからsⁿ⁻¹までの項が打ち消されて1/sⁿの項のみからなる伝達関数が得られる。このように、本実施形態によると、1個の演算増幅器でn次積分器を構成することができる。

【0028】

なお、上記の各実施形態において、フィルタ12における二つの抵抗素子121は互いに異なる抵抗値であってもよい。また、フィルタ13における二つの容量素子131もまた互いに異なる容量値であってもよい。いずれの場合でも、抵抗素子121及び132並びに容量素子122及び131の各素子値について所定の関係が成り立つようにすることで2次以上の積分器10を構成することができる。

20

【0029】

(第3の実施形態)

図3は、第3の実施形態に係る積分器の構成を示す。当該積分器10は、図1又は図2の積分器10にフィルタ14を追加したものである。フィルタ14は、フィルタ12に並列接続された抵抗素子141及び容量素子142を備えている。フィルタ14は積分器10の入力と演算増幅器11の反転入力端との間でフィードフォワードパスとして作用する。これにより、積分器10の出力に、n次積分成分に加えて0次、1次及び2次の積分成分を生じさせることができる。各次数の積分成分は、抵抗素子141及び容量素子142の素子値を適宜設定することで調整可能である。

【0030】

30

なお、抵抗素子141及び容量素子142のいずれか一方を省略してもよい。例えば、フィルタ14を抵抗素子141のみで構成した場合、積分器10の出力に、n次積分成分に加えて1次の積分成分を生じさせることができる。フィルタ14を容量素子142のみで構成した場合、積分器10の出力に0次及び1次の積分成分を生じさせることができる。

【0031】

(第4の実施形態)

図4は、第4の実施形態に係るCTDS-ADCの構成を示す。本実施形態に係るCTDS-ADCは、図1の積分器10、積分器10の出力を量子化する量子化器20、量子化器20のデジタル出力を電流信号に変換してフィルタ12における抵抗素子121の接続点にフィードバックするD/A変換器30、量子化器20のデジタル出力を電流信号に変換してフィルタ13における容量素子131の接続点にフィードバックするD/A変換器40を備えている。ここで、D/A変換器30の出力電流をI₁、D/A変換器40の出力電流をI₂とすると、次の節点方程式が導出される。

40

【0032】

【数 5】

$$\begin{cases} -I_1 + \frac{(V_1 - V_{in})}{R_1} + V_1 \cdot s \cdot C_1 + \frac{V_1}{R_1} = 0 \\ -\frac{V_1}{R_1} - V_2 \cdot s \cdot C_2 = 0 \\ -I_2 + V_2 \cdot s \cdot C_2 + \frac{V_2}{R_2} + (V_2 - V_{out}) \cdot s \cdot C_2 = 0 \end{cases} \quad 10$$

【0033】

この節点方程式を解くと積分器10の出力電圧 V_{out} と電流 I_1 との関係が次式のよう
に導出される。

【0034】

【数 6】

$$\frac{V_{out}}{I_1} = - \frac{1}{s^2 C_2^2 R_2} \cdot \frac{(2sC_2R_2 + 1)}{(sC_1R_1 + 2)} \quad 20$$

【0035】

ここで、 $C_1 R_1 = 4 C_2 R_2$ が成り立つとき、次の関係式が導出される。

【0036】

【数 7】

$$\frac{V_{out}}{I_1} = - \frac{1}{2s^2 C_2^2 R_2} \quad 30$$

【0037】

また、詳細な計算過程は省略するが、積分器10の出力電圧 V_{out} と電流 I_2 との関
係が次式のように導出される。

【0038】

【数 8】

$$\frac{V_{out}}{I_2} = - \frac{1}{sC_2} \quad 40$$

【0039】

すなわち、抵抗素子121及び132並びに容量素子122及び131の各素子値を適
宜設定することで、D/A変換器30の出力をフィルタ12における抵抗素子121の接
続点にフィードバックして2次積分操作を行うことができる。また、D/A変換器40の
出力をフィルタ13における容量素子131の接続点にフィードバックして1次積分操作
を行うことができる。このように、本実施形態によると、1個の演算増幅器11で2次フ
ィルタリング特性（量子化ノイズ除去特性）を有するオーバーサンプリングA/D変換器
を構成することができる。なお、積分器10を多重化することで4次以上のフィルタリ
ング特性を発揮するオーバーサンプリングA/D変換器を構成することができる。例えば、

積分器 10 を 2 個多重化することで、2 個の演算増幅器 11 で 4 次フィルタリング特性を発揮するオーバーサンプリング A/D 変換器を構成することができる。

【0040】

(第 5 の実施形態)

図 5 は、第 5 の実施形態に係る C T D S - A D C の構成を示す。本実施形態に係る C T D S - A D C は、図 2 の積分器 10、積分器 10 の出力を量子化する量子化器 20、量子化器 20 のデジタル出力を電流信号に変換してフィルタ 12 における抵抗素子 121 の各接続点にフィードバックする複数の D/A 変換器 30、量子化器 20 のデジタル出力を電流信号に変換してフィルタ 13 における容量素子 131 の各接続点にフィードバックする複数の D/A 変換器 40 を備えている。上述したように、抵抗素子 121 及び 132 並びに容量素子 122 及び 131 の各素子値について所定の関係が成り立つようにすることで、積分器 10 は n 次積分特性を発揮するようになる。このように、本実施形態によると、1 個の演算増幅器 11 で n 次フィルタリング特性を発揮するオーバーサンプリング A/D 変換器を構成することができる。

【0041】

(第 6 の実施形態)

図 6 は、第 6 の実施形態に係る C T D S - A D C の構成を示す。本実施形態に係る C T D S - A D C は、一般的な 1 次積分器 10' 及び 2 次共振器 10A 及び 10A' を備えており、全体として 5 次フィルタリング特性を発揮する。なお、図 6 において、各素子の傍らに示した記号は各素子値を表している。共振器 10A 及び 10A' は、図 1 の積分器 10 に Gm 素子 (トランスコンダクタ素子) 15 を追加したものである。Gm 素子 15 は、演算増幅器 11 の出力を、フィルタ 12 における抵抗素子の接続点にフィードバックする。

【0042】

図 7 は、図 6 に示した共振器 10A に共振周波数近傍の 5 MHz の正弦波を入力したときの共振器 10A の過渡応答のシミュレーション結果を示す。ただし、演算増幅器 11 のゲインは 70 dB、GBW は 200 MHz である。このシミュレーション結果から、共振器 10A は発振しないことがわかる。

【0043】

(第 7 の実施形態)

図 8 は、第 7 の実施形態に係る C T D S - A D C の構成を示す。本実施形態に係る C T D S - A D C は、図 6 の C T D S - A D C において、共振器 10A 及び 10A' における Gm 素子 15 を抵抗素子 16 に置き換えたものである。

【0044】

図 9 は、図 8 に示した共振器 10A に共振周波数近傍の 5 MHz の正弦波を入力したときの共振器 10A の過渡応答のシミュレーション結果を示す。ただし、演算増幅器 11 のゲインは 70 dB、GBW は 200 MHz である。このシミュレーション結果から、共振器 10A は発振しないことがわかる。さらに、図 7 のグラフと比較すると、第 6 の実施形態に係る共振器 10A よりも本実施形態に係る共振器 10A の方が過渡応答特性がよいことがわかる。

【0045】

(第 8 の実施形態)

図 10 は、第 8 の実施形態に係る C T D S - A D C の構成を示す。本実施形態に係る C T D S - A D C は、一般的な 1 次積分器 10' 及び 3 次共振器 10A を備えており、全体として 4 次フィルタリング特性を発揮する。

【0046】

共振器 10A は、図 2 の積分器 10 に 3 個の Gm 素子 15 を追加したものである。各 Gm 素子 15 は、演算増幅器 11 の出力を、フィルタ 12 における抵抗素子の各接続点にフィードバックする。図 5 の C T D S - A D C と同様に、フィルタ 12 における抵抗素子の各接続点には 3 個の D/A 変換器 30 のそれぞれの出力がフィードバックされる。一方、

図5のCTDS-ADCとは異なり、D/A変換器40の出力はフィルタ13における容量素子の各接続点ではなく演算増幅器11の反転入力端にフィードバックされる。このように、本実施形態によると、D/A変換器の総数が比較的少なくて済み、回路規模及び消費電力を低減することができる。

【0047】

なお、Gm素子15を抵抗素子に置換してもよい。また、フィルタ12における抵抗素子のすべての接続点にGm素子15又は抵抗素子を接続する必要はない。すなわち、フィルタ12における抵抗素子の少なくとも一つの接続点に演算増幅器11の出力をGm素子又は抵抗素子を介してフィードバックすることで共振器が構成可能である。

【0048】

10

(第9の実施形態)

図11は、第9の実施形態に係るCTDS-ADCの構成を示す。本実施形態に係るCTDS-ADCは、一般的な1次積分器10'及び2次共振器10Aを備えており、全体として3次フィルタリング特性を発揮する。共振器10Aは、図3の積分器10に、演算増幅器11の出力をフィルタ12における抵抗素子の接続点にフィードバックする抵抗素子16を追加したものである。

【0049】

共振器10Aにおいてフィルタ14は共振器10Aの入力と演算増幅器11の反転入力端との間でフィードフォワードパスとして作用する。このため、フィルタ12における抵抗素子の接続点に量子化器20の出力をフィードバックしなくとも当該CTDS-ADCの位相補償が可能となる。したがって、本実施形態によると、D/A変換器をより一層削減することができ、回路規模及び消費電力のさらなる低減が可能となる。

20

【0050】

なお、抵抗素子16をGm素子に置換してもよい。また、抵抗素子16を省略してもよい。その場合のCTDS-ADCは、量子化ノイズの伝達特性に零点を持たないフィルタリング特性を発揮することとなる。

【0051】

また、上記の各実施形態において、各抵抗素子をスイッチトキャパシタ回路で構成してもよい。これにより、積分器10及び共振器10A、10A'を離散型フィルタにすることができる。離散型フィルタは容量比で回路の伝達関数を決定することができるため、フィルタリング精度を向上させることができる。

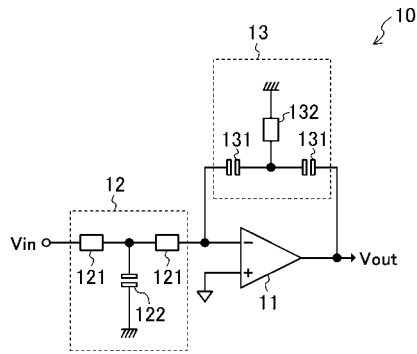
30

【産業上の利用可能性】

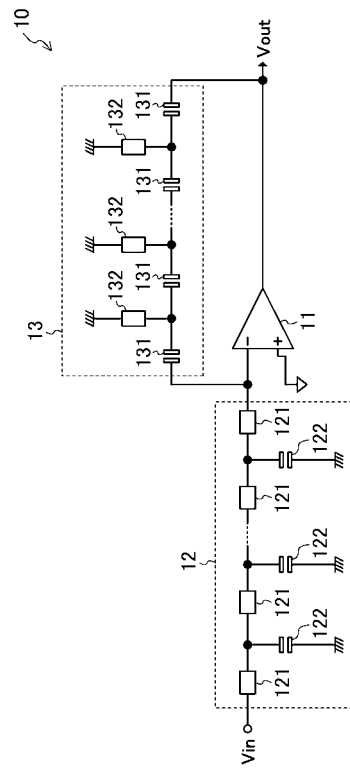
【0052】

本発明に係る積分器、共振器及びオーバーサンプリングA/D変換器は、比較的小規模かつ低消費電力で高次の積分特性及びフィルタリング特性を発揮するため、携帯通信機器などに有用である。

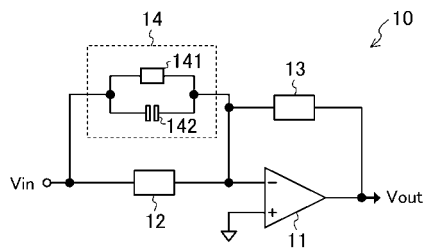
【図 1】



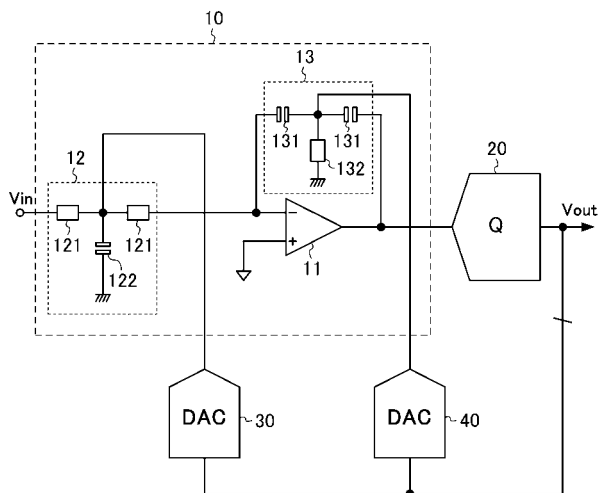
【図 2】



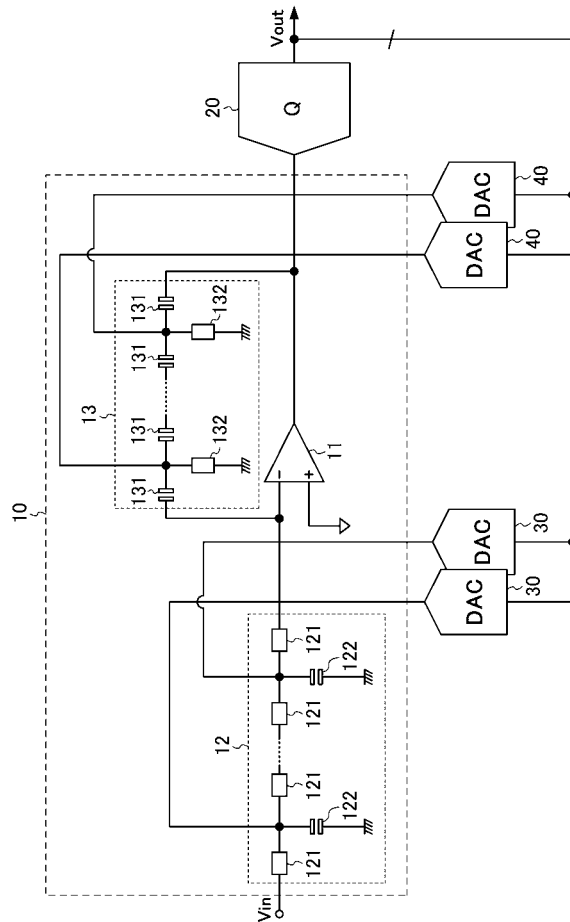
【図 3】



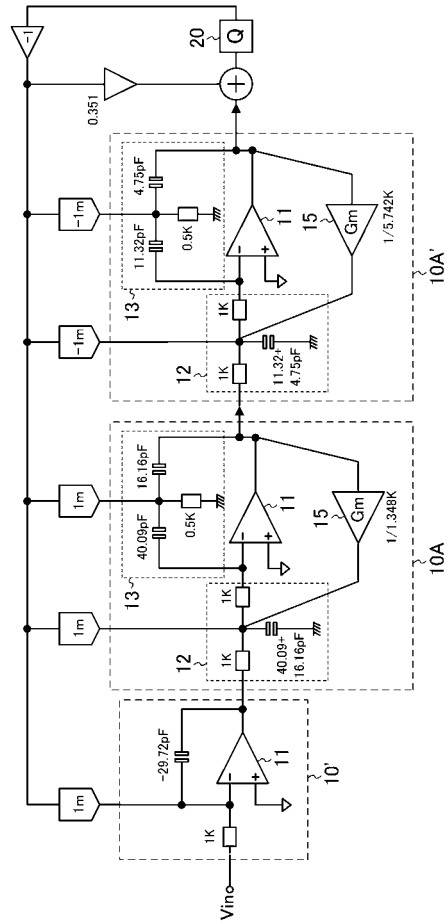
【図 4】



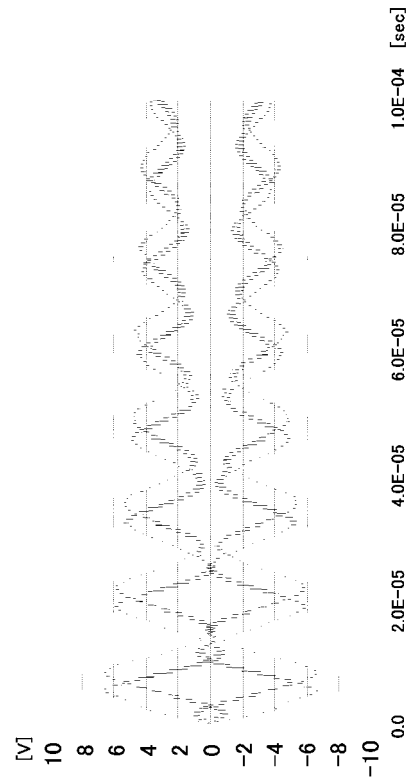
【図 5】



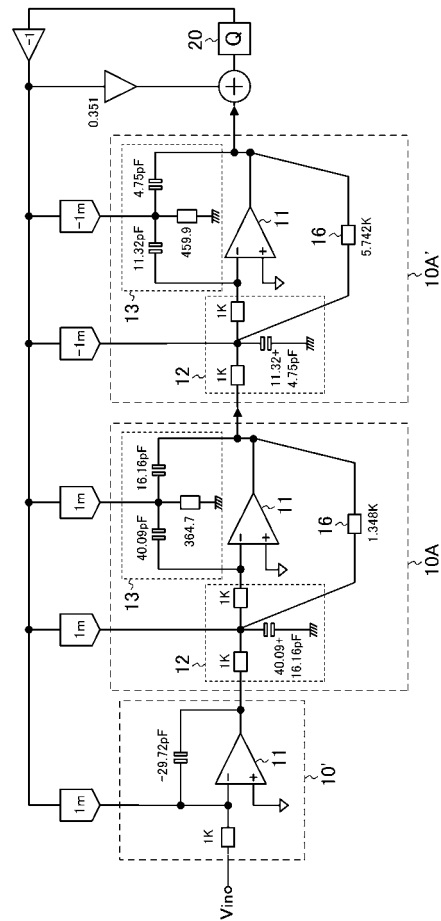
【図 6】



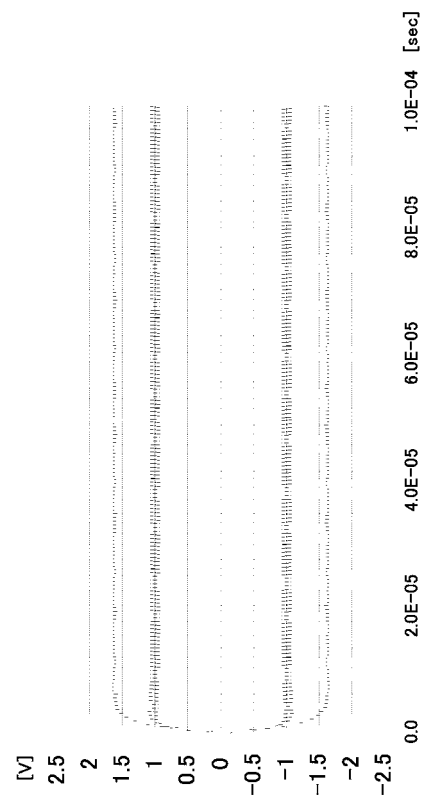
【図 7】



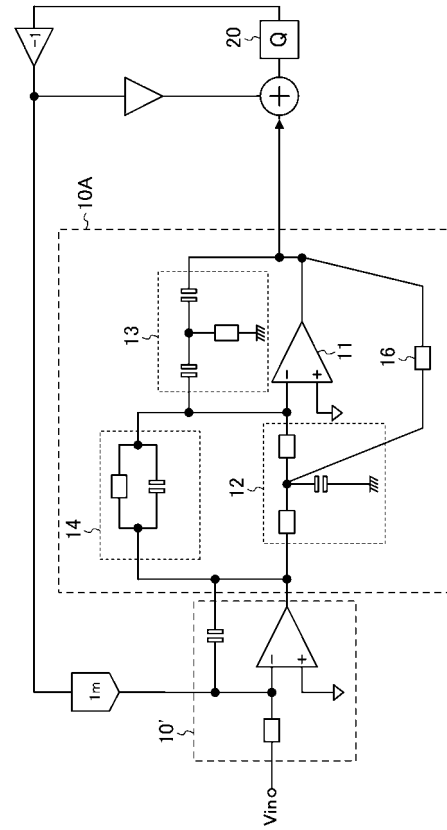
【図 8】



【図 9】



【図 1 1】



フロントページの続き

- (74)代理人 100117710
弁理士 原田 智雄
- (74)代理人 100121728
弁理士 井関 勝守
- (74)代理人 100124671
弁理士 関 啓
- (74)代理人 100131060
弁理士 杉浦 靖也
- (74)代理人 100131200
弁理士 河部 大輔
- (74)代理人 100131901
弁理士 長谷川 雅典
- (74)代理人 100132012
弁理士 岩下 嗣也
- (74)代理人 100141276
弁理士 福本 康二
- (74)代理人 100143409
弁理士 前田 亮
- (74)代理人 100157093
弁理士 間脇 八蔵
- (74)代理人 100163186
弁理士 松永 裕吉
- (74)代理人 100163197
弁理士 川北 憲司
- (74)代理人 100163588
弁理士 岡澤 祥平
- (72)発明者 道正 志郎
大阪府門真市大字門真1006番地 パナソニック株式会社内
- (72)発明者 森江 隆史
大阪府門真市大字門真1006番地 パナソニック株式会社内
- (72)発明者 松川 和生
大阪府門真市大字門真1006番地 パナソニック株式会社内
- (72)発明者 三谷 陽介
大阪府門真市大字門真1006番地 パナソニック株式会社内
- (72)発明者 高山 雅夫
大阪府門真市大字門真1006番地 パナソニック株式会社内

審査官 北村 智彦

- (56)参考文献 特開平07-231258 (JP, A)
特開平06-164416 (JP, A)
特開昭50-040257 (JP, A)
特表2005-520455 (JP, A)
特開平07-162270 (JP, A)
特開2006-109059 (JP, A)
特開2004-304494 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H03M3/00-11/00