

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-103637

(P2004-103637A)

(43) 公開日 平成16年4月2日(2004.4.2)

(51) Int.Cl.⁷

H01L 29/786
H01L 21/8238
H01L 27/092
H01L 29/78

F I

H01L 29/78 618F
H01L 29/78 653D
H01L 29/78 617T
H01L 29/78 626A
H01L 27/08 321C

テーマコード (参考)

5F048
5F110

審査請求 未請求 請求項の数 27 O L (全 30 頁) 最終頁に続く

(21) 出願番号 特願2002-259767 (P2002-259767)

(22) 出願日 平成14年9月5日(2002.9.5)

(71) 出願人 503121103

株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目4番1号

(74) 代理人 100080001

弁理士 筒井 大和

(72) 発明者 藤岡 美緒

東京都小平市上水本町五丁目20番1号
株式会社日立製作所半導体グループ内

(72) 発明者 蒲原 史朗

東京都小平市上水本町五丁目20番1号
株式会社日立製作所半導体グループ内

最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

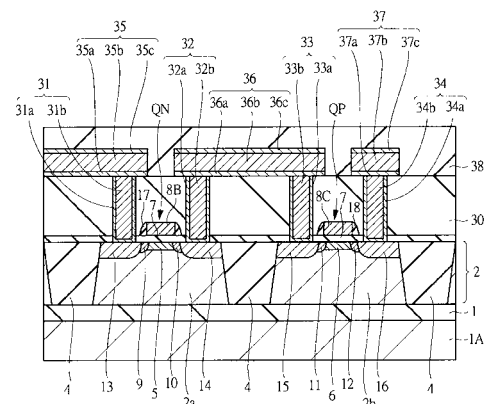
(57) 【要約】

【課題】電界効果トランジスタのゲート絶縁膜に酸化シリコンより誘電率が高いhigh-k材料を使用した場合に生ずるキャリアの移動度の低下を抑制または防止する。

【解決手段】high-k材料で形成されるゲート絶縁膜7を有するNMISQNとPMISQPにおいて、その動作時にチャンネルがゲート絶縁膜7とP型半導体層2aまたはN型半導体層2bとの接触界面よりも深い位置に形成されるようにする。NMISQNにおいては、ゲート電極8Bの直下のP型半導体層2aの表層にN型半導体層5を形成し、PMISQPにおいては、ゲート電極8Cの直下のN型半導体層2bにP型半導体層6を形成することで埋込チャンネルが形成されるようにした。

【選択図】 図1

図 1



【特許請求の範囲】

【請求項 1】

- (a) 第 1 導電型の第 1 半導体層と、
- (b) 前記第 1 半導体層上に形成され、酸化シリコンより高い誘電率の材料を含むゲート絶縁膜と、
- (c) 前記ゲート絶縁膜上に形成されたゲート電極と、
- (d) 前記ゲート電極直下の前記第 1 半導体層内に形成され、前記第 1 導電型とは異なる第 2 導電型にされた第 2 半導体層とを備えることを特徴とする半導体装置。

【請求項 2】

- (a) 絶縁層と、
- (b) 前記絶縁層上に形成された第 1 導電型の第 1 半導体層と、
- (c) 前記第 1 半導体層上に形成され、酸化シリコンより高い誘電率の材料を含むゲート絶縁膜と、
- (d) 前記ゲート絶縁膜上に形成されたゲート電極と、
- (e) 前記ゲート電極直下の前記第 1 半導体層内に形成され、前記第 1 導電型とは異なる第 2 導電型にされた第 2 半導体層とを備えることを特徴とする半導体装置。

【請求項 3】

- (a) 絶縁層と、
- (b) 前記絶縁層上に形成された第 1 導電型の第 1 半導体層と、
- (c) 前記第 1 半導体層上に形成され、酸化シリコンより高い誘電率の材料を含むゲート絶縁膜と、
- (d) 前記ゲート絶縁膜上に形成されたゲート電極と、
- (e) 前記第 1 半導体層の前記ゲート電極の直下に形成された第 1 の領域と、
- (f) 前記第 1 半導体層の前記第 1 の領域の両側に形成された第 2 の領域とを有する電界効果トランジスタを備え、
前記電界効果トランジスタのチャンネルが、前記第 1 の領域において、前記ゲート絶縁膜と前記第 1 半導体層との界面から離れた位置に形成されるようにしたことを特徴とする半導体装置。

【請求項 4】

- (a) 絶縁層と、
- (b) 前記絶縁層上に形成された第 1 導電型の第 1 半導体層と、
- (c) 前記第 1 半導体層上に形成され、酸化シリコンより高い誘電率の材料を含むゲート絶縁膜と、
- (d) 前記ゲート絶縁膜上に形成されたゲート電極と、
- (e) 前記第 1 半導体層の前記ゲート電極の直下に形成された第 1 の領域と、
- (f) 前記第 1 半導体層の前記第 1 の領域の両側に形成されたソースおよびドレイン用の第 2 の領域とを有する電界効果トランジスタを備え、
前記電界効果トランジスタの動作時に前記第 1 の領域に埋込チャンネルが形成されるようにしたことを特徴とする半導体装置。

【請求項 5】

- (a) 絶縁層と、
- (b) 前記絶縁層上に形成された第 1 導電型の第 1 半導体層と、
- (c) 前記第 1 半導体層上に形成され、酸化シリコンより高い誘電率の材料を含むゲート絶縁膜と、
- (d) 前記ゲート絶縁膜上に形成されたゲート電極と、
- (e) 前記第 1 半導体層の前記ゲート電極の直下に形成された第 1 の領域と、
- (f) 前記第 1 半導体層の前記第 1 の領域の両側に形成された第 2 の領域とを有する電界効果トランジスタを備え、
前記第 1 の領域の一部が、前記電界効果トランジスタの非動作時に空乏化していることを特徴とする半導体装置。

10

20

30

40

50

【請求項 6】

(a) 絶縁層と、
(b) 前記絶縁層上に形成された第 1 導電型の第 1 半導体層と、
(c) 前記第 1 半導体層上に形成され、酸化シリコンより高い誘電率の材料を含むゲート絶縁膜と、
(d) 前記ゲート絶縁膜上に形成されたゲート電極と、
(e) 前記第 1 半導体層の前記ゲート電極の直下に形成された第 1 の領域と、
(f) 前記第 1 半導体層の前記第 1 の領域の両側に形成された第 2 の領域とを有する電界効果トランジスタを備え、
前記第 1 の領域の全部が、前記電界効果トランジスタの非動作時に空乏化していることを特徴とする半導体装置。 10

【請求項 7】

(a) 柱状の半導体層と、
(b) 前記柱状の半導体層に形成された第 1 の領域と、
(c) 前記柱状の半導体層の前記第 1 の領域の両側に形成された第 2 の領域と、
(d) 前記柱状の半導体層の外周を覆うように形成された絶縁膜であって、酸化シリコンより高い誘電率の材料を含むゲート絶縁膜と、
(e) 前記柱状の半導体層の前記第 1 の領域の外周の少なくとも一部を前記ゲート絶縁膜を介して覆うように形成されたゲート電極とを有する電界効果トランジスタを備え、
前記電界効果トランジスタのチャンネルが、前記第 1 の領域において、前記ゲート絶縁膜と前記柱状の半導体層との界面から離れた位置に形成されるようにしたことを特徴とする半導体装置。 20

【請求項 8】

(a) 柱状の半導体層と、
(b) 前記柱状の半導体層に形成された第 1 の領域と、
(c) 前記柱状の半導体層の前記第 1 の領域の両側に形成されたソースおよびドレイン用の第 2 の領域と、
(d) 前記柱状の半導体層の外周を覆うように形成された絶縁膜であって、酸化シリコンより高い誘電率の材料を含むゲート絶縁膜と、
(e) 前記柱状の半導体層の前記第 1 の領域の外周の少なくとも一部を前記ゲート絶縁膜を介して覆うように形成されたゲート電極とを有する電界効果トランジスタを備え、
前記電界効果トランジスタのチャンネルが、前記柱状の半導体層の中心軸側に形成されるようにしたことを特徴とする半導体装置。 30

【請求項 9】

請求項 7 または 8 に記載された半導体装置において、
前記第 1 の領域の全部が、前記電界効果トランジスタの非動作時に空乏化していることを特徴とする半導体装置。

【請求項 10】

請求項 1～9 のいずれか一項に記載された半導体装置において、前記ゲート絶縁膜は、酸化アルミニウム、酸化ジルコニウム、酸化ハフニウム、酸化チタン、窒化シリコンまたは酸化タンタルのいずれかを含むことを特徴とする半導体装置。 40

【請求項 11】

請求項 1～10 のいずれか一項に記載された半導体装置において、前記ゲート電極は、N 型ポリシリコン、P 型ポリシリコンまたは金属のいずれかを含むことを特徴とする半導体装置。

【請求項 12】

(a) 第 1 導電型の第 1 半導体層を形成する工程と、
(b) 前記第 1 半導体層の第 1 の領域に第 1 導電型とは異なる第 2 導電型の第 2 半導体層を形成する工程と、
(c) 前記第 2 半導体層上に酸化シリコンより高い誘電率の材料を含むゲート絶縁膜を形 50

成する工程と、

(d) 前記ゲート絶縁膜上にゲート電極を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 13】

(a) 絶縁層上に第 1 導電型の第 1 半導体層を形成した基板を用意する工程と、

(b) 前記第 1 半導体層の第 1 の領域に前記第 1 導電型と異なる第 2 導電型の第 2 半導体層を形成する工程と、

(c) 前記第 2 半導体層上に、酸化シリコンより高い誘電率の材料を含むゲート絶縁膜を形成する工程と、

(d) 前記ゲート絶縁膜上にゲート電極を形成する工程とを有することを特徴とする半導体装置の製造方法。 10

【請求項 14】

(a) 絶縁層上に第 1 導電型の第 1 半導体層を形成した基板を用意する工程と、

(b) 前記第 1 半導体層に電界効果トランジスタを形成する工程とを有し、

前記電界効果トランジスタの形成工程は、

(b1) 前記第 1 半導体層上に、酸化シリコンより高い誘電率の材料を含むゲート絶縁膜を形成する工程と、

(b2) 前記ゲート絶縁膜上にゲート電極を形成する工程と、

(b3) 前記第 1 半導体層の前記ゲート電極の直下の第 1 の領域の両側に所定の不純物を導入することにより、前記第 1 導電型とは異なる第 2 導電型の第 2 の領域を形成する工程と、 20

(b4) 前記電界効果トランジスタのチャンネルが、前記第 1 の領域において、前記ゲート絶縁膜と前記第 1 半導体層との界面から離れた位置に形成されるように前記第 1 の領域に不純物を導入する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 15】

(a) 絶縁層上に第 1 導電型の第 1 半導体層を形成した基板を用意する工程と、

(b) 前記第 1 半導体層に電界効果トランジスタを形成する工程とを有し、

前記電界効果トランジスタの形成工程は、

(b1) 前記第 1 半導体層上に、酸化シリコンより高い誘電率の材料を含むゲート絶縁膜を形成する工程と、 30

(b2) 前記ゲート絶縁膜上にゲート電極を形成する工程と、

(b3) 前記第 1 半導体層の前記ゲート電極の直下の第 1 の領域の両側に所定の不純物を導入することにより、前記第 1 導電型とは異なる第 2 導電型の第 2 の領域を形成する工程と、

(b4) 前記電界効果トランジスタのチャンネルが、前記第 1 の領域において、前記ゲート絶縁膜と前記第 1 半導体層との界面から離れた位置に形成されるように前記第 1 の領域に不純物を導入する工程とを有し、

前記第 1 半導体層は、前記電界効果トランジスタの非動作時に前記第 1 の領域の一部が空乏化されるような厚さに形成されていることを特徴とする半導体装置の製造方法。

【請求項 16】 40

(a) 絶縁層上に第 1 導電型の第 1 半導体層を形成した基板を用意する工程と、

(b) 前記第 1 半導体層に電界効果トランジスタを形成する工程とを有し、

前記電界効果トランジスタの形成工程は、

(b1) 前記第 1 半導体層上に、酸化シリコンより高い誘電率の材料を含むゲート絶縁膜を形成する工程と、

(b2) 前記ゲート絶縁膜上にゲート電極を形成する工程と、

(b3) 前記第 1 半導体層の前記ゲート電極の直下の第 1 の領域の両側に所定の不純物を導入することにより、前記第 1 導電型とは異なる第 2 導電型の第 2 の領域を形成する工程と、

(b4) 前記電界効果トランジスタのチャンネルが、前記第 1 の領域において、前記ゲート 50

絶縁膜と前記第1半導体層との界面から離れた位置に形成されるように前記第1の領域に不純物を導入する工程とを有し、

前記第1半導体層は、前記電界効果トランジスタの非動作時に前記第1の領域の全部が空乏化されるような厚さに形成されていることを特徴とする半導体装置の製造方法。

【請求項17】

絶縁層上に形成された柱状の半導体層に電界効果トランジスタを形成する工程を有し、前記電界効果トランジスタの形成工程は、

(a) 第1の領域の両側に第2の領域を有する前記柱状の半導体層を形成する工程と、
(b) 前記柱状の半導体層の表面に、酸化シリコンより高い誘電率の材料を含むゲート絶縁膜を形成する工程と、

(c) 前記第1の領域の外周の少なくとも一部を覆うように前記ゲート絶縁膜を介してゲート電極を形成する工程と、

(d) 前記電界効果トランジスタのチャンネルが、前記第1の領域において、前記ゲート絶縁膜と前記半導体層との界面から離れた位置に形成されるように前記第1の領域に不純物を導入する工程とを有することを特徴とする半導体装置の製造方法。

【請求項18】

(a) 第1導電型の第1半導体層に形成され、第1導電型とは異なる第2導電型にされたソース領域およびドレイン領域と、

(b) 前記第1半導体層に形成され、前記ソース領域と前記ドレイン領域とに挟まれ、且つ、前記第2導電型にされた第2半導体層と、

(c) 前記第1半導体層上に形成され、酸化シリコンより高い誘電率を有するゲート絶縁膜と、

(d) 前記第2半導体層上に、前記ゲート絶縁膜を介して形成されたゲート電極とを備え、

前記ゲート電極への電圧印加時に、前記第1半導体層と前記ゲート絶縁膜との界面領域よりも先に前記第1半導体層と前記第2半導体層の界面領域に、前記ソース領域と前記ドレイン領域とを導通させるチャンネルが形成されることを特徴とする半導体装置。

【請求項19】

(a) 絶縁層と、

(b) 前記絶縁層上に形成された第1半導体層と、

(c) 前記第1半導体層に形成されたMISFETと、

を有し、

前記MISFETは、

(c1) 前記第1半導体層に、前記第1半導体層の表面から前記絶縁層にかけて形成されたソース領域およびドレイン領域と、

(c2) 前記半導体層の前記ソース領域およびドレイン領域の間に、前記ソース領域およびドレイン領域よりも低い濃度で、かつ、前記ソース領域およびドレイン領域と同じ導電型にされた半導体層であって、前記第1半導体層の表面から前記絶縁層にかけて形成された第2半導体層と、

(c3) 前記第1半導体層上に形成され、酸化シリコンより高い誘電率を有するゲート絶縁膜と、

(c4) 前記第2半導体層上に、前記ゲート絶縁膜を介して形成されたゲート電極とを備え、

前記ゲート電極への電圧印加時に、前記第2半導体層と前記ゲート絶縁膜との界面領域よりも先に前記第2半導体層と前記絶縁層の界面領域に、前記ソース領域と前記ドレイン領域とを導通させるチャンネルが形成されることを特徴とした半導体装置。

【請求項20】

請求項19に記載された半導体装置において、

前記第1半導体層の厚さは、50nmよりも薄く形成されていることを特徴とする半導体装置。

10

20

30

40

50

【請求項 2 1】

円柱状に形成された、少なくとも 3 つの半導体層を有する M I S F E T であって、前記 M I S F E T は、

- (a) 前記半導体層の 1 層であり、前記半導体層の底面を含むソース領域と、
 - (b) 前記半導体層の他の 1 層であり、前記半導体層の他方の底面を含み、且つ、前記ソース領域と同一導電型のドレイン領域と、
 - (c) 前記半導体層の他の 1 層であり、前記ソース領域と前記ドレイン領域に挟まれ、前記ソース領域および前記ドレイン領域よりも低い濃度にされ、かつ、前記ソース領域およびドレイン領域と同一導電型の第 2 半導体層と、
 - (d) 前記半導体層側面に、前記第 2 半導体層を囲んで形成され、且つ、酸化シリコンより高い誘電率を有するゲート絶縁膜と、
 - (e) 前記ゲート絶縁膜を介して形成されたゲート電極とを有し、
- 前記ゲート電極への電圧印加時に、前記第 2 半導体層と前記ゲート絶縁膜との界面領域よりも先に前記第 2 半導体層の中心に、前記ソース領域と前記ドレイン領域とを導通させるチャンネルが形成されることを特徴とした半導体装置。

【請求項 2 2】

請求項 1 9、2 0 または 2 1 に記載された半導体装置であって、前記 M I S F E T が O F F 状態において、前記第 1 半導体層は完全空乏化されていることを特徴とする半導体装置。

【請求項 2 3】

請求項 1 8 ～ 2 2 のいずれか一項に記載された半導体装置において、前記ソース領域および前記ドレイン領域は、それぞれ、低濃度不純物領域と高濃度不純物領域を有し、前記低濃度不純物領域は、前記高濃度不純物領域よりも前記ゲート電極に近い位置に形成されていることを特徴とする半導体装置。

【請求項 2 4】

請求項 1 8 ～ 2 3 のいずれか一項に記載された半導体装置において、前記ゲート電極は、N 型ポリシリコンまたは P 型ポリシリコンで形成されていることを特徴とする半導体装置。

【請求項 2 5】

請求項 1 8 ～ 2 3 のいずれか一項に記載された半導体装置において、前記ゲート電極は、モリブデン、タングステンまたはコバルトのいずれかを含む膜で形成されていることを特徴とする半導体装置。

【請求項 2 6】

請求項 1 ～ 9 のいずれか一項に記載された半導体装置において、前記ゲート絶縁膜は、酸化アルミニウム、酸化ジルコニウム、酸化ハフニウム、酸化チタン、窒化シリコンまたは酸化タンタルのいずれかを含むことを特徴とする半導体装置。

【請求項 2 7】

- (a) 絶縁層と、
 - (b) 前記絶縁層上に形成された半導体層と、
 - (c) 前記半導体層を、第 1 導電型の第 1 半導体層とこれとは反対の導電型の第 2 導電型の第 3 半導体層とに分離する素子分離領域と、
 - (d) 前記第 1 半導体層に形成された第 1 M I S F E T と、
 - (e) 前記第 3 半導体層に形成された第 2 M I S F E T と、
- を有し、
- 前記第 1 M I S F E T は、
- (d 1) 前記第 1 半導体層に形成された前記第 2 導電型の第 1 ソース領域および第 1 ドレイン領域と、
 - (d 2) 前記第 1 半導体層において、前記第 1 ソース領域と前記第 1 ドレイン領域に挟まれ、且つ、前記第 2 導電型の第 4 半導体層と、

(d3) 前記第1半導体層上に形成され、酸化シリコンより高い誘電率を有するゲート絶縁膜と、

(d4) 前記第4半導体層上に、前記ゲート絶縁膜を介して形成された第1ゲート電極とを備え、

前記第2MISFETは、

(e1) 前記第3半導体層に形成された前記第1導電型の第2ソース領域および第2ドレイン領域と、

(e2) 前記第2半導体層において、前記第2ソース領域と前記第2ドレイン領域に挟まれ、且つ、前記第1導電型の第5半導体層と、

(e3) 前記第3半導体層上に形成された前記ゲート絶縁膜と、

10

(e4) 前記第5半導体層上に、前記ゲート絶縁膜を介して形成された第2ゲート電極とを備え、

前記第1ゲート電極への電圧印加時に、前記第4半導体層と前記ゲート絶縁膜との界面領域よりも先に前記第4半導体層と前記第1半導体層の界面領域に、前記第1ソース領域と前記第1ドレイン領域とを導通させる第1チャンネルが形成され、

前記第2ゲート電極への電圧印加時に、前記第5半導体層と前記ゲート絶縁膜との界面領域よりも先に前記第5半導体層と前記第3半導体層の界面領域に、前記第2ソース領域と前記第2ドレイン領域とを導通させる第2チャンネルが形成されることを特徴とした半導体装置。

【発明の詳細な説明】

20

【0001】

【発明の属する技術分野】

本発明は、半導体装置およびその製造技術に関し、特に、酸化シリコンより高い誘電率の材料をゲート絶縁膜に使用した半導体装置およびその製造技術に適用して有効な技術に関する。

【0002】

【従来の技術】

例えば特開2000-150668号公報に記載されているように、微細なゲート電極の低抵抗化とゲート空乏化率の改善を主な目的として、ゲート電極に不純物を導入したポリシリコンではなく、金属を用いた例がある。そして、ゲート電極に金属を用いた場合における閾値電圧の上昇を防止するため、埋め込みチャンネル構造を形成して低い閾値電圧を実現している。

30

【0003】

また、現在の半導体装置の製造技術においては、MOS(Metal Oxide Semiconductor)型素子のゲート絶縁膜として酸化シリコン膜(SiO_2)が使用される。近年、半導体装置の高集積化を図るために、MOS型素子の微細化が進められているが、MOS型素子の微細化が進むにつれて、ゲート絶縁膜を薄くする必要がある。

【0004】

しかし、ゲート絶縁膜である酸化シリコン膜を薄くするとトンネル効果により、ゲート電極とチャンネル形成領域との間にトンネル電流が発生し、リーク電流が増加する。リーク電流が増加すると、消費電力が増加するという問題点がある。

40

【0005】

このため、酸化膜より高誘電率を有する材料(以下、high-k材料という)を使用することで、同一キャパシタンスを維持しながら、ゲート絶縁膜を厚くしている。ゲート絶縁膜を厚くすると、ゲート電極とチャンネル形成領域との間にトンネル電流が発生しなくなり、上記した問題点を解決することができる。

【0006】

なお、high-k材料をゲート絶縁膜に使用したMOS型素子の例としては、例えばL. Kang et al., IEDM Tech. Dig., 35(2000)に記載されている。

50

【0007】

【発明が解決しようとする課題】

しかし、上記したh i g h - k材料をゲート絶縁膜に使用した場合、ゲート絶縁膜直下に形成されるチャンネル形成領域を流れる電子の移動度が劣化するという問題点がある。すなわち、h i g h - k材料をゲート絶縁膜に使用した場合、ゲート絶縁膜の表面の平坦性が大きく低下し、ゲート絶縁膜に隣接するチャンネル形成領域を流れる電子が散乱を起す。このため、電子の移動度が低下し、チャンネル形成領域を流れる電流が減少するという問題点がある。

【0008】

本発明の目的は、ゲート絶縁膜にh i g h - k材料を使用した場合であっても、チャンネル形成領域を流れる電子の移動度の低下を抑制または防止することができる技術を提供することにある。 10

【0009】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0010】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0011】

本発明は、h i g h - k材料を含むゲート絶縁膜を有する電界効果トランジスタにおいて、その動作時にゲート絶縁膜と半導体との界面よりも深い位置にチャンネルが形成されるようにするものである。 20

【0012】

また、本発明は、(a)第1導電型の不純物を導入した第1半導体層と、(b)前記第1半導体層上に形成され、酸化シリコンより高い誘電率の材料を含むゲート絶縁膜と、(c)前記ゲート絶縁膜上に形成されたゲート電極と、(d)前記ゲート電極直下の前記第1半導体層内にあるチャンネル形成領域に形成された層であって、第1導電型とは異なる導電型の不純物を導入した第2半導体層とを備えるものである。

【0013】

また、本発明は、(a)第1導電型の不純物を導入した第1半導体層を形成する工程と、(b)前記第1半導体層のチャンネル形成領域に第1導電型と異なる導電型の不純物を導入することにより第2半導体層を形成する工程と、(c)前記第2半導体層上に酸化シリコンより高い誘電率の材料を含むゲート絶縁膜を形成する工程と、(d)前記ゲート絶縁膜上にゲート電極を形成する工程とを備えるものである。 30

【0014】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。また、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。また、本実施の形態においては、電界効果トランジスタを代表するM I S・F E T (M e t a l I n s u l a t o r S e m i c o n d u c t o r F i e l d E f f e c t T r a n s i s t o r)をM I Sと略し、Pチャンネル型のM I S・F E TをP M I Sと略し、Nチャンネル型のM I S・F E TをN M I Sと略す。 40

【0015】

(実施の形態1)

本実施の形態1における半導体装置を、図面を参照しながら説明する。図1は、本実施の形態1における半導体装置の構成を示した要部断面図である。図1において、本実施の形態1における半導体装置の素子部は、N型のチャンネルが形成されるN M I S Q NとP型のチャンネルが形成されるP M I S Q Pを有している。

【0016】

半導体基板 1 A は、例えば単結晶シリコン (S i) からなり、この半導体基板 1 A 上に絶縁層 1 が形成されている。絶縁層 1 は、例えば酸化シリコンからなり、この絶縁層 1 上には、N M I S Q N の構成要素である P 型半導体層 2 a および P M I S Q P の構成要素である N 型半導体層 2 b を含む半導体層 (第 1 半導体層の一例) 2 が形成されている。半導体層 2 の厚さは、例えば 1 0 0 n m またはそれ以上である。P 型半導体層 2 a には、例えばボロン (B) 等の P 型不純物が導入されている。N 型半導体層 2 b には、例えばリンまたはヒ素 (A s) 等のような N 型不純物が導入されている。この P 型半導体層 2 a および N 型半導体層 2 b の主面には、それぞれ N M I S Q N および P M I S Q P が形成されている。この N M I S Q N と上記 P M I S Q P とは、素子分離層 4 によって、互いに分離されている。素子分離層 4 は、半導体層 2 に掘られた溝内に、例えば酸化シリコン等からなる絶縁膜が埋め込まれることで形成されている (溝型アイソレーション構造)。この素子分離層 4 の下部は上記絶縁層 1 に達するように形成されており、N M I S Q N と P M I S Q P とは完全に分離された構造とされている。このような S O I (S i l i c o n O n I n s u l a t o r) 構造をとることにより素子間の完全な絶縁分離を図ることができるので、素子の集積密度の向上を図ることができる。また、素子間の完全な絶縁分離を図ることができるため、半導体基板 1 A を介したクロストークやラッチアップ現象などによる誤動作の防止が可能となる。また、接合容量が低減されるため、高速動作、低消費電力の素子を形成することが可能となる。

【0017】

次に、N M I S Q N の構造例を説明すると次の通りである。N M I S Q N は、P 型半導体層 2 a、N 型半導体層 5 (第 2 半導体層の一例)、ゲート絶縁膜 7、ゲート電極 8 B、低濃度 N 型不純物拡散層 (第 2 の領域) 9、1 0、高濃度 N 型不純物拡散層 (第 2 の領域) 1 3、1 4、サイドウォール 1 7 を有している。この N M I S Q N は、絶縁層 1 上に形成されており、S O I (S i l i c o n O n I n s u l a t o r) 構造をしている。なお、半導体層 2 においてソースおよびドレイン用の低濃度 N 型不純物拡散層 (第 2 の領域) 9、1 0 の間のゲート電極 8 B の直下の P 型半導体層 2 a において、その表面から絶縁層 1 に達する領域が第 1 の領域であり、その一部に N M I S Q N のチャンネルが形成される。

【0018】

N M I S Q N のゲート電極 8 B は、例えば N 型のポリシリコンからなり、その両側面にはサイドウォール 1 7 が形成されている。半導体層 2 (P 型半導体層 2 a) において、ゲート電極 8 B の両側に当たる位置には、N M I S Q N のソースおよびドレイン用の半導体領域を構成する低濃度 N 型不純物拡散層 9、1 0 および高濃度 N 型不純物拡散層 1 3、1 4 が形成されている。すなわち、低濃度 N 型不純物拡散層 9 および高濃度 N 型不純物拡散層 1 3 を含むソース領域と、低濃度 N 型不純物拡散層 1 0 および高濃度 N 型不純物拡散層 1 4 を含むドレイン領域とが形成されている。低濃度 N 型不純物拡散層 9、1 0 および高濃度 N 型不純物拡散層 1 3、1 4 には、例えばリン (P) または砒素 (A s) 等のような N 型不純物が導入されているが、N M I S Q N のチャンネル形成領域 (ゲート電極 8 B の直下の P 型半導体層 2 a の動作領域) に近い低濃度 N 型不純物拡散層 9、1 0 は、高濃度 N 型不純物拡散層 1 3、1 4 よりも不純物濃度が低く設定されており、電界集中の緩和によるホットキャリアの発生を低減する機能を有している。

【0019】

また、P 型半導体層 2 a において、ゲート電極 8 B の直下のチャンネル形成領域には、上記 N 型半導体層 5 が上記低濃度 N 型不純物拡散層 9、1 0 に挟まれるように形成されている。N 型半導体層 5 には、例えばリン (P) や砒素 (A s) 等のような N 型不純物が導入されている。N M I S Q N の非動作時 (ゲート電極 8 B に動作電圧を印加していない時) には、ゲート電極 8 B 直下の P 型半導体層 2 a に空乏層が形成されるようになっている。ただし、この空乏層は絶縁層 1 に達するものではなく、空乏層と絶縁層 1 との間にはキャリアの多い中性領域 (P 型半導体層 2 a) が存在する構成となっている (部分空乏型)。このような部分空乏型の S O I では、基板としてバルクを用いた場合に比べて、例えば以下

の効果が得られる。第1に接合容量を低減できる。このため、負荷容量を低減できるので、高速動作、低消費電力のデバイスを開発できる。また、高周波動作時における信号伝達損失を低減できる。第2に、基板バイアス効果を向上させることができる。第3に、しきい値の設定やソースおよびドレインでのシリサイド層の形成でもバルクと同じプロセスを適用できる。一方、NMISQNの動作時（ゲート電極8Bに所定の動作電圧を印加した時）には、N型半導体層5とP型半導体層2aとの境界付近にチャンネルが形成される。すなわち、本実施の形態では、N型半導体層5を設けることにより、電子の通り道であるチャンネルを、ゲート絶縁膜7と半導体層2との接触界面ではなく、その接触界面よりも深い位置に形成することができる（埋込チャンネル）。これによる効果は後述する。

【0020】

ゲート電極8Bと半導体層2（P型半導体層2aのN型半導体層5）との間には、ゲート絶縁膜7が形成されている。ゲート絶縁膜7は、例えば酸化アルミニウム（ Al_2O_3 ）、酸化ジルコニウム（ ZrO_2 ）、酸化ハフニウム（ HfO_2 ）、酸化チタン（ TiO_2 ）、窒化シリコン（ Si_3N_4 ）または酸化タンタル（ Ta_2O_5 ）などのようなhigh-k材料より形成されている。このようにゲート絶縁膜7をhigh-k材料より形成することにより、ゲート絶縁膜7を薄くしなくてもMISの特性を上げるのに必要な容量を稼ぐことができる。したがって、ゲート絶縁膜7の厚さをある程度確保できるので、ゲート電極8Bとチャンネルとの間に生ずるリーク電流を減少させることができる。しかし、ゲート絶縁膜7の材料としてhigh-k材料を使用すると、ゲート絶縁膜7の材料として酸化シリコンを使用した場合に比べて、ゲート絶縁膜7が接する半導体層2の表面の平坦性が低下する。このため、NMISQNのチャンネルがゲート絶縁膜7と半導体層2との界面に形成されるような、いわゆる表面チャンネルが形成されるような構成とすると、チャンネルを流れる電子は、ゲート絶縁膜7と半導体層2との界面の凹凸によって散乱してしまう結果、電子の移動度が低下し、NMISQNの駆動電流量が低下してしまう。これに対して、本実施の形態においては、P型半導体層2aのチャンネル形成領域にN型半導体層5を設け、NMISQNのチャンネルがゲート絶縁膜7と半導体層2との界面ではなく、その界面よりも深い位置に形成されるようにしたことにより、キャリアである電子は、ゲート絶縁膜7と半導体層2との界面の凹凸に邪魔されることなく、散乱してしまうこともなく、埋込チャンネルを移動できる。すなわち、NMISQNのチャンネルを流れる電子の散乱を抑制または防止できるので、その電子の移動度の低下を抑制または防止することができる。

【0021】

図2は、ゲート絶縁膜7をhigh-k材料で形成した表面チャンネル型のNMISにおいて、表面チャンネルに電子が流れる様子を模式的に示している。high-k材料を使用したゲート絶縁膜7と半導体層2との接触界面は、平坦性が低くなっており、凹凸が形成されている。このNMISにおいては、P型半導体層2aの表面にチャンネルが形成されるため、電子がチャンネルを移動する際、電子はゲート絶縁膜7とP型半導体層2aの表面に存在する凹凸によって散乱される。したがって、電子の移動度が低下し、電流が減少する問題が発生する。

【0022】

これに対して図3は、本実施の形態1におけるNMISQNにおいて、埋込チャンネルに電子が流れる様子を模式的に示している。本実施の形態1におけるNMISQNにおいては、ゲート絶縁膜7直下のチャンネル形成領域にN型半導体層5を設けることにより、ゲート電極8Bに電圧を印加したときに、N型半導体層5とP型半導体層2aとの境界付近（界面領域）に埋込チャンネルが形成される。すなわち、図2に示したように電子がゲート絶縁膜7直下を移動するのではなく、図3に示すように、ゲート絶縁膜7直下よりも深い領域に電子が流れる。すなわち、電子は、ゲート絶縁膜7と接しないところを流れるため、ゲート絶縁膜7の表面に存在する凹凸に散乱されることなく、チャンネルを流れることができる。このため、本実施の形態1におけるNMISQNによれば、電子の移動度の低下を抑制または防止することができる。

【0023】

図4は、本実施の形態1におけるNMISQNの要部拡大断面図を示したものであり、図5は、図4中のシリコン表面Aから深さ方向に進んだ所定位置における不純物濃度のプロファイルを示したものである。すなわち、図5は、埋込チャネルを形成するN型半導体層5の不純物濃度分布を示したものである。図5を見て分かるように、表面から $0.2\mu\text{m}$ 付近まで、最大で、 $1.0 \times 10^{18} (1/\text{cm}^3)$ の不純物濃度を有する砒素(As)が導入されているとともに、表面から $0.5\mu\text{m}$ 付近まで、最大で $1.0 \times 10^{17} (1/\text{cm}^3)$ の不純物濃度を有するボロン(B)が導入されていることが分かる。このように不純物を導入することにより、N型半導体層5を形成することができる。

【0024】

次に、上記PMISQPの構成について説明する。図1に示すPMISQPは、N型半導体層2b、P型半導体層6（第2半導体層の一例）、ゲート絶縁膜7、ゲート電極8C、低濃度P型不純物拡散層（第2の領域）11、12、高濃度P型不純物拡散層（第2の領域）15、16、サイドウォール18を有している。なお、半導体層2においてソースおよびドレイン用の低濃度P型不純物拡散層（第2の領域）11、12の間のゲート電極8Cの直下のN型半導体層2bにおいて、その表面から絶縁層1に達する領域が第1の領域であり、その一部にPMISQPのチャンネルが形成される。

【0025】

PMISQPのゲート電極8Cは、例えばP型のポリシリコンからなり、その両側面にはサイドウォール18が形成されている。半導体層2（N型半導体層2b）において、ゲート電極8Cの両側に当たる位置には、PMISQPのソースおよびドレイン用の半導体領域を構成する低濃度P型不純物拡散層11、12および高濃度P型不純物拡散層15、16が形成されている。すなわち、低濃度P型不純物拡散層11および高濃度P型不純物拡散層15を含むソース領域と、低濃度P型不純物拡散層12および高濃度P型不純物拡散層16を含むドレイン領域とが形成されている。低濃度P型不純物拡散層11、12および高濃度P型不純物拡散層15、16には、例えばホウ素(B)等のようなP型不純物が導入されているが、PMISQPのチャンネル形成領域（ゲート電極8Cの直下のN型半導体層2bの動作領域）に近い低濃度P型不純物拡散層11、12は、高濃度P型不純物拡散層15、16よりも不純物濃度が低く設定されており、電界集中の緩和によるホットキャリアの発生を低減する機能を有している。

【0026】

また、N型半導体層2bにおいて、ゲート電極8Bの直下のチャンネル形成領域には、上記P型半導体層6が上記低濃度P型不純物拡散層11、12に挟まれるように形成されている。P型半導体層6には、例えばホウ素(B)等のようなP型不純物が導入されている。PMISQPの非動作時（ゲート電極8Cに動作電圧が印加されていない時）には、ゲート電極8C直下のチャンネル形成領域（N型半導体層2b）に空乏層が形成されるようになっている。ただし、この空乏層は絶縁層1に達するものではなく、空乏層と絶縁層1との間にはキャリアの多い中性領域（N型半導体層2b）が存在する構成となっている（部分空乏型）。このような部分空乏型のSOIでは、基板としてバルクを用いた場合に比べて、上記した効果が得られる。一方、PMISQPの動作時（ゲート電極8Cに所定の動作電圧が印加された時）には、P型半導体層6とN型半導体層2bとの境界付近にチャンネルが形成される。すなわち、本実施の形態では、P型半導体層6を設けることにより、電子の通り道であるチャンネルを、ゲート絶縁膜7と半導体層2との接触界面ではなく、その接触界面よりも深い位置に形成することができる（埋込チャネル）。したがって、PMISQPでも、NMISQNと同様に、ゲート絶縁膜7と半導体層2との接触界面における凹凸に起因するキャリアの散乱を抑制または防止できるので、キャリアの移動度の低下を抑制または防止できる。

【0027】

ゲート電極8Cと半導体層2（N型半導体層2bのP型半導体層6）との間には、ゲート絶縁膜7が形成されている。ゲート絶縁膜7の材料は、上記したhigh-k材料と同じ

10

20

30

40

50

であり、その効果はN M I S Q Nで説明したのと同じなので説明を省略する。また、本実施の形態においては、N型半導体層2bのチャネル形成領域にP型半導体層6を設け、P M I S Q Pの動作時におけるチャネルがゲート絶縁膜7と半導体層2との界面ではなく、その界面よりも深い位置に形成されるようにしたことにより、キャリアである正孔は、ゲート絶縁膜7と半導体層2との界面の凹凸に邪魔されることなく、散乱してしまうことなく、埋込チャネルを移動できる。すなわち、P M I S Q Pのチャネルを流れる正孔の散乱を抑制または防止できるので、その正孔の移動度の低下を抑制または防止することができる。

【0028】

次に、本実施の形態1における半導体装置の配線部について説明する。なお、配線部の説明は、第1配線層までを示し、それ以上の層の説明は省略する。 10

【0029】

図1において、N M I S Q NおよびP M I S Q P上には、例えば酸化シリコンよりなる層間絶縁層30が形成されている。この層間絶縁層30には、N M I S Q Nの高濃度N型不純物拡散層13、14、P M I S Q Pの高濃度P型不純物拡散層15、16に達する孔が形成されている。N M I S Q Nのソース層に達する孔には、窒化チタン膜31a、タングステン膜31bが埋め込まれてプラグ31が形成されており、N M I S Q Nのドレイン層に達する孔には、窒化チタン膜32a、タングステン膜32bが埋め込まれてプラグ32が形成されている。また、P M I S Q Pのソース層に達する孔には、窒化チタン膜33a、タングステン膜33bが埋め込まれてプラグ33が形成されており、P M I S Q Pのド 20
レイン層に達する孔には、窒化チタン膜34a、タングステン膜34bが埋め込まれてプラグ34が形成されている。プラグ31は、窒化チタン膜35a、タングステン膜35b、窒化チタン膜35cよりなる第1層配線35に接続されている。また、プラグ32およびプラグ33は、窒化チタン膜36a、タングステン膜36b、窒化チタン膜36cよりなる第1層配線36に接続されている。したがって、N M I S Q Nのドレイン層とP M I S Q Pのソース層が第1層配線36によって接続されておりC M I S (C o m p l e m e n t a r y M I S)型素子が形成されている。また、プラグ34は、窒化チタン膜37a、タングステン膜37b、窒化チタン膜37cよりなる第1層配線37に接続されている。第1層配線35、第1層配線36、第1層配線37上には、例えば酸化シリコンよりなる層間絶縁層38が形成されている。 30

【0030】

次に、本実施の形態1の半導体装置の製造方法について図6～図12を参照しながら説明する。図6～図12は、本実施の形態1の半導体装置の製造工程中の要部断面図である。

【0031】

まず、図6に示すように、シリコンよりなる半導体基板1A上に、熱酸化法を使用して酸化シリコンよりなる絶縁層1を形成する。次に、例えばP型不純物であるボロン(B)を含有する半導体基板を、半導体基板1Aの絶縁層1を形成した面に貼り合わせて熱処理をした後、例えばCMP (C h e m i c a l M e c h a n i c a l P o l i s h i n g) 技術により所定の厚さ(例えば100nmまたはそれ以上の厚さ)になるまで研磨することにより、半導体層2(第1半導体層の一例)を形成する。 40

【0032】

続いて、半導体層2上にCVD法を使用して窒化シリコン膜を形成した後、フォトリソグラフィ技術およびエッチング技術を使用して、窒化シリコン膜をパターンニングする。その後、パターンニングした窒化シリコン膜をマスクとして半導体層2のエッチングを行い、素子分離溝を形成する。そして、素子分離溝を形成した半導体層2上に、CVD法を使用して酸化シリコン膜を堆積する。

【0033】

次に、CMP技術を使用して素子分離溝以外に堆積した酸化シリコン膜を除去し、半導体層2の領域を分離する素子分離層4を形成する。続いて、半導体層2および素子分離層4上にレジスト膜を塗布し、露光、現像することによりパターンニングする。このパターニン 50

グでは、PMIS形成領域が露出され、それ以外の領域が覆われるようなレジストパターンを形成する。そして、レジストパターンから露出した領域にイオン注入法を使用して、例えばN型不純物であるリン(P)や砒素(As)を半導体層2に注入することにより、N型半導体層2b(第1半導体層の一例)を形成する。このようにして、いわゆるSOI(Silicon On Insulator)構造を形成することができる。

【0034】

次に、図7に示すように、フォトリソグラフィ技術およびイオン注入法を使用してP型半導体層2aにN型不純物である砒素を注入した後、熱処理を施すことによりN型半導体層5(第2半導体層の一例)を形成する。同様に、フォトリソグラフィ技術およびイオン注入法を使用してN型半導体層2bにP型不純物であるボロンを注入した後、熱処理を施すことによりP型半導体層6(第2半導体層の一例)を形成する。 10

【0035】

続いて、図8に示すように、CVD法を使用して酸化シリコンより誘電率が高いhigh-k材料からなるゲート絶縁膜7をCVD法等により形成した後、CVD法を使用して、ポリシリコン膜8Aを堆積する。酸化シリコンより誘電率が高いhigh-k材料としては、例えば Al_2O_3 、 ZrO_2 、 HfO_2 、 TiO_2 、 Si_3N_4 または Ta_2O_5 などが挙げられる。なお、ゲート絶縁膜7としてhigh-k材料を使用する例を示したが、ゲート絶縁膜7は、high-k膜と酸化シリコン膜の積層膜であってもよい。その後、フォトリソグラフィ技術およびイオン注入法を使用して、NMISQN形成領域のポリシリコン膜8AにN型不純物であるリンや砒素などを注入する。同様に、フォトリソグラフィ技術およびイオン注入法を使用してPMISQP形成領域のポリシリコン膜8AにP型不純物であるボロンを注入する。ポリシリコン膜8Aの不純物は、それを堆積するときに導入しても良い。続いて、フォトリソグラフィ技術およびエッチング技術を使用してポリシリコン膜8Aをパターニングし、図9に示すように、N型不純物を含むゲート電極8B、P型不純物を含むゲート電極8Cを形成する。 20

【0036】

次に、図10に示すように、フォトリソグラフィ技術およびイオン注入法を使用することにより、N型不純物を注入して低濃度N型不純物拡散層9、10を形成した後、同様にフォトリソグラフィ技術およびイオン注入法を使用して、P型不純物を注入した低濃度P型不純物拡散層11、12を形成する。 30

【0037】

続いて、CVD法を使用してゲート絶縁膜7およびゲート電極8B、8C上に窒化シリコン膜または酸化シリコン膜を堆積した後、異方性エッチングによりエッチバックをすることにより、図11に示すサイドウォール17、18を形成する。そして、フォトリソグラフィ技術およびイオン注入法を使用することにより、N型不純物を注入し高濃度N型不純物拡散層13、14を形成する。同様に、フォトリソグラフィ技術およびイオン注入法を使用することによりP型不純物を注入し高濃度P型不純物拡散層15、16を形成する。

【0038】

次に、図12に示すように、ゲート絶縁膜7およびゲート電極8B、8C上に、CVD法を使用して酸化シリコンよりなる層間絶縁層30を形成後、NMISQNのソース層およびドレイン層に達する貫通孔を形成するとともにPMISQPのソース層およびドレイン層に達する貫通孔を形成する。 40

【0039】

続いて、形成した貫通孔にスパッタリング法を使用して窒化チタン膜31a、32a、33a、34aを形成した後、CVD法を使用してタングステン膜31b、32b、33b、34bを形成する。その後、CMP研磨を施すことにより、プラグ31、32、33、34を形成する。

【0040】

次に、図1に示すように、層間絶縁層30およびプラグ31、32、33、34上にスパッタリング法を使用して窒化チタン膜を形成後、CVD法を使用してタングステン膜を形 50

成し、その後再びスパッタリング法を使用して窒化チタン膜を形成する。続いて、フォトリソグラフィ技術およびエッチング技術を使用して、窒化チタン膜 35 a、タングステン膜 35 b、窒化チタン膜 35 c よりなる第 1 層配線 35、窒化チタン膜 36 a、タングステン膜 36 b、窒化チタン膜 36 c よりなる第 1 層配線 36、窒化チタン膜 37 a、タングステン膜 37 b、窒化チタン膜 37 c よりなる第 1 層配線 37 を形成する。その後、第 1 層配線 35、第 1 層配線 36、第 1 層配線 37 上に、CVD 法を使用して酸化シリコンよりなる層間絶縁層 38 を形成する。このようにして、本実施の形態 1 における半導体装置を製造することができる。

【0041】

(実施の形態 2)

10

本実施の形態 2 では、前記実施の形態 1 における半導体装置を前記実施の形態 1 で述べた製造方法と異なる方法で製造する場合について説明する。図 13～図 24 は本実施の形態 2 の半導体装置の製造工程中の要部断面図である。

【0042】

まず、前記実施の形態 1 で述べた方法と同様にして、図 13 に示すように半導体基板 1 A 上に絶縁層 1 を形成し、この絶縁層 1 上に素子分離層 4 で分離された P 型半導体層 2 a および N 型半導体層 2 b を形成する。

【0043】

次に、図 14 に示すように P 型半導体層 2 a、N 型半導体層 2 b および素子分離層 4 上に熱酸化法を使用して酸化シリコン膜よりなるダミーゲート絶縁膜 21 を形成する。そして、ダミーゲート絶縁膜 21 上に CVD 法を使用してポリシリコン膜 22 A を堆積する。その後、フォトリソグラフィ技術およびエッチング技術を使用して、ポリシリコン膜 22 A をパターニングすることにより、図 15 に示すようにダミーゲート電極 22 を形成する。ここで、ポリシリコン膜 22 A の代わりに窒化シリコン膜を堆積させてもよい。

20

【0044】

続いて、図 16 に示すように、フォトリソグラフィ技術およびイオン注入法を使用して例えば N 型不純物であるリンや砒素を P 型半導体層 2 a に注入した後、熱処理を施すことにより低濃度 N 型不純物拡散層 9、10 を形成する。同様に、フォトリソグラフィ技術およびイオン注入法を使用して P 型不純物であるボロンを N 型半導体層 2 b に注入した後、熱処理を施すことにより低濃度 P 型不純物拡散層 11、12 を形成する。

30

【0045】

その後、ダミーゲート絶縁膜 21 およびダミーゲート電極 22 上に CVD 法を使用して窒化シリコン膜を形成し、異方性エッチングを行うことにより図 17 に示すサイドウォール 17、18 を形成する。

【0046】

次に、フォトリソグラフィ技術およびイオン注入法を使用することにより、N 型不純物であるリンや砒素を注入した後に熱処理を施すことにより高濃度 N 型不純物拡散層 13、14 を形成する。同様にフォトリソグラフィ技術およびイオン注入法を使用することにより、P 型不純物であるボロンを注入した後に熱処理を施すことにより高濃度 P 型不純物拡散層 15、16 を形成する。

40

【0047】

続いて、図 18 に示すように、半導体層 2 の素子形成面上に CVD 法を使用して酸化シリコン膜 23 を堆積した後、CMP 技術を使用して、ダミーゲート電極 22 の表面が露出される程度まで酸化シリコン膜 23 を研磨する。そして、図 19 に示すように、フォトリソグラフィ技術およびエッチング技術を使用して、ダミーゲート電極 22 を除去する。その後、図 20 に示すように、ダミーゲート絶縁膜 21 および酸化シリコン膜 23 上にレジスト膜を塗布した後、露光、現像することによりレジスト膜のパターニングを行う。このパターニングでは、NMISQN 形成領域にレジスト膜が残らないようにする。次に、イオン注入法を使用して、NMISQN 形成領域に N 型不純物であるリンや砒素を打ち込む。打ち込まれたリンや砒素は、P 型半導体層 2 a のチャンネル形成領域に注入され、その後の

50

熱処理によって埋込チャネルを形成するためのN型半導体層5が形成される。

【0048】

次に、パターニングされたレジスト膜を除去した後、ダミーゲート絶縁膜21および酸化シリコン膜23上にレジスト膜を塗布した後、露光、現像することによりレジスト膜のパターニングを行う。このパターニングは、PMISQP形成領域にレジスト膜が残らないようにする。次に、イオン注入法を使用して、PMISQP形成領域にP型不純物であるボロンを打ち込む。打ち込まれたボロンは、N型半導体層2bのチャネル形成領域に注入され、その後の熱処理によって埋込チャネルを形成するためのP型半導体層6が形成される。

【0049】

続いて、レジスト膜を除去した後、図21に示すように、露出しているダミーゲート絶縁膜21をエッチングにより除去する。そして、図22に示すように、CVD法を使用して酸化シリコンより高い誘電率を有するhigh-k材料からなるhigh-k膜7AをCVD法等によって堆積する。酸化シリコンより高い誘電率を有するhigh-k材料としては、例えば Al_2O_3 、 ZrO_2 、 HfO_2 、 TiO_2 、 Si_3N_4 または Ta_2O_5 などが挙げられる。

【0050】

次に、図23に示すように、CVD法を使用してhigh-k膜7A上にポリシリコン膜8Aを堆積した後、フォトリソグラフィ技術およびイオン注入法を使用して、NMISQN形成領域のポリシリコン膜8AにN型不純物であるリンや砒素などを注入する。同様に、フォトリソグラフィ技術およびイオン注入法を使用してPMISQP形成領域のポリシリコン膜8AにP型不純物であるボロンを注入する。

【0051】

続いて、図24に示すように、CMP技術を使用してhigh-k膜7Aおよびポリシリコン膜8Aを研磨することにより、ゲート絶縁膜7、N型不純物が注入されたゲート電極8B、P型不純物が注入されたゲート電極8Cを形成する。ゲート電極8B、8Cとして、ポリシリコンを使用する例を示したが、高い熱処理を伴う拡散層形成後にゲート電極を形成するため、例えばタングステン(W)、モリブデン(Mo)、コバルト(Co)などの金属を使用してもよい。この時、高温の熱処理を必要とする拡散層の形成が終わっているため、ゲート電極8Cに比較的融点の低い金属膜を用いたとしても、金属が融解する等の不良が発生することなく形成することができる。

【0052】

この後の工程は、実施の形態1で説明した内容と同じため省略する。このように本実施の形態2における半導体装置の製造方法によっても、前記実施の形態1における半導体装置を製造することができる。

【0053】

(実施の形態3)

図25は、本実施の形態3における半導体装置の要部断面図である。

【0054】

本実施の形態3では、NMISQNおよびPMISQPの非動作時に、ゲート電極8B、8C直下の半導体層2(N型半導体層5およびP型半導体層6)が完全に空乏化されるようになっている。すなわち、ゲート電極8B、8C直下の半導体層2では、半導体層2の主面から絶縁層1に到るまで完全に空乏化されるようになっている(完全空乏型)。このため、半導体層2は前記実施の形態1よりも薄く形成されており、その厚さは、例えば50nmまたはそれよりも薄く形成されている。このような完全空乏型のSOIでは、基板としてバルクを用いた場合または部分空乏型のSOIに比べて、例えば以下の効果が得られる。第1にバルクを使用した場合に比べて接合容量を低減できる。このため、負荷容量を低減できるので、高速動作、低消費電力のデバイスを開発でき、また、高周波動作時における信号伝達損失を低減できる。第2に、バルクを使用した場合に比べて基板バイアス効果を向上させることができる。第3に、部分空乏型に比べてサブスレッショルド係数を

10

20

30

40

50

小さくすることができる。このため、同一のオフ電流を想定した場合、完全空乏型では、部分空乏型やバルクに比べて、しきい値電圧を0.1V程度小さくすることができ、低電圧動作の半導体装置における速度性能の向上を図ることができる。第4に、部分空乏型に比べて基板浮遊効果を小さくすることができる。このため、MISの動作安定性を向上させることができるので、回路およびレイアウトの設計を容易にすることができる。

【0055】

また、NMISQNのソースおよびドレイン用の低濃度N型不純物拡散層9、10および高濃度N型不純物拡散層（第2の領域）13、14と、PMISQPのソースおよびドレイン用の低濃度P型不純物拡散層11、12および高濃度P型不純物拡散層（第2の領域）15、16が半導体層2の表面から絶縁層1に達するまでに広がって形成されている。 10

【0056】

これ以外の構成は、前記実施の形態1、2と同様である。例えば本実施の形態3でも、ゲート絶縁膜7は、前記実施の形態1、2と同様にhigh-k材料を含む構成とされている。また、本実施の形態3においても、NMISQNおよびPMISQPの動作時には、キャリア（電子または正孔）の通り道であるチャンネルが、ゲート絶縁膜7と半導体層2との接触界面ではなく、その接触界面よりも深い位置、ここでは絶縁層1と半導体層2との界面近傍に形成されるようになっている（埋込チャンネル）。したがって、本実施の形態3のような完全空乏型のSOI構造を有する半導体装置でも、NMISQNおよびPMISQPのキャリア（電子または正孔）は、ゲート絶縁膜7と半導体層2との界面の凹凸に邪魔されることなく、また散乱してしまうこともなく、埋込チャンネルを移動できる。すなわち、NMISQNおよびPMISQPのチャンネルを流れるキャリアの散乱を抑制または防止できるので、そのキャリアの移動度の低下を抑制または防止することができる。 20

【0057】

次に、本実施の形態3における半導体装置の製造方法を説明する。

【0058】

まず、前記実施の形態1で述べた方法と同様にして、図26に示すように半導体基板1A上に絶縁層1を形成し、この絶縁層1上に素子分離層4で分離された厚さが約50nmまたはそれより薄い半導体層2を形成する。このようにして、いわゆるSOI構造を形成することができる。 30

【0059】

次に、図27に示すように、PMIS形成領域をレジスト膜24で覆った後、イオン注入法を使用してP型半導体層2にN型不純物であるリンまたは砒素を注入する。そして、熱処理を施すことにより埋込チャンネルが形成されるN型半導体層5を形成する。本実施の形態においてN型半導体層5は、半導体層2の主面から絶縁層1に達するまでに及んで形成されている。ここで、イオン注入法では、深さ方向の厚さに応じて横方向の長さが制御される。すなわち、イオンを注入する深さ方向の厚さが薄ければ、それに応じてイオンが注入される横方向の長さも小さくすることができる。したがって、本実施の形態では、N型半導体層5の厚さが、例えば50nm以下というように薄く形成されているので、イオン注入法によって形成されるN型半導体層5の横方向の長さも短くすることができる。このため、NMISの微細化が可能となる。 40

【0060】

続いて、レジスト膜24を除去した後、図28に示すように、NMIS形成領域をレジスト膜25で覆った後、イオン注入法を使用して半導体層2にP型不純物であるボロンを注入する。そして、熱処理を施すことにより埋込チャンネルが形成されるP型半導体層6を形成する。本実施の形態においてP型半導体層6は、半導体層2の主面から絶縁層1に達するまでに及んで形成されている。上記NMISと同様PMIS側でも微細化が可能である。

【0061】

次に、レジスト膜25を除去した後、図29に示すように、N型半導体層5およびP型半導体層6を含む半導体層2および素子分離層4上にCVD法を使用して、酸化シリコンよ 50

り高い誘電率を有するhigh-k材料からなるゲート絶縁膜7を堆積する。そして、このゲート絶縁膜7上にCVD法を使用して、ポリシリコン膜8Aを形成した後、フォトリソグラフィ技術およびイオン注入法を使用してNMISQN形成領域上に形成されたポリシリコン膜8AにN型不純物であるリンや砒素を注入する。同様に、フォトリソグラフィ技術およびイオン注入法を使用してPMISQP形成領域上に形成されたポリシリコン膜8AにP型不純物であるボロンを注入する。

【0062】

その後、フォトリソグラフィ技術およびエッチング技術を使用してポリシリコン膜8Aをパターンニングして、図30に示すゲート電極8B、8Cを形成する。続いて、フォトリソグラフィ技術およびイオン注入法を使用して、低濃度N型不純物拡散層9、10および低濃度P型不純物拡散層11、12を形成する。 10

【0063】

次に、ゲート絶縁膜7上およびゲート電極8B、8C上にCVD法を使用して窒化シリコン膜を形成した後、異方性エッチングをすることにより、図25に示したサイドウォール17、18を形成する。そして、フォトリソグラフィ技術およびイオン注入法を使用することにより、N型不純物を注入し高濃度N型不純物拡散層13、14を形成する。同様に、フォトリソグラフィ技術およびイオン注入法を使用することによりP型不純物を注入し高濃度P型不純物拡散層15、16を形成する。図31に、上記工程を経た本実施の形態3における半導体装置を上部から眺めた要部平面図を示す。図31において、NMISQNは、高濃度N型不純物拡散層13、14の間に、サイドウォール17が付いたゲート電極8Bがあり、PMISQPは、高濃度P型不純物拡散層15、16の間にサイドウォール18が付いたゲート電極8Cがあることが分かる。そして、NMISQNとPMISQPは、その周囲全体が素子分離層4によって、分離されていることが分かる。この後の工程は、前記実施の形態1と同じなので省略する。このようにして本実施の形態3における半導体装置を形成することができる。 20

【0064】

次に、本実施の形態3における半導体装置の変形例について説明する。図32は、変形例における半導体装置の構成を示した要部斜視図である。また、図33は図32のY1-Y1線の断面図を示し、図34は図32のX1-X1線の断面図を示している。半導体基板1A上には、絶縁層1が形成されており、この絶縁層1上には、半導体層2が島状に設けられている。この半導体層2には、NMISQNとPMISQPとが隣接されて形成されている。このNMISQNとPMISQPとの間には、素子分離層4が形成されている。素子分離層4は、半導体層2の主面から絶縁層1に達するように形成されている。このため、NMISQNとPMISQPとは、絶縁層1と素子分離層4とによって完全に分離されている。 30

【0065】

半導体層2の厚さdは、上記と同様に、例えば50nmまたはそれよりも薄く形成されており、完全空乏型のSOI構造とされている。もちろん前記実施の形態1と同様に部分空乏型のSOI構造としても良い。ここで、上記と特に異なっているのは、NMISQNおよびPMISQPのゲート絶縁膜7およびゲート電極8B、8Cは、半導体層2の上面と側面を覆うように形成されていることである。このため、NMISQNとPMISQPの各々の実効的なゲート幅（ゲート電極8B、8Cの長手方向の長さ）を、幅Wと厚さd×2との和（ $=W+2d$ ）で表すことができる。すなわち、図25で示した構造のNMISQNおよびPMISQPのゲート幅よりも厚さd×2だけ長くすることができる。したがって、NMISQNおよびPMISQPの動作時に流れる電流を図25に示した構造のNMISQNおよびPMISQPよりも増大させることができる。したがって、NMISQNおよびPMISQPの動作速度の向上を図ることができる。ここでは、幅 $W>$ 厚さdとした場合を例示したが、幅 $W<$ 厚さdまたは幅 $W=$ 厚さdとして図32のNMISQNおよびPMISQPと同じ実効的なゲート幅（ $W+2d$ ）を得るようにしても良い。すなわち、MISの実効的なゲート幅は同じであるが、そのゲート幅を、平面的な幅Wで稼いで 40 50

も良いし、半導体層 2 の厚さで稼いでも良いし、幅 W と厚さ d とを等しくして得ても良い。

【0066】

このような構造でも NMISQN および PMISQP のチャネルは、前記実施の形態 1, 2 および図 25 で説明した例と同様に、ゲート絶縁膜 7 と半導体層 2 との界面よりも深い位置、半導体層 2 の側面ではゲート絶縁膜 7 と半導体層 2 の界面から離れた位置に形成される。したがって、この場合も NMISQN および PMISQP のキャリアの散乱を抑制または防止でき、キャリアの移動度の低下を抑制または防止できる。なお、ゲート電極 8 B, 8 C 側面のサイドウォールの図示は省略する。

【0067】

(実施の形態 4)

図 35 は本実施の形態 4 における半導体装置の要部斜視図、図 36 は図 35 の Z1-Z1 線の断面図、図 37 は図 35 の Z2-Z2 線の断面図、図 38 は図 35 の Z3-Z3 線の断面図、図 39 は図 35 の Y2-Y2 線の断面図を示している。

【0068】

本実施の形態 4 では、絶縁層 1 上に半導体層 2 (N 型半導体層 2b) を介して円柱状の半導体層 27 が設けられており、その円柱状の半導体層 27 に、例えば縦型の NMISQN のチャネルが形成される構成を含む半導体装置の一例について説明する。ここでは NMIS を例示するが、PMIS を形成しても良い。また、半導体層 27 は、円柱状に限定されるものではなく立方体状でも良い。

【0069】

半導体層 27 は、例えばシリコンからなり、N⁺ 型半導体層 (第 2 の領域) 27a、N 型半導体層 (第 2 半導体層、第 1 の領域) 5 および N⁺ 型半導体層 (第 2 の領域) 27b が下層から順に重なるように形成されている。半導体層 27a, 27b は、MIS のソースおよびドレイン用の半導体領域を形成する領域である。半導体層 27a, 27b には、例えばリンまたは砒素等のような N 型不純物が導入されている。このうち、最下層の N⁺ 型半導体層 27a は、半導体層 2 と電氣的に接続されている。半導体層 2 は配線を通じて端子 T1 と電氣的に接続されている。一方、最上層の N⁺ 型半導体層 27b は配線を通じて端子 T2 と電氣的に接続されている。

【0070】

半導体層 27 の基部 (半導体層 27 の底部から N⁺ 半導体層 27a の途中の高さ位置までの部分) には、その外周を覆うように絶縁層 26 が円筒状に形成されている。絶縁層 26 は、例えば酸化シリコンからなり、ゲート電極 8D と半導体層 2 とを離間させる機能を有している。また、半導体層 27 の基部よりも上方の部分には、その外周 (特に N 型半導体層 5 の外周) を覆うようにゲート絶縁膜 7 が円筒形状に形成されている。ゲート絶縁膜 7 は、前記実施の形態 1~3 と同様の high-k 材料で形成されている。さらに、半導体層 27 の外周には、その外周 (特に N 型半導体層 5 の外周) を覆うように上記ゲート絶縁膜 7 を介してゲート電極 8D が円筒形状に形成されている。ゲート電極 8D は、例えば N 型ポリシリコンからなる。ゲート電極 8D は配線を通じて端子 T3 と電氣的に接続されている。

【0071】

本実施の形態 4 においても、NMISQN の非動作時は、半導体層 27 の中間の N 型半導体層 5 の全体は空乏化されている (完全空乏型)。一方、NMIS の動作時 (ゲート電極 8D に所定の動作電圧を印加した時) には、NMISQN のチャネルがゲート絶縁膜 7 と半導体層 27 との界面ではなく、その界面よりも深い位置、すなわち円柱状の半導体層 27 の中心軸からその外周に向かって形成されるような状態になる (埋込チャネル)。この場合、NMISQN のキャリアである電子は、円柱状の半導体層 27 の中心軸に沿うように (図 29 の上下方向に沿って) 流れる。このため、キャリアである電子は、ゲート絶縁膜 7 と半導体層 27 との界面の凹凸に邪魔されることなく、また散乱してしまいうこともなく、埋込チャネルを移動できる。すなわち、NMISQN のチャネルを流れる電子の散乱を抑制または防止できるので、その電子の移動度の低下を抑制または防止することができ

10

20

30

40

50

る。

【0072】

次に、本実施の形態4の半導体装置の製造方法を図40～図43により説明する。なお、図40～図43は、半導体装置の製造工程中の要部断面図である。

【0073】

まず、図40に示すように、シリコンよりなる半導体基板1A上に、熱酸化法を使用して酸化シリコンよりなる絶縁層1を形成する。次に、例えばN型不純物であるリンや砒素を導入した半導体基板を、半導体基板1Aの絶縁層1を形成した面に貼り合わせて熱処理をした後、CMP技術により所定の厚さになるまで研磨し半導体層2（N型半導体層2b）を形成する。

10

【0074】

続いて、図41に示すように、N型半導体層2b上に、リンまたは砒素などのN型不純物をドーブした第1のアモルファスシリコン膜、相対的に不純物濃度が低くなるようにリンまたは砒素などのN型不純物をドーブした第2のアモルファスシリコン膜および第1のアモルファスシリコンと同程度のリンまたは砒素などのN型不純物をドーブした第3のアモルファスシリコン膜をCVD法等によって下方から順に堆積し、熱処理を行って、これらのアモルファスシリコン膜を結晶化する。アモルファスシリコン膜の結晶化は、後述するゲート絶縁膜の形成工程での熱処理などを利用していても良い。また、第1のアモルファスシリコン膜は、CVD法によって堆積させた後にN型不純物をイオン打ち込み法等によってドーブし、その後に熱処理を加えることで形成してもよい。第2、第3のアモルファスシリコン膜についても同様である。

20

【0075】

続いて、フォトリソグラフィ技術およびエッチングすることにより半導体層27を円柱状にパターンニングする。これにより、N⁺型半導体層27a、N型半導体層5およびN⁺型半導体層27bを有する円柱状の半導体層27を形成する。

【0076】

次に、SOI基板上に酸化シリコンよりなる絶縁層26をCVD法によって堆積した後、これをエッチバックすることにより、図42に示すように、半導体層27の基部に絶縁層26を形成する。その後、酸化シリコンより誘電率の高いhigh-k材料からなるゲート絶縁膜7をCVD法等により形成する。続いて、図43に示すようにゲート絶縁膜7を覆うように、N型ポリシリコン膜28をCVD法等により堆積した後、これをフォトリソグラフィ技術およびエッチング技術を使用してパターンニングすることにより、図39等

30

に示したようにゲート電極8Dを形成する。続いて、フォトリソグラフィ技術およびエッチング技術を使用して絶縁層26、N型半導体層2bを図39に示した形状にする。このようにして、本実施の形態4における半導体装置を形成することができる。

【0077】

本実施の形態4の変形例として半導体基板1Aの主面に他の素子（例えばMIS）を形成しても良い。例えばSRAMのメモリセルのドライバMISを半導体基板1の主面に形成する。SRAMのメモリセルの負荷MISまたは転送用MISを上記縦型のNMISQNで形成する。このドライバMISのソースまたはドレインは、配線を通じて縦型のNMISQNのソースまたはドレインの一方（すなわち、端子T1）と電氣的に接続される。縦型のMISQNが転送用MISであれば、そのソースまたはドレインの他方（すなわち、端子T2）はデータ線と電氣的に接続される。また、縦型のNMISQNのゲート電極8D（すなわち、端子T3）はワード線に電氣的に接続される。また、この場合、絶縁層1は、配線層間の層間絶縁膜に相当する。

40

【0078】

以上、本発明者によってなされた発明を前記実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0079】

50

以上、本願によって開示される実施の形態のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0080】

SOI構造をとることにより素子間の完全な絶縁分離を図ることができるので、素子の集積密度の向上を図ることができる。また、素子間の完全な絶縁分離を図ることができるため、半導体基板を介したクロストークやラッチアップ現象などによる誤動作の防止が可能となる。また、接合容量が低減されるため、高速動作、低消費電力の素子を形成することが可能となる。

【0081】

また、ゲート絶縁膜を酸化シリコン膜よりも誘電率の高いhigh-k材料により形成することにより、ゲート絶縁膜を薄くしなくてもMISの特性を上げるのに必要な容量を稼ぐことができる。したがって、ゲート絶縁膜の厚さをある程度確保できるので、ゲート電極とチャンネルとの間に生ずるリーク電流を減少させることができる。

【0082】

また、high-k材料を含むゲート絶縁膜を有する電界効果トランジスタにおいて、本実施の形態のNMISQnによれば、N型半導体層5を形成することで、その動作時にゲート絶縁膜と半導体との界面よりも深い位置にチャンネルが形成されるようにすることにより、電界効果トランジスタのチャンネルを流れる電子の散乱を防止できる。

【0083】

また、SOI構造でゲート下の半導体層を完全空乏とすることで、基板としてバルクを用いた場合または部分空乏型のSOIに比べて、接合容量を低減できる。また、高周波動作時における信号伝達損失を低減できる。また、バルクを使用した場合に比べて基板バイアス効果を向上させることができる。また、部分空乏型に比べてサブスレッショルド係数を小さくすることができる。

【0084】

【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0085】

チャンネル形成領域を流れる電子の移動度の低下を抑制または防止することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1における半導体装置の構成を示した要部断面図である。

【図2】ゲート絶縁膜直下に形成されたチャンネルに電子が流れて散乱される様子を模式的に示した要部断面図である。

【図3】本発明の実施の形態1において、埋込チャンネルに電子が流れる様子を模式的に示した要部断面図である。

【図4】本発明の実施の形態1における半導体装置の一部を示した要部断面図である。

【図5】シリコン表面から深さ方向に進んだ所定位置における不純物濃度のプロファイルを示したグラフ図である。

【図6】本発明の実施の形態1における半導体装置の製造工程中の要部断面図である。

【図7】本発明の実施の形態1における半導体装置の製造工程中の要部断面図である。

【図8】本発明の実施の形態1における半導体装置の製造工程中の要部断面図である。

【図9】本発明の実施の形態1における半導体装置の製造工程中の要部断面図である。

【図10】本発明の実施の形態1における半導体装置の製造工程中の要部断面図である。

【図11】本発明の実施の形態1における半導体装置の製造工程中の要部断面図である。

【図12】本発明の実施の形態1における半導体装置の製造工程中の要部断面図である。

【図13】本発明の実施の形態2における半導体装置の製造工程中の要部断面図である。

【図14】本発明の実施の形態2における半導体装置の製造工程中の要部断面図である。

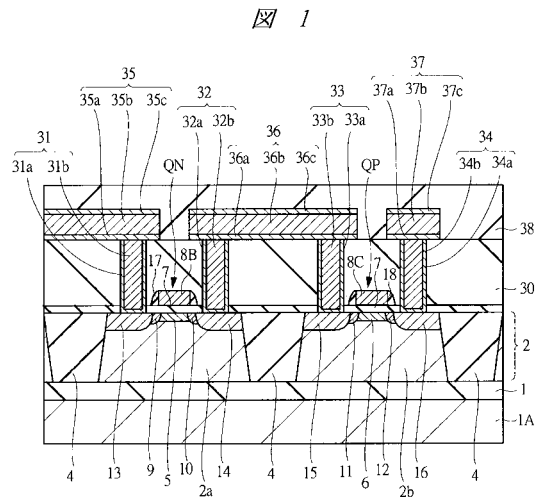
【図15】本発明の実施の形態2における半導体装置の製造工程中の要部断面図である。

【図16】本発明の実施の形態2における半導体装置の製造工程中の要部断面図である。

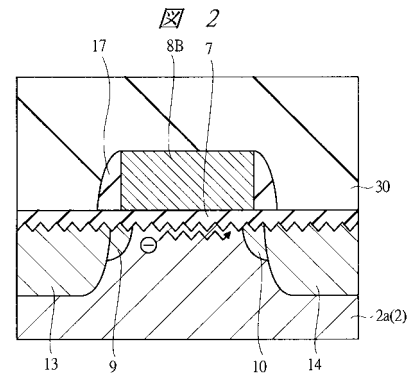
- 【図 1 7】本発明の実施の形態 2 における半導体装置の製造工程中の要部断面図である。
- 【図 1 8】本発明の実施の形態 2 における半導体装置の製造工程中の要部断面図である。
- 【図 1 9】本発明の実施の形態 2 における半導体装置の製造工程中の要部断面図である。
- 【図 2 0】本発明の実施の形態 2 における半導体装置の製造工程中の要部断面図である。
- 【図 2 1】本発明の実施の形態 2 における半導体装置の製造工程中の要部断面図である。
- 【図 2 2】本発明の実施の形態 2 における半導体装置の製造工程中の要部断面図である。
- 【図 2 3】本発明の実施の形態 2 における半導体装置の製造工程中の要部断面図である。
- 【図 2 4】本発明の実施の形態 2 における半導体装置の製造工程中の要部断面図である。
- 【図 2 5】本発明の実施の形態 3 における半導体装置の構成を示した要部断面図である。
- 【図 2 6】本発明の実施の形態 3 における半導体装置の製造工程中の要部断面図である。 10
- 【図 2 7】本発明の実施の形態 3 における半導体装置の製造工程中の要部断面図である。
- 【図 2 8】本発明の実施の形態 3 における半導体装置の製造工程中の要部断面図である。
- 【図 2 9】本発明の実施の形態 3 における半導体装置の製造工程中の要部断面図である。
- 【図 3 0】本発明の実施の形態 3 における半導体装置の製造工程中の要部断面図である。
- 【図 3 1】本発明の実施の形態 3 における半導体装置を上部から眺めた要部平面図である。
- 【図 3 2】本発明の実施の形態 3 の変形例における半導体装置の構成を示した要部斜視図である。
- 【図 3 3】図 3 2 の Y 1 - Y 1 線の断面図である。
- 【図 3 4】図 3 2 の X 1 - X 1 線の断面図である。 20
- 【図 3 5】本発明の実施の形態 4 における半導体装置の構成を示した斜視図である。
- 【図 3 6】図 3 5 の Z 1 - Z 1 線の断面図である。
- 【図 3 7】図 3 5 の Z 2 - Z 2 線の断面図である。
- 【図 3 8】図 3 5 の Z 3 - Z 3 線の断面図である。
- 【図 3 9】図 3 5 の Y 2 - Y 2 線の断面図である。
- 【図 4 0】本発明の実施の形態 4 における半導体装置の製造工程中の要部断面図である。
- 【図 4 1】図 4 0 に続く半導体装置の製造工程を示す要部断面図である。
- 【図 4 2】図 4 1 に続く半導体装置の製造工程を示す要部断面図である。
- 【図 4 3】図 4 2 に続く半導体装置の製造工程を示す要部断面図である。
- 【符号の説明】 30
- 1 A 半導体基板
- 1 絶縁層
- 2 半導体層 (第 1 半導体層)
- 2 a P 型半導体層 (第 1 半導体層)
- 2 b N 型半導体層 (第 1 半導体層)
- 4 素子分離層
- 5 N 型半導体層 (第 2 半導体層、第 1 の領域)
- 6 P 型半導体層 (第 2 半導体層、第 1 の領域)
- 7 ゲート絶縁膜
- 7 A h i g h - k 膜 40
- 8 ゲート電極
- 8 A ポリシリコン膜
- 8 B ゲート電極
- 8 C ゲート電極
- 8 D ゲート電極
- 9 低濃度 N 型不純物拡散層 (第 2 の領域)
- 1 0 低濃度 N 型不純物拡散層 (第 2 の領域)
- 1 1 低濃度 P 型不純物拡散層 (第 2 の領域)
- 1 2 低濃度 P 型不純物拡散層 (第 2 の領域)
- 1 3 高濃度 N 型不純物拡散層 (第 2 の領域) 50

1 4	高濃度 N 型不純物拡散層 (第 2 の領域)	
1 5	高濃度 P 型不純物拡散層 (第 2 の領域)	
1 6	高濃度 P 型不純物拡散層 (第 2 の領域)	
1 7	サイドウォール	
1 8	サイドウォール	
2 1	ダミーゲート絶縁膜	
2 2	ダミーゲート電極	
2 2 A	ポリシリコン膜	
2 3	酸化シリコン膜	
2 4	レジスト膜	10
2 5	レジスト膜	
2 6	絶縁層	
2 7	半導体層	
2 8	N 型ポリシリコン膜	
3 0	層間絶縁層	
3 1	プラグ	
3 1 a	窒化チタン膜	
3 1 b	タングステン膜	
3 2	プラグ	
3 2 a	窒化チタン膜	20
3 2 b	タングステン膜	
3 3	プラグ	
3 3 a	窒化チタン膜	
3 3 b	タングステン膜	
3 4	プラグ	
3 4 a	窒化チタン膜	
3 4 b	タングステン膜	
3 5	第 1 層配線	
3 5 a	窒化チタン膜	
3 5 b	タングステン膜	30
3 5 c	窒化チタン膜	
3 6	第 1 層配線	
3 6 a	窒化チタン膜	
3 6 b	タングステン膜	
3 6 c	窒化チタン膜	
3 7	第 1 層配線	
3 7 a	窒化チタン膜	
3 7 b	タングステン膜	
3 7 c	窒化チタン膜	
3 8	層間絶縁膜	40
Q N	N チャネル型の M I S ・ F E T	
Q P	P チャネル型の M I S ・ F E T	

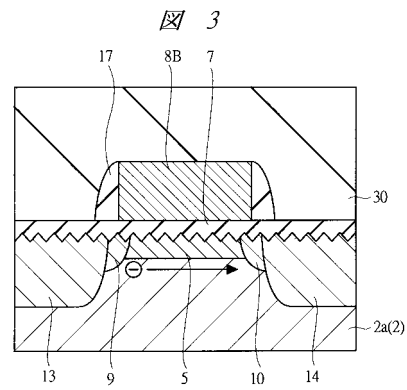
【図 1】



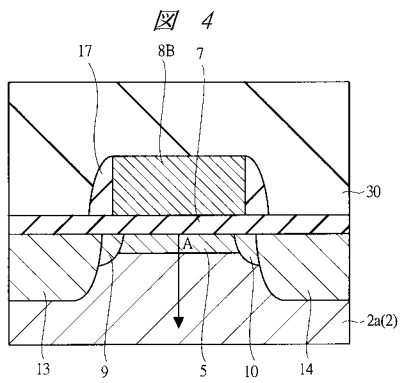
【図 2】



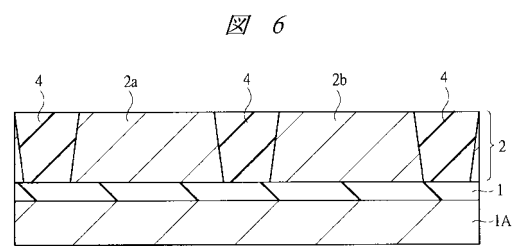
【図 3】



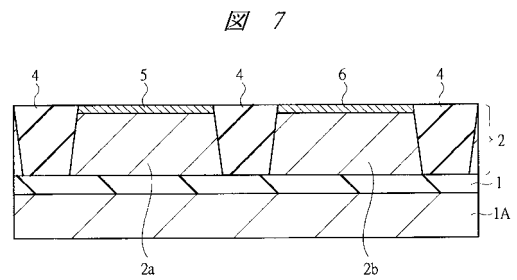
【図 4】



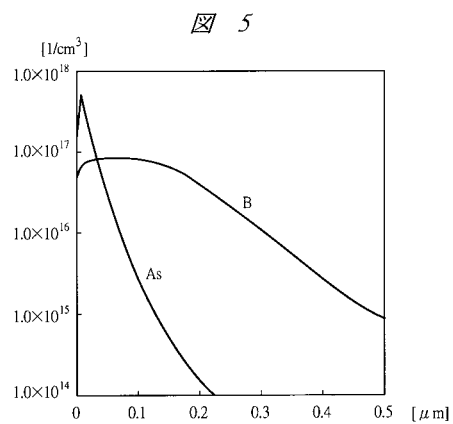
【図 6】



【図 7】

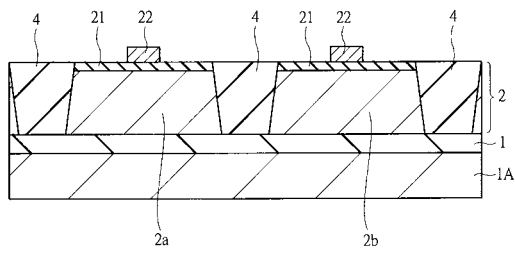


【図 5】



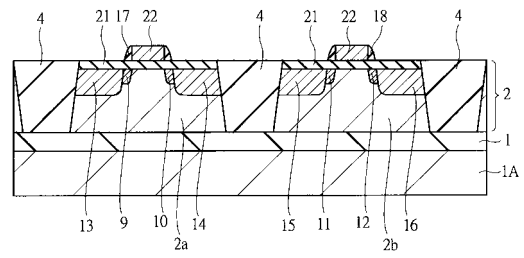
【図 15】

図 15



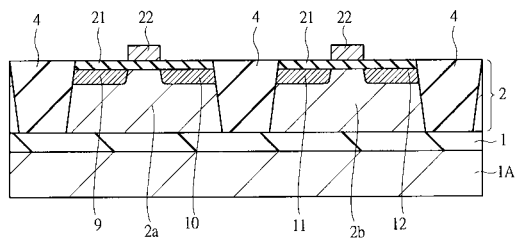
【図 17】

図 17



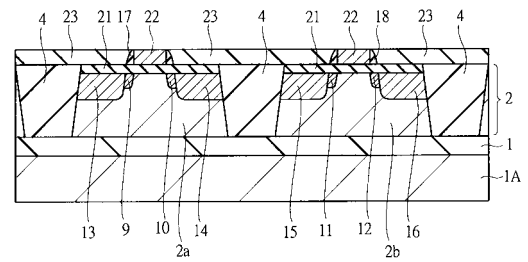
【図 16】

図 16



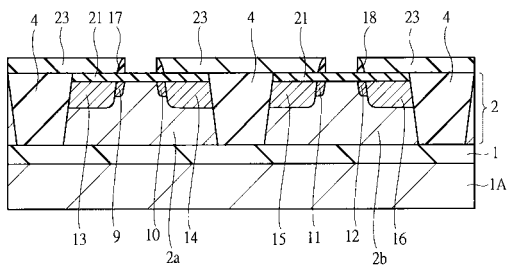
【図 18】

図 18



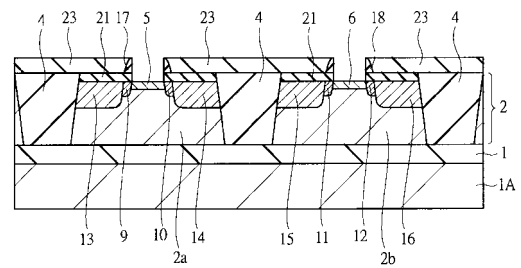
【図 19】

図 19



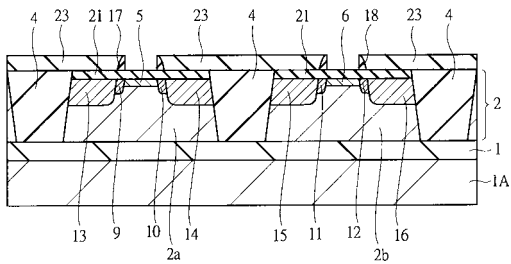
【図 21】

図 21



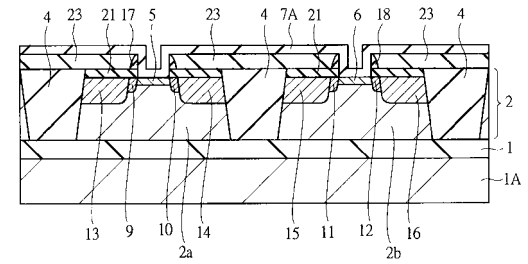
【図 20】

図 20

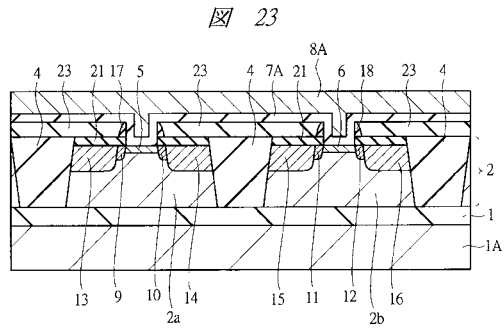


【図 22】

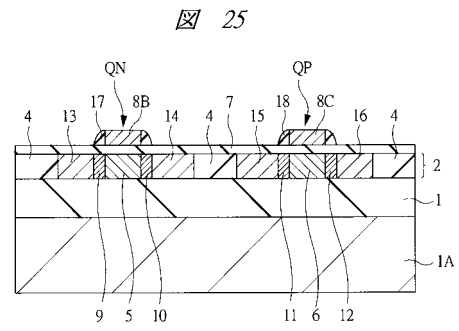
図 22



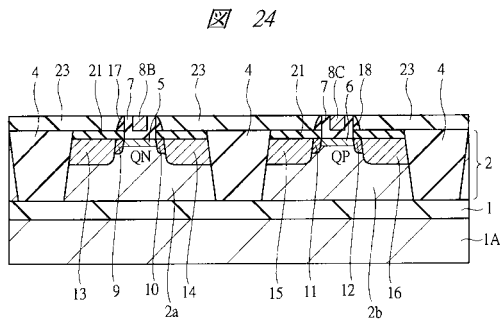
【図 2 3】



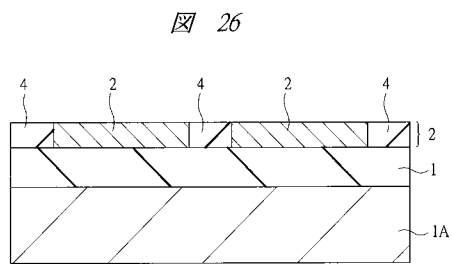
【図 2 5】



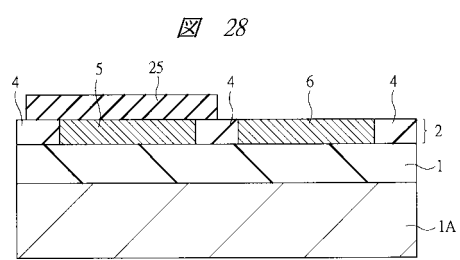
【図 2 4】



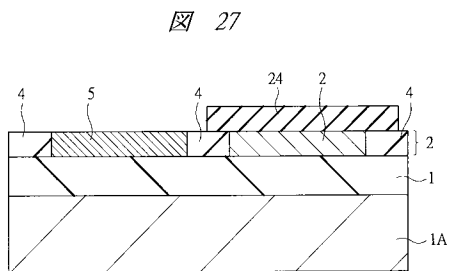
【図 2 6】



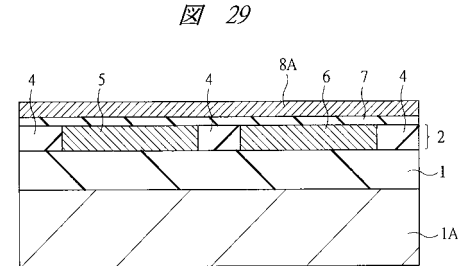
【図 2 8】



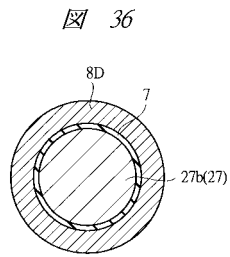
【図 2 7】



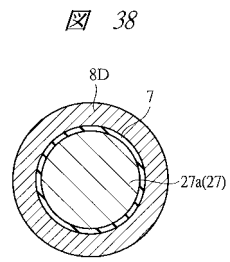
【図 2 9】



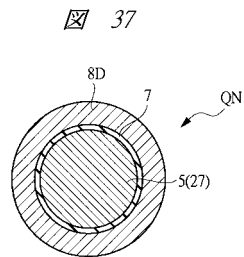
【図 36】



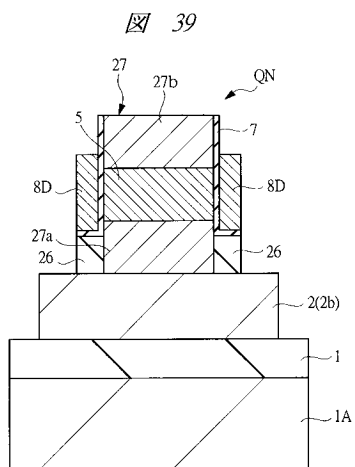
【図 38】



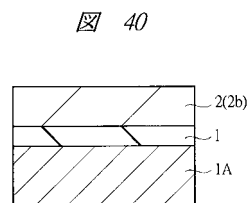
【図 37】



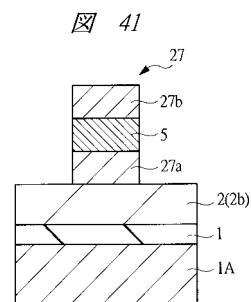
【図 39】



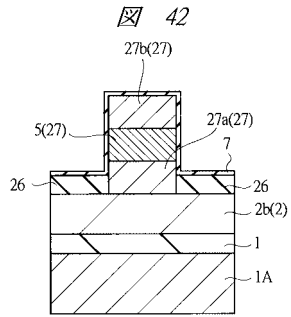
【図 40】



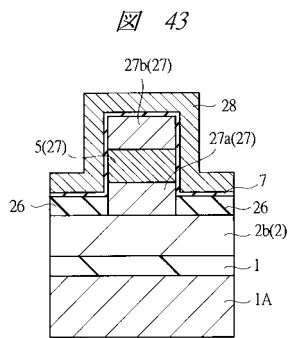
【図 41】



【図 4 2】



【図 4 3】



フロントページの続き(51)Int.Cl.⁷

F I

テーマコード (参考)

H O 1 L 29/78 6 1 7 J

F ターム(参考) 5F048 AA08 AB03 AC03 AC04 BA09 BA16 BB06 BB07 BB11 BB16
BC06 BD04 BD05 BD07 BF07 BF11 BF16 BG07 BG13 BG14
CB07 DA23 DA25 DA27
5F110 AA01 AA02 AA09 BB04 BB05 CC02 CC09 DD05 DD13 EE02
EE04 EE09 EE31 EE45 EE47 FF01 FF02 FF03 FF09 FF29
FF35 GG02 GG12 GG32 GG36 GG52 HJ01 HJ13 HJ23 HL01
HL04 HL11 HL23 HL24 HM15 NN02 NN23 NN35 NN62 QQ17
QQ19