

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7128262号  
(P7128262)

(45)発行日 令和4年8月30日(2022.8.30)

(24)登録日 令和4年8月22日(2022.8.22)

(51)国際特許分類	F I
H 0 1 L 21/76 (2006.01)	H 0 1 L 21/76 L
H 0 1 L 21/316 (2006.01)	H 0 1 L 21/316 X
H 0 1 L 21/265 (2006.01)	H 0 1 L 21/265 W
	H 0 1 L 21/265 Y

請求項の数 23 (全21頁)

(21)出願番号	特願2020-510609(P2020-510609)	(73)特許権者	390009531 インターナショナル・ビジネス・マシ ンズ・コーポレーション INTERNATIONAL BUSI NESS MACHINES CORPO RATION アメリカ合衆国10504 ニューヨー ク州 アーモンク ニュー オーチャード ロード New Orchard Road, A rmonk, New York 105 04, United States of America
(86)(22)出願日	平成30年8月3日(2018.8.3)	(74)代理人	100112690 弁理士 太佐 種一
(65)公表番号	特表2020-532124(P2020-532124 A)		
(43)公表日	令和2年11月5日(2020.11.5)		
(86)国際出願番号	PCT/IB2018/055863		
(87)国際公開番号	WO2019/043478		
(87)国際公開日	平成31年3月7日(2019.3.7)		
審査請求日	令和3年1月22日(2021.1.22)		
(31)優先権主張番号	15/688,154		
(32)優先日	平成29年8月28日(2017.8.28)		
(33)優先権主張国・地域又は機関	米国(US)		

最終頁に続く

(54)【発明の名称】 半導体構造体および半導体構造体を製造する方法

(57)【特許請求の範囲】

【請求項1】

半導体基板の上面の複数の半導体フィンであって、それぞれのトレンチによって互いに離間されてフィン・ピッチを画定する、前記複数の半導体フィンと、

各トレンチに含有される多層電気的分離領域であって、

前記半導体基板の上面の第1の材料を含む酸化物層、

前記酸化物層の上面の第2の材料を含む保護層であり、前記第2の材料がアニールされた酸化物材料であり、前記第1の材料とは異なる、前記保護層、  
を含む、前記多層電気的分離領域と、

前記半導体フィン上に形成されたフィン保護ライナーであり、前記第1の材料および前記第2の材料とは異なる第3の材料を含む、前記フィン保護ライナーと、  
を含む、半導体構造体。

10

【請求項2】

前記第1の材料が第1のエッチング耐性を有し、前記第2の材料が前記第1のエッチング耐性よりも大きい第2のエッチング耐性を有する、請求項1に記載の半導体構造体。

【請求項3】

前記第1の材料が名目上の化学量論的な二酸化ケイ素(SiO<sub>2</sub>)を含み、前記第2の材料が窒素を含有する酸化物材料である、請求項2に記載の半導体構造体。

【請求項4】

前記第2の材料が窒素(N)、ヘリウム(He)、水素(H)、アルゴン(Ar)、お

20

よび酸素を含むグループから選択された種を含有する、改質された酸化ケイ素である、請求項 3 に記載の半導体構造体。

【請求項 5】

前記第 1 の材料が名目上の化学量論的な二酸化ケイ素 ( $\text{SiO}_2$ )、および改質された  $\text{SiO}_2$  である前記第 2 の材料を含む、請求項 2 に記載の半導体構造体。

【請求項 6】

半導体基板の上面の複数の半導体フィンであって、それぞれのトレンチによって互いに離間されてフィン・ピッチを画定する、前記複数の半導体フィンと、  
各トレンチに含有される多層電気的分離領域であって、

前記半導体基板の上面の第 1 の材料を含む酸化物層、

前記酸化物層の上面の第 2 の材料を含む第 1 の保護層であり、前記第 2 の材料が前記第 1 の材料とは異なる、前記第 1 の保護層、

を含む、前記多層電気的分離領域と、

前記半導体フィン上に形成されたフィン保護ライナーであり、前記第 1 の材料および前記第 2 の材料とは異なる第 3 の材料を含む、前記フィン保護ライナーと、

を含み、

前記多層電気的分離領域が、前記第 1 の保護層の上面の第 4 の材料であって、第 2 の保護層を画定するために、前記第 1 の材料および前記第 2 の材料とは異なる、前記第 4 の材料を含む前記第 2 の保護層を含み、

前記酸化物層と、前記第 1 の保護層と、前記第 2 の保護層の組合せが前記複数の半導体フィンを互いに電気的に分離する前記多層電気的分離領域を画定し、

前記酸化物層、前記第 1 の保護層、および前記第 2 の保護層のそれぞれが互いに異なるエッチング耐性を有する、

半導体構造体。

【請求項 7】

前記第 1 の保護層が前記酸化物層よりも大きいエッチング耐性を有し、前記第 2 の保護層が前記酸化物層および前記第 1 の保護層のいずれよりも大きいエッチング耐性を有する、請求項 6 に記載の半導体構造体。

【請求項 8】

半導体構造体を製造する方法であって、

半導体基板の上面に複数の半導体フィンを形成することであって、前記半導体フィンがそれぞれのトレンチによって互いに離間されてフィン・ピッチを画定する、前記形成することと、

前記トレンチにギャップ充填酸化物の第 1 の材料を堆積させることであって、前記第 1 の材料が第 1 のエッチング耐性を有する、前記堆積させることと、

前記第 1 の材料の一部を、前記第 1 のエッチング耐性よりも大きい第 2 のエッチング耐性を有する保護層を画定する異なる第 2 の材料に変換することと、

前記半導体フィン上にフィン保護ライナーを形成することであって、前記フィン保護ライナーが前記第 1 の材料および前記第 2 の材料とは異なる第 3 の材料を含む、前記形成することと、

を含む、方法。

【請求項 9】

前記変換することが、

前記第 1 の材料にイオンを注入して前記第 1 の材料の一部を前記異なる第 2 の材料に変換すること

を含む、請求項 8 に記載の方法。

【請求項 10】

前記第 2 の材料をアニールして前記第 2 のエッチング耐性をさらに向上させることをさらに含む、請求項 8 または請求項 9 に記載の方法。

【請求項 11】

10

20

30

40

50

前記アニールすることが前記第 2 の材料を摂氏 900 度未満のアニール温度にさらすことを含む、請求項 10 に記載の方法。

【請求項 12】

前記第 1 の材料が名目上の化学量論的な二酸化ケイ素 (SiO<sub>2</sub>) を含む、請求項 11 に記載の方法。

【請求項 13】

前記第 2 の材料が窒素を含有する酸化物材料を含む、請求項 12 に記載の方法。

【請求項 14】

前記第 1 の材料が名目上の化学量論的な二酸化ケイ素 (SiO<sub>2</sub>) を含み、前記第 2 の材料が前記第 1 の材料よりも大きな割合のシリコンを含有するシリコン・リッチ酸化物材料を含む、請求項 11 に記載の方法。

10

【請求項 15】

前記第 1 の材料の一部を変換することが、化学元素を含有する高密度プラズマ (HDP) で前記第 1 の材料の上面を処理することを含み、前記第 1 の材料が名目上の化学量論的な二酸化ケイ素 (SiO<sub>2</sub>) を含み、前記化学元素が窒素 (N)、ヘリウム (He)、水素 (H)、アルゴン (Ar)、および酸素 (O) を含むグループから選択された元素を含む、請求項 8 に記載の方法。

【請求項 16】

前記第 1 の材料の一部を変換することが、前記第 1 の材料の上面にヘリウム (He) と酸素 (O<sub>2</sub>) の組合せを含有する高密度プラズマ (HDP) を適用する表面処理プロセスを行うことを含む、請求項 15 に記載の方法。

20

【請求項 17】

前記第 1 の材料の一部を変換することが、前記第 1 の材料の上面に水素 (H<sub>2</sub>) と酸素 (O<sub>2</sub>) の組合せを含有する高密度プラズマ (HDP) を適用する表面処理プロセスを行うことを含む、請求項 15 に記載の方法。

【請求項 18】

前記上面に窒素 (N) を含有する高密度プラズマ (HDP) を適用する第 2 の表面処理プロセスを行うことをさらに含む、請求項 16 または請求項 17 に記載の方法。

【請求項 19】

前記第 2 の材料の表面に高密度プラズマ (HDP) を適用して、前記第 2 の材料の層の一部を前記第 1 の材料および前記第 2 の材料とは異なる第 4 の材料に変換することであって、前記第 4 の材料が前記第 1 および第 2 のエッチング耐性とは異なる第 3 のエッチング耐性を有する第 2 の保護層を形成する、前記変換することと、

30

摂氏 900 度未満の温度で前記半導体基板の上面に形成された構造をアニールして前記第 2 の材料および前記第 4 の材料の両方の前記エッチング耐性をさらに向上させることと、を含む、

前記アニールされた第 2 の材料と前記アニールされた第 4 の材料の組合せが多層電氣的分離領域を画定する、請求項 9 に記載の方法。

【請求項 20】

前記イオンを注入するプロセスが前記第 1 の材料にシリコン (Si) イオンを注入して第 1 の保護層を形成することであって、前記第 1 の保護層が前記第 1 の材料の残りの非改質部分よりも大きなエッチング耐性を有する、前記形成することを含む、請求項 19 に記載の方法。

40

【請求項 21】

前記第 1 の保護層の前記一部を変換することが、窒素含有 HDP プラズマを前記第 1 の保護層の表面に適用して窒素を含有する酸化物の前記第 2 の保護層を形成することを含む、請求項 20 に記載の方法。

【請求項 22】

前記第 1 の材料が名目上の化学量論的な二酸化ケイ素 (SiO<sub>2</sub>) を含む、請求項 21

50

に記載の方法。

【請求項 2 3】

前記第 2 の材料が前記窒素含有の第 2 の保護層の下に形成されたシリコン・リッチ酸化物材料である、請求項 2 2 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般に、半導体製造方法およびデバイスに関する。より詳細には、本発明は、半導体デバイスの高アスペクト比要素（例えば、分離領域）を形成する低温分離材料を保護する技術に関する。

10

【背景技術】

【0002】

半導体集積回路技術の進歩により、半導体ウエハ上に形成される半導体デバイスの物理的な占有面積および寸法の継続的な削減が促進されてきた。その結果、チップ当たりの回路密度も増加し続けている。所与のチップ・サイズに対して、能動回路部品、例えば、半導体デバイスは、典型的には、回路密度を最大化するために互いに近接して配置される。シャロー・トレンチ分離（STI）領域などの電気的分離領域は、典型的には、ウエハ内に形成され、隣接する半導体デバイスを互いに電氣的に分離する。

【発明の概要】

【発明が解決しようとする課題】

20

【0003】

本発明は、半導体デバイスの高アスペクト比要素（例えば、分離領域）を形成する低温分離材料を保護する技術を提供する。

【課題を解決するための手段】

【0004】

本発明の一実施形態は、半導体デバイスを製造する方法を対象とする。本方法は、半導体基板の上面に複数の半導体フィンを形成することを含む。半導体フィンは、それぞれのトレンチによって互いに離間されてフィン・ピッチを画定する。本方法は、トレンチにギャップ充填分離材料を堆積させることをさらに含む。酸化物材料は、第 1 のエッチング耐性を有する。本方法は、分離材料の一部を、第 1 のエッチング耐性よりも大きい第 2 のエッチング耐性を有する保護層を画定する異なる第 2 の分離材料に変換することをさらに含む。本方法は、変換された第 2 の材料をアニールして第 2 のエッチング耐性をさらに向上させることをさらに含む。アニール操作は、変換された第 2 の材料を摂氏 900 度（ ）未満のアニール温度にさらすことを含む。

30

【0005】

本発明のさらなる実施形態は、半導体基板の上面に複数の半導体フィンを含む半導体構造体を対象とする。半導体フィンは、それぞれのトレンチによって互いに離間されてフィン・ピッチを画定する。各トレンチに多層電気的分離領域が含有される。多層電気的分離領域は、酸化物層および保護層を含む。酸化物層は、半導体基板の上面に第 1 の材料を含む。保護層は、酸化物層の上面に第 2 の材料を含む。第 2 の材料は、第 1 の材料とは異なる。

40

【0006】

本発明のさらなる実施形態は、半導体デバイスを製造する別の方法を対象とし、本方法は、半導体基板の上面に複数の半導体フィンを形成することを含む。半導体フィンは、それぞれのトレンチによって互いに離間されてフィン・ピッチを画定する。本方法は、トレンチにギャップ充填酸化物材料を堆積させることをさらに含む。酸化物材料は、第 1 の材料エッチング速度を有する。本方法は、酸化物材料にシリコン・イオンを注入して、酸化物材料の一部を、第 1 の材料エッチング速度よりも低い第 2 の材料エッチング速度を有する保護層を画定する異なる第 2 の材料に変換することをさらに含む。

【0007】

50

本発明のさらなる実施形態は、半導体デバイスを製造する別の方法を対象とする。本方法は、半導体基板の上面に複数の半導体フィンを形成することを含む。半導体フィンは、それぞれのトレンチによって互いに離間されてフィン・ピッチを画定する。本方法は、トレンチに酸化物材料を堆積させて酸化物層を形成することをさらに含む。酸化物材料は、第1のエッチング耐性を有する。本方法は、イオン注入プロセスを行って酸化物材料にイオンを注入し、酸化物層の一部を第2の材料に変換し、第1のエッチング耐性とは異なる第2のエッチング耐性を有する第1の保護層を形成することをさらに含む。本方法は、第1の保護層の表面に高密度プラズマ(HDP)を適用して、第1の保護層の一部を酸化物材料および第2の材料とは異なる第3の材料に変換することをさらに含む。第3の材料は、第1および第2のエッチング耐性とは異なる第3のエッチング耐性を有する第2の保護層として働く。本方法は、本構造を900未満の温度でアニールして、第2の材料および第3の材料の両方のエッチング耐性をさらに向上させることをさらに含む。アニールされた第2の材料とアニールされた第3の材料の組合せは、多層電気的分離領域を画定する。  
【0008】

10

本発明のさらなる実施形態は、半導体基板の上面に複数の半導体フィンを含む別の半導体構造体を対象とする。半導体構造体は、半導体基板の上面に複数の半導体フィンを含む。半導体フィンは、それぞれのトレンチによって互いに離間されてフィン・ピッチを画定する。酸化物材料がトレンチに配置されて酸化物層を画定する。酸化物材料は、第1のエッチング耐性を有する。第1の保護層を画定するために、酸化物材料とは異なる第2の材料が酸化物層の上面に配置される。第3の材料が第1の保護層の上面に配置される。第3の材料は、第2の保護層を画定するために、酸化物材料および第2の材料とは異なる。酸化物層と、第1の保護層と、第2の保護層の組合せは、複数の半導体フィンを互いに電気的に分離する多層電気的分離領域を画定する。酸化物層、第1の保護層、および第2の保護層のそれぞれは、互いに異なるエッチング耐性を有する。  
【0009】

20

さらなる技術的特徴および利点は、本発明の技術により実現される。本発明の実施形態は、本明細書で詳細に説明されており、特許請求される主題の一部と見なされる。より良く理解するために、詳細な説明および図面を参照されたい。  
【0010】

本明細書に記載される排他的権利の詳細は、本明細書の最後の特許請求の範囲において特に指摘され、明確に主張されている。本発明の実施形態の前述のおよび他の特徴ならびに利点は、添付図面と併せて解釈される以下の詳細な説明から明らかである。  
【図面の簡単な説明】

30

【0011】

【図1】本発明の実施形態の半導体構造体である。

【図2】本発明の実施形態によるフィン保護ライナーの堆積後の半導体構造体である。

【図3】低温分離材料を堆積させた後の半導体構造体である。

【図4】硬化プロセスを受けている半導体構造体である。

【図5】化学機械平坦化(CMP)プロセス後の半導体構造体である。

【図6】低温分離材料をリセスした後の半導体構造体である。

40

【図7】表面処理操作を受けている半導体構造体である。

【図8】表面処理操作後の半導体構造体である。

【図9】任意選択の後続の窒素プラズマ処理を受けている半導体構造体である。

【図10】低温分離材料の高密度化アニールを受けている半導体構造体である。

【図11】イオン注入操作を受けている半導体構造体である。

【図12】イオン注入操作後の半導体構造体である。

【図13】第1のイオン注入操作を受けている半導体構造体である。

【図14】第1のイオン注入プロセス後の半導体構造体である。

【図15】第2のイオン注入プロセスを受けている半導体構造体である。

【図16】第2のイオン注入プロセス後の半導体構造体である。

50

【図17】第2のイオン注入プロセス後の低温分離材料の高密度化アニールを受けている図16の半導体構造体である。

【図18】半導体フィンの露出した上方部からフィン保護ライナーを除去した後の半導体構造体である。

【発明を実施するための形態】

【0012】

本明細書に表された図は、例示である。本発明の範囲から逸脱することなく、本明細書に記載されている図または動作に対して多くの変形形態があり得る。例えば、動作を異なる順序で行うことができ、あるいは動作を、追加、削除、または変更することができる。また、用語「結合された」およびその変形形態は、2つの要素間に通信経路を有することを述べており、それらの間に介在する要素/接続のない要素間の直接接続を意味するものではない。これらの変形形態は、すべて本明細書の一部と考えられる。

10

【0013】

添付図および記載される実施形態の以下の詳細な説明では、図に示される様々な要素には、2桁または3桁の参考番号が付されている。わずかな例外を除いて、各参照番号の左端の数字は、その要素が最初に示されている図に対応する。

【0014】

本発明の様々な実施形態は、関連する図面を参照して本明細書で説明される。本発明の代替の実施形態は、本発明の範囲から逸脱することなく考案され得る。様々な接続および位置関係（例えば、上に、下に、隣接するなど）は、以下の説明および図面では要素間に述べられている。これらの接続または位置関係あるいはその両方は、別段の定めがない限り、直接的または間接的であってもよく、本発明は、この点に関して限定的であることは意図されていない。したがって、エンティティの結合は、直接的または間接的な結合のいずれかを指すことができ、エンティティ間の位置関係は、直接的または間接的な位置関係とすることができる。さらに、本明細書で説明される様々なタスクおよびプロセス・ステップは、本明細書で詳細に説明されない追加のステップもしくは機能を有するより包括的な手順またはプロセスに組み込むことができる。

20

【0015】

以下の定義および略語は、特許請求の範囲および本明細書の解釈に使用される。本明細書で使用されるとき、用語「備える」、「備えている」、「含む」、「含んでいる」、「有する」、「有している」、「含有する」、または「含有している」、あるいはそれらのいかなる他の変形形態も、非排他的な包含を含むことが意図されている。例えば、要素の列挙を含む組成物、混合物、プロセス、方法、物品、または装置は、必ずしもそれらの要素だけに限定されず、そのような組成物、混合物、プロセス、方法、物品、または装置に明示的に列挙されていない、あるいは固有の他の要素を含むことができる。

30

【0016】

さらに、用語「例示的」は、本明細書では、「例、実例、または例示として役立つ」ことを意味するために使用される。「例示的」として本明細書に記載されたいかなる実施形態または設計も、他の実施形態または設計よりも好ましい、あるいは有利であると必ずしも解釈されるべきではない。用語「少なくとも1つ」および「1つまたは複数」は、1以上の任意の整数、すなわち1、2、3、4などを含むことができる。用語「複数」は、2以上の任意の整数、すなわち2、3、4、5などを含むと理解することができる。用語「接続」は、間接的な「接続」および直接的な「接続」の両方を含むことができる。

40

【0017】

用語「約」、「実質的に」、「およそ」、およびそれらの変形形態は、本出願を申請する時点で利用可能な機器に基づいた特定の量の測定値に関連付けられた誤差の程度を含むことが意図されている。例えば、「約」は、所与の値の $\pm 8\%$ 、または $5\%$ 、または $2\%$ の範囲を含むことができる。

【0018】

簡潔にするために、本発明の実施形態を作成および使用することに関連する従来の技術

50

は、本明細書で詳細に説明されることもあり、説明されないこともある。したがって、簡潔にするために、多くの従来の実施態様の詳細および製造技術は、簡単に本明細書で言及するだけであり、あるいはよく知られているシステムまたはプロセスあるいはその両方の詳細を提供せずに完全に省略される。

#### 【 0 0 1 9 】

ここで、本発明の態様により具体的に関連する技術の概要に目を向けると、シャロー・トレンチ分離 ( S T I ) 領域などの電氣的絶縁または分離領域を形成するプロセスは、能動半導体部品間または導電線間あるいはその両方の間の絶縁体充填トレンチの形成を含む。トレンチは、典型的には、測定されたトレンチ幅に対する測定されたトレンチ高さとして定義されるアスペクト比を有する。しかしながら、回路密度が増加し続けるにつれ、これらのトレンチの寸法が減少し、それによってトレンチのアスペクト比が増加する。その結果、これらのより狭いトレンチ ( 高アスペクト比トレンチと呼ばれる ) の充填がより困難になり、絶縁またはトレンチ充填材料に望ましくないポイドおよび不連続部が生じることがある。

10

#### 【 0 0 2 0 】

高アスペクト比 S T I 領域などの高アスペクト比の半導体構成要素およびデバイス要素の存在は、結果として、例えば、様々な高アスペクト比トレンチ充填技術の利用をもたらしてきた。高アスペクト比 S T I 領域を形成するためのそのような技術の 1 つは、ポイドおよび不連続部の形成を低減させる低温酸化物材料で高アスペクト比トレンチを充填することを含む。本明細書では S T I 領域形成について説明するが、上述の技術は、S T I 以外の他の分離層、例えば中間工程のトランジスタ・ゲート間の分離のために適用可能であることを認識されたい。

20

#### 【 0 0 2 1 】

低温酸化物材料は、典型的には、酸化ケイ素であるが、酸化ケイ素に限定されない。典型的には、ギャップ充填技術は、分離膜の堆積に使用され、狭いトレンチを充填することができる。例えば、分離材料を流体および流動性にすることが可能なスピン・オン材料または C V O プロセスを使用して、非共形高密度プラズマ堆積 ( H D P ) と組み合わせて狭いギャップを充填する。そのような堆積方法は、狭いトレンチを「ボトム・アップ」で充填することができる。しかしながら、H D P C V O を除いて、これらの低温酸化物材料は、典型的には、エッチング耐性が低いため、後続の洗浄技術または他の下流の製造プロセスを行う際に、意図せずにオーバ・エッチングまたはプル・ダウンされる可能性がある。結果として生じる S T I 領域の意図しないプル・ダウンは、デバイス欠陥および望ましくないデバイスばらつきを引き起こす可能性がある。

30

#### 【 0 0 2 2 】

加えて、従来低温分離材料は、典型的には、密度が比較的 low、ウェット・エッチング速度が高い ( 高品質熱酸化物の数倍 ) ため、低品質酸化物材料と呼ばれる。これらの従来低温分離材料の特性は、摂氏 1 0 0 0 度 ( ) を上回る温度の蒸気または中性 ( 窒素 ) 雰囲気低温分離材料をアニールすることによって改善することができる。しかしながら、改質された特性は、熱収支が減少すると、すなわちアニール温度が 1 0 0 0 を下回ると急速に劣化し、現代の技術では、しばしばより低い総温度収支 ( すなわち、例えば 8 0 0 未満のアニール温度 ) が必要になる場合がある。結果として、低いアニール温度を使用して、高品質の分離酸化物材料 ( 例えば、比較的高密度で低いウェット・エッチング速度を有する酸化物材料 ) を製造することは、困難であることが証明された。

40

#### 【 0 0 2 3 】

ここで、本発明の実施形態の概要に目を向けると、本発明の実施形態は、高アスペクト比のデバイス要素を形成する低温ギャップ充填材料の頂部に保護層を形成して、例えばオーバ・エッチングまたはプル・ダウンなどの意図しない損傷を防止することによって、従来技術の上述の欠点に対処する。本発明の一実施形態では、保護層は、低温ギャップ充填材料の一部を、前洗浄または他の下流の製造プロセス中に用いられる様々なエッチャント化学物質に耐えることができる高耐性材料に改質または変換することによって形成される

50

。加えて、本発明の実施形態は、800の総温度限界を超えない温度を適用するアニール・プロセスを使用して、酸化物分離充填材料の分離材料特性を改善する方法を提供する。したがって、例えば、高アスペクト比STI領域などの高アスペクト半導体デバイス要素を、望ましくないボイドおよび不連続部なしに形成することができ、一方で、これらの高アスペクトデバイス要素の構造的完全性が、後続の下流の製造プロセスを行った後に維持される。

#### 【0024】

ここで本発明の態様のより詳細な説明に目を向けると、図1は、半導体構造体100を表す。半導体構造体は、基板102と、1つまたは複数の半導体フィン製造プロセス後の基板102上に形成された複数の半導体フィン104と、を含む。ハードマスク・キャップ101も、半導体フィン104の上面に形成することができる。ハードマスク・キャップ101は、例えば、窒化ケイ素(SiN)などの窒化物材料で構成することができ、後続の製造プロセス中にフィン104を保護する働きをすることができる。

10

#### 【0025】

フィン製造プロセスには、例えば、フォトリソグラフィ・パターニング・プロセスと、それに続く反応性イオン・エッチング(RIE)プロセスなどのエッチング・プロセスとが含まれる。エッチング・プロセスは、フォトリソグラフィ・パターンを基板102に転写し、図1に示すような半導体フィン104を形成する。図1には、3つの半導体フィン104が示されているが、基板102は、半導体フィン104の高密度配置を画定する追加のフィン104を含むことができる。例えば、半導体フィン104は、トレンチ105によって互いに分離され得る。各フィン104間の距離(D)は、例えばおよそ10nm~およそ50nmの範囲にあって、高密度フィン・ピッチまたは基板102上の半導体フィン104の高密度配置を画定することができる。距離Dによって画定される高密度フィン・ピッチは、非流動性酸化物充填プロセスを使用してトレンチ105を充填することを非常に困難にする。

20

#### 【0026】

基板102の望ましい材料の例には、Si(シリコン)、歪みSi、SiC(炭化ケイ素)、Ge(ゲルマニウム)、SiGe(シリコン・ゲルマニウム)、SiGeC(シリコン・ゲルマニウム・カーボン)、Si合金、Ge合金、III-V族材料(例えば、GaAs(ガリウム・ヒ素)、InAs(インジウム・ヒ素)、InP(インジウム・リン)、またはAlAs(アルミニウム・ヒ素))、II-VI族材料(例えば、CdSe(セレン化カドミウム)、CdS(硫化カドミウム)、CdTe(テルル化カドミウム)、ZnO(酸化亜鉛)、ZnSe(セレン化亜鉛)、ZnS(硫化亜鉛)、またはZnTe(テルル化亜鉛))、あるいはそれらの任意の組合せが含まれる。半導体材料の他の例には、III-V族材料、例えば、インジウム・リン(InP)、ガリウム・ヒ素(GaAs)、アルミニウム・ヒ素(AlAs)、またはそれらの任意の組合せが含まれる。II-V族材料は、アルミニウム(Al)、ホウ素(B)、ガリウム(Ga)、インジウム(In)などの少なくとも1つの「III族元素」と、窒素(N)、リン(P)、ヒ素(As)、アンチモン(Sb)などの少なくとも1つの「V族元素」を含むことができる。加えて、図1にはバルク基板102が示されているが、基板102は、半導体オン・インシュレータ(SOI)基板として形成することもできることを認識されたい。

30

40

#### 【0027】

図2に目を向けると、フィン保護ライナー106の堆積後の半導体構造体100が示されている。フィン保護ライナー106は、基板102の上面に堆積され、半導体フィン104の側壁および上面と共形になる。フィン保護ライナー106は、化学気相堆積(CVD)プロセスを使用して形成されるか、または例えばプラズマ励起の支援の有無にかかわらず熱成長させることができ、Si、酸化ケイ素、または窒化ケイ素(SiN)を含むが、これらに限定されないライナー材料で構成されている。

#### 【0028】

図3を参照すると、フィン保護ライナー106の上面に低温分離材料108を堆積させ

50

て、トレンチ105を充填し、半導体フィン104を覆った後の半導体構造体100が示されている。本発明の一実施形態では、低温分離材料108は、摂氏約500度( )未満の堆積に対する熱収支を有する。低温分離材料108は、例えばおよそ3.9以下の誘電率(k)を有する様々な酸化物または酸化物様材料で形成することができる。1つまたは複数の実施形態では、低温分離材料108は、例えば、二酸化ケイ素(SiO<sub>2</sub>)、または名目上、SiO<sub>2</sub>で構成され、流動性誘導体堆積プロセスを使用して堆積させる。しかしながら、低温分離材料108を堆積させることができる他の堆積プロセスが使用されてもよいことを認識されたい。

#### 【0029】

トレンチ105は、以下の電気的特性を有する他の低温分離材料(例えば、SiO<sub>2</sub>以外)で充填することができる。すなわち、リークが約1MVで約1e<sup>-8</sup>A/cm<sup>2</sup>未満かつ2MVで約1e<sup>-7</sup>A/cm<sup>2</sup>未満であり、絶縁破壊が約6MV/cmよりも大きく、誘電率(k値)が約5未満である。材料の組成には、ケイ素(Si)、炭素(C)、ホウ素(B)、窒素(N)、および酸素(O)が含まれてもよいが、これらに限定されない。

10

#### 【0030】

ポスト・アニール・プロセスとも呼ばれる堆積後熱処理を行い、改質された低温分離材料のエッチング耐性を向上させる(すなわち、エッチング速度を下げる)ことができる。ポスト・アニール・プロセスにより、改質された低温分離材料は、例えば、1000を超える温度にさらされる。本発明の一実施形態では、2段階堆積後アニール・プロセスが行われる。2段階ポスト・アニール・プロセスには、改質された低温分離材料を約600にアニールするために蒸気(水蒸気)を使用して熱を加える最初の操作と、それに続く2番目の最大800のより高温のアニール・プロセスとが含まれる。

20

#### 【0031】

図4に目を向けると、低温分離材料108を硬化させる硬化プロセスを受けている半導体構造体100が示されている。硬化プロセスには、UVエネルギー照射プロセス、熱アニール・プロセス、およびレーザ・アニール・プロセスが含まれるが、これらに限定されない。後続の蒸気または乾燥窒素(N<sub>2</sub>)あるいはその両方のアニール・プロセスも低温分離材料108に適用することができる。

#### 【0032】

ここで、図5に目を向けると、化学機械平坦化(CMP)プロセス後の半導体構造体100が示されている。CMPプロセスは、低温分離材料108の一部をリセスするために行うことができるが、フィン104の上面に形成されたハードマスクまたはフィン保護ライナー106上で停止する。CMPプロセスは、半導体フィン104から被覆層または過剰な低温分離材料108を除去する働きをすることができる。

30

#### 【0033】

ここで、図6を参照すると、低温分離材料108の上方部をリセスして半導体フィン104の一部を露出させるエッチング・プロセス後の半導体構造体100が示されている。分離材料108は、RIEプロセスまたはウェット・エッチング・プロセスを使用してリセスされ得る。RIEは、分離材料108に対して選択性のある化学物質を用いることができる。このようにして、図6に示すように、ハードマスクおよびフィン保護ライナー106を維持しながら、低温分離材料108がリセスされる。維持されたフィン保護ライナー106は、以下でより詳細に説明される1つまたは複数の後続の製造プロセスを行う際に、下にある半導体フィン104が損傷するのを防ぐ働きをすることができる。RIEの代替として、例えば、希釈HF(DHF)などのフッ化水素(HF)酸化学物質を含むウェット・エッチング・プロセスを使用することができる。

40

#### 【0034】

1つまたは複数の半導体フィン104を分離する低温分離材料108の残りの部分は、例えばSTI領域などの電気的分離領域110と呼ばれることがあり、後続の製造プロセス(図示せず)中に形成される隣接トランジスタ構造を電気的に分離する働きをすることができる。電気的分離領域110は、設計アプリケーションが反対の導電率、例えば、n

50

F E Tおよびp F E Tを有する隣接ゲートを必要とする場合に実装することができる。そのため、電気的分離領域110は、n F E Tデバイス領域をp F E Tデバイス領域から電気的に分離することができる。

**【0035】**

図7を参照すると、(下向きの矢印によって示される)表面処理操作が低温分離材料108の上面に適用されている。表面処理操作は、低温分離材料108の一部を高品質材料に改質または変換する。高品質材料とは、変換された材料の耐性の向上を指し、これにより、変換された高品質材料が、前洗浄または他の下流の製造プロセス中に用いられる様々なエッチャント化学物質に耐えることができる。エッチング耐性は、材料のエッチング速度の観点からも決定することができる。例えば、材料のエッチング速度は、そのエッチング耐性の向上とともに低下する。希釈(体積で10:1)フッ化水素(DHF)酸エッチング処理を受ける化学量論的な熱SiO<sub>2</sub>のエッチング速度は、例えば、公称20オングストローム/分(20Å/分)すなわち2ナノメートル/分(2nm/分)である。したがって、本発明の1つまたは複数の実施形態は、化学量論的な熱SiO<sub>2</sub>の約2倍(×2)よりも大きなエッチング速度を有する低温分離材料108を最初に堆積させる。

10

**【0036】**

表面処理操作は、低温分離材料108がSiO<sub>2</sub>で構成されている場合、窒素含有プラズマ(例えば、窒素プラズマまたはアンモニア・ベースのプラズマ)を適用することを含んでもよい。しかしながら、ヘリウム(He)、水素(H)、アルゴン(Ar)、および酸素(O)を含むが、これらに限定されない他のプラズマ種を用いることができる。フィン保護ライナー106は、下にある低温分離材料108を保護する働きをする。

20

**【0037】**

本発明の一実施形態では、堆積させた低温分離充填材料を高密度化する(すなわち、密度を高める)ために高密度プラズマ(HDP)処理が行われる。HDPは、HDPリアクタによって生成された誘導結合プラズマ(ICP)を使用して適用することができる。

**【0038】**

HDP処理の組合せを行うことができる。HDP処理に続いて、例えば、800の窒素雰囲気の下で後処理アニールを行って、堆積させた絶縁材料のウェット・エッチング速度を著しく改善することができる。一例において、堆積させた絶縁材料のウェット・エッチング速度は、熱酸化物のエッチング速度の約2倍(例えば、約40Å/分)から約25Å/分に低下し、熱酸化物(例えば、20Å/分)のエッチング速度の品質に近くなる。

30

**【0039】**

ヘリウムと酸素を組み合わせた(He+O<sub>2</sub>)プラズマ処理、または水素と酸素を組み合わせた(H<sub>2</sub>+O<sub>2</sub>)プラズマ処理を低温分離材料108に適用することができる。ヘリウムおよび水素のプラズマ流を、1000標準立方センチメートル/分(sccm)を超える速度で送出することができる。この処理を、例えば、約5000ワット(W)未満のプラズマ電力で5分未満適用することができる。少なくとも1つの実施形態では、安定性を確保するために、少量(50sccm未満)のアルゴン(Ar)をプラズマに追加することができる。

**【0040】**

窒素を含むプラズマ処理を低温分離材料108に適用して、酸化物の組成を変更して、窒素を追加することができる。アルゴン(Ar)またはヘリウム(He)あるいはその両方を適用する加熱ステップを、例えば、約3000ワットのプラズマ電力で、例えば、約2分間適用することができる。予熱ステップの後に、メインの窒素プラズマ処理ステップを、Heを追加のガスとして用いて2回目のプラズマ時間(例えば、10分未満)行うことができる。例えば、ゼロまたは非常に小さなバイアス(例えば、約数百ワット)で、約10キロワット(kW)未満のプラズマ電力を使用することができる。処理温度は、プラズマ電力に応じて選択することができ、本明細書に記載されたHDP処理のいずれに対しても500未満にすることができる。

40

**【0041】**

50

ここで、図 8 を参照すると、低温分離材料 108 の一部を改質または変換することから生じる保護層 112 を有する電気的分離領域 110 が示されている。保護層 112 は、残りの非改質低温分離材料 108 の上方に形成されている。したがって、電気的分離領域 110 は、多層電気的分離領域 110 に改質されていると見ることができる。言い換えれば、各多層電気的分離領域 110 は、低温分離層 108 と、低温分離層 108 の上面に形成された保護層 112 と、を含むと見ることができる。

#### 【0042】

図 8 の構成では、表面処理操作（すなわちプラズマ処理）は、低温分離誘電体材料（例えば、 $\text{SiO}_2$ ）の上方部を酸窒化物（ $\text{SiO}_2\text{Ny}$ ）材料で構成された保護層 112 に改質または変換する。プラズマ処理から生じる保護層 112 は、例えば、およそ  $0.5\text{ nm}$  ~ およそ  $10\text{ nm}$  の範囲にある厚さ（ $\text{Th1}$ ）を有することができる。酸窒化物保護層 112 は、残りの非改質の最下層 108 と比較して、より高いエッチング耐性を有する。少なくとも 1 つの実施形態では、非改質の酸化物層 108 は、例えば、10 : 1 の希釈  $\text{HF}$ （ $\text{DHF}$ ）酸エッチング処理を受けるとき、化学量論的な熱  $\text{SiO}_2$  に比べて 2 倍（ $\times 2$ ）よりも大きなエッチング速度を有し、一方、保護層の第 2 の材料は、 $\text{DHF}$  エッチング処理を受けるとき、化学量論的な熱  $\text{SiO}_2$  よりも約 1.5 倍大きなエッチング速度を有する。したがって、保護層 112 は、残りの非改質の酸化物層 108 のエッチング耐性よりも大きなエッチング耐性を有する。

10

#### 【0043】

例えば、低温分離材料が  $\text{SiO}_2$  で構成されている場合、改質された酸窒化物保護層 112 は、 $\text{SiO}_2$  によって提供されるエッチング耐性の少なくとも 2 倍（ $\times 2$ ）のウェット・エッチング耐性を有する。したがって、低温分離材料 108 の一部を保護層 112 に改質または変換することができ、この保護層 112 が、残りの下にある低温分離材料 108 を保護するためのマスクとして働くことができる。したがって、低温分離材料 108 の頂部に別個の高品質保護層を形成するために、追加の材料堆積プロセスを必要としない。本明細書に記載されるように、用語「高品質」とは、前洗浄または他の下流の製造プロセス中に用いることができる様々なエッチャント化学物質に対する低温分離層 108 の耐性の向上を指す。

20

#### 【0044】

別個の堆積プロセスの排除は、電気的分離領域 110 が形成される精度も改善する。例えば、追加の材料を堆積させることなく下にある低温分離材料 108 を保護することができるため、電気的分離領域 110 の高さは、その後増加しない。また、保護層 112 は、低温分離材料 108 から直接変換され、したがって、それと一体化され得るため、多層電気的分離領域 110 は、低温分離材料 108 と保護層 112 との間の物理インタフェースまたは接触面なしに形成することもできる。

30

#### 【0045】

窒素を含むプラズマ処理は、最初のプラズマ処理の後（例えば、ヘリウムと酸素の組合せ（ $\text{He} + \text{O}_2$ ）プラズマ処理、または最初の水素と酸素の組合せ（ $\text{H} + \text{O}_2$ ）プラズマ処理を行った後）に行われる任意選択の後続のプラズマ処理として利用することができる。したがって、窒素元素は、最初に改質された保護層 112 の部分に導入される（図 9 参照）。

40

#### 【0046】

図 10 に目を向けると、保護層 112 を形成した後に熱アニール・プロセスを受けている半導体デバイス 100 が示されている。熱アニール・プロセスは、保護層 112 の変換された酸化物材料を約  $900$  未満の温度でアニールして、保護層 112 の密度を高める。少なくとも 1 つの実施形態では、保護層 112 は、約  $500$  ~ 約  $800$  の範囲にある温度に達する。このようにして、保護材料 112 のエッチング耐性が向上し、それによって材料のエッチング速度がさらに低下する。代替として、アニール・プロセスを初期のステップで行うことができる。例えば、フィン 104 を露出させる前にアニール・プロセスを行うことができる（図 5 参照）。

50

## 【0047】

ここで、図11に目を向けると、多層電氣的分離領域110を形成するために（下向きの矢印によって示される）イオン注入操作を受けている半導体デバイス100が示されている。本発明の本実施形態では、（下向きの矢印によって示される）イオン114は、ハードマスクおよびフィン保護ライナー106が、下にあるフィン104を保護する働きをしている間に、低温分離材料108に注入される。

## 【0048】

プラズマ処理とは異なり、イオン注入プロセス中に送出されるイオンは、低温分離材料108に深く侵入することができ、それによって、特性が改善された深い保護層を形成する。イオンの深い侵入により、低温分離材料108の全厚さを改質することも可能になる。イオン114は、窒素(N)、ヘリウム(He)、水素(H)、アルゴン(Ar)、またはシリコン(Si)を含むが、これらに限定されない様々なタイプまたは化学種を含むことができる。従来のプラズマ処理とは異なり、イオン注入プロセスのエネルギーを変えて、イオン114が低温分離材料108に注入される深さを制御することができる。

10

## 【0049】

フィン104が、例えば、Siから形成される場合、シリコン(Si)イオンを注入するイオン注入プロセスを行って、Siフィン104が反作用材料で汚染されるのを回避することができる。本例では、Siイオンは、シリコン・リッチ絶縁材料を形成し、この絶縁材料は、従来の熱酸化物材料よりも低いウェット・エッチング速度を有する。本発明の一実施形態では、シリコン注入エネルギーは、例えば、約2キロ電子ボルト(keV)～約35keVの範囲とすることができ、ドーズ量は、例えば、 $e^{13} \sim e^{15}$  原子/cm<sup>2</sup>の範囲とすることができ、

20

## 【0050】

図12を参照すると、前述のイオン注入プロセス後の多層電氣的分離領域110が示されている。多層電氣的分離領域110はそれぞれ、低温分離材料108の非改質部分の上方に形成された保護層116を含む。図10の構成では、注入された窒素イオンは、低温分離材料（例えば、SiO<sub>2</sub>）の一部を酸窒化物(SiO<sub>x</sub>N<sub>y</sub>)材料で構成された保護層116に改質または変換する。酸窒化物保護層116は、残りの非改質の低温分離材料108と比較して、より高いエッチング耐性を有する。加えて、改質された酸窒化物保護層116は、残りの下にある低温分離材料108よりも大きな密度を有する。

30

## 【0051】

上述したように、改質された酸窒化物保護層116は、SiO<sub>2</sub>非改質低温分離材料108によって提供されるエッチング耐性の少なくとも2倍( $\times 2$ )のウェット・エッチング耐性を有する。したがって、低温分離材料108の一部を保護層116に改質することができ、この保護層116が、残りの下にある低温分離材料108を保護するマスクとして働くことができる。したがって、低温分離材料108の頂部に別個の層を形成するために、追加の材料堆積プロセスを必要としない。別個の堆積プロセスの排除は、電氣的分離領域110が形成される精度も改善する。例えば、追加の材料を堆積させることなく下にある低温分離材料108を保護することができるため、電氣的分離領域110の高さは、その後増加しない。また、保護層116が低温分離材料108から直接変換され、したがって、それと一体化されるため、多層電氣的分離領域110は、低温分離材料108と保護層116との間の物理インタフェースなしに形成することもできる。

40

## 【0052】

上述したように、イオン114を注入するために使用されるエネルギー・レベルを変えて、保護層116の厚さ(Th2)を制御することができる。したがって、保護層116は、上述したプラズマ処理操作を使用して形成された保護層112と比較して、電氣的分離領域110により深く形成することができる。例えば、イオン注入プロセスから生じる保護層116は、およそ0.5nm～およそ100nmの範囲にある厚さ(Th2)を有することができる。他の非限定的な実施形態では、保護層116が基板102の近くに位置する電氣的分離領域110の底部に達するように、低温分離材料108全体を改質する

50

ことができる。別の例では、保護層 116 の厚さ (Th2) は、非改質の低温分離材料 108 の厚さよりも大きくすることができる。

【0053】

加えて、イオン注入技術を使用して、電氣的分離領域 110 内の異なる深さに異なるタイプのイオンまたは異なる化学種を注入することができる。このようにして、それぞれの保護層が異なる材料または異なる化学種で構成された、いくつかの異なる保護層を有する多層電氣的分離領域 110 を形成することができる。

【0054】

図 13 を参照すると、例えば、第 1 のイオン注入プロセスが行われている。第 1 のイオン注入プロセスは、電氣的分離領域 110 に位置する低温分離材料 108 (例えば、SiO<sub>2</sub>) に第 1 のイオン・タイプ 114 a または化学種 114 a を注入することを含む。第 1 のタイプのイオン 114 a は、シリコン (Si) を含むことができるが、これに限定されない。加えて、第 1 のイオン注入プロセスは、第 1 のエネルギー・レベルに従って第 1 のイオン 114 a を注入し、それにより、結果として生じる第 1 の保護層 (図 11 に示さず) の深さ (例えば、上面から低温分離材料 108 内に延びる距離) を制御することができる。

10

【0055】

図 14 に目を向けると、第 1 のイオン注入プロセスに従って形成された第 1 の保護層 116 a を有する半導体デバイス 100 が示されている。図 11 で説明した例を参照すると、SiO<sub>2</sub> で構成された低温分離材料 108 への Si イオン 114 a の注入は、シリコン・リッチ (Si<sub>x</sub>O<sub>y</sub>) 保護層 116 a を形成する。Si リッチ保護層 116 a は、非改質の SiO<sub>2</sub> 低温分離材料 108 よりも高いレベルの Si を有すると見ることができる。加えて、Si リッチ保護層 116 a は、非改質の SiO<sub>2</sub> 低温分離材料 108 と比較して、熱またはエッチングあるいはその両方の耐性を向上させることができる。第 1 の保護層 116 a も、第 1 のイオン 114 a を注入するために使用されるエネルギー・レベルによって決定される第 1 の深さに達して、第 1 の厚さ (Di1) を画定する。

20

【0056】

ここで図 15 を参照すると、第 2 のイオン注入プロセスが行われている。第 2 のイオン注入プロセスは、電氣的分離領域 110 に位置する第 1 の保護層 116 a に第 2 のタイプのイオン 114 b または化学種を注入することを含む。第 2 のタイプのイオン 114 b は、窒素 (N)、ヘリウム (He)、水素 (H)、およびアルゴン (Ar) を含むことができるが、これらに限定されない。第 2 のイオン注入プロセスのエネルギー・レベルは、第 2 のイオン 114 b を第 1 の保護層 116 a に対して、選択された深さに注入することができるように調整 (例えば、低減) され得る。

30

【0057】

ここで、図 16 に目を向けると、第 2 のイオン注入プロセスに従って形成された第 2 の保護層 116 b を有する半導体デバイス 100 が示されている。第 2 の保護層 116 b は、第 1 の保護層 116 a に対して異なる材料で構成されている。例えば、Si リッチ (Si<sub>x</sub>O<sub>y</sub>) 保護層 116 a への N イオンの注入は、酸窒化物 (Si<sub>x</sub>O<sub>y</sub>N<sub>z</sub>) 保護層 116 b を形成する。第 2 の保護層 116 b も、第 2 のイオン 114 b を注入するために使用されるエネルギー・レベルによって決定される第 2 の深さに達する。図 13 および図 14 に示す例では、第 2 の保護層 116 b の第 2 の深さは、第 1 の保護層 116 a の第 1 の深さよりも小さい。したがって、第 2 の保護層 116 b は、第 2 の厚さ (Di2) を有するように形成されている。第 1 の保護層 116 a の一部が第 2 の保護層 116 b に変換されるため、第 1 の保護層 116 a の元の厚さ (Di1) は、第 2 のイオン注入プロセス後に、減少している (Di1') と見ることができる。

40

【0058】

本発明の別の実施形態では、プラズマ処理操作を Si リッチ (Si<sub>x</sub>O<sub>y</sub>) 保護層 116 a の上面に適用することができる。このようにして、Si リッチ (Si<sub>x</sub>O<sub>y</sub>) 保護層 116 a の上方部が第 2 の保護層 116 b に変換される。例えば、Si リッチ (Si<sub>x</sub>O

50

y) 保護層 116a の上方部は、窒素種を含むプラズマが適用されると、酸窒化物 ( $\text{Si}_x\text{O}_y\text{N}_z$ ) 保護層 116b に変換され得る。

【0059】

上述したいずれのシナリオでも、酸化物の窒化から生じる酸窒化物 ( $\text{Si}_x\text{O}_y\text{N}_z$ ) 保護層 116b は、シリッチ酸化物 ( $\text{Si}_x\text{O}_y$ ) 保護層 116a および元の低温誘電体材料 (例えば、 $\text{SiO}_2$ ) と比較して、より大きなエッチング耐性を提供する。したがって、いくつかの異なる保護層 116a および 116b を有する多層電氣的分離領域 110 を形成することができる。各保護層 116a および 116b は、異なる材料、例えば、 $\text{Si}_x\text{O}_y$  および  $\text{Si}_x\text{O}_y\text{N}_z$  でそれぞれ構成することができ、したがって、多層電氣的分離領域 110 の選択された層またはレベルで異なるウェット・エッチング耐性特性を提供することができる。第 1 の保護層 116a および第 2 の保護層 116b は、別個の個別の層として示されているが、それぞれの保護層に対応するイオン 114a および 114b を堆積させて、低温分離材料層 108 から第 2 の保護層 116b の上面まで延びる化学種の傾斜組成を形成することができることを認識されたい。

10

【0060】

図 17 に目を向けると、第 1 の保護層 116a および第 2 の保護層 116b の高密度化アニールを受けている半導体デバイス 100 が示されている。高密度化アニールは、加熱蒸気を低温分離材料 108 に適用することを含む。本発明の一実施形態では、低温分離材料 108 は、約 500 ~ 約 800 の範囲にある温度で加熱される。したがって、第 1 の保護層 116a または第 2 の保護層 116b あるいはその両方の密度が向上し、それにより第 1 の保護層 116a および第 2 の保護層 116b のエッチング速度が低下する。

20

【0061】

上述の本発明の実施形態は、第 2 の改質された層 116b を形成する前に、最初に深い注入プロセスを行って第 1 の保護層 116a を形成しているが、本発明は、これに限定されない。例えば、表面処理 (例えば、プラズマ処理) を最初に行って、低温分離材料層 108 の第 1 の部分を酸窒化物 ( $\text{SiO}_x\text{N}_y$ ) 保護表面層に変換することができる。その後、後続のイオン注入プロセスを行って、下にある (すなわち、変換された  $\text{SiO}_x\text{N}_y$  保護表面層の下に位置する) 低温分離材料層 108 の第 2 の部分をシリッチ酸化物 ( $\text{Si}_x\text{O}_y$ ) 保護層に形成することができる。

【0062】

図 18 に目を向けると、多層電氣的分離領域 110 の上面の上方に位置する半導体フィン 104 の露出部分からフィン保護ライナー 106 を除去した後の半導体デバイス 100 が示されている。エッチング・プロセスは、フィン保護ライナー 106 の材料に対して選択性のある様々なエッチング化学物質を使用することができる。例えば、熱リン酸エッチャントを半導体フィン 104 に適用して、下にある半導体フィン 104 および第 2 の保護層 116b を維持しながら、窒化ケイ素 ( $\text{SiN}$ ) で構成されたフィン保護ライナー 106 を除去することができる。フィン保護ライナー 106 の選択された材料に対して選択性のある化学物質を利用する RIE プロセスを用いることもできる。ハードマスク・キャップ 101 は、フィン保護ライナー 106 の部分的な除去の後に維持されるとして示されているが、この段階でハードマスク・キャップ 101 をフィン 104 の上面から除去することもできることを認識されたい。

30

40

【0063】

上述の 2 つの異なるイオン注入プロセスを行った後にフィン保護ライナー 106 を除去することについて説明したが、フィン保護ライナー 106 を除去することができる段階は、これに限定されない。例えば、フィン保護ライナー 106 は、保護層 112 を形成するために使用されるプラズマ技術 (例えば、図 9 参照) を行った後に除去することができる。別の例では、フィン保護ライナー 106 は、単一の保護層 116 を形成するために使用される単一のイオン注入プロセス (例えば、図 12 参照) を行った後に除去することができる。

【0064】

50

本明細書で説明されるように、本発明の実施形態は、使用される低温分離充填材料の一部を改質または変換して、高アスペクト比デバイス要素（例えば、高アスペクト比STI領域）を、前洗浄または他の下流の製造プロセス中に用いられる様々なエッチャント化学物質に耐えることができる高耐性保護層に形成する。したがって、結果として生じる高アスペクト比半導体デバイス要素を、下流の洗浄プロセスおよび他の後続の製造操作から保護しながら、低温分離材料から形成することができる。一部の例では、低温分離材料を使用して高アスペクト・トレンチを充填し、高アスペクトSTI領域を形成することができる。したがって、これらの結果として生じるSTI領域は、非流動性酸化物充填プロセスを使用する場合に一般的に存在するボイドまたは他の欠陥なしに形成することができるが、改質された保護層に起因する意図しないオーバ・エッチングおよびプル・ダウンから保護される。

10

【0065】

本発明の様々な実施形態の説明は、例示を目的として提示されており、網羅的であること、または説明される実施形態に限定されることは意図されていない。説明された実施形態の範囲から逸脱することなく、多くの修正形態および変形形態が、当業者には明らかであろう。本明細書で使用される用語は、実施形態の原理、市場で見出される技術に対する実際の応用または技術的改良を最も良く説明するか、あるいは当業者が本明細書に記載された実施形態を理解することができるように選択された。

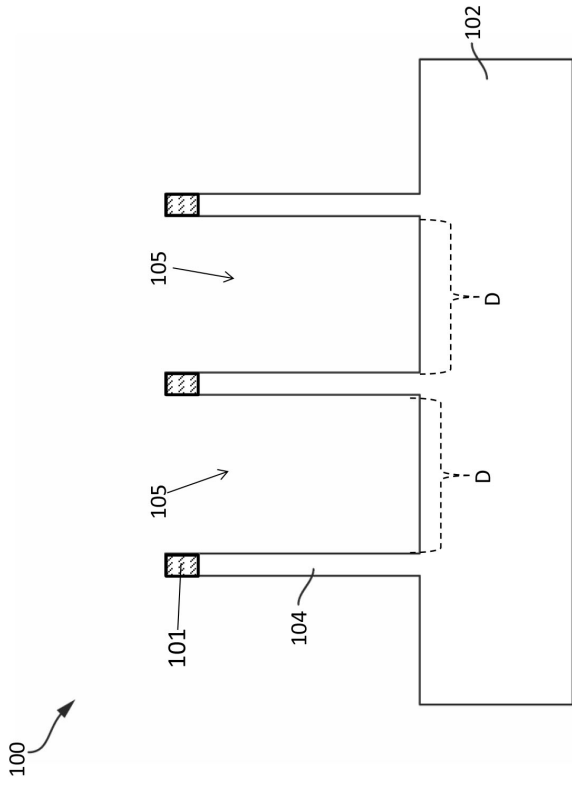
20

30

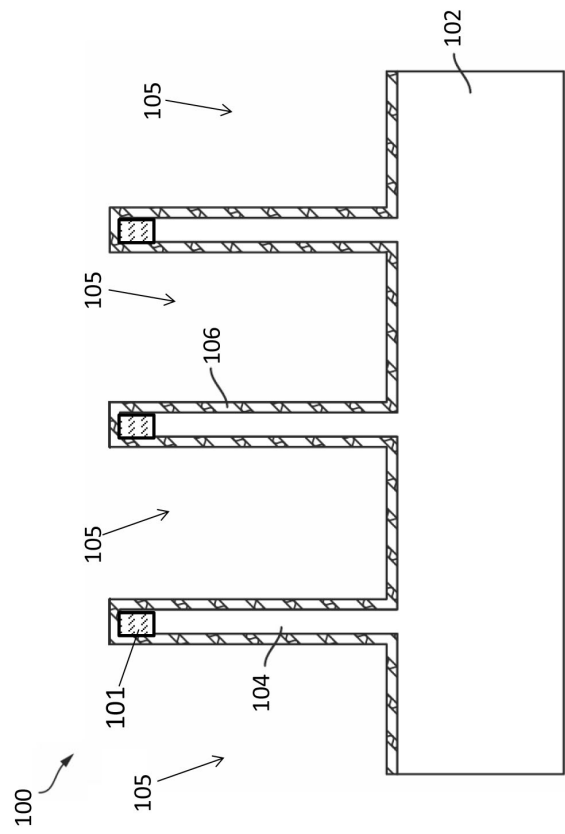
40

50

【図面】  
【図 1】



【図 2】



10

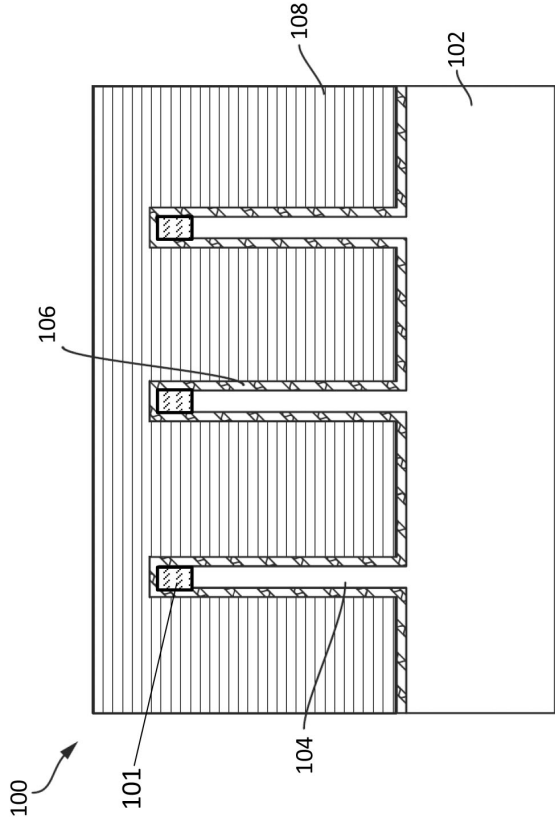
20

30

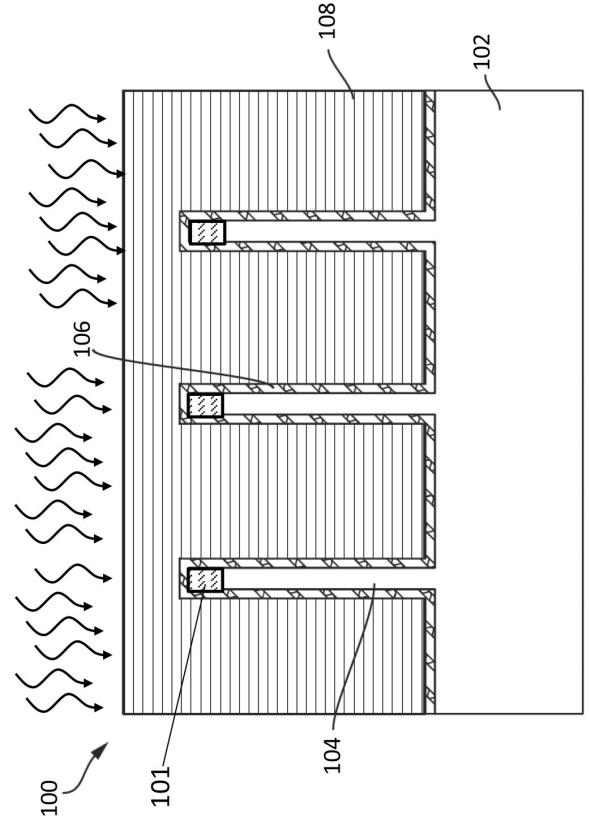
40

50

【図 3】



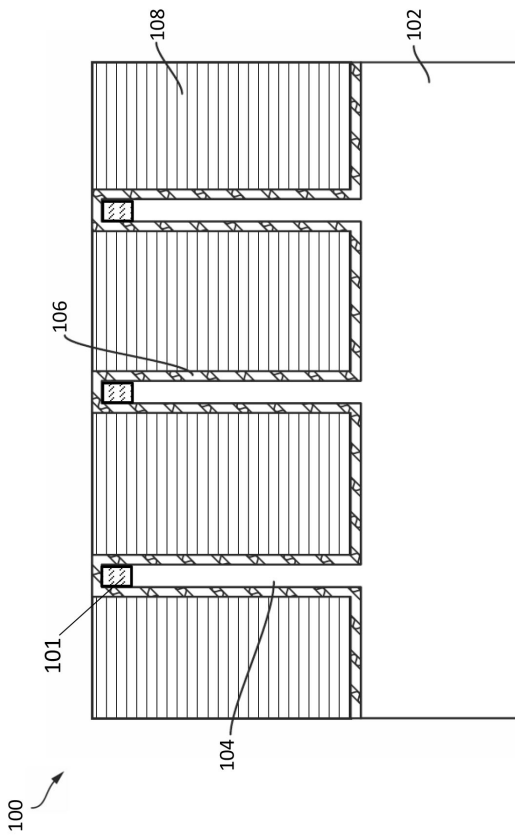
【図 4】



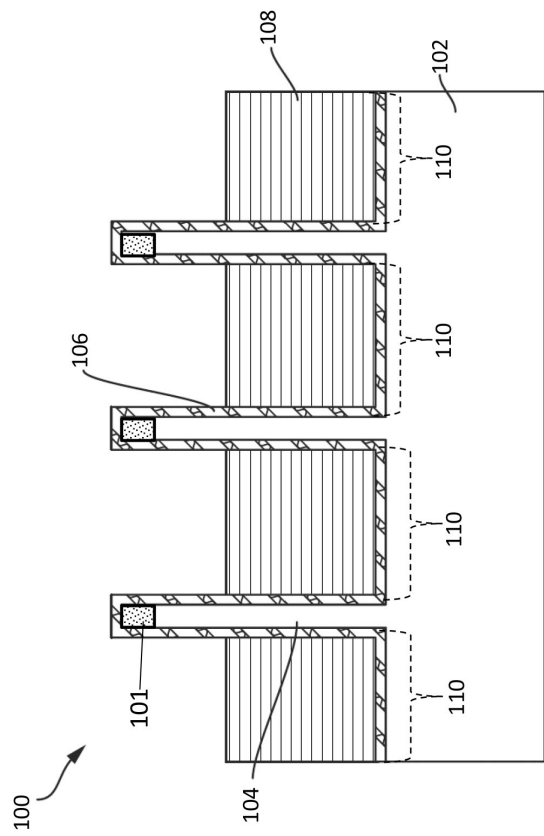
10

20

【図 5】



【図 6】

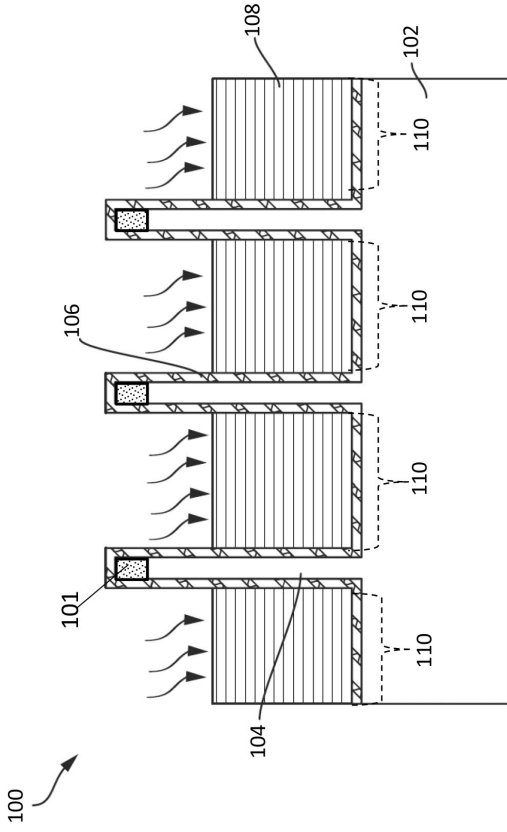


30

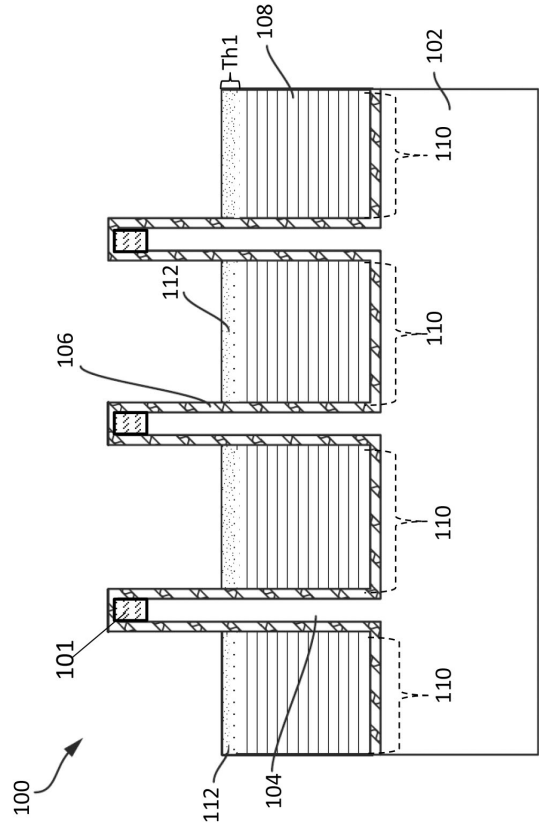
40

50

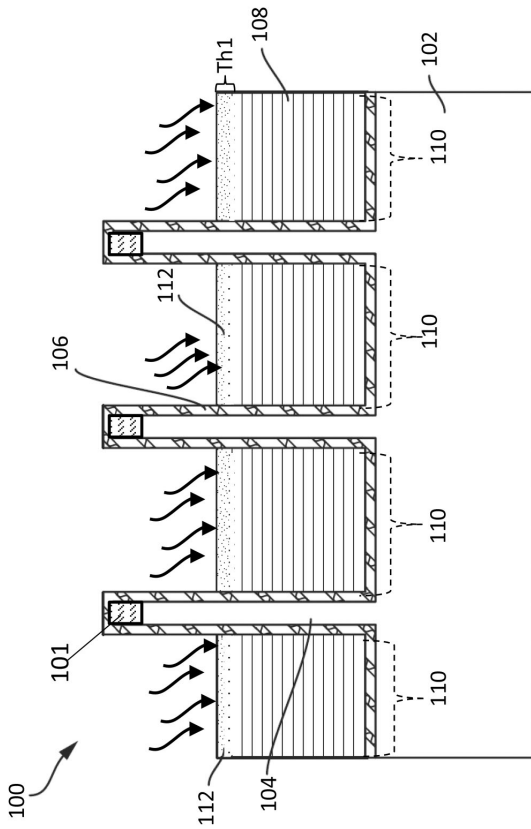
【図 7】



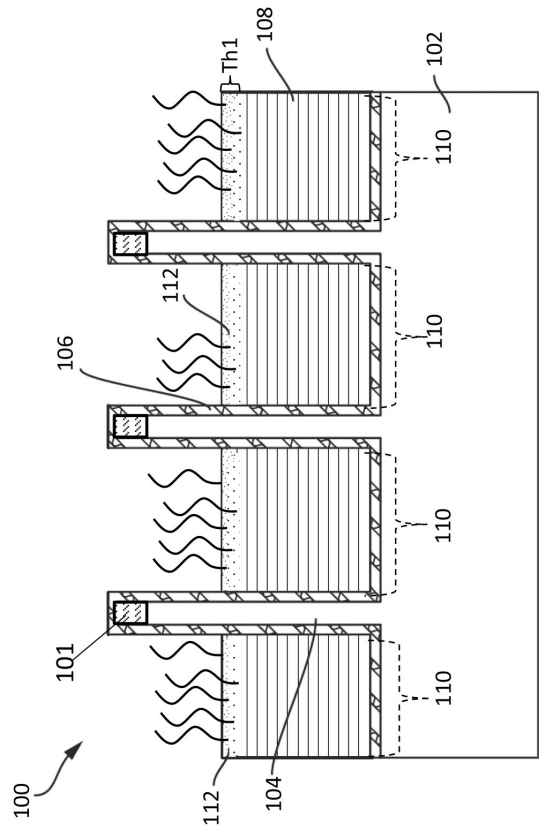
【図 8】



【図 9】



【図 10】



10

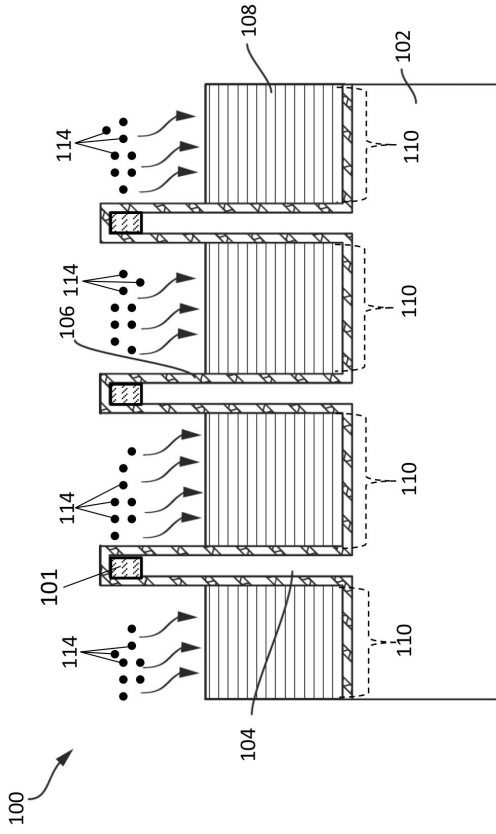
20

30

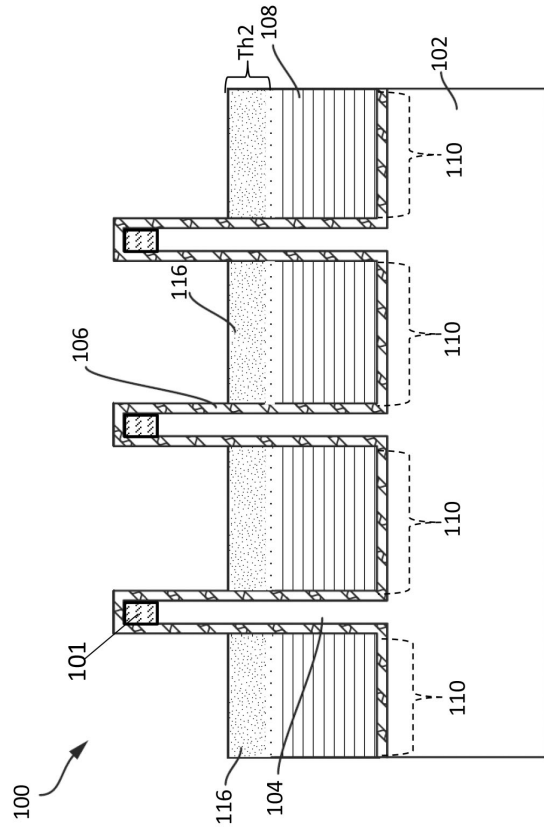
40

50

【図 1 1】



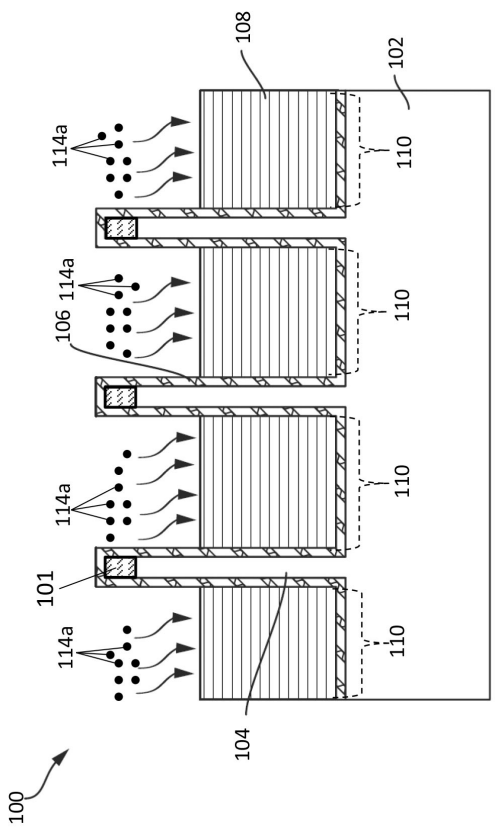
【図 1 2】



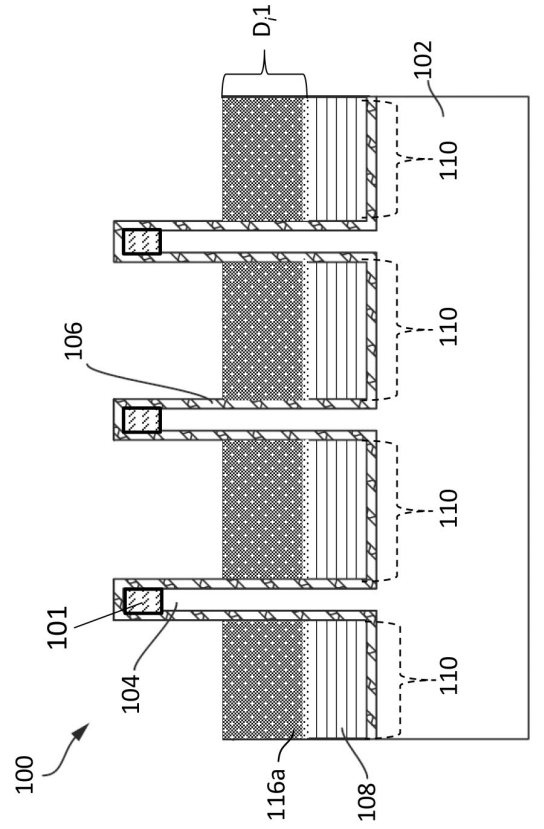
10

20

【図 1 3】



【図 1 4】

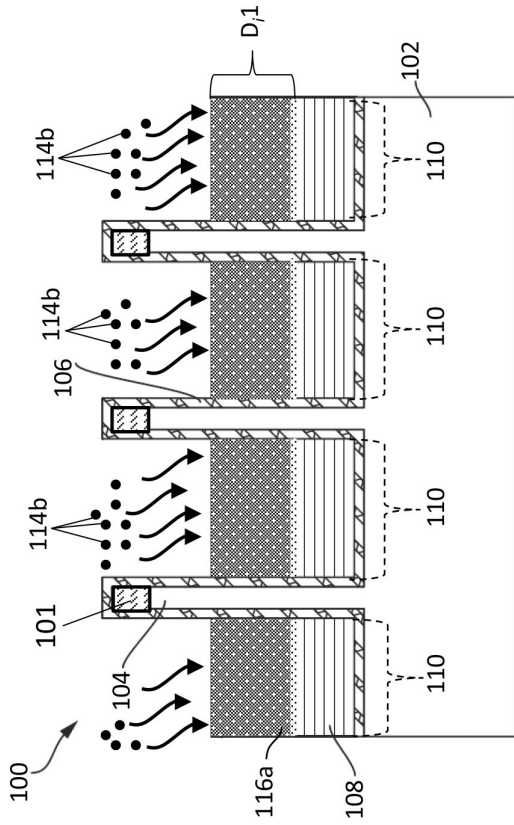


30

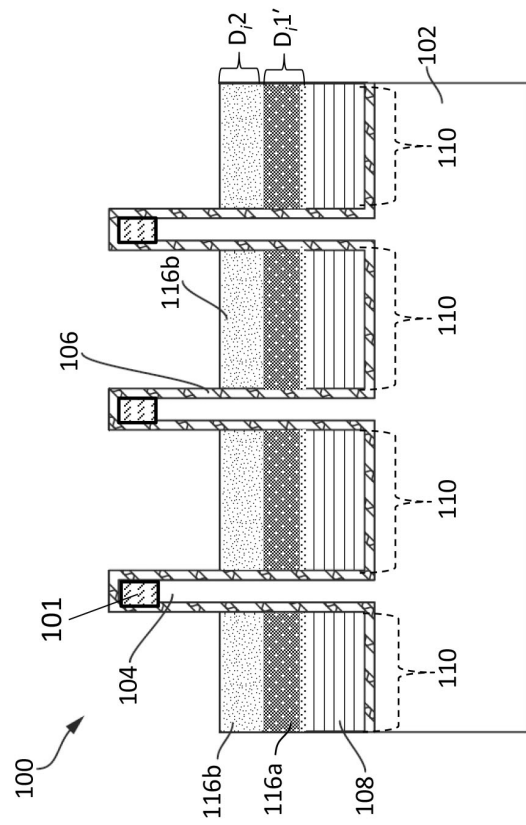
40

50

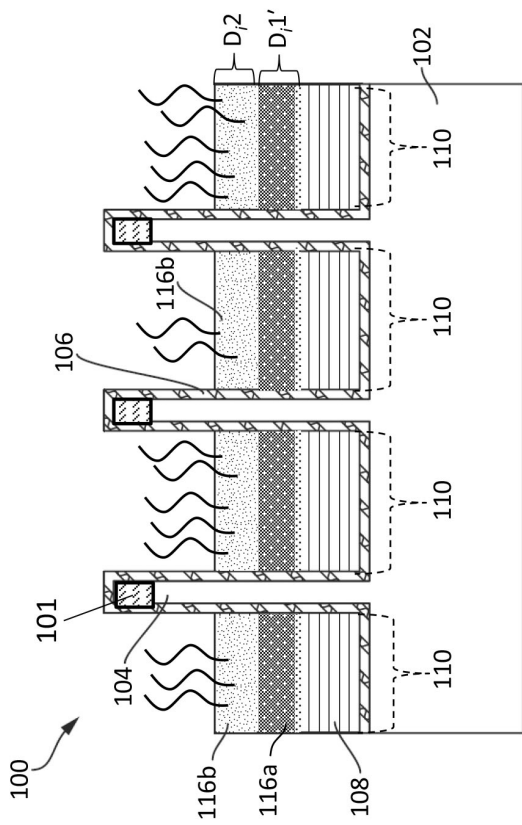
【図 15】



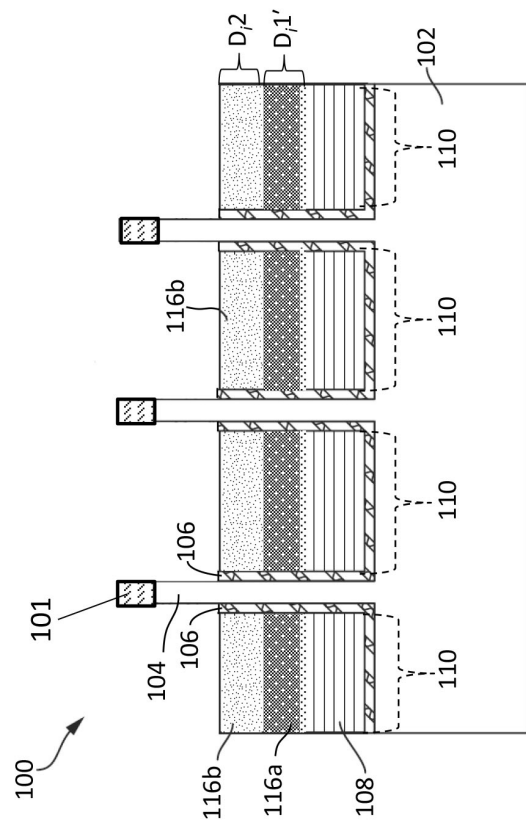
【図 16】



【図 17】



【図 18】



10

20

30

40

50

## フロントページの続き

- (72)発明者 ストレイン、ジェイ、ウィリアム  
アメリカ合衆国 1 2 5 3 3 - 6 6 8 3 ニューヨーク州ホープウェル ジャンクション ルート 5 2  
2 0 7 0
- (72)発明者 サダナ、デヴェンドラ  
アメリカ合衆国 1 0 5 9 8 ニューヨーク州ヨークタウン・ハイツ キッチャワン・ロード 1 1 0 1
- (72)発明者 ベランスキ、マイケル  
アメリカ合衆国 1 2 2 0 3 ニューヨーク州 オールバニ フラー・ロード 2 5 7
- (72)発明者 グオ、デッチャオ  
アメリカ合衆国 1 2 2 0 3 ニューヨーク州 オールバニ フラー・ロード 2 5 7
- (72)発明者 コンティ、リチャード  
アメリカ合衆国 1 2 2 0 3 ニューヨーク州 オールバニ フラー・ロード 2 5 7
- 審査官 宇多川 勉
- (56)参考文献 米国特許出願公開第 2 0 1 4 / 0 3 7 4 8 3 8 ( U S , A 1 )  
特開 2 0 1 0 - 1 9 2 5 8 8 ( J P , A )  
特開 2 0 0 3 - 0 1 7 5 5 5 ( J P , A )  
特開 2 0 0 3 - 1 1 0 0 1 5 ( J P , A )  
特開平 1 1 - 1 2 1 6 0 7 ( J P , A )
- (58)調査した分野 (Int.Cl. , D B 名)  
H 0 1 L 2 1 / 7 6  
H 0 1 L 2 1 / 3 1 6  
H 0 1 L 2 1 / 2 6 5