

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵
H01L 29/48

(45) 공고일자 1990년01월 19일
(11) 공고번호 특1990-0000068

(21) 출원번호	특1986-0006562	(65) 공개번호	특1987-0002662
(22) 출원일자	1986년08월09일	(43) 공개일자	1987년04월06일
(30) 우선권주장	60-176587 1985년08월09일	일본(JP)	
(71) 출원인	스미도모덴기교오교오 가부시기가이샤 나까하라 쓰네오 일본국 오오사까후 오오사까시 히가시구 기따하마 5쥬오메 15반지		
(72) 발명자	스즈끼 도미히로 일본국 오오사까후 오오사까시 고노하나구 시마야 1쥬오메 1반 3고 스미도모덴기교오교오 가부시기가이샤 오오사까세이사구쇼나이		
(74) 대리인	신중훈		

심사관 : 정용철 (책자공보 제1722호)

(54) 반도체 장치

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

반도체 장치

[도면의 간단한 설명]

제1도는 MESFET를 사용하는 대표적인 논리게이트회로인 DCFL회로의 개략도.

제2도는 MESFET를 사용하는 다른 논리게이트회로인 BFL회로의 개략도.

제3도는 본 발명의 일실시예에 의한 논리게이트회로의 개략도.

제4도는 본 발명의 일실시예에 의한 논리게이트회로의 효과를 설명하는 실험적 파라미터를 도시하는 상세구조도.

제5도는 제4도의 회로구성의 신호전달특성을 도시하는 그래프.

제6도는 제4도의 회로구성의 전달지연특성과 그 용량부하와의 관계를 도시하는 그래프.

제7도는 본 발명에 의한 NOR회로의 구조를 도시하는 개략도.

제8도는 본 발명에 의한 NAND회로의 구조를 도시하는 개략도.

* 도면의 주요부분에 대한 부호의 설명

1, 4, 5, 7, 9, 10, 12 : MESFET

2, 3, 8 : 부하

6, 11 : 쇼트기베리아다이오우드

[발명의 상세한 설명]

본 발명은 반도체장치에 관한 것으로서, 특히 쇼트기게이트전계효과 트랜지스터(금속-반도체 전계효과 트랜지스터, 이하 MESFET로 약칭함)을 사용하는 집적회로에 관한것이며, 더욱 특히 화합물반도체를 이용하는 MESFET_s로 이루어진 논리게이트의 회로구성에 관한 것이다.

반도체물질로서 실리콘(Si)를 사용하는 집적회로는 반도체 물질로서 GaAs등의 화합물반도체를 사용하는 집적회로보다 동작속도 및 전력소비등에서 불량하다.

GaAs등으로 형성된 화합물반도체집적회로는 동작속도의 증가 및 소비전력의 감소와 같은 우수한 특성을 가진다.

따라서, 화합물반도체를 사용하는 집적회로의 디지털응용분야에의 이용은 상당히 바람직하다. Si 집적회로와 달리, GaAs집적회로등의 화합물반도체집적회로는 쇼트기게이트전계효과트랜지스터(MESFET_s)로 구성된다.

MESFET_s를 사용하는 각종회로는 디지털집적회로에서 극히 중요한 회로성분인 논리회로로서 공지되어 있다.

제1도는 MESFET_s를 사용하는 대표적인 종래의 논리회로인 DCFL(직접접속전계효과트랜지스터논리)회로의 구조를 도시한다.

제1도를 참조하면, DCFL회로는 입력신호를 수신하는 게이트와, 접지에 접속되는 소오스와, 출력신호를 출력하는 드레인을 가지는 정상오프형 MESFET(1)과, MESFET(1)의 드레인과 전원(V_{DD})간에 접속된 부하(2)로 구성된다. 부하(2)는 저항 또는 MESFET로 구성된다.

DCFL회로는 전력소비가 적기때문에 대규모집적회로(VLSI)에 적합하다. 그러나, DCFL회로는 논리스윙이 작다는 단점이 있다. 즉, 논리고레벨은 쇼트기게이트의 순방향임계전압에 의해 설정되는 한편 논리저레벨은 그라운드레벨(통상적으로 0.2V)보다 약간 높은 전위에 있기 때문에, DCFL회로출력의 논리스윙은 일반적으로 약 500mV정도이다. 결과적으로, DCFL회로의 MESFET의 노이즈마진과 임계전압변동마진은 충분히 크지 않다.

또한, DCFL회로에서의 저레벨출력전위가 충분히 낮아야하기 때문에, 큰 저항값을 가지는 저항 또는 상당히 적은 전류를 통과시키는 MESFET를 부하(2)로서 사용하여야 한다. 제1도에 도시된 바와 같이 회로의 출력이 부하(2)와 MESFET(1)의 드레인간에서 출력되는 경우에 있어서, 부하(2)가 상당히 큰 저항값을 가지기 때문에 출력의 전류구동성은 작다. 특히, 전원으로서 DCFL회로가 사용되는 경우에, 이 전원의 구동성은 극히 작다.

상술한 바와 같이, DCFL회로는 긴와이어 및 또는 다수의 팬아웃을 포함하는 회로에는 적합하지 않다.

제2도는 MESFET_s를 사용하는 종래의 논리게이트의 다른 예인 BFL(완충 FET논리)회로의 구조를 도시한다.

제2도를 참조하면, BFL회로는 입력신호에 응동하여 동작을 절환하는 절환스테이지와 절환스테이지출력(즉, MESFET(4)의 드레인출력)의 전류증폭 및 레벨변동을 위한 완충스테이지의 조합체로서 구성된다.

절환스테이지는 입력신호를 수신하는 게이트와, 접지전위에 접속된 소오스와, 부하(3)을 개재하여 전원(V_{DD})에 접속됨과 동시에 MESFET(5)의 게이트에 접속된 드레인을 가지는 정상온형 MESFET(4)로 구성된다. 부하(3)은 저항 또는 MESFET로 구성된다.

완충스테이지는 전원(V_{DD})에 접속된 드레인과, MESFET(4)의 드레인에 접속된 게이트 및 쇼트기베리어 다이오우드(6)의 양극에 접속된 소오스를 가지는 정상온형MESFET(5)와, MESFET(5)의 소오스에 접속된 양극 및 MESFET(7)의 드레인 및 출력단자에 접속된 음극을 가지는 것으로서, 출력신호의 레벨을 변동시키는 쇼트기베리어다이오우드(6)과, 다이오우드(6)의 음극에 접속된 드레인과 입력전위(V_{SS})에 접속된 게이트 및 소오스를 가지는 정상온형 MESFET(7)로 구성된다.

BFL회로에 있어서는, -0.5V 내지 -2.0V의 임계전압을 가지는 MESFET가 일반적으로 사용된다. 이 경우에, 출력의 논리스윙은 약 1.5V정도로 커지게 된다. BFL회로는 큰 논리스윙을 가지기 때문에, 충분한 임계전압변동마진을 제공함은 물론 그 노이즈 마진도 크다.

또한, BFL회로에 있어서, 정상오프형 MESFET에 필적하는 큰 전류구동성을 가지는 정상온형 MESFET가 사용된다. 또한, BFL회로는 완충증폭스테이지를 포함한다. 따라서 BFL회로출력의 전류구동성은 DCFL회로의 전류구동성보다 크다. BFL회로는 논리스윙과 전류구동성등에서 우수한 특성을 가진다. 그러나 BFL회로의 소비전력은 게이트당 1mW 내지 수mW정도로 크기 때문에, BFL회로는 대규모집적회로를 형성하는 회로구조로서는 적합치 않다.

한편, 전력은 BFL회로의 완충증폭스테이지에서 일정하게 소비되기 때문에, 게이트절환시의 전류구동성에 대한 게이트 전력소비 면에서 회로로서의 유용성이 없다.

또한, BFL회로는 레벨이동을 위해 적어도 하나의 다이오우드로 구성되기 때문에, 출력의 논리스윙을 1.5V 이하의 값으로 감소시키는 것은 곤란하다.

일반적으로, 웨이퍼표면에서의 임계전압의 변동은 GaAs기판상의 MESFET IC제조에 있어서 문제를 일으킨다.

GaAs ICs는 웨이퍼표면에서 임계전압이 일정하게 분포하지 않는한 고수율로 제조할 수 없다. 종래의 제조기술은 임계전압이 크게 변동하기 때문에, 제1도를 참조하여 설명한 작은 논리스윙을 가지는 DCFL회로의 GaAs IC에의 적용에는 어려운 기술적문제가 발생한다. 임계전압은 웨이퍼에서의 전위 또는 기타 결정성결함과 상관관계가 있으나, 직접관계는 아직 설명하지 않았다.

그러나, 근래에 임계전압의 변동은 GaAs 웨이퍼상에 제조된 MESFET_s를 포함하는 IC에 있어서 수 10mV이하로 되었다. 그 이유는 높은 균일성을 가지는 GaAs단일결정을 제조하였기 때문이다. 임계전압의 변동이 수 10mV인 경우에 있어서, BFL회로의 논리스윙이 1.5V정도로 크다는 것은 임계전압마진

이 너무 크다는 것을 의미한다. 따라서, 전력소비를 가능한한 적게하는 것이 BFL회로의 1.5V정도로 큰 출력논리스wing보다 훨씬 바람직하다. 즉, BFL회로의 큰 전력소비는 큰 문제를 초래한다.

본 발명의 근본목적은 MESFET_s를 사용하는 종래의 논리회로의 상술한 결점을 제거하는데 있다. 즉, 본 발명의 목적은 전력소비가 적은 반면에 작동절환시의 전류구동성이 충분함과 동시에 대규모집적 회로를 형성하는데 필요충분한 논리스wing을 가지는 MESFET_s를 사용하는 신규의 논리게이트회로를 제공하는데 있다.

본 발명에 의한 반도체장치는 제1입력전위에 접속된 하나의 단자를 가지는 부하와 그부하의 다른단자와 제2입력전위간에 접속된 적어도 하나의 MESFET로 구성되고 입력신호에 응동하여 제어된 온/오프동작을 행하는 절환스테이지와, 제1전원에 접속된 하나의 전도단자를 가지고 그 게이트에서 절환스테이지출력을 수신하는 제2MESFET와, 제2MESFET의 다른 전도단자에 접속된 하나의 전도단자 및 다른전도단자를 가지는 제3MESFET와 제3입력전위에 접속된 게이트로 구성되는 완충스테이지와, 제2MESFET의 게이트 및 절환스테이지 출력부에 접속된 음극과 제2및 제3MESFET_s의 연결부에 접속된 양극을 가지는 쇼트기베리아다이오우드로 구성된다.

완충증폭스테이지에 의한 절환스테이지의 레벨변동량은 임계전압의 기대치 또는 제2및 제3MESFET_s의 게이트폭값을 적절하게 고정시키므로써 결정된다.

상술한 구조에 있어서, 쇼트기베리아다이오우드는 고속절환동작을 행하는 속도증가콘덴서의 기능을 가지는 한편 제2및 제3MESFET_s는 증폭 및 절환스테이지출력의 레벨변동기능을 가진다. 따라서, 논리게이트회로는 적당한 출력논리스wing, 저전력소비, 고속동작 및 고부하구동성등을 발휘할 수 있다.

다음은 본 발명의 상기목적 및 기타목적, 특징 장점등을 첨부된 도면에 의거하여 일층 상세히 설명한다.

제3도는 본 발명의 일실시예에 의한 논리게이트회로의 구조를 도시한다.

제3도를 참조하면, 논리게이트회로는 입력신호에 응동하여 절환동작을 행하는 절환스테이지와 절환스테이지의 출력을 증폭함과 동시에 레벨변동을 행하는 완충스테이지로 구성되는 변환기를 형성한다.

절환스테이지는 부하(8)의 한단자, MESFET(10)의 게이트 및 쇼트기베리아다이오우드(11)의 음극에 접속된 드레인과 접지전위에 접속된 소오스를 가지는 MESFET(9)과, MESFET(9)의 드레인에 접속된 한단자 및 제1입력전위(V_{DD})에 접속된 다른 단자를 가지는 부하(8)로 구성된다.

정상오프형의 쇼트기게이트전계효과 트랜지스터 또는 미소정상온영역에서 동작하는 쇼트기게이트전계효과 트랜지스터가 MESFET(9)로서 사용되고, 활성부하인 저항 또는 MESFET부하(9)로서 사용된다.

완충스테이지는 그 게이트에서 절환스테이지출력을 수신하는 한편 제1입력전위(V_{DD})에 접속된 드레인과 MESFET(12)의 드레인 및 쇼트기베리아다이오우드(11)의 양극에 접속된 소오스를 가지는 MESFET(10)과, MESFET(10)의 소오스와 쇼트기베리아다이오우드(11)의 양극에 접속된 드레인과 제2입력전위(V_{CS})에 접속된 소오스를 가지는 MESFET(12)와, 절환스테이지출력부와 MESFET(10)의 게이트에 접속된 음극과 MESFET_s(10) 및 (12)의 노우드에 접속된 양극을 가지는 쇼트기베리아다이오우드(11)로 구성된다.

MESFET(12)는 전원으로서의 기능을 가진다.

쇼트기베리아다이오우드(11)은 역으로 바이어스되어 MESFET(10)의 게이트와 소오스간에 접속된다. 이 쇼트기베리아다이오우드(11)은 완충스테이지의 반응속도를 증가시키는 속도증가콘덴서의 기능을 가진다.

쇼트기베리아다이오우드(11)의 역바이어스전위는 완충스테이지출력전위와 절환스테이지를 출력전위와의 차, 즉 완충스테이지에 의한 레벨변동전위이다.

완충스테이지에 의한 레벨변동전위의 차는 MESFET(12)의 게이트폭은 MESFET(10)의 게이트폭보다 넓게(게이트 길이는 동일한 조건)하거나 MESFET(12)의 임계전압을 MESFET(10)의 임계전압보다 다소 크게 (즉, 임계전압의 절대치를 증가시키는 조건)하므로써 약 0.6V정도의 확대는 용이하게 행할 수 있다. 따라서, 출력논리스wing의 값은 대규모집적회로에 필요충분한 0.6 내지 1.2V로된다.

한편, MESFET(9)의 임계전압은 정상오프영역 내지 미소정상온영역에서 임의로 고정시킬 수 있다. 이것은 완충스테이지가 적당히 레벨이 변동된 입력신호를 출력하기 때문이다. 따라서, DCFL회로와 비교할때, 임계전압의 대폭적인 변동에 의해 충분한 마진을 제공할 수 있다.

회로의 작동은 통상의 변환기회로와 유사하다. 즉, MESFET(9)의 게이트에 인가된 입력신호는 절환스테이지에서 변환된 후 완충스테이지에서 적당히 레벨변동되어 출력된다.

상술한 회로의 구조는 다음과 같은 잇점을 제공한다.

(1) 출력논리스wing은 적합한 범위인 0.6내지 1.2V에서 고정된다. 이 값은 대규모집적회로에 필요충분한 값이다. 또 웨이퍼 표면에서 MESFET_s의 임계전압이 크게 변동하더라도, 논리스wing이 0.6V이상이기 때문에 임계전압변동에 의한 마진은 충분하다.

(2) 역으로 바이어스된 쇼트기베리아다이오우드는 속도증가콘덴서의 역할을 한다. 따라서, 본 장치는 절환시의 작동속도 및 전류구동성면에서 DCFL회로등의 저전력소비형인 종래의 게이트장치보다 우수하다.

(3) 완충스테이지는 레벨변동기능을 가지기 때문에, 절환스테이지의 논리저레벨이 비교적 높게 선정되더라도 충분한 작동마진을 얻을 수 있다. 따라서, 부하저항(8)의 저항값을 감소시킬수 있기 때문에(MESFET의 부하가 활성인 경우에 있어서, 그것을 통해서 흐르는 전류의 값을 증가시킬수 있기 때문에)게이트회로의 전류구동성이 증가한다.

(4) 속도증가콘덴서는 역바이어스된 쇼트기베리아다이오우드에 의해서 제공된다. 따라서, 절환시에 많은 양의 전류를 일시적으로 흐르게 할 수 있다.

게이트회로가 용량부하에 의해서 구동되는 경우에, 속도증가콘덴서의 기능이 열화된다. 그러나, 속도증가 콘덴서가 부하용량보다 수배 큰 용량을 가진다면, 부하용량에 의해서 유도된 게이트회로절환시의 열화를 제한할 수 있다.

예를 들면, GaAs IC에 있어서, 약 1mm의 와이어 길이는 약 100PF의 부하용량과 동등하다. 따라서, 이러한 경우에, 속도증가콘덴서용량은 수백 PF이면 충분하다.

본 발명에 의한 게이트 회로에 있어서, 속도증가콘덴서로서의 기능을 가지는 역바이어스된 쇼트기베리아다이오우드의 역바이어스전압은 약 0.5V정도이기 때문에, 수평방마이크론의 작은면적으로 필요 충분한 용량을 가지는 콘덴서를 형성할 수 있다.

(5) 제3도의 회로구조에 있어서, MESFET(10및 (12)는 쇼트기베리아다이오우드(11)의 역바이어스전압 발생 및 레벨변동된 DC전위운송에 충분한 전류가 흐르도록 설계할 수 있다. 이 경우에, 절환에 필요한 일시적 구동전류는 쇼트기베리아다이오우드로 이루어진 콘덴서를 통해서 입력된다. 완충스테이지의 정상상태에 필요한 것은 많은 양의 전류가 아니라 쇼트기베리아다이오우드의 역바이어스상태를 유지하는 전압을 발생하는 것이다. 따라서, 완충스테이지의 정상상태의 전류량은 완충스테이지의 소비전력을 감소시킴으로써 적게 할 수 있다.

결과적으로, DCFL회로만큼 전력소비가 적은 회로는 제1도의 회로구조에 의해서 구성이 가능하다. DCFL회로와 대략동일한 적은양의 소비전력이 제한됨으로써, 쇼트기베리아다이오우드에 의한 고부하 구동성이 제공된다.

(6) 정상오프형 또는 미소정상온형 MESFET_s를 사용할 수 있다. 그러나, 회로는 -500mV정도로 확대된 임계전압을 가지는 정상온형 MESFET_s만을 사용하여 구성할 수 있다. 회로는 동일한 임계전압값을 가지는 MESFET_s로 구성할 수 있다. 이 경우에, 임계전압값이 동일하기 때문에, 웨이퍼공정이 간략화될 수 있다.

(7) 종래에, DCFL회로등에 있어서는, 논리스윙이 작기 때문에 NAND회로 및 합성게이트의 제조가 곤란하였다.

그러나, 본 발명에 의하면, 논리스윙을 확대할 수 있기 때문에 NAND회로 및 합성게이트의 제조가 가능하다.

제4도는 본 발명의 효과를 설명하기 위한 제1도의 회로의 상세구조를 도시한다.

제4도에 있어서, MESFET M1의 게이트폭은 10 μ m, MESFET M2의 게이트폭은 25 μ m, MESFET M3의 게이트폭은 2 μ m, MESFET M4의 게이트폭은 10 μ m이다. MESFET M1 내지 M4의 최저전압은 모두 -0.4V인 한편 2 게이트 길이는 모두 1.2 μ m이다.

MESFET M1의 소오스는 -1.5V의 전위는 접속되는 한편 MESFET M4의 게이트 및 소오스는 -2.5V의 전위에 접속된다.

MESFET M2 및 M3의 드레인은 접지전위에 접속된다. MESFET M2 및 M4는 전원의 역할을 한다.

제5도는 제4도에 도시한 회로의 신호전달특성을 도시하는 그래프이다. 제5도에 있어서, 가로좌표는 입력신호전위를 표시하는 한편 세로좌표는 출력신호전위를 표시한다.

실선(Ⅰ)은 제4도에 도시한 회로의 전달특성을 표시하는 한편 실선(Ⅱ)는 45° 경사진 직선에 대하여 실선(Ⅰ)에 대칭인 커브를 표시한다.

파선(Ⅲ)은 DCFL회로의 전이특성을 표시하는 한편 파선(Ⅳ)는 45° 경사진 직선에 대하여 파선(Ⅲ)에 대칭인 커브를 표시한다. 실선(Ⅰ) 및 (Ⅱ)에 의해서 구획된 영역과 파선(Ⅲ) 및 (Ⅳ)에 의해서 구획된 영역은 각 회로의 노이즈마진을 표시한다.

제5도의 실선(Ⅰ)에서 알수 있는 바와 같이, -1.5V 및 -2.5V의 두개의 전원을 사용함으로써, 약 -0.8V내지 -1.8V의 ECL(에미터결함논리)회로에 적합한 출력율을 얻을 수 있다. 이것은 Si IC로 형성된 현존고속논리회로의 공유영역을 고려할때 상당히 우수한 실용값을 제공한다.

DCFL회로의 전위특성과 비교함으로써 알 수 있는 바와 같이, 본 발명에 의한 논리게이트회로는 DCFL 회로보다 2배정도 큰 노이즈마진을 가진다. 즉, 본 발명에 의한 논리게이트회로를 사용하는 GaAs IC에 있어서, 공정의 허용도가 DCFL회로보다 극히 크기 때문에 고수율로 제조할 수 있다.

제6도는 제4도의 회로구조에 있어서 용량부하의 용량과 작동속도(전달지연시간)간의 관계를 도시하는 그래프이다. 제6도를 참조하면, 가로좌표는 용량부하의 용량(와이어 길이 및 팬아웃)을 표시하는 한편 세로좌표는 전파지연시간(단위:피코초)을 표시한다. 실선은 본 발명에 의한 논리게이트 회로의 특성을 도시하고 파선은 DCFL 회로의 특성을 도시한다.

DCFL회로의 소비전력은 게이트당 0.1mW인 한편 본 발명에 의한 논리게이트회로의 소비전력은 게이트당 0.5mW이다.

제6도에서 알수 있는 바와 같이, 본 발명에 의한 논리게이트회로는 와이어 길이가 1mm인 와이어를

구동하는 경우에 소비전력은 0.5mW/게이트 정도로 낮지만, 그 전파지연시간은 약 250피코초 정도로 극히 높다. 또한, 제6도에서 수천 게이트를 가지는 LSI(대규모집적회로)는 본 발명에 의한 논리게이트 회로를 사용함으로써 제공될 수 있다는 것을 알 수 있다. 또, 본 발명에 의한 논리게이트회로는 LSI에 있어서, 대표적인 용량부하인 와이어길이 및 팬아웃에서 DCFL회로보다 2배정도 빠르게 작동된다는 것도 알 수 있다.

제7도는 본 발명의 다른 실시예에 의한 논리게이트회로의 개략도이다.

제7도의 회로에 있어서, 절환스테이지는 NOR회로를 형성한다.

즉, 각 게이트에서 입력신호(A) 내지 (N)을 수신하는 MESFET(9a) 내지 (9n)은 부하(8)과 접지전위간에 병렬로 접속된다. 이 회로구조에 있어서, 논리스윙이 크기 때문에 상술한 실시예와 동일한 효과를 얻을 수 있다.

제8도는 본 발명의 또 다른 실시예에 의한 논리게이트회로의 개략도이다. 제8도에 있어서, 절환스테이지는 NAND게이트를 형성한다. 즉, 각 게이트에서 입력신호(A)내지 (N)을 수신하는 MESFET(9a)내지 (9n)은 부하(8)과 접지 전위간에 직렬로 접속된다. 이러한 회로의 구조도 출력논리스윙이 크기 때문에 상술한 실시예와 동일한 효과를 얻을 수 있다.

상술한 바와 같이, 본 발명에 의하면, 필요충분한 출력논리스윙, 우수한 고속작동특성, 고부하구동성 및 저전력소비의 논리게이트회로의 제공이 가능한데, 이것은 절환스테이지가 부하와 적어도 하나의 제1MESFET로 구성되고, 절환스테이지출력을 증폭함과 동시에 레벨변동시키는 완충스테이지는 직렬접속된 제2 및 제3MESFET로 구성되고, 쇼트기베리아다이오드는 역바이어스됨과 동시에 제2MESFET의 게이트와 소오스간에 접속되기 때문이다.

이상에서 본 발명을 상세히 설명하였으나, 본 발명은 특정실시예에만 국한되는 것이 아니라 본 발명의 범위내에서는 다양하게 변경하여 실시할 수 있다.

(57) 청구의 범위

청구항 1

제1전위에 접속된 하나의 단자를 가지는 부하(8)과, 상기 부하의 다른 단자와 그 게이트에서 외부로부터 인가된 입력신호를 수신하는 제2전위간에 접속된 제1쇼트기게이트 전계효과트랜지스터(9)와, 상기 제1전위에 접속된 하나의 전도단자 및 상기 제1쇼트기 게이트전계효과트랜지스터(9)와 상기 부하(8)의 노우드에 접속된 게이트를 가지는 제2쇼트기게이트전계효과트랜지스터(10)과, 상기 제2쇼트기게이트전계효과트랜지스터(10)의 다른 전도단자에 접속된 하나의 전도단자와 제3전위에 접속된 게이트 및 다른 전도단자를 가지는 제3쇼트기게이트전계효과트랜지스터(12)와, 상기 제2쇼트기게이트 전계효과트랜지스터(10)의 게이트에 접속된 음극과 상기 제2쇼트기게이트전계효과트랜지스터(10)의 다른 전도 단자에 접속된 양극을 가지는 쇼트기베리아다이오드(11)로 구성되는 화합물반도체를 이용하여 제조된 반도체장치.

청구항 2

제1항에 있어서, 상기 화합물반도체는 갈륨비화물인것을 특징으로 하는 반도체장치.

청구항 3

제1항에 있어서, 상기 제2쇼트기게이트전계효과트랜지스터(10)의 게이트폭은 상기 제3쇼트기게이트 전계효과트랜지스터(12)의 게이트폭보다 작게하는 것을 특징으로 하는 반도체장치.

청구항 4

제1항에 있어서, 상기 제2쇼트기게이트전계효과트랜지스터(10)의 임계전압의 절대값은 상기 제3쇼트기게이트전계효과트랜지스터(12)의 임계전압의 절대값보다 작게하는 것을 특징으로 하는 반도체장치.

청구항 5

제1항에 있어서, 상기 제1쇼트기게이트전계효과트랜지스터(9)는 단일 쇼트기게이트전계효과트랜지스터(9) 인것을 특징으로 하는 반도체장치.

청구항 6

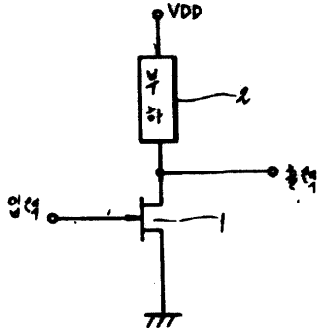
제1항에 있어서, 상기 제1쇼트기게이트전계효과트랜지스터(9)는 상기 부하의 상기 다른 전도단자와 각 게이트에서 입력신호를 수신하는 상기 제2전위간에 상호 병렬로 접속된 복수의 쇼트기게이트전계효과트랜지스터(9a 내지 9n)로 구성되는 것을 특징으로 하는 반도체장치.

청구항 7

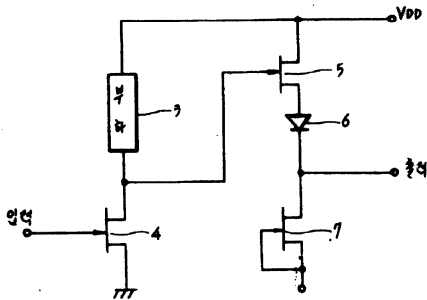
제1항에 있어서, 상기 제1쇼트기게이트전계효과트랜지스터는 상기 부하의 상기 다른 전도단자와 각 게이트에서 입력신호를 수신하는 상기 제2전위간에 서로 직렬로 접속된 복수의 쇼트기게이트전계효과트랜지스터(9a 내지 9n)로 구성되는 것을 특징으로 하는 반도체장치.

도면

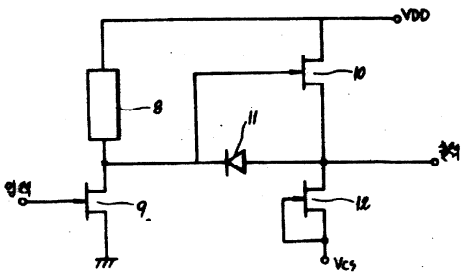
도면1



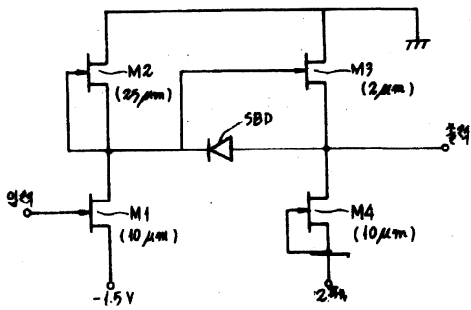
도면2



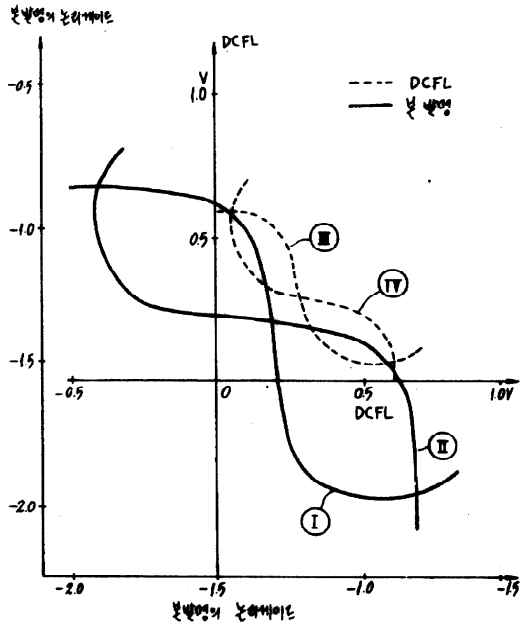
도면3



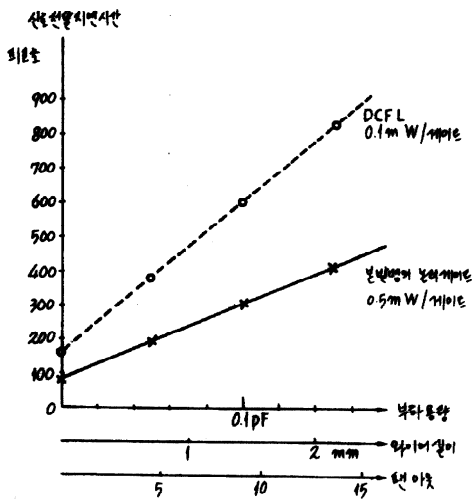
도면4



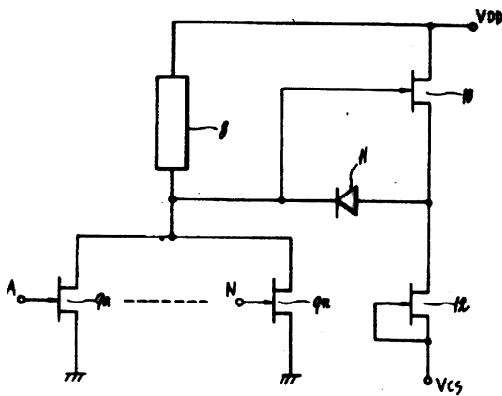
도면5



도면6



도면7



도면8

