

公告本

88年12月12日 修正
補充

申請日期	88. 6. 16
案 號	88110088
類 別	H01L ²³ / ₅₈

A4
C4

432665

(以上各欄由本局填註)

發明專利說明書 (89年12月修正)

一、發明 名稱	中 文	半 導 體 熔 絲
	英 文	Semiconductor fuse
二、發明 創作人	姓 名	1. 達克托賓 (Dirk Tobben) 2. 史蒂芬 J. 韋伯 (Stefan J. Weber) 3. 艾克賽布林辛格 (Axel Brintzinger)
	國 籍	1.-3. 皆屬美國
	住、居所	1. 美國紐約州12524費須奇貝貝瑞圓環12號 2. 美國紐約州12524費須奇塔馬拉克圓環26號 3. 美國紐約州12524費須奇艾斯平道20號
三、申請人	姓 名 (名稱)	西門斯股份有限公司 (SIEMENS AKTIENGESELLSCHAFT)
	國 籍	德國
	住、居所 (事務所)	德國慕黑尼 D-80333 威田巴契廣場 2 號
	代 表 人 姓 名	1. 貝斯納 (Basner) 2. 雷哈特 (Reinhardt)

修正本有無變更實效內容是否准予修正。
89年12月12日所提之

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準 (CNS) A4規格 (210×297公釐)

裝

訂

線

1432665

(由本局填寫)

承辦人代碼：

A6

大類：

B6

IPC分類：

本案已向：

美國 國(地區) 申請專利，申請日期： 案號： ☒有 ☐無主張優先權

1998年06月24日 案號09/105,107(主張優先權)

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

-2a-

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明()

發明之背景

本發明一般而言係有關於熔絲，更特別是有關於半導體積體電路中所使用的熔絲。

如本技藝所熟知，許多現代的半導體電路包含在製造期間保護敏感組件並啟動冗餘電路的熔絲，諸如動態隨機存取記憶體(DRAM)中的冗餘記憶胞。有兩種典型的熔絲，雷射燒斷熔絲及電(諸如電流)燒斷熔絲。以尺寸的觀點，電燒斷熔絲提供超過雷射熔絲的優點。

用於製造電燒斷熔絲的技術係以絕緣材料覆蓋熔絲材料，諸如二氧化矽或硼磷矽酸鹽玻璃(BPSG)材料。然而，在熔絲材料燒斷後，該材料可能會遷移並提供所不欲的短路。此外，當熔絲燒斷時，其將在周圍絕緣質中產生機械力，而使因熔絲的爆裂而膨脹的絕緣材料破裂。這些爆裂將損傷其他相鄰的熔絲。

在另一個技術中，孔洞係形成於熔絲上。因此，當熔絲燒斷以提供斷路時，熔絲材料會包含於所設的孔洞中。就 DRAM 而言，這些熔絲係為具有上層矽化鎢的摻雜多晶矽。此外，這些熔絲係典型地與 DRAM 單元的閘極電極一同形成。雖然閘極電極形成於半導體中的主動區上，但熔絲係典型地形成於用以電隔離主動區的二氧化矽隔離區上。該孔洞有時係以特定的微影步驟形成，其可開啓在熔絲區域上之罩幕中的開口，而晶片的其餘區域(亦即主動區)係不為一連串之用以形成孔洞的乾式與濕式蝕刻步驟所影響。特別是，該孔洞係於熔絲材料與典型地為氮化矽

五、發明說明()

的周圍絕緣質間形成。因此，典型的閘極結構(或閘極堆疊)與熔絲皆包含以氮化矽絕緣質包圍之摻雜多晶矽/矽化鎢所製成的導體，而該絕緣質係選擇性地由熔絲移除而形成熔絲燒斷材料的孔洞。該孔洞係典型地以電漿沈積二氧化矽密封，並留下燒斷熔絲材料用之袋狀物(亦即上述的孔洞)。無論如何，此後來之技術在製程中需要分離之遮罩技術。

發明之概述

根據本發明，提供一種用於形成半導體積體電路用的熔絲的方法。該電路具有一主動裝置，該方法包含形成熔絲及主動區於半導體基板中的各區域中，形成一絕緣層於熔絲及主動裝置的接觸區上，穿經所選擇的絕緣層區域形成通孔，以曝露出下面部份的熔絲及下面部份的主動裝置之接觸區。沈積一導電材料於絕緣層上，並穿經所曝露之熔絲與接觸區部份上的通孔。沈積在熔絲上之導電材料部份係選擇性地移除，而留下沈積在主動裝置接觸區上的導電材料。

藉由該方法，相同的遮罩步驟用於形成熔絲孔洞及主動裝置的接觸孔洞。

根據本發明之另一特徵，形成一第二絕緣層於導電材料上。第二通孔係穿經第二絕緣層而形成，而曝露出下面部份的沈積在主動裝置之接觸區上的部份導電材料。形成相異於導電材料的金屬化層於第二絕緣層上。部份該金屬化層被沈積於第二通孔中，並達位於沈積在主動裝置之接

五、發明說明 ()

觸區上的導電材料的所曝露部份上。

根據本發明之另一個特徵，第三通孔係穿經位於熔絲上及部份金屬化層上的第二絕緣質。一蝕刻係與第二絕緣質接觸，並穿經第二及第三通孔而與沈積在熔絲上的導電材料的曝露部份接觸，並與金屬化層的曝露部份接觸。該蝕刻將選擇性地移除沈積在熔絲上之導電材料的曝露部份，並留下為第二通孔所曝露之完全未蝕刻的金屬化層部份。

根據本發明之另一特徵，沈積一填充材料於熔絲上之第二通孔的上半部中，而該填充材料的底部係與熔絲隔離。

根據本發明的另一特徵，該導電材料為鎢而金屬化層為鋁。

根據本發明的再另一特徵，一半導體積體電路係具有熔絲與主動裝置置於半導體基板各區域中的半導體基板。主動裝置具有導電閘極電極。沈積一絕緣層於熔絲上及閘極電極上。該絕緣層具有穿經所選擇之絕緣層區域的通孔，以曝露出下面部份的熔絲及下面部份的主動裝置的源極/汲極接觸區。具有導電材料的一第一金屬化層置於絕緣層上，並穿經通孔，該導電材料的部份係置於源極/汲極接觸區的曝露部份。一第二絕緣層係置於導電材料上，該第二絕緣材料具有穿經第二絕緣層的第二通孔，該第二通孔之一係置於第一通孔之一上方，以曝露出下面部份的熔絲，而另一個該第二通孔將曝露出底下第二部份的導電材料。一填充材料係置於位在熔絲上的第二通孔之一內，該填充

五、發明說明()

材料的底部係與熔絲隔離。

圖式之簡單說明

本發明的其他特徵及本發明本身將參考附圖研讀而變得更容易瞭解，其中；

第 1A-1G 圖係為具有主動裝置及熔絲之半導體積體電路在各製造階段的示意剖面圖。

較佳實施例之說明

參考第 1A-1G 圖，一種形成具有熔絲 12 及主動裝置 14 的半導體電路 10 的方法係為所示。該方法包含以傳統加工法形成熔絲 12(在此為電燒斷型)，熔絲及主動裝置 14(在此為 MOSFET)於半導體基板 16 的各區域中。熔絲 12 與主動裝置 14 之區域係以二氧化矽電氣隔離，在此係以淺溝渠二氧化矽區 18。在此，上述的主動區係為具有源極與汲極區 20,22 及位於其間的閘極區 24 的 MOSFET。熔絲 12 形成於所示之二氧化矽淺溝渠隔離區 18 上。在此，MOSFET 主動裝置 14 包含置於薄閘極二氧化矽層 18 上之摻雜多晶矽層 26 製的閘極電極(亦即堆疊)25。一導電層 28(在此為矽化鎢)係置於摻雜多晶矽層 26 上。一氮化矽絕緣層 30, 31 係置於矽化鎢層 28 上。一光阻層(未示)沈積於閘極電極所形成於其中的區域內。為遮罩所曝露的部份氮化矽層、矽化鎢層 28 及摻雜多晶矽層 26 係蝕刻至二氧化矽層 28。應注意地是，該蝕刻將使閘極電極的側壁曝露出。一保形的第二氮化矽層沈積在該結構上。部份的該第二氮化矽層係以活性離子蝕刻移除，而部份的第二氮

五、發明說明 ()

化矽層則殘留在閘極電極側壁，以形成傳統方法的側壁間隔物。因此，第一道所沈積的氮化矽層將形成覆蓋氮化物 30，而第二氮化矽層將形成側壁間隔物 31。

一絕緣層 32(在此為硼磷矽酸鹽玻璃,BPSG)沈積在閘極堆疊 25 上與熔絲 12 上，回流，以化學機械研磨法平坦化，接著沈積一絕緣層 34(在此為 TEOS)。

參考第 1B 圖，一光阻層 36 形成於絕緣層 34 表面上，並使用傳統微影技術刻劃，而具有窗口 38 形成於其中，如第 1B 圖所示。經刻劃的光阻層 36 係作為蝕刻遮罩，以將溝渠 40 形成於絕緣層 34 的上表面部份中，如所示。應注意地是，溝渠 40 係對齊於源極與汲極區 20,22。

參考第 1C 圖，移除光阻遮罩 36(第 1B 圖)並以另一個光阻層 42 取代。光阻層 42 係刻劃成如所示，而使通孔 44 可蝕刻穿經下面部份的絕緣層 34,32 及位於源極與汲極區 20,22 上之二氧化矽閘極氧化層 28，如所示。因此，通孔 44 穿經所選擇的絕緣層 32,34 區域而形成，以曝露出底下部份的熔絲 12 及底下部份的 MOSFET 主動裝置 14 的源極/汲極區 20,22。應注意地是，通孔 44 可於溝渠 40 形成前形成。

其次，參考第 1D 圖，移除光阻層 42(第 1C 圖)，且導電材料 40a,40b,40c(在此為鎢)沈積在絕緣層 34 表面上。應注意地是，導電材料 46a,46b,46c 穿經通孔 44 而沈積，並進入溝渠 38(第 1B 圖)，如所示，導電材料 46a, 46b,46c 的上半部(未示)使用任意製程移除，諸如化學機械研磨

五、發明說明()

(CMP),以形成一平坦表面,如第 1D 圖所示。因此,應注意地是,雙重埋入製程係用於形成源極/汲極接觸 46b,46c,並同時將相同材料 46a 沈積在熔絲 12 上。亦應注意地是,沈積在熔絲 12 上之鎢部份 46a 係以絕緣層部份 32,34,與源極/汲極電接觸部份 46b,46c 電氣隔離,如所示。

參考第 1E 圖,一絕緣層 48(在此為 TEOS)沈積在該結構表面上(亦即絕緣層 34)以及鎢材料 46a,46b,46c 的上半部上,如所示。絕緣層 48 係以類似於刻劃絕緣層 48 的方式刻劃之。然而,此處的溝渠與通孔係與為鎢材料 46b,46c 所提供的源極/汲極電接觸對齊,如所示。

其次,形成一個第一金屬化層 50a,50b。金屬化層 50a,50b 所使用的導電材料(在此為鋁)係與導電材料 46a,46b,46c 所使用的導電材料(在此為鎢)相異。鋁層 50a,50b 被沈積在該結構表面,並使用諸如化學機械研磨法平坦化,以製造第 1E 圖所示的結構。應注意地是,該第一金屬化層的部份 50a,50b 穿經在絕緣層 48 中的通孔,而被沈積在用於提供源極/汲極電接觸至源極/汲極區的鎢材料 46a,46b 的曝露部份上。

其次,一絕緣層 52(在此為 TEOS)沈積在第 1E 圖所示的結構表面上。絕緣層 52 係以相似於第 1B 圖與第 1C 圖所述的方式刻劃。因此,應注意是,溝渠 59 係沿著通孔 56a,56b 而形成於絕緣層 52 中。一通孔(在此為通孔 56a)係對齊於熔絲 12,而另一個通孔(在此通孔 56b)係對齊於源極/汲極電接觸之一的一部份,在此為源極電接觸 46c

五、發明說明 ()

的一部份。一濕式蝕刻(在此為過氧化氫)係與絕緣層 52、沈積在熔絲 12 上之所曝露的鎢材料 46a 以及汲極電接觸 46c 所曝露的部份接觸。如上述，汲極電接觸 46c 的材料係與熔絲 12 上的材料相異，亦即前者為鋁而後者為鎢。過氧化氫將選擇性地移除鎢材料 46a(第 1E 圖)，並未完全蝕刻絕緣 TEOS 或 BPSG 層 52,48,34,32 或鋁材料 46c。在過氧化氫蝕刻後所產生的結構係如第 1F 圖所示，所曝露的部份氮化矽層 30 係由熔絲熔絲 12 上的矽化鎢層 28 上半部移除。部份的矽化鎢可以過氧化氫移除。應注意地是，移除越多的導電矽化鎢將使熔絲 12 的阻抗越高，而使電流穿經摻雜多晶矽 26 時促成熔絲燒斷。

此外，氮化矽的壁面間隔物 31(第 1B 圖)可使用化學乾式等向性含氟蝕刻移除，而增加孔洞的尺寸(亦即間隙 64 的尺寸)。

其次，同時參考第 1G 圖，一個第二金屬化層 60a,60b,60c(在此為鋁)沈積在第 1F 圖所示的結構表面上，並接著使用諸如 CMP 平坦化，以製造第 1G 圖所示的結構。因此，在熔絲 12 上之通孔 56a 中的鋁 60a 係作為填充材料。此外，因為其高縱橫比(例如通孔 56a 的高度為通孔 56a 寬度的五倍大)，所以填充材料 60a 具有與熔絲 12 上表面垂直隔離的底部 62。該隔離 64 因而提供熔絲 12 燒斷後之熔絲材料用的孔洞。

其他的實施例係涵蓋於所附申請專利的精神與範疇

五、發明說明()

中。

符號之說明

10....半導體積體電路

12....熔絲

14....主動裝置

16....半導體基板

18....淺溝渠二氧化矽區

20....源極區

22....汲極區

24....閘極區

25....閘極電極

26....摻雜多晶矽層

28....導電層

30....帽蓋氮化物

31....側壁間隔物

32,34.介電質層

36....光阻層

38....窗口

40....溝渠

42....光阻層

44....通孔

46a,46b,46c...鎢材料

48....介電質層

50a,50b...第一金屬化層

五、發明說明 ()

52....介電質

56a,56b...通孔

59.....溝渠

60a,60b,60c...第二金屬化層

64...間隔

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱:)

半導體熔絲

一種用於形成具有熔絲及主動裝置的半導體積體電路的方法，一絕緣層形成於熔絲及主動裝置的接觸區上，穿經所選擇的絕緣層區域形成通孔，以曝露出下面部份的熔絲及下面部份的主動裝置之接觸區。沈積一導電材料於絕緣層上，並穿經通孔，而達部份的熔絲及接觸區上，沈積在熔絲上之導電材料部份選擇性地移除，而留下沈積在主動裝置接觸區上的導電材料，一填充材料置於熔絲之一中，該填充材料的底部係與熔絲隔離。

英文發明摘要(發明之名稱: Semiconductor fuse)

A method for forming a semiconductor integrated circuit having a fuse and an active device. A dielectric layer is formed over the fuse and over a contact region of the active device. Via holes are formed through selected regions of the dielectric layer exposing underlying portions of the fuse and underlying portions of a contact region of the active device. An electrically conductive material is deposited over the dielectric layer and through the via holes onto exposed portions of the fuse and the contact region. Portions of the electrically conductive material deposited onto the fuse are selectively removed while leaving portions of the electrically conductive material deposited onto the contact region of the active device. A fill material is disposed in the one of the fuse, a bottom portion of such filling material being spaced from the fuse.

六、申請專利範圍

第 88110086 號「半導體熔絲」專利案 (89 年 12 月修正)

六申請專利範圍

1. 一種用於形成半導體積體電路用熔絲的方法，該電路具有一主動裝置，該方法包含下列步驟：

形成熔絲及主動區於半導體基板中的各區域中；

形成一絕緣層於熔絲及主動裝置的接觸區上；

穿經所選擇的絕緣層區域形成通孔，以曝露出下面部份的熔絲及下面部份的主動裝置之接觸區；

沈積一導電材料於絕緣層上，並穿經所曝露之熔絲與接觸區部份上的通孔；

沈積在熔絲上之導電材料部份選擇性地移除，而留下沈積在主動裝置接觸區上的導電材料。

2. 如申請專利範圍第 1 項之方法，所包含的步驟有：

形成一第二絕緣層於導電材料上；

第二通孔係穿經第二絕緣層形成，而曝露出下面部份的沈積在主動裝置之接觸區上的部份導電材料；

組成一相異於導電材料的金屬化層於第二絕緣層上，部份該金屬化層沈積於第二通孔中，並達位於沈積在所曝露下面部份的主動裝置之接觸區上的導電材料。

3. 如申請專利範圍第 2 項之方法，所包含的步驟有第三通孔係穿經位於熔絲上及部份金屬化層上的第二絕緣質。

4. 如申請專利範圍第 3 項之方法，所包含的步驟有：

一蝕刻係與第二絕緣質接觸，並穿經第二及第三通

六、申請專利範圍

孔而與沈積在熔絲上的導電材料的曝露部份接觸，並與金屬化層的曝露部份接觸。該蝕刻將選擇性地移除沈積在熔絲上之導電材料的曝露部份，並留下為第二介通孔所曝露之完全未蝕刻的金屬化層部份。

5. 如申請專利範圍第 4 項之方法，所包含的步驟有沈填一填充材料於熔絲上之第二通孔的上半部中，而該填充材料的底部係與熔絲隔離。
6. 如申請專利範圍第 5 項之方法，其中該導電材料為鎢。
7. 如申請專利範圍第 6 項之方法，其中該金屬化層為鋁。
8. 一種用於形成半導體積體電路用熔絲的方法，該電路具有一主動裝置，該方法包含下列步驟：

形成熔絲及主動區於半導體基板中的各區域中，該主動裝置具有導電閘極電極；

形成一絕緣層於熔絲及閘極電極上；

穿經所選擇的絕緣層區域形成通孔，以曝露出下面的部份熔絲及下面的部份主動裝置之源極/汲極接觸區；

具有導電材料的第一金屬化層置於絕緣層上，並穿經通孔，該導電材料具有沈積在所曝露之部分熔絲上的第一部份以及沈積在所曝露之部分源極/汲極接觸區上的第二部份，該第一與第二部份係以部份的絕緣層電氣隔離；

六、申請專利範圍

選擇性地移除部份的第一部份導電材料，並同時留下第二部份的導電材料。

9. 如申請專利範圍第 8 項之方法，其包含的步驟為：

形成一第二絕緣層於導電材料上；

第二通孔係穿經第二絕緣層而被形成，該第二通孔曝露出下面部份的第二部份導電材料；

形成一第二層金屬化層於第二絕緣層上，該第二層的金屬化層係異於導電材料，部份該第二層金屬化層沈積於第二通孔中，並達位於導電材料的所曝露的下面第二部份上。

10. 如申請專利範圍第 9 項之方法，其中形成第二通孔的步驟包含形成一通孔於第一部份導電材料上，以曝露出下面的部份第一部份的第二導電材料的步驟。

11. 如申請專利範圍第 10 項之方法，其包含的步驟有將第二絕緣層沈積在所曝露之第一部份的導電材料及所曝置之部分的第二金屬化層，該蝕刻將選擇性地移除導電材料的曝露第一部份，並留下完全未蝕刻的曝露第二金屬化層。

12. 如申請專利範圍第 11 項之方法，其包含的步驟有沈積填充材料於熔絲上，且該填充材料的底部與熔絲隔離。

13. 如申請專利範圍第 12 項之方法，其中該導電材料為錫。

14. 一種用於形成半導體積體電路用熔絲的方法，該電路

六、申請專利範圍

具有一主動裝置，該方法包含下列步驟：

形成熔絲及主動區於半導體基板中的各區域中，該熔絲與該主動裝置具有導電閘極電極；

形成一絕緣層於熔絲及閘極電極上；

穿經所選擇的絕緣層區域形成第一通孔，該通孔曝置出部份熔絲及部份的主動裝置之源極/汲極接觸區；

具有第一導電材料的一第一金屬化層被形成於第一絕緣層上，並穿經第一通孔，該第一導電材料具有沈積在所曝露之部分熔絲上的第一部份以及沈積在所曝露之部分源極/汲極接觸區上的第二部份，該第一與第二部份係以部份的第一絕緣層電隔離；

形成一第二絕緣層於第一絕緣層上以及第一導電材料上；

穿經第二絕緣層而形成一第二通孔，該第二通孔曝露出部份的第二部份的第二導電材料；

形成一第二金屬化層於第二絕緣層上，該第二金屬化層係為相異於第一導電層的導電材料，該第二導電材料具有部份穿經第二通孔，並達所曝露之部份的第二部份的第一導電材料；

形成一第三絕緣層於第二絕緣層上；

形成一第三通孔於部份的第三絕緣層中，以曝露出部份的第一部份的第一導電材料以及部份的第二金屬化層；

將第三絕緣層曝露於蝕刻，該蝕刻將選擇性地移除

六、申請專利範圍

部份之為第三通孔所曝露的第一導電材料，並留下完全未蝕刻的第二金屬化層；以及

沈積一填充材料於第三絕緣層上，該材料係沈積在第三通孔的上半部，該填充材料具有與熔絲隔離的底部。

15. 一種半導體積體電路，包含：

熔絲與主動裝置置於半導體基板各區域中的半導體基板，主動裝置具有導電閘極電極；

沈積一絕緣層於熔絲上及閘極電極上；該絕緣層具有穿經所選擇之絕緣層區域的通孔，以曝露出下面的熔絲及下面的主動裝置的源極/汲極接觸區；

具有導電材料的第一金屬化層置於絕緣層上，並穿經通孔，該導電材料的部份係置於源極/汲極接觸區的曝露部份上；

一第二絕緣層係置於導電材料上，該第二絕緣材料具有穿經第二絕緣層的第二通孔，該第二通孔之一係置於第一通孔之一上方，以曝露出下面的熔絲部份，而另一個該第二通孔將曝露出底下第二部份的導電材料；

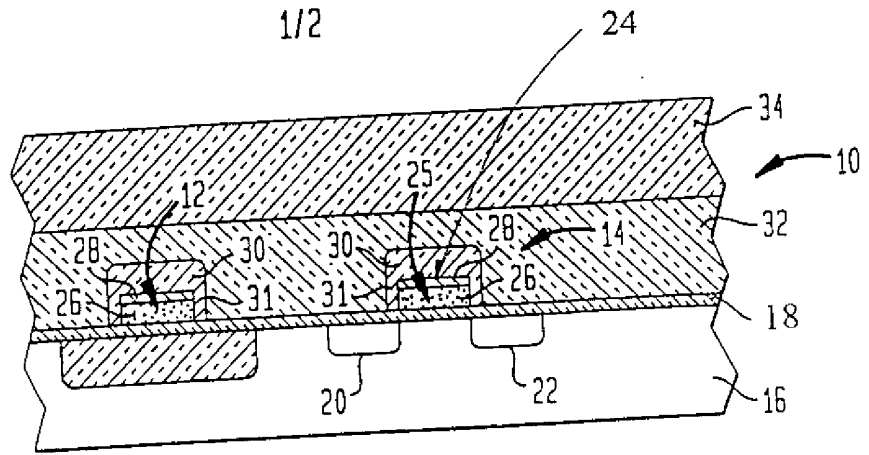
一填充材料係置於位在熔絲上的第二通孔之一內，該填充材料的底部係與熔絲隔離。

16. 如申請專利範圍第 15 項之積體電路，其中該填充材料包含一導電材料。

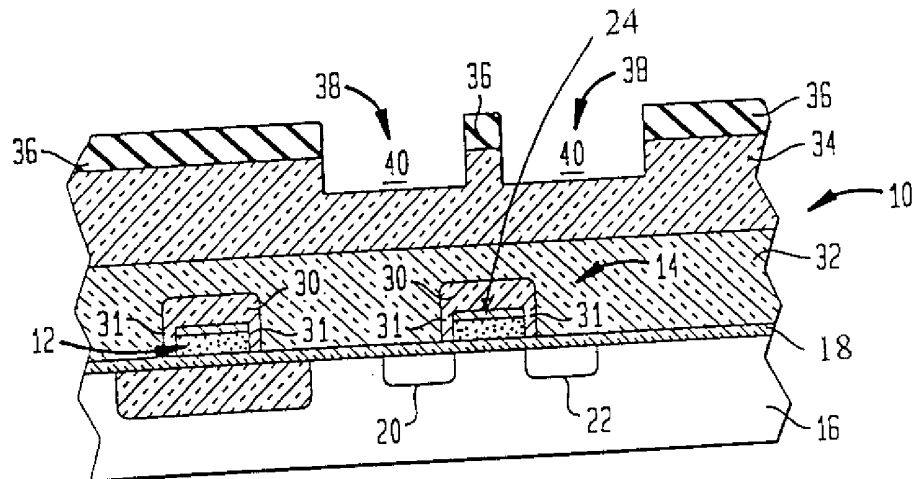
▼ 432665

1/2

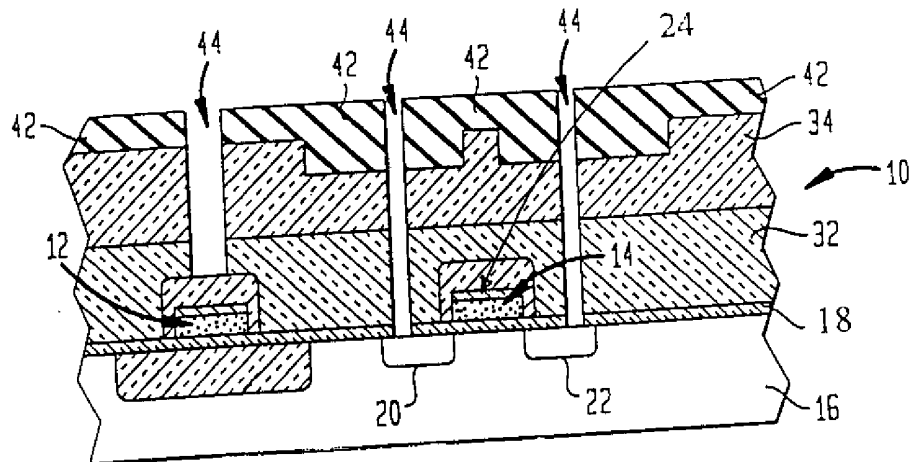
第 1A 圖



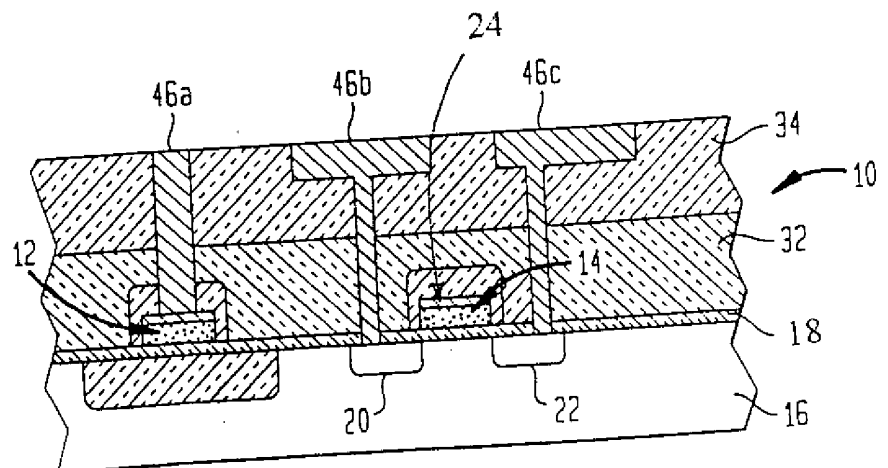
第 1B 圖



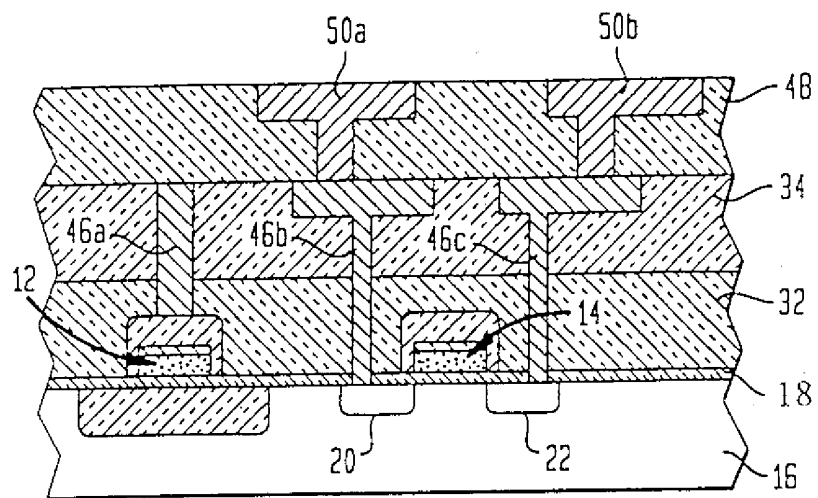
第 1C 圖



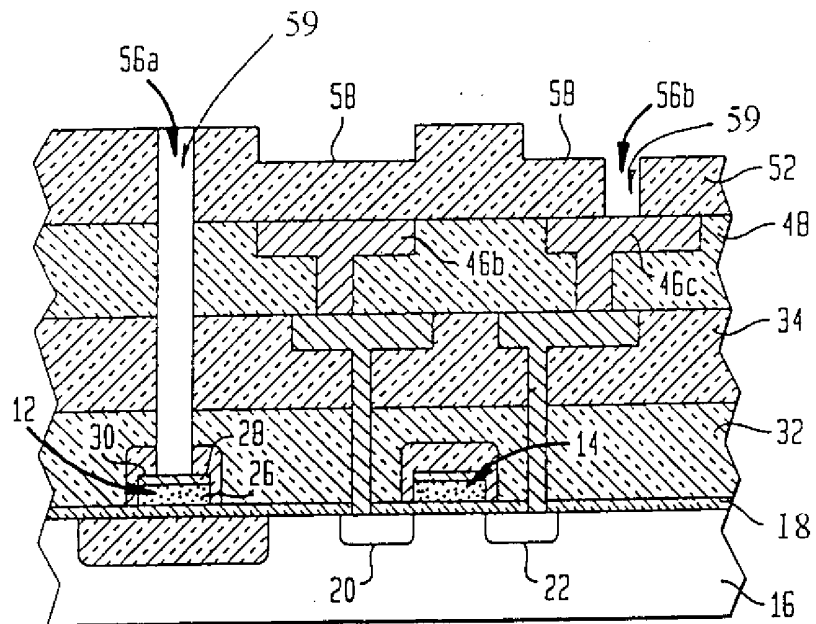
第 1D 圖



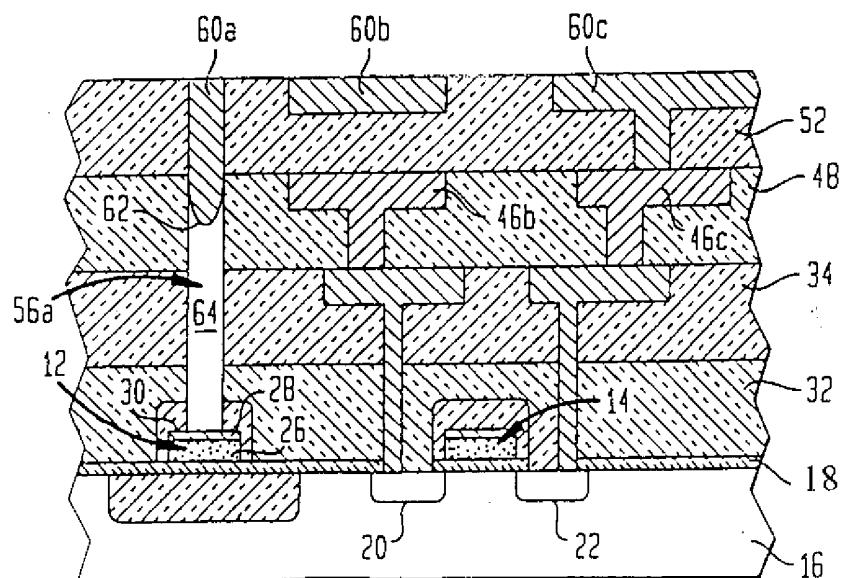
第 1E 圖



第 1F 圖



第 1G 圖



公告本

88年12月12日 修正
補充

申請日期	88. 6. 16
案 號	88110088
類 別	H01L ²³ / ₅₈

A4
C4

432665

(以上各欄由本局填註)

發明專利說明書 (89年12月修正)

一、發明 名稱	中 文	半 導 體 熔 絲
	英 文	Semiconductor fuse
二、發明 創作人	姓 名	1. 達克托賓 (Dirk Tobben) 2. 史蒂芬 J. 韋伯 (Stefan J. Weber) 3. 艾克賽布林辛格 (Axel Brintzinger)
	國 籍	1.-3. 皆屬美國
	住、居所	1. 美國紐約州12524費須奇貝貝瑞圓環12號 2. 美國紐約州12524費須奇塔馬拉克圓環26號 3. 美國紐約州12524費須奇艾斯平道20號
三、申請人	姓 名 (名稱)	西門斯股份有限公司 (SIEMENS AKTIENGESELLSCHAFT)
	國 籍	德國
	住、居所 (事務所)	德國慕黑尼 D-80333 威田巴契廣場 2 號
	代 表 人 姓 名	1. 貝斯納 (Basner) 2. 雷哈特 (Reinhardt)

修正本有無變更實效內容是否准予修正。
89年12月12日所提之

經濟部中央標準局員工消費合作社印製

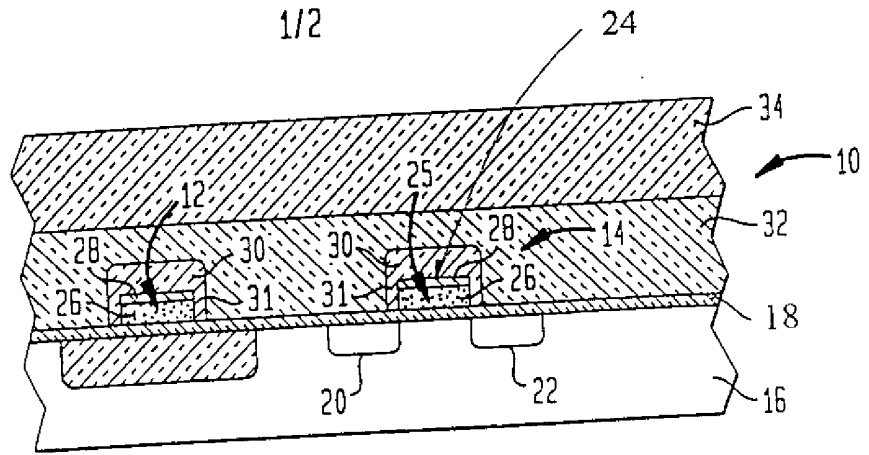
本紙張尺度適用中國國家標準 (CNS) A4規格 (210×297公釐)

裝 訂 線

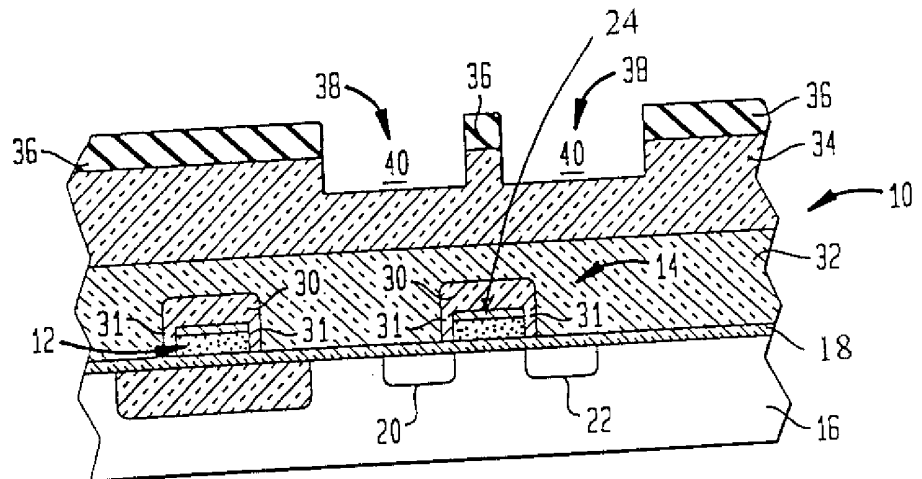
▼ 432665

1/2

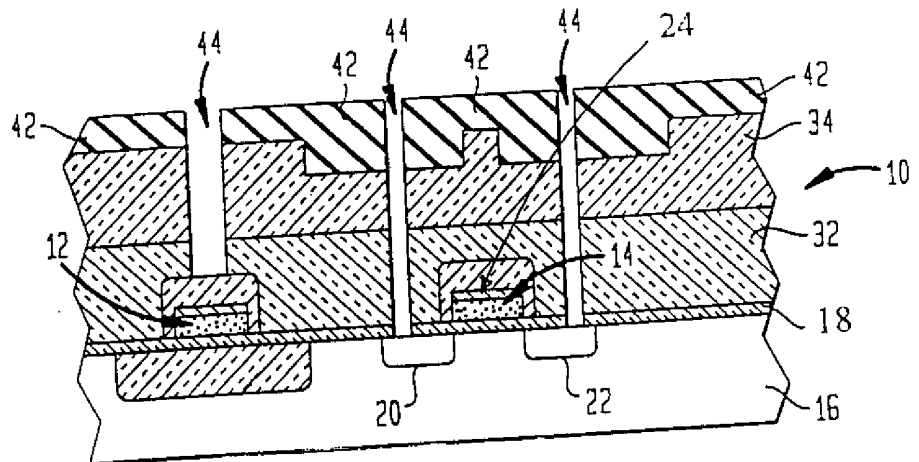
第 1A 圖



第 1B 圖



第 1C 圖



第 1D 圖

