



(12)发明专利

(10)授权公告号 CN 104681090 B

(45)授权公告日 2019.07.12

(21)申请号 201410586479.1

(22)申请日 2014.10.28

(65)同一申请的已公布的文献号
申请公布号 CN 104681090 A

(43)申请公布日 2015.06.03

(30)优先权数据
10-2013-0149391 2013.12.03 KR

(73)专利权人 三星电子株式会社
地址 韩国京畿道水原市

(72)发明人 李宰圭 金大元

(74)专利代理机构 北京铭硕知识产权代理有限公司 11286
代理人 姜长星 王兆庚

(51)Int.Cl.

G11C 16/10(2006.01)

G11C 16/06(2006.01)

(56)对比文件

- CN 101114271 A, 2008.01.30,
- CN 102314940 A, 2012.01.11,
- CN 1339160 A, 2002.03.06,
- US 2010091548 A1, 2010.04.15,
- US 2009323397 A1, 2009.12.31,
- US 7570511 B2, 2009.08.04,
- US 7149110 B2, 2006.12.12,

审查员 曾言

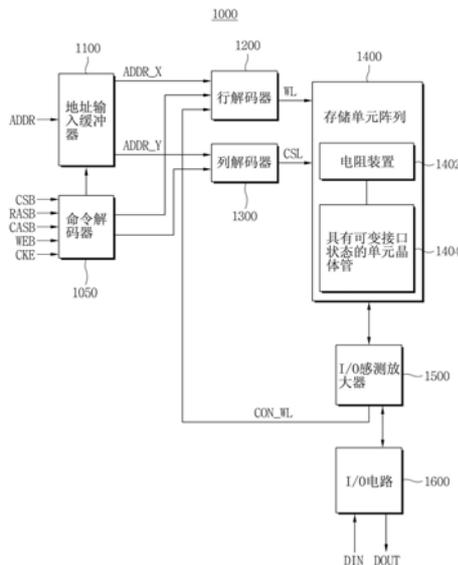
权利要求书3页 说明书10页 附图12页

(54)发明名称

控制单元晶体管的接口状态提高感测界限的电阻存储装置

(57)摘要

提供一种控制单元晶体管的接口状态提高感测界限的电阻存储装置。存储系统可包括：存储装置，具有电连接到多条位线和多条字线的非易失性存储单元的阵列。所述非易失性存储单元可包括与相应单元晶体管电串联连接的各个非易失性电阻装置。还提供可连接到所述存储装置的控制器。所述控制器可被配置为在将数据写入到所述存储装置中的操作期间利用支持(i)非易失性电阻装置和(ii)单元晶体管内的接口状态的双编程的信号来驱动所述存储装置。



1. 一种存储系统,包括:

存储装置,具有电连接到多条位线和多条字线的非易失性存储单元的阵列,所述非易失性存储单元包括与相应单元晶体管电串联连接的各个非易失性电阻装置;

控制器,连接到所述存储装置,所述控制器被配置为在将数据写入到所述存储装置中的操作期间利用支持对单元晶体管内的接口状态进行编程和对非易失性电阻装置进行编程的双编程的信号来驱动所述存储装置。

2. 如权利要求1所述的存储系统,其中,将数据写入到所述存储装置中的操作包括:通过利用接口状态的不等电平分别对第一非易失性存储单元内的第一单元晶体管和第二非易失性存储单元内的第二单元晶体管进行编程,来将等同数据写入到第一非易失性存储单元和第二非易失性存储单元中。

3. 如权利要求2所述的存储系统,其中,将等同数据写入到第一非易失性存储单元和第二非易失性存储单元中的操作包括:在所述利用接口状态的不等电平对第一单元晶体管和第二单元晶体管进行编程之前,分别对第一非易失性存储单元内的第一非易失性电阻装置和第二非易失性存储单元内的第二非易失性电阻装置进行编程。

4. 如权利要求3所述的存储系统,其中,在所述对第一非易失性电阻装置和第二非易失性电阻装置进行编程之后,确定第一非易失性电阻装置和第二非易失性电阻装置是否已被编程到等同目标值。

5. 如权利要求2所述的存储系统,其中,第一单元晶体管和第二单元晶体管是MOS晶体管,其中,第一单元晶体管和第二单元晶体管经由热载流子注入和福勒-诺德海姆隧穿中的至少一个利用接口状态的不等电平被编程。

6. 一种对非易失性存储装置进行编程的方法,包括:

利用等同数据,分别对第一非易失性存储单元内的第一非易失性存储元件和第二非易失性存储单元内的第二非易失性存储元件进行编程;

从第一非易失性存储单元和第二非易失性存储单元读取数据,以验证第一非易失性存储元件和第二非易失性存储元件是否已被编程到等同目标值;

利用接口状态的不等电平分别对第一非易失性存储单元内的第一单元晶体管和第二非易失性存储单元内的第二单元晶体管进行编程。

7. 如权利要求6所述的方法,其中,响应于确定第一非易失性存储元件和第二非易失性存储元件已被编程到不等目标值而执行所述对第一单元晶体管和第二单元晶体管进行编程的步骤。

8. 如权利要求6所述的方法,其中,所述对第一单元晶体管和第二单元晶体管进行编程的步骤包括:对第一单元晶体管和第二单元晶体管进行编程,使得第一非易失性存储元件和第一单元晶体管的组合的串联电阻等于第二非易失性存储元件和第二单元晶体管的组合的串联电阻。

9. 一种电阻存储装置,包括:

存储单元阵列,包括多个单位存储单元,并响应于字线驱动信号和列选择信号而操作,其中,所述多个单位存储单元中的每个单位存储单元包括串联连接的电阻装置和单元晶体管;

输入/输出感测放大器,被配置为感测和放大从存储单元阵列输出的数据以输出放大

的数据,基于从外部接收的输入数据产生编程电流,并将编程电流提供给存储单元阵列,

其中,所述存储装置被配置为读出输入/输出感测放大器的输出数据,并基于测试模式下输出数据的电压电平来调节包括在存储单元阵列中的单元晶体管的接口状态。

10.如权利要求9所述的装置,其中,电阻装置和寄生电阻装置的电阻分布被配置为由单元晶体管的电阻分布来补偿。

11.如权利要求9所述的装置,其中,单元晶体管的电阻值被配置为通过调节单元晶体管的接口状态而改变。

12.如权利要求9所述的装置,其中,接口状态被配置为因福勒-诺德海姆(F-N)隧穿的压力而产生。

13.如权利要求12所述的装置,其中,高电压被施加到单元晶体管的每个栅极端子,地电压被施加到单元晶体管的每个源极端子和每个漏极端子。

14.如权利要求9所述的装置,其中,接口状态被配置为因热载流子注入而产生。

15.如权利要求14所述的装置,其中,第一高电压被施加到单元晶体管的每个栅极端子,地电压被施加到单元晶体管的每个源极端子,第二高电压被施加到单元晶体管的每个漏极端子,其中,第二高电压具有比第一高电压高的电压。

16.如权利要求14所述的装置,其中,第一高电压被施加到单元晶体管的每个栅极端子,地电压被施加到单元晶体管的每个漏极端子,第二高电压被施加到单元晶体管的每个源极端子,其中,第二高电压具有比第一高电压高的电压。

17.如权利要求9所述的装置,还包括:

地址输入缓冲器,被配置为基于外部地址产生行地址信号和列地址信号;

行解码器,被配置为解码行地址信号并基于解码的行地址信号产生字线驱动信号;

列解码器,被配置为解码列地址信号并基于解码的列地址信号产生列选择信号。

18.一种电阻存储装置,包括:

存储单元阵列,包括多个单位存储单元,并响应于字线驱动信号和列选择信号而操作,其中,所述多个单位存储单元中的每个单位存储单元包括串联连接的电阻装置和单元晶体管;

地址输入缓冲器,被配置为基于外部地址产生行地址信号和列地址信号;

行解码器,被配置为解码行地址信号并基于解码的行地址信号产生字线驱动信号;

列解码器,被配置为解码列地址信号并基于解码的列地址信号产生列选择信号;

输入/输出感测放大器,被配置为感测和放大从存储单元阵列输出的数据以产生第一数据,基于从外部接收的输入数据产生编程电流,并将编程电流提供给存储单元阵列,

其中,所述存储装置被配置为读出输入/输出感测放大器的输出数据,并基于测试模式下输出数据的电压电平来调节包括在存储单元阵列中的单元晶体管的接口状态。

19.如权利要求18所述的装置,其中,存储单元阵列包括多条字线、多条位线以及布置在各条字线和各条位线之间的单位存储单元。

20.如权利要求18所述的装置,其中,所述多个单位存储单元中的每个单位存储单元包括:

单元晶体管,具有连接到字线的栅极;

电阻装置,连接在单元晶体管的漏极和位线之间。

21. 如权利要求18所述的装置,其中,输入/输出感测放大器包括:
选择电路,被配置为响应于列选择信号将位线选择性地连接到第一节点;
感测放大器,被配置为放大第一节点的电压信号和参考电压之差以产生第一数据;
验证电路,被配置为比较第一数据与目标值,并确定第一数据是否等于目标值以产生测试模式下的第一控制信号;
编程驱动器,被配置为基于第一控制信号驱动高电压电路以产生字线控制信号和位线控制信号;
写驱动器,被配置为基于写数据产生第一编程电流,在正常操作模式下将第一编程电流提供给第一节点,基于位线控制信号产生第二编程电流,并在测试模式下将第二编程电流提供给第一节点。
22. 如权利要求21所述的装置,其中,行解码器被配置为在测试模式下基于字线控制信号改变字线驱动信号的电压电平。
23. 如权利要求21所述的装置,其中,输入/输出感测放大器还包括:
开关,被配置为将第一节点选择性地连接到感测放大器和写驱动器。
24. 如权利要求21所述的装置,其中,第二编程电流的幅值被配置为根据第一控制信号的电压电平而改变。
25. 如权利要求18所述的装置,还包括:
输入/输出电路,被配置为确定第一数据的输出顺序并执行并行-串行转换以产生输出数据,并且被配置为缓冲输入数据以将缓冲的数据提供给输入/输出感测放大器。

控制单元晶体管的接口状态提高感测界限的电阻存储装置

技术领域

[0001] 本发明构思的实施例涉及半导体存储装置,更具体地讲,涉及电阻存储装置。

背景技术

[0002] 用于存储数据的半导体存储装置可被分类成易失性半导体存储装置和非易失性半导体存储装置。例如,易失性半导体存储装置可通过电容器的充电或放电存储数据。诸如随机存取存储器(RAM)的易失性半导体存储装置会在电源被施加时存储或读取数据,并在电源中断时丢失数据。易失性半导体存储装置可主要用作计算机的主存储装置。

[0003] 即使电源中断,非易失性半导体存储装置也可存储数据。非易失性半导体存储装置可用于存储诸如计算机和便携式通信装置的宽范围的应用的程序和数据。

[0004] 由于对高容量低功耗半导体存储装置的制造的需求,已经进行了关于不需要刷新操作的高级非易失性存储装置的研究。当前,使用相变材料的相变型RAM(PRAM)、使用可变电阻材料的电阻RAM(RRAM)(诸如过渡金属氧化物)和使用铁磁材料的磁性RAM(MRAM)作为高级存储装置已经吸引了大量关注。所有的高级存储装置可根据施加的电流或电压而具有可变电阻,并且可由于非易失性特性而不需要刷新操作,从而即使不再施加电流或电压,高级存储装置也可照原样保持电阻值。

发明内容

[0005] 根据本发明的实施例的存储系统可包括:存储装置,具有电连接到多条位线和多条字线的非易失性存储单元的阵列。所述非易失性存储单元可包括与相应单元晶体管电串联连接的各个非易失性电阻装置。还提供可连接到所述存储装置的控制装置。所述控制装置可被配置为在将数据写入到所述存储装置中的操作期间利用支持单元晶体管内的接口状态和非易失性电阻装置的双编程的信号来驱动所述存储装置。

[0006] 根据本发明的这些实施例中的一些实施例,将数据写入到所述存储装置中的操作可包括:通过利用接口状态的不等电平分别对第一非易失性存储单元内的第一单元晶体管和第二非易失性存储单元内的第二单元晶体管进行编程,来将等同数据写入到第一非易失性存储单元和第二非易失性存储单元中。具体地讲,将等同数据写入到第一非易失性存储单元和第二非易失性存储单元中的操作可包括:在利用接口状态的不等电平对第一单元晶体管和第二单元晶体管进行编程的操作之前,分别对第一非易失性存储单元内的第一非易失性电阻装置和第二非易失性存储单元内的第二非易失性电阻装置进行编程。还可在对第一非易失性电阻装置和第二非易失性电阻装置进行编程的操作之后,进行确定第一非易失性电阻装置和第二非易失性电阻装置是否已被编程到等同目标值的操作。此外,在第一单元晶体管和第二单元晶体管是MOS晶体管的情况下,它们可经由热载流子注入和福勒-诺德海姆(F-N)隧穿中的至少一个利用接口状态的不等电平被编程。

[0007] 根据本发明的另一实施例,对非易失性存储装置进行编程的方法可包括:利用等同数据,分别对第一非易失性存储单元内的第一非易失性存储元件和第二非易失性存储单

元内的第二非易失性存储元件进行编程;从第一非易失性存储单元和第二非易失性存储单元读取数据,以验证第一非易失性存储元件和第二非易失性存储元件是否已被编程到等同目标值。之后,可利用接口状态的不等电平分别对第一非易失性存储单元内的第一单元晶体管和第二非易失性存储单元内的第二单元晶体管进行编程。具体地讲,可响应于确定第一非易失性存储元件和第二非易失性存储元件已被编程到不等目标值而执行对第一单元晶体管和第二单元晶体管进行编程的步骤。根据本发明的另一实施例,对第一单元晶体管和第二单元晶体管进行编程的步骤可包括:对第一单元晶体管和第二单元晶体管进行编程,使得第一非易失性存储元件和第一单元晶体管的组合的串联电阻大约等于第二非易失性存储元件和第二单元晶体管的组合的串联电阻。以此方式,由第一单元晶体管和第二单元晶体管提供的不等串联电阻值可用于:尽管第一非易失性存储单元和第二非易失性存储单元将在写操作期间利用等同数据被编成的事实,但是补偿由第一非易失性存储元件和第二非易失性存储元件提供的串联电阻不等的事实。

[0008] 本发明构思的其他实施例提供一种能够补偿电阻分布并提高数据的感测界限的电阻存储装置和一种能够补偿电阻存储装置的电阻分布的方法,所述电阻存储装置能够补偿电阻分布并提高数据的感测界限。根据本发明构思的一方面,一种电阻存储装置可包括存储单元阵列和输入/输出(I/O)感测放大器。

[0009] 存储单元阵列包括多个单位存储单元。存储单元阵列响应于字线驱动信号和列选择信号而操作。所述多个单位存储单元中的每个单位存储单元包括串联连接的电阻装置和单元晶体管。I/O感测放大器感测和放大从存储单元阵列输出的数据以输出放大的数据,基于从外部接收的输入数据产生编程电流,并将编程电流提供给存储单元阵列。所述电阻存储装置读出I/O感测放大器的输出数据,并基于测试模式下输出数据的电压电平来调节包括在存储单元阵列中的单元晶体管的接口状态。

[0010] 在实施例中,电阻装置和寄生电阻器的电阻分布可由单元晶体管的电阻分布来补偿。

[0011] 在实施例中,单元晶体管的电阻值可通过调节单元晶体管的接口状态而改变。

[0012] 在实施例中,接口状态可因福勒-诺德海姆(F-N)隧穿的压力相关下降而产生。

[0013] 在实施例中,高电压可被施加到单元晶体管的每个栅极端子,地电压可被施加到单元晶体管的每个源极端子和每个漏极端子。

[0014] 在实施例中,接口状态可因热载流子注入而产生。

[0015] 在实施例中,第一高电压可被施加到单元晶体管的每个栅极端子,地电压可被施加到单元晶体管的每个源极端子,第二高电压可被施加到单元晶体管的每个漏极端子。第二高电压可具有比第一高电压高的电压。

[0016] 在实施例中,第一高电压可被施加到单元晶体管的每个栅极端子,地电压可被施加到单元晶体管的每个漏极端子,第二高电压可被施加到单元晶体管的每个源极端子。第二高电压可具有比第一高电压高的电压。

[0017] 在实施例中,所述电阻存储装置还可包括地址输入缓冲器、行解码器和列解码器。

[0018] 地址输入缓冲器基于外部地址产生行地址信号和列地址信号。行解码器解码行地址信号并基于解码的行地址信号产生字线驱动信号。列解码器解码列地址信号并基于解码的列地址信号产生列选择信号。

[0019] 根据本发明构思的另一方面,一种电阻存储装置可包括存储单元阵列、地址输入缓冲器、行解码器、列解码器和输入/输出(I/O)感测放大器。

[0020] 存储单元阵列包括多个单位存储单元,并响应于字线驱动信号和列选择信号而操作。所述多个单位存储单元中的每个单位存储单元包括串联连接的电阻装置和单元晶体管。地址输入缓冲器基于外部地址产生行地址信号和列地址信号。行解码器解码行地址信号并基于解码的行地址信号产生字线驱动信号。列解码器解码列地址信号并基于解码的列地址信号产生列选择信号。I/O感测放大器感测和放大从存储单元阵列输出的数据以输出放大的数据,基于从外部接收的输入数据产生编程电流,并将编程电流提供给存储单元阵列。所述存储装置读出I/O感测放大器的输出数据,并基于测试模式下输出数据的电压电平来调节包括在存储单元阵列中的单元晶体管的接口状态。

[0021] 在实施例中,所述多个单位存储单元中的每个单位存储单元可包括具有连接到字线的栅极的单元晶体管以及连接在单元晶体管的漏极和位线之间的电阻装置。

[0022] 在实施例中,I/O感测放大器可包括选择电路、感测放大器、验证电路、编程驱动器和写驱动器。

[0023] 选择电路响应于列选择信号将位线选择性地连接到第一节点。感测放大器放大第一节点的电压信号和参考电压之差以产生第一数据。验证电路比较第一数据与目标值,并确定第一数据是否等于目标值以产生测试模式下的第一控制信号。编程驱动器基于第一控制信号驱动高电压电路以产生字线控制信号和位线控制信号。写驱动器基于写数据产生第一编程电流,在正常操作模式下将第一编程电流提供给第一节点,基于位线控制信号产生第二编程电流,并在测试模式下将第二编程电流提供给第一节点。

[0024] 在实施例中,行解码器可在测试模式下基于字线控制信号改变字线驱动信号的电压电平。

[0025] 在实施例中,I/O感测放大器还可包括:开关,被配置为将第一节点选择性地连接到感测放大器和写驱动器。

[0026] 在实施例中,第二编程电流的幅值可根据第一控制信号的电压电平而改变。

[0027] 在实施例中,所述电阻存储装置还可包括:输入/输出(I/O)电路,被配置为确定第一数据的输出顺序并执行并行-串行转换以产生输出数据,并且被配置为缓冲输入数据以将缓冲的数据提供给I/O感测放大器。

[0028] 根据本发明构思的另一方面,一种补偿电阻存储装置的电阻分布的方法,其中,所述电阻存储装置包括多个电阻装置以及串联连接到各个电阻装置的多个单元晶体管,所述方法可包括:相对于包括在存储单元阵列中的所有存储单元写入数据“0”或“1”;选择数据被读出的存储单元;从选择的存储单元读出数据;确定读取的数据是否等于目标值;当数据等于目标值时结束处理;当数据不等于目标值时调节单元晶体管的接口状态。

[0029] 在实施例中,调节单元晶体管的接口状态的步骤可包括:驱动编程驱动器;选择接口状态将被调节的存储单元;将压力给予选择的存储单元的单元晶体管。

附图说明

[0030] 从如附图中示出的本发明构思的优选实施例的更具体的描述,本发明构思的上述和其他特征和优点将是清楚的,在附图中,贯穿不同的视图,相同的参考字符表示相同的部

件。附图不必按比例绘制,而是将重点放在说明本发明构思的原理上。在附图中:

[0031] 图1是示出根据本发明构思的实施例的电阻存储装置的框图;

[0032] 图2是示出包括在图1的电阻存储装置中的存储单元阵列和输入/输出(I/O)感测放大器的示例的电路图;

[0033] 图3是示出包括在图2中的I/O感测放大器的示例的电路图;

[0034] 图4是示出构成图2的存储单元阵列的单位存储单元的示例的电路图;

[0035] 图5是示出构成图4的单位存储单元的电阻装置的示例的示图;

[0036] 图6是示出构成图4的单位存储单元的电阻装置的另一示例的示图;

[0037] 图7是示出构成图4的单位存储单元的电阻装置的另一示例的示图;

[0038] 图8和图9是示出根据写入数据的磁隧道结(MTJ)元件的磁化方向的示图;

[0039] 图10是示出当单位存储单元是磁阻存储单元时图1的电阻存储装置的写操作的示图;

[0040] 图11是示出补偿图1的电阻存储装置的电阻分布的方法的概念图;

[0041] 图12至图14是示出产生图1的电阻存储装置中的单元晶体管的接口状态的方法的示图;

[0042] 图15是用于解释补偿包括在图2的存储单元阵列中的电阻装置的电阻分布的方法的概念图;

[0043] 图16是示出在补偿电阻分布之前和之后包括在图2的存储单元阵列中的电阻装置的感测界限(sensing margin)的示图;

[0044] 图17是示出写电流的幅值的范围的示图,其中,写电流用于对电阻装置编程以补偿包括在图2的存储单元阵列中的电阻装置的分布;

[0045] 图18是示出根据本发明构思的实施例的补偿电阻存储装置的电阻分布的方法的流程图;

[0046] 图19是示出在图18的补偿电阻存储装置的电阻分布的方法中调节单元晶体管的接口状态的方法的流程图;

[0047] 图20是示出包括根据本发明构思的实施例的电阻存储装置的存储模块的示图;

[0048] 图21是包括根据本发明构思的实施例的电阻存储装置的具有堆叠结构的半导体装置的简化透视图;

[0049] 图22是包括根据本发明构思的实施例的电阻存储装置的存储系统的示例的框图;

[0050] 图23是根据本发明构思的实施例的包括电阻存储装置和光链路的存储系统的示例的框图;

[0051] 图24是包括根据本发明构思的实施例的电阻存储装置的信息处理系统的示例的框图。

具体实施方式

[0052] 以下充分详细地描述本发明构思的实施例以使本领域的普通技术人员能够采用和实施本发明构思。应着重理解的是,本发明构思可以以多种替代形式实施并且不应被解释为限于在此阐述的实施例。

[0053] 因此,尽管本发明构思易于进行各种修改并且可采取各种替代形式,但是本发明

构思的特定实施例在附图中通过示例的方式被示出并且将在此被详细地描述。然而,应理解的是,不意图将本发明构思限于所公开的具体形式。相反,本发明构思将涵盖落入权利要求的精神和范围内的所有修改、等同物和替代。

[0054] 将理解的是,虽然术语“第一”、“第二”等可在此用于描述各种元件,但是这些元件不应受这些术语限制。这些术语仅用于将一个元件与另一元件区分开。例如,在不脱离本发明构思的范围的情况下,第一元件可被命名为第二元件,类似地,第二元件可被命名为第一元件。

[0055] 将理解的是,当元件被称为“连接”或“结合”到另一元件时,其可直接地连接或结合到该另一元件,或者可存在中间元件。作为对比,当元件被称为“直接连接”或“直接结合”到另一元件时,不存在中间元件。用于描述元件之间的关系的其他词语应以类似方式被解释(即,“在…之间”对比于“直接在…之间”、“相邻”对比于“直接相邻”等)。

[0056] 在此用于描述本发明构思的实施例的术语不意在限制本发明构思的范围。冠词为单数表示它们具有单个指示物,然而,在本文档中单数形式的使用不应排除多于一个指示物的存在。换言之,除非上下文另外明确地指示,否则以单数表示的本发明构思的元件可包含一个或更多个。还将理解的是,当在此使用时,术语“包括”和/或“包含”指定存在所陈述的特征、项目、步骤、操作、元件和/或组件,但是不排除存在或添加一个或更多个其他特征、项目、步骤、操作、元件、组件和/或它们的组。

[0057] 除非另外定义,否则在此使用的所有术语(包括技术和科学术语)具有与本发明所属领域的普通技术人员通常理解的含义相同的含义。还将理解的是,除非在此明确地如此定义,否则诸如在通用字典中定义的术语应被解释为具有与它们在相关领域的上下文中的意义一致的意义,并且将不被解释为理想的或过度形式化的意义。还应注意的是,在一些替代实施方式中,在块中标注的功能/动作可以不按流程图中标注的顺序发生。例如,依据涉及的功能/动作,连续示出的两个块实际上可被基本上同时执行,或者块有时可被按相反的顺序执行。现在将参照附图更加充分地描述本发明构思,在附图中示出了本发明构思的实施例。

[0058] 图1是根据本发明构思的实施例的电阻存储装置1000的框图。参照图1,电阻存储装置1000可包括命令解码器1050、地址输入缓冲器1100、行解码器1200、列解码器1300、存储单元阵列1400、输入/输出(I/O)感测放大器1500和I/O电路1600。命令解码器1050对芯片选择信号CSB、行地址选通信号RASB、列地址选通信号CASB、写使能信号WEB和时钟使能信号CKE进行解码以产生各种控制信号,并控制包括在电阻存储装置1000中的电路块。

[0059] 存储单元阵列1400包括多个单位存储单元,并响应于字线驱动信号WL和列选择信号CSL进行操作,其中,单位存储单元包括电阻装置1402和单元晶体管1404。地址输入缓冲器1100基于外部地址ADDR产生行地址信号ADDR_X和列地址信号ADDR_Y。行解码器1200对行地址信号ADDR_X进行解码,并基于解码的行地址信号产生字线驱动信号WL。此外,行解码器1200可改变测试模式下的字线驱动信号WL的电压电平。列解码器1300对列地址信号ADDR_Y进行解码,并基于解码的列地址信号产生列选择信号CSL。

[0060] I/O感测放大器1500感测并放大从存储单元阵列1400输出的数据以产生第一数据,基于从外部接收的输入数据DIN产生编程电流,并将编程电流提供给存储单元阵列1400。I/O电路1600确定第一数据的输出顺序,执行并行-串行转换以产生输出数据DOUT,缓

冲输入数据DIN,并将缓冲的输入数据提供给I/O感测放大器1500。电阻存储装置1000读出I/O感测放大器的输出数据,并基于测试模式下的输出数据的电压电平调节包括在存储单元阵列中的单元晶体管的接口状态。

[0061] 电阻器和寄生电阻装置的电阻分布可通过单元晶体管的电阻分布来补偿。单元晶体管的电阻值可通过调节单元晶体管的接口状态来改变。

[0062] 图2是包括在图1的电阻存储装置1000中的存储单元阵列1400和I/O感测放大器1500的示例的电路图。参照图2,存储单元阵列1400可包括多条字线WL1至WL_m以及多条位线BL1至BL_n,单位存储单元可布置在字线WL1至WL_m中的每条字线和位线BL1至BL_n中的相应的一条位线之间。

[0063] 存储单元阵列1400可包括单元晶体管MN11至MN1_n以及电阻装置R11至R1_n,其中,单元晶体管MN11至MN1_n具有连接到字线WL1的栅极,电阻装置R11至R1_n连接在单元晶体管MN11至MN1_n中的每一个和位线BL1至BL_n中的每一条之间。单元晶体管MN11至MN1_n中的每一个的源极可连接到源极线SL。此外,存储单元阵列1400可包括单元晶体管MN21至MN2_n以及电阻装置R21至R2_n,其中,单元晶体管MN21至MN2_n具有连接到字线WL2的栅极,电阻装置R21至R2_n连接在单元晶体管MN21至MN2_n中的每一个和位线BL1至BL_n中的每一条之间。单元晶体管MN21至MN2_n中的每一个的源极可连接到源极线SL。此外,存储单元阵列1400可包括单元晶体管MN_m1至MN_m_n以及电阻装置R_m1至R_m_n,其中,单元晶体管MN_m1至MN_m_n具有连接到字线WL_m的栅极,电阻装置R_m1至R_m_n连接在单元晶体管MN_m1至MN_m_n中的每一个和位线BL1至BL_n中的相应的一条位线之间。单元晶体管MN_m1至MN_m_n的源极可连接到源极线SL。I/O感测放大器1500可连接到位线BL1至BL_n,感测和放大从存储单元阵列1400输出的数据并输出放大的数据,基于从外部接收的输入数据DI产生编程电流,并将编程电流提供给存储单元阵列1400。

[0064] 图3是示出包括在图2中的I/O感测放大器1500的示例的电路图。I/O感测放大器1500可包括选择电路1520、感测放大器1540、写驱动器1530、开关1550、验证电路1560和编程驱动器1570。选择电路1520可响应于列选择信号CSL1至CSL_n将位线BL1至BL_n选择性地连接到第一节点N1。感测放大器1540可放大第一节点N1的电压信号和参考电压VREF之差,并产生第一数据D0。验证电路1560将第一数据D0与目标值进行比较,确定第一数据D0是否等于目标值,并产生测试模式下的第一控制信号。编程驱动器1570基于第一控制信号驱动高电压电路以产生字线控制信号CON_WL和位线控制信号CON_BL。写驱动器1530基于写数据DI产生第一编程电流,并在正常操作模式期间将第一编程电流提供给第一节点N1。此外,写驱动器1530基于位线控制信号CON_BL产生第二编程电流,并在测试操作中将第二编程电流提供给第一节点N1。开关1550可将第一节点N1选择性地连接到感测放大器1540和写驱动器1530。

[0065] 图4是示出构成图2的存储单元阵列1400的单位存储单元的示例的电路图。参照图4,单位存储单元1411可包括由NMOS晶体管组成的单元晶体管M11和电阻装置R11。单元晶体管M11可具有连接到字线WL1的栅极和连接到源极线SL的源极。电阻装置R11连接在单元晶体管M11的漏极和位线BL1之间。

[0066] 图5是示出构成图4的单位存储单元的电阻装置R11的示例的示图。参照图5,电阻装置R11包括上电极TE、底电极BE以及布置在上电极TE和底电极BE之间的过渡金属氧化物

VR。铂(Pt)可用作上电极TE,氧化钴可用作过渡金属氧化物VR。

[0067] 图6是示出构成图4的单位存储单元1411的电阻装置R11的另一示例的示图。参照图6,电阻装置R11包括上电极TE、底电极BE以及布置在上电极TE和底电极BE之间的相变材料GST。相变材料GST可在无定形状态或结晶状态之间转变,并且相变材料GST的电阻值根据温度和加热时间而变化。相变材料GST的示例是 $GexSbyTez$ 。

[0068] 图7是示出构成图4的单位存储单元1411的电阻装置R11的另一示例的示图。参照图7,电阻装置R11可包括具有预定钉扎磁化方向的钉扎层(PL)、沿外部施加的磁场的方向磁化的自由层(FL)以及位于钉扎层PL和自由层FL之间的使用绝缘膜形成的隧道势垒层(BL)。为了钉住钉扎层PL的磁化方向,电阻装置R11还可包括反铁磁层(未示出)。图7的电阻装置R11可以是构成自旋转移矩磁阻随机存取存储器(STT-MRAM)的MTJ元件。

[0069] 为了实现STT-MRAM的写操作,可通过将逻辑高电压施加到字线WL1来导通单元晶体管MN11,可将写电流施加在位线BL1和源极线SL之间。为了实现STT-MRAM的读操作,可通过将逻辑高电压施加到字线WL1来导通单元晶体管MN11,可从位线BL1朝源极线SL施加读电流,从而可根据测量的电阻值确定在MTJ单元中存储的数据。

[0070] 图8和图9是示出磁隧道结(MTJ)元件相对于写入数据的磁化方向的示图。MTJ元件的电阻值可根据自由层FL的磁化方向而变化。当读电流I被供应到MTJ元件时,数据电压可根据MTJ元件的电阻值而被输出。由于读电流I具有比写电流低得多的强度,因此自由层FL的磁化方向可不根据读电流I转变。参照图8,在MTJ元件中,自由层FL的磁化方向可平行于钉扎层PL的磁化方向。因此,MTJ元件可具有低电阻值。在这种情况下,数据“0”可被读取。参照图9,在MTJ元件中,自由层FL的磁化可反平行于钉扎层PL的磁化方向。在这种情况下,MTJ元件可具有高电阻值。在这种情况下,数据“1”可被读取。虽然图8和图9示出MTJ单元的自由层FL和钉扎层PL中的每个层是水平磁性元件,但是本发明构思可提供自由层FL和钉扎层PL中的每个层是垂直磁性元件的其他实施例。

[0071] 图10是示出当单位存储单元是磁阻存储单元时图1的电阻存储装置的写操作的示图。参照图10,可根据流过MTJ元件的写电流WC1和WC2的方向来确定自由层FL的磁化方向。例如,当施加了第一写电流WC1时,与钉扎层PL具有相同自旋方向的自由电子可向自由层FL施加扭矩。因此,自由层FL可平行于钉扎层PL被磁化。当施加了第二写电流WC2时,与钉扎层PL具有相反自旋方向的电子可返回到自由层FL并施加扭矩。结果,自由层FL可反平行于钉扎层PL被磁化。也就是,在MTJ单元中,自由层FL的磁化方向可因自旋转移矩(STT)而转变。

[0072] 图11是示出补偿图1的电阻存储装置1000的电阻分布的方法的概念图。参照图11,根据本发明构思的实施例的电阻存储装置可使用单元晶体管的电阻分布,补偿电阻装置(MTJ)和寄生电阻器的电阻分布。在补偿完成之后,电阻存储装置的电阻分布可几乎为“0”。

[0073] 图12至图14是示出产生图1的电阻存储装置中的单元晶体管的接口状态的方法的示图。参照图12,单元晶体管的接口状态可因福勒-诺德海姆(F-N)隧穿的压力下降而被产生。可将高电压施加到单元晶体管的栅极端子G,可将地电压施加到单元晶体管的源极端子S和漏极端子D。在图12的示例中,可将5V的电压施加到单元晶体管的栅极端子G,可将地电压施加到单元晶体管的源极端子S和漏极端子D。

[0074] 参照图13,单元晶体管的接口状态可因热载流子注入而被产生。可将第一高电压施加到单元晶体管的栅极端子G,可将地电压施加到单元晶体管的源极端子S,可将第二高

电压施加到单元晶体管的漏极端子D。第二高电压可具有比第一高电压高的电压电平。在图13的示例中,可将2至3V的电压施加到单元晶体管的栅极端子G,可将地电压施加到单元晶体管的源极端子S,可将5V的电压施加到单元晶体管的漏极端子D。

[0075] 参照图14,单元晶体管的接口状态可因热载流子注入而被产生(或被调节),可将第一高电压施加到单元晶体管的栅极端子G,可将地电压施加到单元晶体管的漏极端子D,可将具有比第一高电压高的电压电平的第二高电压施加到单元晶体管的源极端子S。在图14的示例中,可将2至3V的电压施加到单元晶体管的栅极端子G,可将地电压施加到单元晶体管的漏极端子D,可将5V的电压施加到单元晶体管的源极端子S。

[0076] 图15是用于解释补偿包括在图2的存储单元阵列1400中的电阻装置的电阻分布的方法的概念图。再次参照图2和图3,从包括在存储单元阵列1400中的电阻装置中的每个电阻装置到感测放大器1540的距离可以不相同,并且电阻装置自身的电阻分布可以不相同。因此,用于感测输出数据的感测放大器1540的感测界限(sensing margin)可减小。图2的存储单元阵列1400可通过调节单元晶体管的接口状态,来减小在感测放大器1540的输入端子中感测到的包括在存储单元阵列1400中的每个电阻存储单元的电阻分布。

[0077] 在图15中,R_D0表示电阻器的电阻分布,R_OFFSET表示用于消除电阻器之间的电阻偏差的补偿电阻器的电阻分布。此外,R_EFF表示在消除电阻器之间的电阻偏差之后在感测放大器1540的输入端子测量的有效电阻值。在图15中,要注意的是,电阻R_P1的分布由单元晶体管的电阻CR_P1消除,电阻R_P2的分布由单元晶体管的电阻CR_P2消除,电阻R_P3的分布由单元晶体管的电阻CR_P3消除。参照图15,包括在电阻存储装置1000的存储单元阵列1400中的电阻装置的有效电阻的分布接近“0”。

[0078] 图16是示出在补偿电阻分布之前和之后包括在图2的存储单元阵列1400中的电阻装置的感测界限的示图。参照图16,要注意的是,当使用单元晶体管的电阻R_OFFSET完成了补偿时,作为数据“0”的电阻值R_D0和数据“1”的电阻值R_D1之间的电阻值的感测界限增加到有效感测界限SM_EFF。

[0079] 图17是示出写电流的幅值的范围的示图,其中,写电流用于对电阻装置编程以补偿包括在图2的存储单元阵列中的电阻装置的分布。在图17中,I_WD表示用于在正常操作模式下对电阻装置进行编程的写电流,I_W0表示用于将压力提供给单元晶体管的写电流。参照图17,用于将压力提供给单元晶体管的写电流的幅值的下限可被确定为不受电阻装置的写电流影响的电流值。用于将压力提供给单元晶体管的写电流的幅值的上限I_UL可被确定为不使电阻装置发生故障的电流值。

[0080] 图18是示出根据本发明构思的实施例的补偿电阻存储装置的电阻分布的方法的流程图。电阻存储装置可包括多个电阻装置和串联连接到所述电阻装置中的每个电阻装置的多个单元晶体管。参照图18,补偿电阻装置的电阻分布的方法可包括如下操作:

[0081] (1) 相对于包括在存储单元阵列中的所有存储单元写入数据“0”或“1”(S1);

[0082] (2) 选择数据被读出的存储单元(S2);

[0083] (3) 从选择的存储单元读出数据(S3);

[0084] (4) 确定读取的数据是否等于目标值(S4);以及

[0085] (5) 当数据等于目标值时结束处理,当数据不等于目标值时,调节单元晶体管的接口状态,并执行操作3(S3)(S5)。调节单元晶体管的接口状态的操作可在本说明书中被表示

为偏移写操作(offset write operation)。

[0086] 图19是示出在图18的补偿电阻存储装置的电阻分布的方法中调节单元晶体管的接口状态的方法的流程图。参照图19,调节单元晶体管的接口状态的方法可包括如下操作:

[0087] (1) 驱动编程驱动器(S51);

[0088] (2) 选择接口状态将被调节的存储单元(S52);

[0089] (3) 将压力给予选择的存储单元的单元晶体管(S53)。

[0090] 图20是示出包括根据本发明构思的实施例的电阻存储装置的存储模块2100的示意图。参照图20,存储模块2100可包括印刷电路板(PCB)2110、多个MRAM芯片2120以及连接器2130。多个MRAM芯片2120可结合到PCB 2110的顶表面和底表面。连接器2130可通过导线(未示出)电连接到多个MRAM芯片2120。此外,连接器2130可连接到外部主机的槽。

[0091] 图21是包括根据本发明构思的实施例的电阻存储装置的具有堆叠结构的半导体装置的简化透视图。在图20的存储模块2100中,每个存储芯片可包括图21中示出的多个半导体层LA1至LAN。在堆叠半导体装置2400中,多个堆叠的半导体层LA1至LAN可通过硅通孔(TSV)2420彼此连接。半导体层LA1至LAN中的每个半导体层可包括单元阵列2410,单元阵列2410包括STT-MRAM单元。

[0092] 图22是包括根据本发明构思的实施例的电阻存储装置的存储系统2500的示例的框图。参照图22,存储系统2500可包括存储控制器2510和电阻存储装置2520。存储控制器2510可产生地址信号ADD和命令CMD,并通过总线将地址信号ADD和命令CMD提供给电阻存储装置2520。数据DQ可通过总线从存储控制器2510发送到电阻存储装置2520,或者通过总线从电阻存储装置2520发送到存储控制器2510。电阻存储装置2520可以是根据本发明构思的实施例的电阻存储装置1000,并且可通过调节单元晶体管的接口状态来补偿电阻分布。

[0093] 图23是根据本发明构思的实施例的包括电阻存储装置和光链路的存储系统2600的示例的框图。参照图23,存储系统2600可包括控制器2620、电阻存储装置2630以及被配置为将控制器2620和电阻存储装置2630互连的多个光链路2610a和2610b。控制器2620可包括控制单元2621、第一发送器2622和第一接收器2623。控制单元2621可将控制信号SN1发送到第一发送器2622。第一发送器2622可包括第一光调制器2622_1,第一光调制器2622_1可将作为电信号的控制信号SN1转换为第一光发送信号OPT1,并将第一光发送信号OPT1发送到光链路2610a。第一接收器2623可包括第一光解调器2623_1,第一光解调器2623_1可将从光链路2610b接收的第二光接收信号OPT2'转换为作为电信号的数据信号SN2,并将数据信号SN2发送到控制单元2621。

[0094] 电阻存储装置2630可包括第二接收器2631、电阻存储单元阵列2632和第二发送器2633。第二接收器2631可包括第二光解调器2631_1,第二光解调器2631_1可将从光链路2610a接收的第一光接收信号OPT'转换为作为电信号的控制信号SN1,并将控制信号SN1发送到电阻存储单元阵列2632。在电阻存储单元阵列2632中,数据可在控制信号SN1的控制下被写入,或者由电阻存储单元阵列2632输出的数据信号SN2可被发送到第二发送器2633。第二发送器2633可包括第二光调制器2633_1,第二光调制器2633_1可将作为从电阻存储单元阵列2632接收的电信号的数据信号SN2转换为第二光数据信号OPT2,并将第二光数据信号OPT2发送到光链路2610b。

[0095] 图24是包括根据本发明构思的实施例的电阻存储装置的信息处理系统2700的示

例的框图。参照图24,电阻存储装置2711可安装在计算机系统中。信息处理系统2700可包括可电连接到系统总线2760的存储系统2710、调制解调器2720、中央处理单元(CPU) 2750、RAM 2740和用户接口2730。

[0096] 存储系统2710可包括电阻存储装置2711和存储控制器2712。由CPU2750处理的数据或外部输入的数据可被存储在电阻存储装置2711中。包括STT-MRAM单元的半导体存储装置可应用于电阻存储装置2711和RAM 2740中的至少一个。也就是,包括STT-MRAM单元的半导体存储装置可应用于被配置为存储信息处理系统2700所需的大容量数据的电阻存储装置2711或者被配置为存储需要被快速存取的数据(即,系统数据)的RAM 2740。虽然在图24中未示出,但是本领域的普通技术人员将清楚的是,还可在信息处理系统2700中设置应用芯片集、相机图像处理器(CIP)和输入/输出(I/O)装置。

[0097] 在电阻存储装置中,STT-MRAM可以是可满足动态RAM(DRAM)的低成本大容量特性、静态RAM(SRAM)的操作速度和闪存的非易失性特性的高级存储器。因此,在传统系统需要具有高处理速度的额外缓冲存储器和被配置为存储大容量数据的额外块存储单元(例如, RAM)时,缓冲存储器和块存储单元可被根据本发明构思的实施例的MRAM装置替代。也就是,由于包括MRAM的存储装置可快速地存储大容量数据,因此可比现有技术更简便地配置信息处理系统。

[0098] 根据本发明构思的实施例的电阻存储装置能够通过调节包括在存储单元阵列中的单元晶体管的接口状态来补偿电阻装置和行的寄生电阻器的电阻分布并提高数据的感测界限。

[0099] 本发明构思可应用于半导体装置,具体地讲,可应用于电阻存储装置和包括所述电阻存储装置的存储系统。

[0100] 前述内容是实施例的说明,不被构造为限制实施例。虽然已经描述了一些实施例,但是本领域技术人员将容易理解的是,在实质上不脱离新颖教导和优点的情况下,可进行许多修改。因此,所有这样的修改意在包括在如权利要求限定的本发明构思的范围内。在权利要求中,装置加功能条款意在涵盖在此描述的执行所叙述的功能的结构,不仅包括结构的等同物,而且包括等同结构。

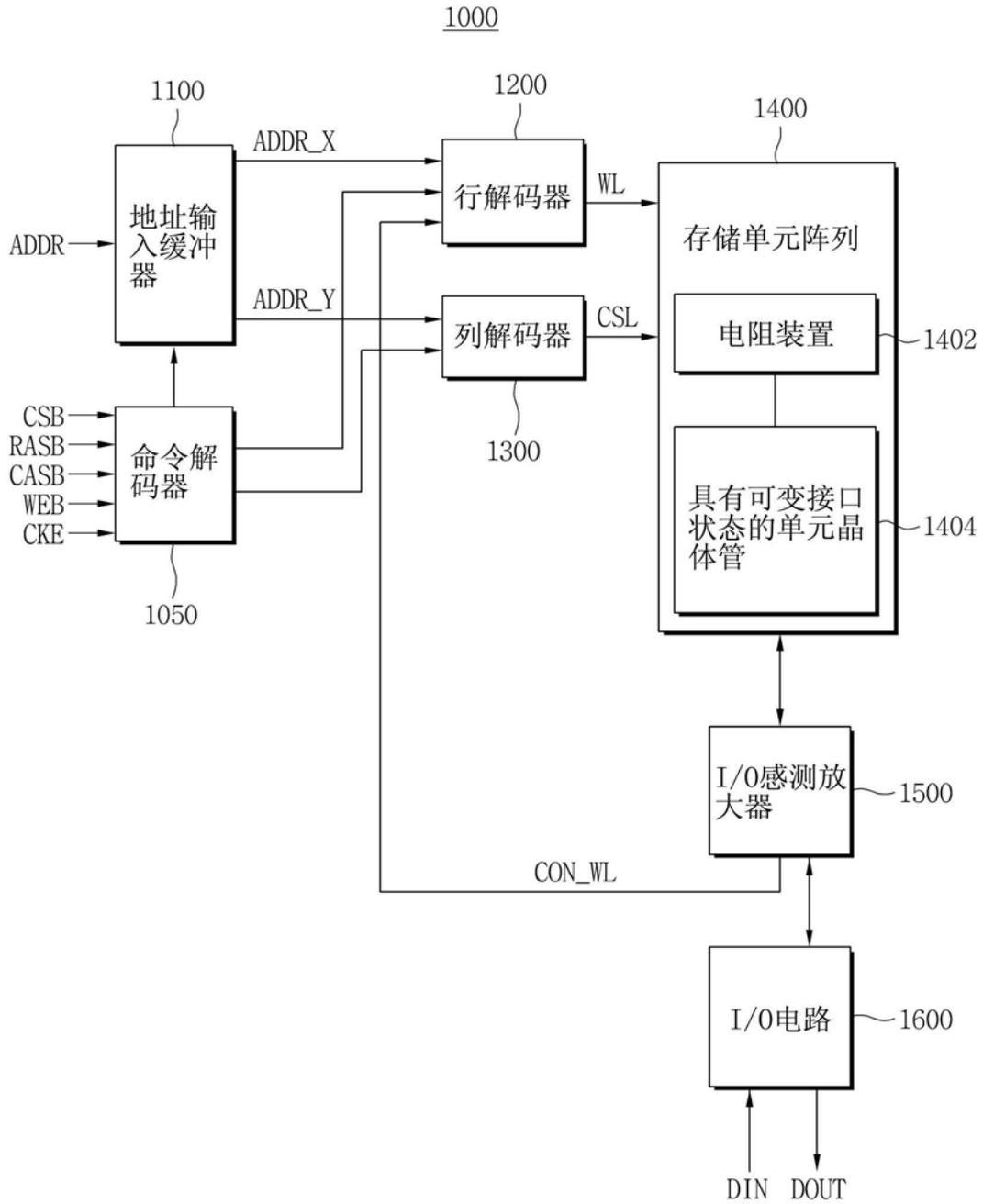


图1

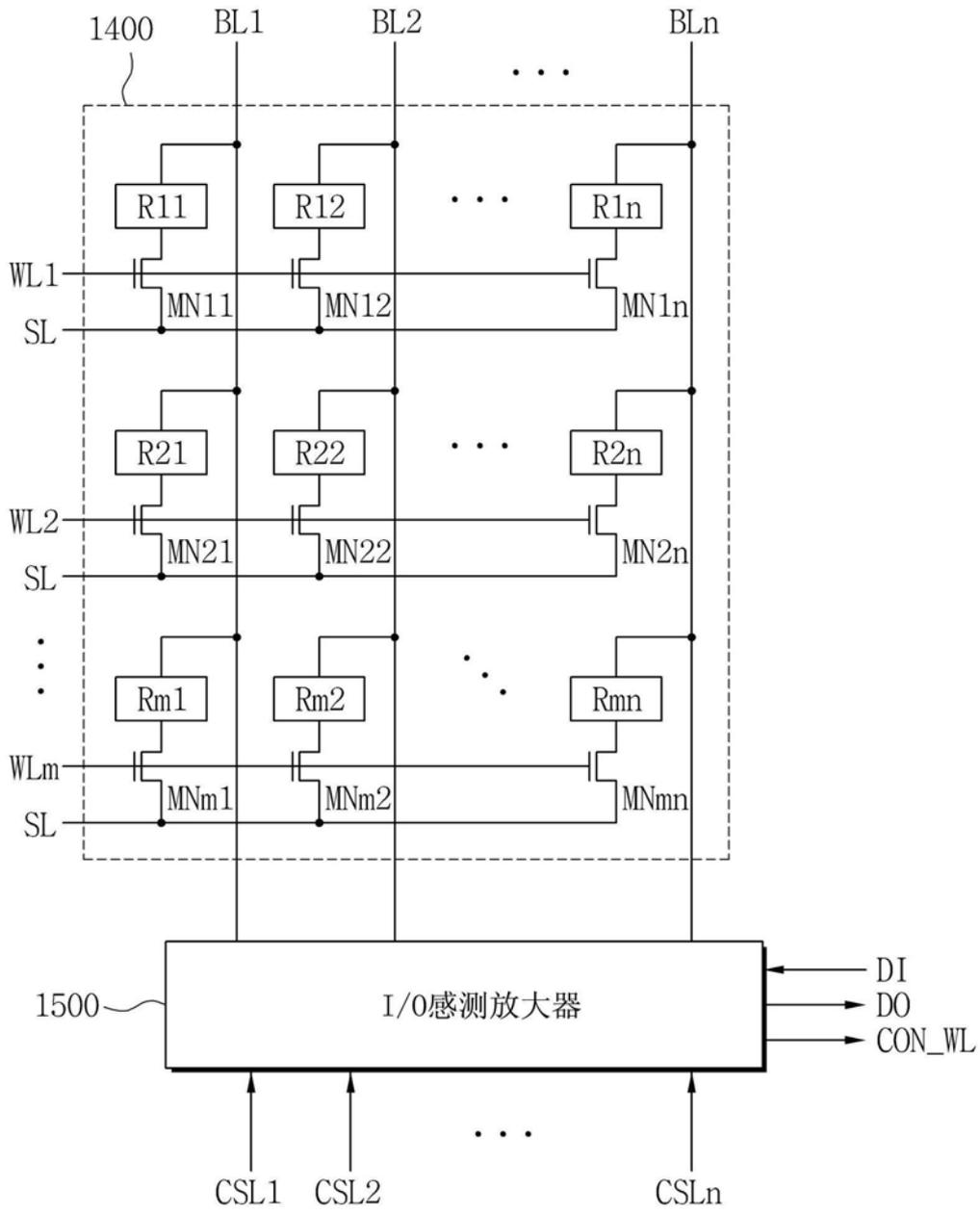


图2

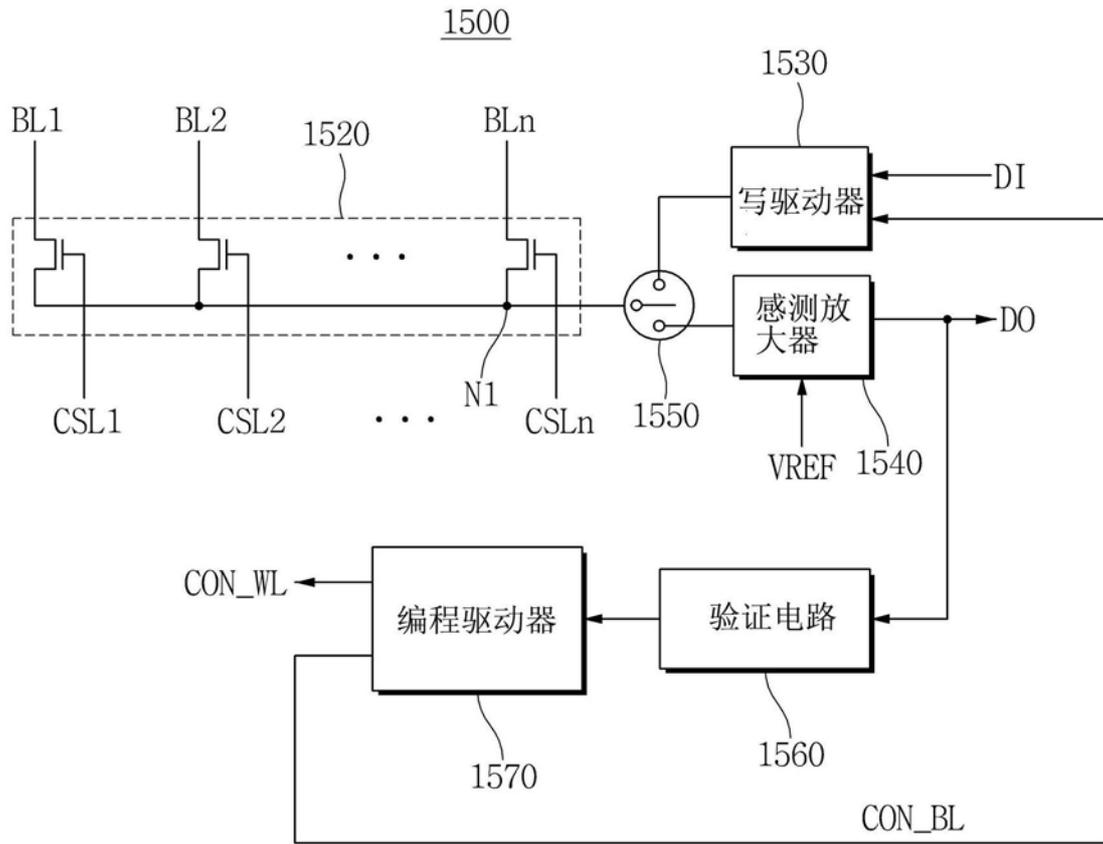


图3

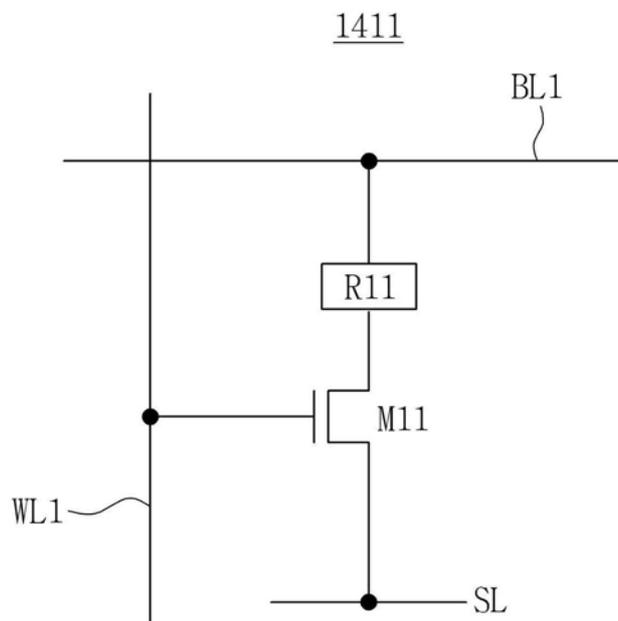


图4

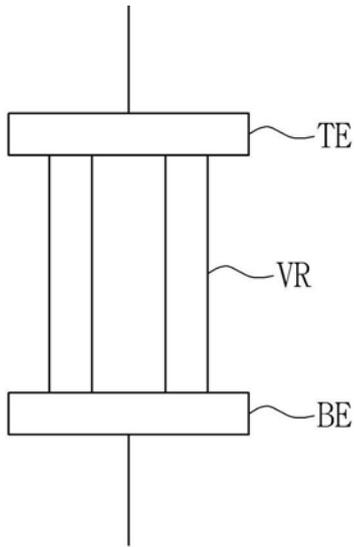


图5

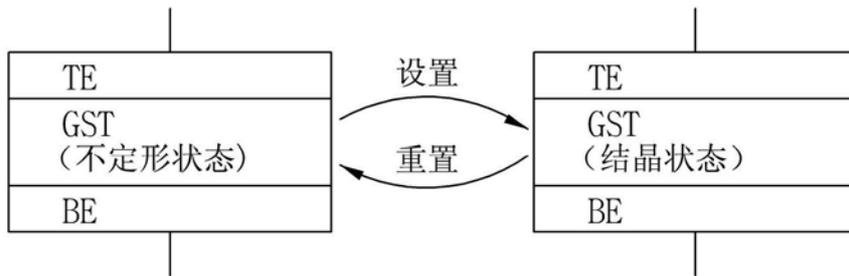


图6

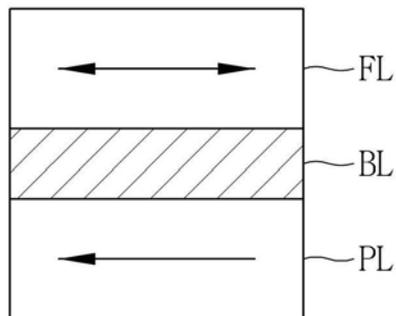


图7

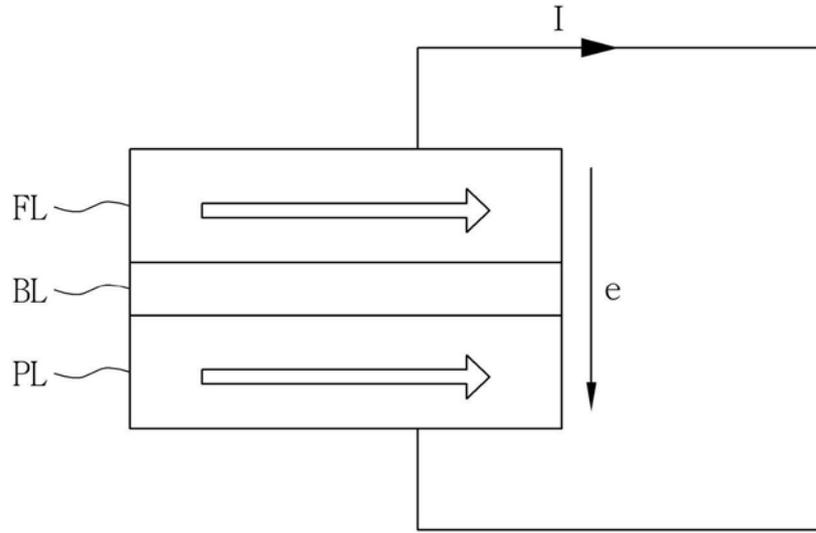


图8

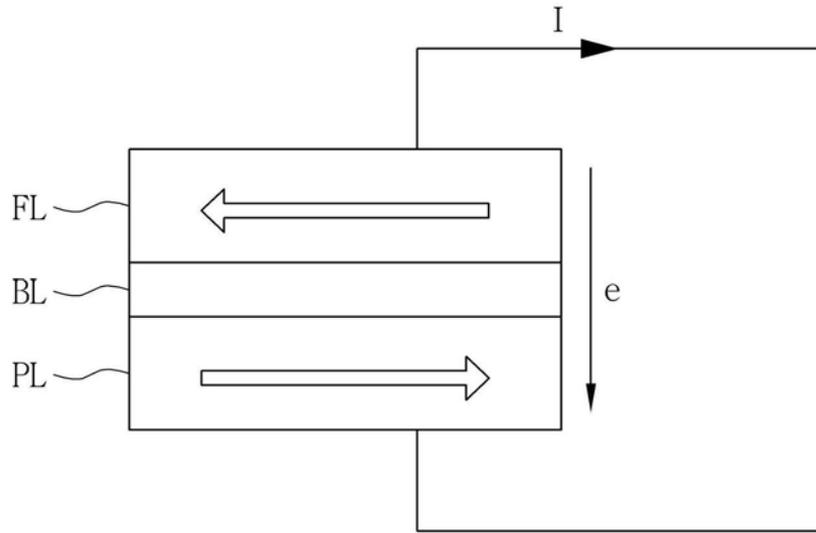


图9

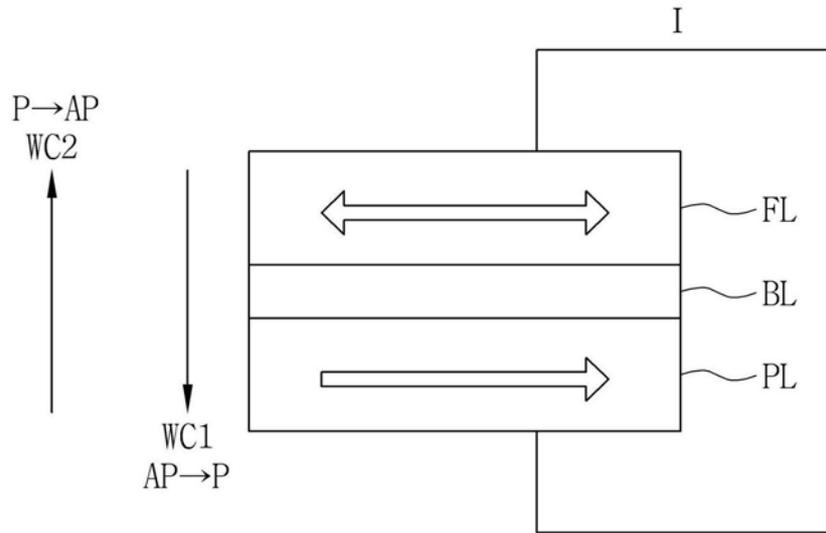


图10

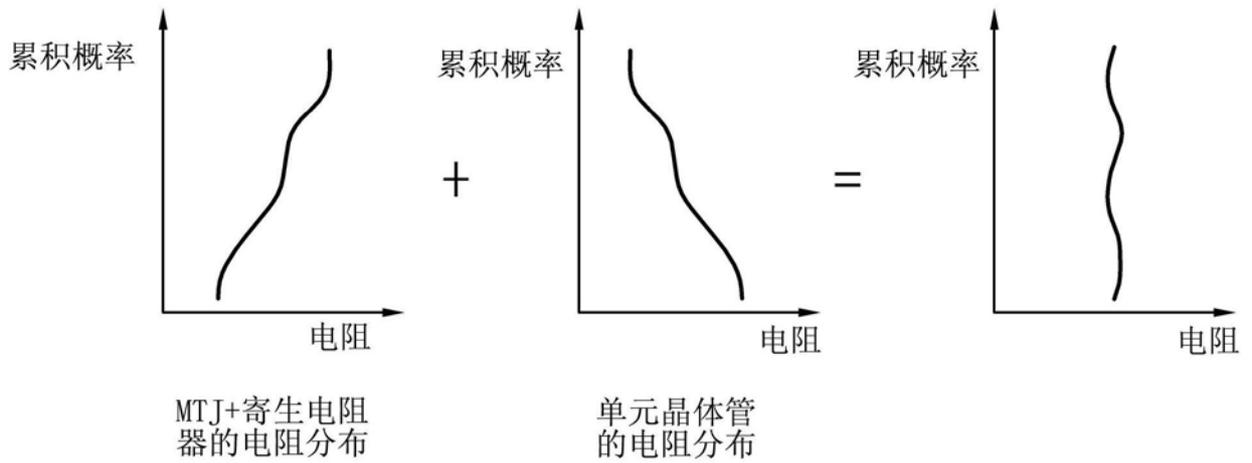


图11

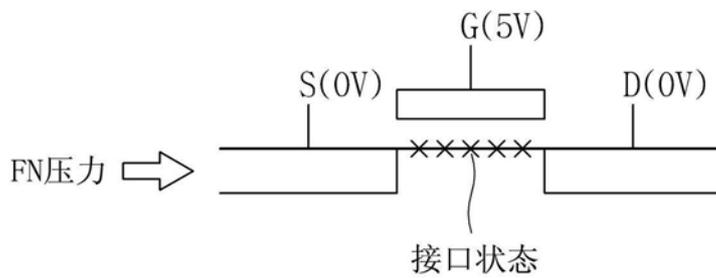


图12

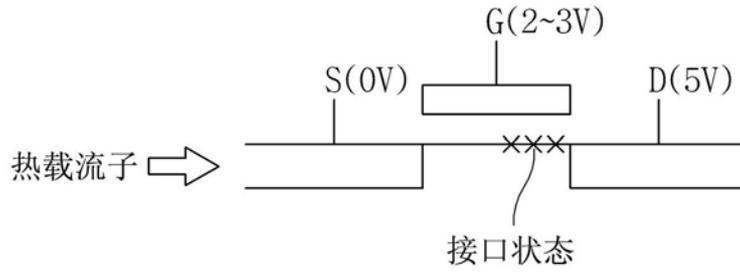


图13

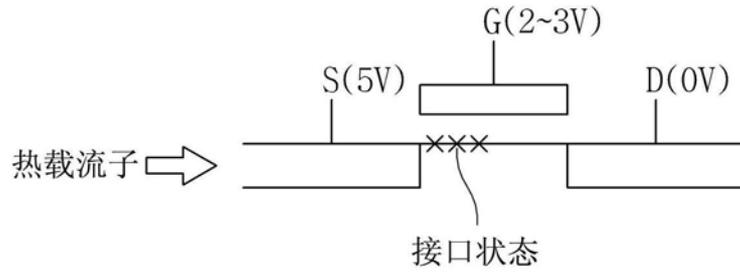


图14

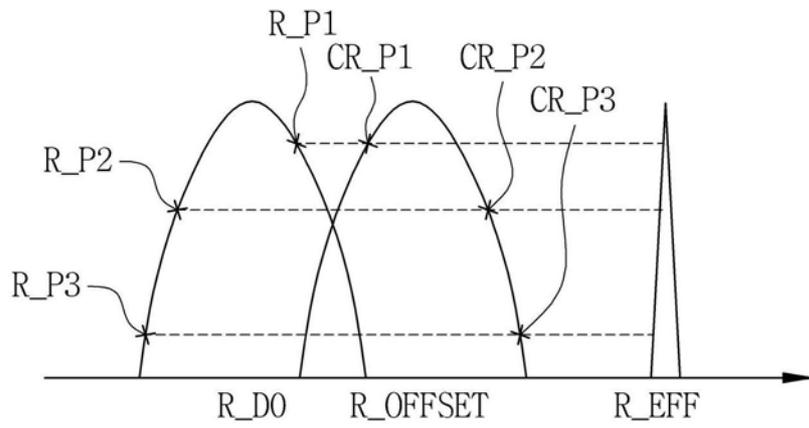


图15

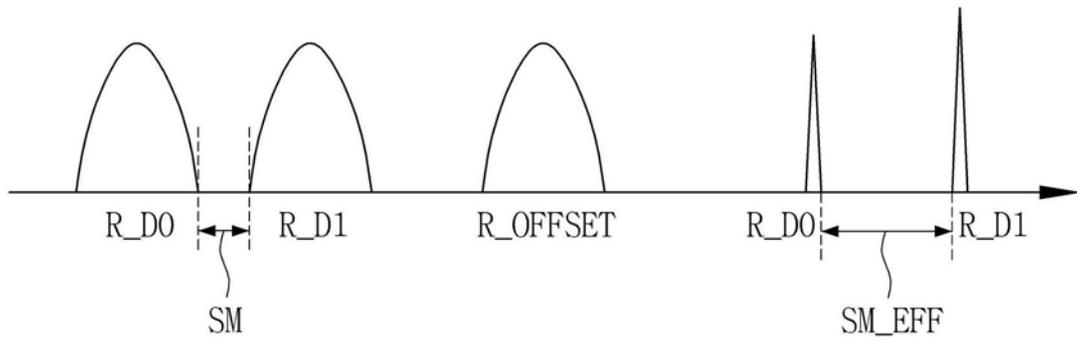


图16

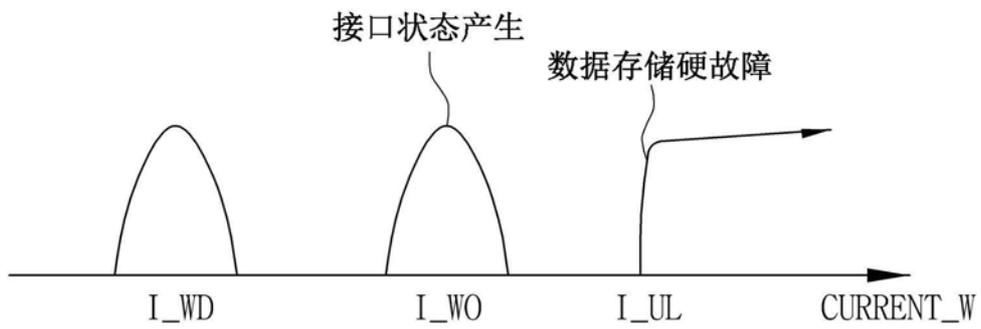


图17

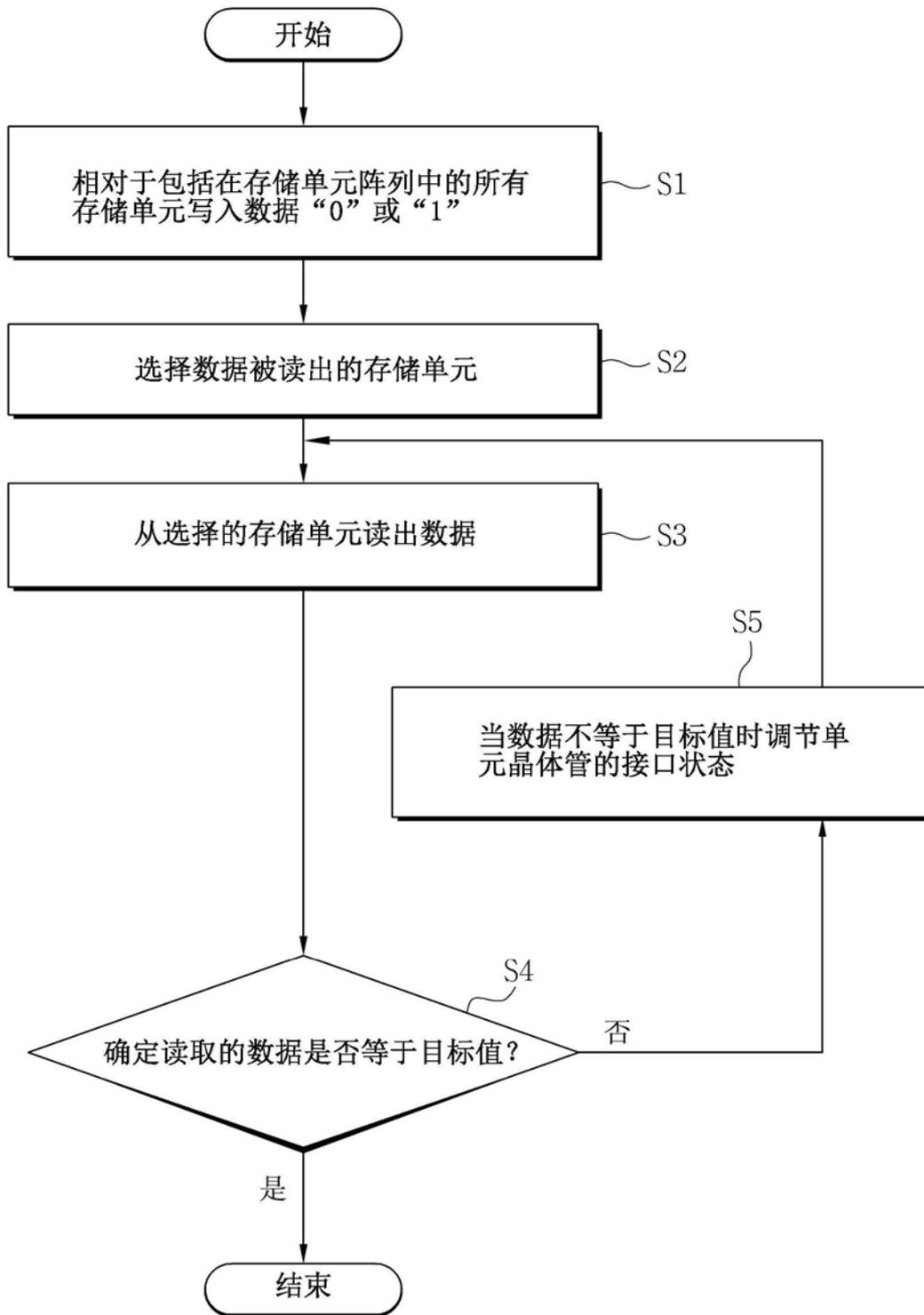


图18

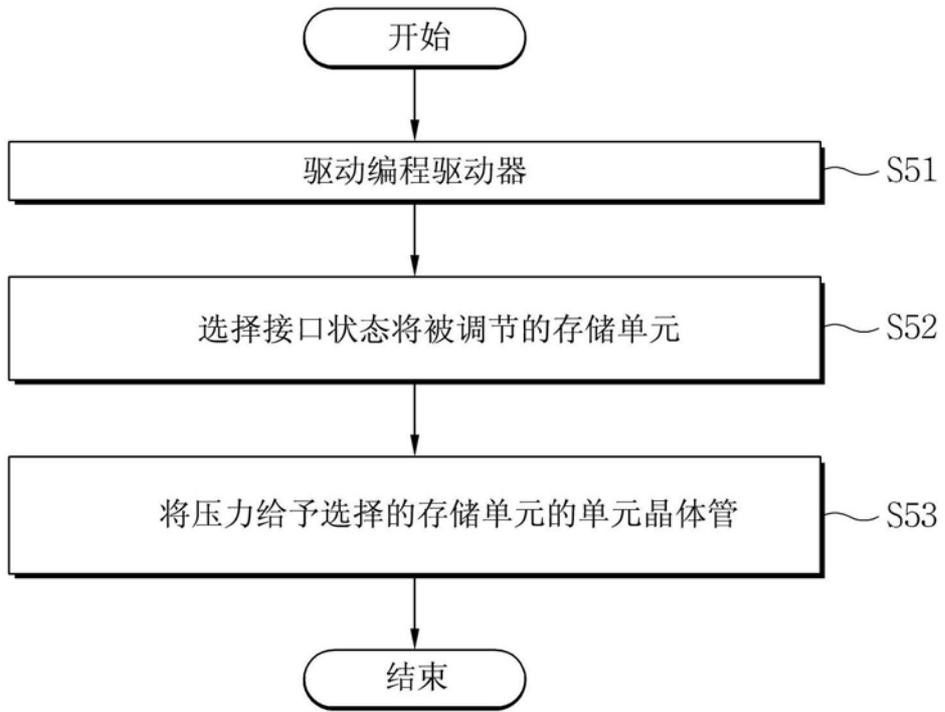


图19

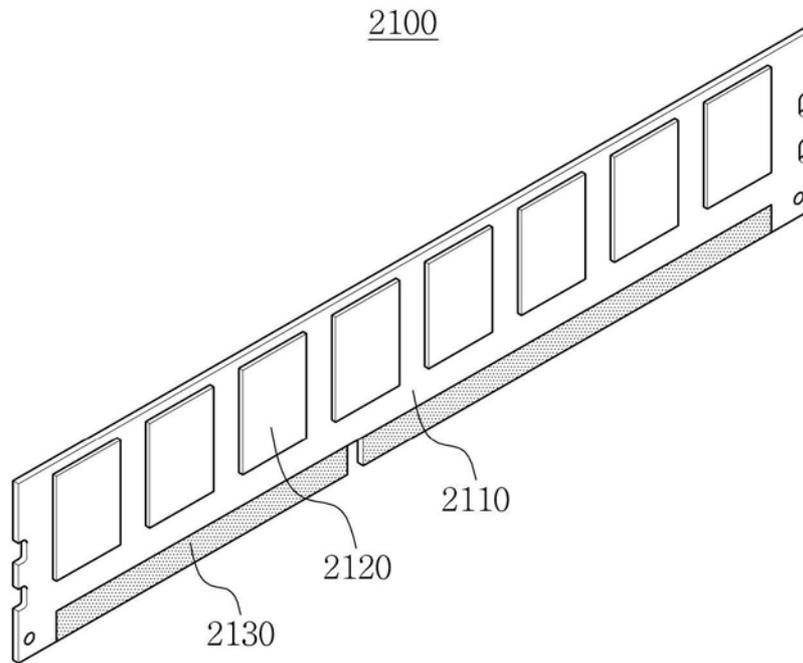


图20

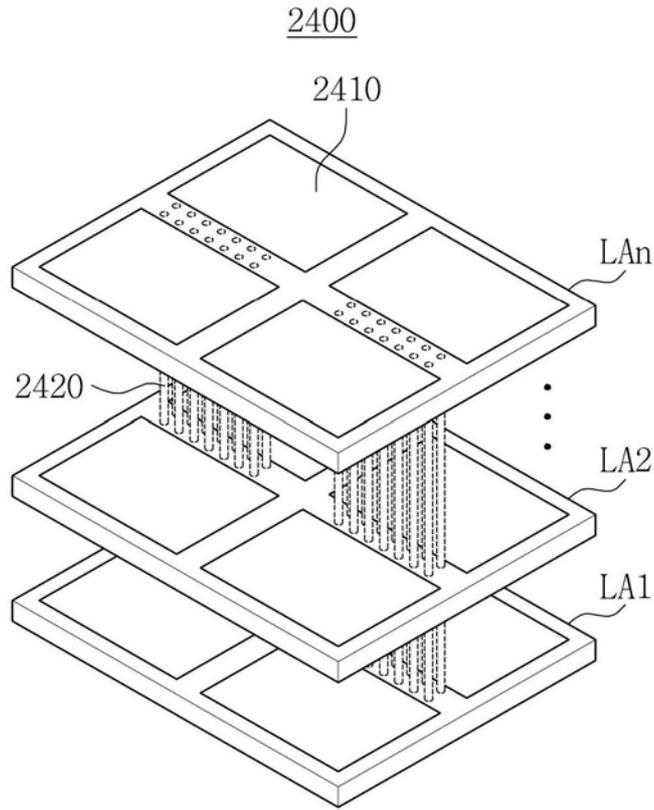


图21

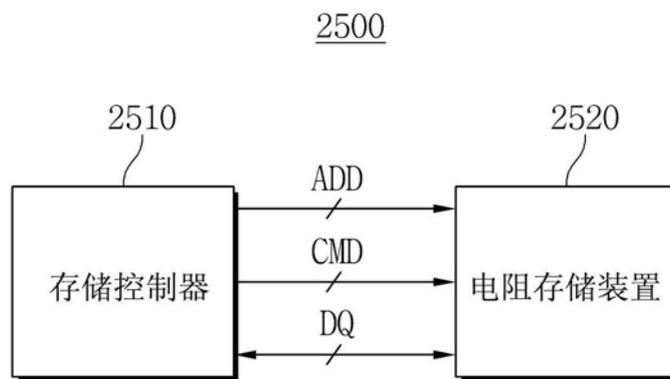


图22

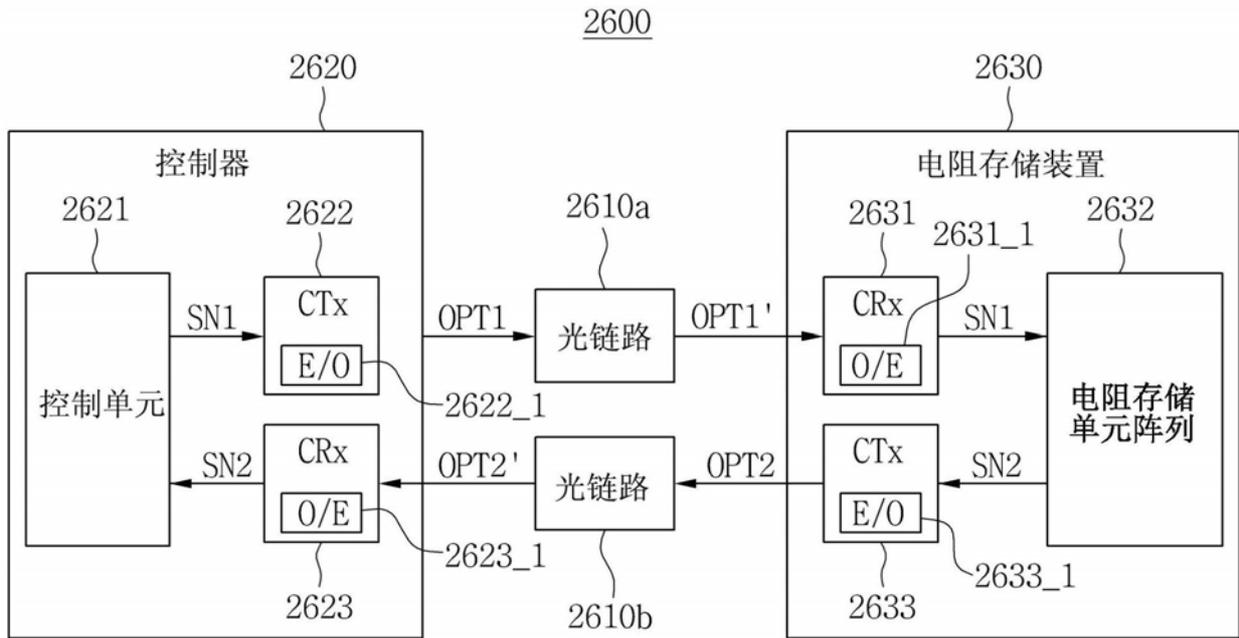


图23

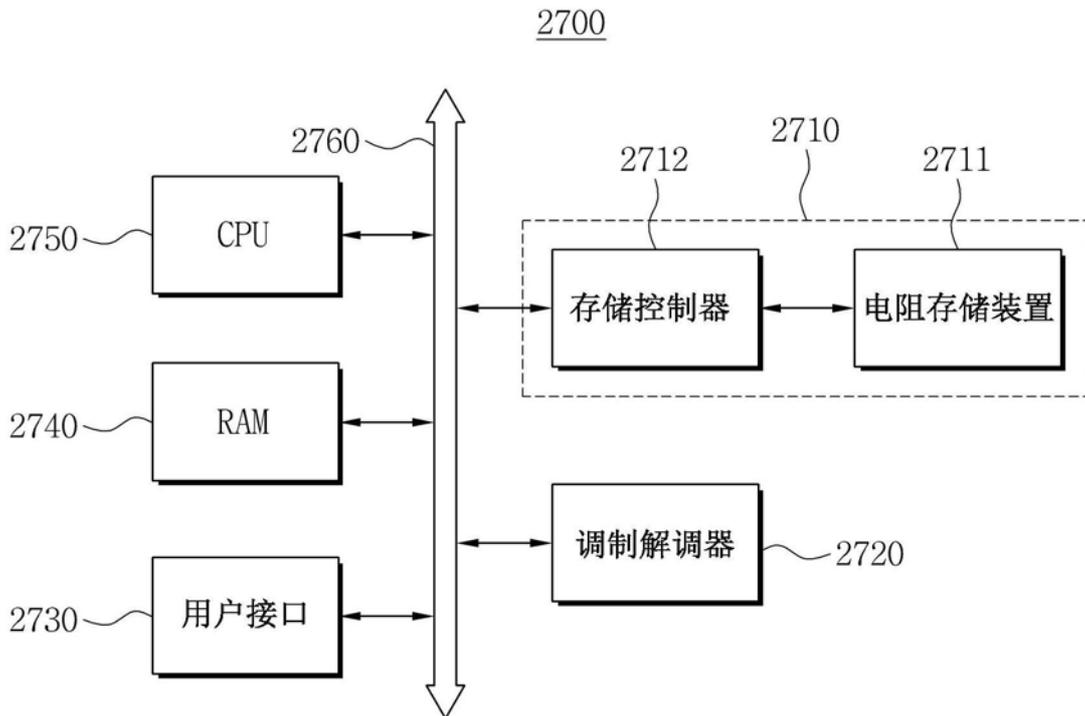


图24