

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6814213号
(P6814213)

(45) 発行日 令和3年1月13日(2021.1.13)

(24) 登録日 令和2年12月22日(2020.12.22)

(51) Int. Cl.	F I		
H05H 1/00 (2006.01)	H05H 1/00	A	
H05H 1/46 (2006.01)	H05H 1/46	M	
H01L 21/3065 (2006.01)	H05H 1/46	R	
H01L 21/31 (2006.01)	H01L 21/302	I O I G	
C23C 16/52 (2006.01)	H01L 21/31	C	
請求項の数 11 (全 9 頁) 最終頁に続く			

(21) 出願番号	特願2018-528217 (P2018-528217)	(73) 特許権者	390040660
(86) (22) 出願日	平成28年11月3日(2016.11.3)		アプライド マテリアルズ インコーポレイテッド
(65) 公表番号	特表2019-504439 (P2019-504439A)		APPLIED MATERIALS, INCORPORATED
(43) 公表日	平成31年2月14日(2019.2.14)		アメリカ合衆国 カリフォルニア 95054, サンタ クララ, パウアーズ
(86) 国際出願番号	PCT/US2016/060240		アヴェニュー 3050
(87) 国際公開番号	W02017/095586	(74) 代理人	100094569
(87) 国際公開日	平成29年6月8日(2017.6.8)		弁理士 田中 伸一郎
審査請求日	令和1年11月5日(2019.11.5)	(74) 代理人	100088694
(31) 優先権主張番号	62/263, 472		弁理士 弟子丸 健
(32) 優先日	平成27年12月4日(2015.12.4)	(74) 代理人	100103610
(33) 優先権主張国・地域又は機関	米国 (US)		弁理士 ▲吉▼田 和彦
最終頁に続く			

(54) 【発明の名称】 プラズマ処理のためのアーキング検出装置

(57) 【特許請求の範囲】

【請求項 1】

プラズマ処理チャンバの内部容積に部分的に曝されて配置されたプローブと、
前記内部容積内のプラズマ電位から導出されるアナログ信号を前記プローブから受け取り、

前記アナログ信号の第1の降下を検出することに基づいてアーキング事象が発生していることを判定し、前記第1の降下は、第1の持続時間と第1の振幅を有し、

前記アナログ信号の検出された第1の降下に基づいて出力信号を出力するように構成された検出回路と、を備え、

前記出力信号は、前記第1の持続時間より長い第2の持続時間を有し、前記第1の持続時間は100マイクロ秒未満であり、前記第2の持続時間は100マイクロ秒を超えており、

更に、

前記検出回路と通信するデータログシステムであって、100マイクロ秒を超えた入力信号を検出すると共に、前記検出回路からの前記出力信号を受信するように構成された、データログシステム

を備え、

前記検出回路は、

各々の演算増幅器が第1の入力、第2の入力及び出力を有する、第1の演算増幅器及び第2の演算増幅器を備え、

10

20

前記第 1 の演算増幅器の前記第 1 の入力は、前記アナログ信号に接続されており、
前記第 2 の演算増幅器の前記第 1 の入力は、前記第 1 の演算増幅器の前記出力に接続
されており、

前記第 2 の演算増幅器の前記第 2 の入力は、第 1 のレジスタを介して前記第 1 の演算
増幅器の前記出力に接続されており、接地されたコンデンサが、前記第 1 のレジスタと前
記第 2 の演算増幅器の前記第 2 の入力との間で前記第 2 の演算増幅器の前記第 2 の入力に
接続されている、アーキング検出装置。

【請求項 2】

前記検出回路が前記プローブからの前記アナログ信号をデジタル信号に変換するように動作可能である、請求項 1 に記載のアーキング検出装置。

10

【請求項 3】

前記検出回路が前記アナログ信号をフィルタ処理するように更に構成された、請求項 1 に記載のアーキング検出装置。

【請求項 4】

内部容積を画定するチャンバ本体と、
 前記内部容積内に配置されたペDESTAL組立体であって、基板を支持するように構成された、ペDESTAL組立体と、
 前記ペDESTAL組立体の上方で、前記内部容積内に配置されたシャワーヘッドであって、前記内部容積内でプラズマを生成するように構成された、シャワーヘッドと、
 アーキング検出装置であって、

20

プラズマ処理チャンバの内部容積に部分的に曝されたプローブと、
 前記内部容積内のプラズマ電位から導出されるアナログ信号を前記プローブから受け取り、前記アナログ信号の第 1 の降下を検出することに基づいてアーキング事象が発生していることを判定し、前記第 1 の降下は、第 1 の持続時間と第 1 の振幅を有し、前記アナログ信号の検出された第 1 の降下に基づいて出力信号を出力し、前記出力信号は、前記第 1 の持続時間より長い第 2 の持続時間を有し、前記第 1 の持続時間は 100 マイクロ秒未満であり、前記第 2 の持続時間は 100 マイクロ秒を超えるように構成された検出回路と

前記検出回路と通信するデータログシステムであって、100 マイクロ秒を超えた入力信号を検出すると共に、前記検出回路からの前記出力信号を受信するように構成された、データログシステムと、
 を備えるアーキング検出装置と、

30

を備え、

前記検出回路は、

各々の演算増幅器が第 1 の入力、第 2 の入力及び出力を有する、第 1 の演算増幅器及び
第 2 の演算増幅器を備え、

前記第 1 の演算増幅器の前記第 1 の入力は、前記アナログ信号に接続されており、
前記第 2 の演算増幅器の前記第 1 の入力は、前記第 1 の演算増幅器の前記出力に接続
されており、

前記第 2 の演算増幅器の前記第 2 の入力は、第 1 のレジスタを介して前記第 1 の演算
増幅器の前記出力に接続されており、接地されたコンデンサが、前記第 1 のレジスタと前
記第 2 の演算増幅器の前記第 2 の入力との間で前記第 2 の演算増幅器の前記第 2 の入力に
接続されており、

40

更に、

前記第 2 の演算増幅器の前記出力に基づいて動作するように構成された単安定マルチバ
イプレータを備えた、プラズマ処理チャンバ。

【請求項 5】

前記検出回路が前記プローブからの前記アナログ信号をデジタル信号に変換するように動作可能である、請求項 4 に記載のプラズマ処理チャンバ。

【請求項 6】

50

前記アーキング検出装置が、

前記アーキング検出装置と通信するコントローラであって、前記検出回路からの前記出力信号の前記出力にตอบสนองして、前記プラズマ処理チャンバで実行されている処理を停止するように構成された、コントローラ、
をさらに備える、請求項 4 に記載のプラズマ処理チャンバ。

【請求項 7】

前記検出回路が前記アナログ信号をフィルタ処理するように更に構成される、請求項 4 に記載のプラズマ処理チャンバ。

【請求項 8】

プラズマ処理チャンバ内のアーキング事象を検出するための方法であって、

前記処理チャンバの内部容積内に部分的に配置されたプローブからのアナログ信号を検出回路に送信するステップであって、前記アナログ信号は、前記内部容積内のプラズマ電位から導出される、ステップと、

前記アナログ信号の第 1 の降下を検出することに基づいてアーキング事象が前記内部容積内で発生していることを前記検出回路によって判定するステップであって、前記第 1 の降下は、第 1 の持続時間と第 1 の振幅を有する、ステップと、

前記アーキング事象が発生したという判定にตอบสนองして、前記検出回路によって出力信号を出力するステップとを備え、

前記出力信号は、前記第 1 の持続時間より長い第 2 の持続時間を有し、

前記第 1 の持続時間は 100 マイクロ秒未満であり、前記第 2 の持続時間は 100 マイクロ秒を超えており、

更に、

前記検出回路からの前記出力信号をデータログシステムによって受信するステップを備え、

前記データログシステムは、100 マイクロ秒を超えた入力信号を検出するように構成され、

前記検出回路は、

各々の演算増幅器が第 1 の入力、第 2 の入力及び出力を有する、第 1 の演算増幅器及び第 2 の演算増幅器を備え、

前記アナログ信号の前記第 1 の降下を検出することは、前記検出回路の前記第 2 の演算増幅器によって検出され、

前記第 1 の演算増幅器の前記第 1 の入力は、前記アナログ信号に接続されており、

前記第 2 の演算増幅器の前記第 1 の入力は、前記第 1 の演算増幅器の前記出力に接続されており、

前記第 2 の演算増幅器の前記第 2 の入力は、第 1 のレジスタを介して前記第 1 の演算増幅器の前記出力に接続されており、接地されたコンデンサが、前記第 1 のレジスタと前記第 2 の演算増幅器の前記第 2 の入力との間で前記第 2 の演算増幅器の前記第 2 の入力に接続されている、方法。

【請求項 9】

前記出力信号は、デジタル信号である、請求項 8 に記載の方法。

【請求項 10】

前記検出回路は、前記プローブによって送信された前記アナログ信号をフィルタ処理する、請求項 8 に記載の方法。

【請求項 11】

前記検出回路は、前記第 2 の演算増幅器の前記出力に基づいて動作するように構成された単安定マルチバイブレータを更に備えた、請求項 1 に記載のアーキング検出装置。

【発明の詳細な説明】

【技術分野】

【0001】

本明細書に記載された実施形態は、プラズマ処理チャンバにおけるアーキング検出、よ

10

20

30

40

50

り詳細にはプラズマ処理チャンバにおけるアーキングを検出するためのアーキング検出装置およびアーキング検出方法に関する。

【背景技術】

【0002】

アーキング問題は、プラズマ処理チャンバ内で密接して配置された2点間の高い電圧差に起因して半導体処理装置内部のほぼすべてのプラズマ環境に存在する可能性がある。アーキングは、下にある材料の溶飛、基板破損、および/または処理チャンバへの損傷を引き起こすことがある。

基板処理中にアーキング事象を検出できないと、使用不可能なまたは低歩留まりの半導体基板のバッチをもたらし、ひいては、潜在的に数千ドルの収入の損失をもたらす可能性がある。

10

したがって、プラズマ処理チャンバにおける改善されたアーキング検出のための機器および方法が必要である。

【発明の概要】

【課題を解決するための手段】

【0003】

本明細書に記載された実施形態は、一般にプラズマ処理チャンバおよびアーキング事象のための検出装置に関する。一実施形態において、アーキング検出装置が本明細書で開示される。本アーキング検出装置は、プローブ、検出回路、およびデータログシステムを備える。プラズマ処理チャンバの内部容積に部分的に曝されたプローブ。検出回路は、プローブからアナログ信号を受け取り、アナログ信号中に存在する事象をスケールリングして出力信号を出力するように構成される。データログシステムは、検出回路から出力信号を受け取るように通信可能に結合される。データログシステムは、内部容積内で発生するアーキング事象を追跡するように構成される。

20

別の実施形態では、プラズマ処理チャンバが本明細書で開示される。本プラズマ処理チャンバは、チャンバ本体、ペDESTAL組立体、シャワーヘッド、およびアーキング検出装置を備える。チャンバ本体は、内部容積を画定する。ペDESTAL組立体は、内部容積内に配置される。ペDESTAL組立体は、基板を支持するように構成される。シャワーヘッドは、ペDESTAL組立体の上方で内部容積内に配置される。シャワーヘッドは、内部容積内でプラズマを生成するように構成される。アーキング検出装置は、プローブ、検出回路、およびデータログシステムを備える。プラズマ処理チャンバの内部容積に部分的に曝されたプローブ。検出回路は、プローブからアナログ信号を受け取り、アナログ信号中に存在する事象をスケールリングして出力信号を出力するように構成される。データログシステムは、検出回路から出力信号を受け取るように通信可能に結合される。データログシステムは、内部容積内で発生するアーキング事象を追跡するように構成される。

30

【0004】

別の実施形態では、プラズマ処理チャンバのアーキング事象を検出するための方法が本明細書で開示される。本方法は、処理チャンバの内部容積内に部分的に配置されたプローブからの信号を検出回路に送信するステップと、アーキング事象が内部容積内で発生したかどうかを判定するステップと、アーキング事象が発生したという判定に回答してアーキング事象にフラグを立てるステップと、スケールリングされた信号をデータログシステムに出力するステップと、を含む。

40

本開示の上記の特徴を詳細に理解することができるように、一部が添付図面に示される実施形態を参照することによって上で要約された本開示のより詳細な記載を行うことができる。しかしながら、添付図面は、本開示の典型的な実施形態のみを示し、したがって、その範囲を限定していると考えられるべきではなく、その理由は本開示が他の等しく効果的な実施形態を受け入れることができるためであることに留意されたい。

【図面の簡単な説明】

【0005】

【図1】一実施形態による、プローブを有するプラズマ処理チャンバである。

50

【図2】一実施形態による、図1のプロープと共に使用される検出回路のための回路設計である。

【図3】一実施形態による、図1のプロープを使用してプラズマ処理チャンバにおけるアーキング事象を検出するための方法である。

【図4】検出回路の別の実施形態であり、図2の回路をより詳細に示す。

【発明を実施するための形態】

【0006】

明瞭にするために、各図間で共通の同一の要素を指定するために、適用可能な場合は、同一の参照数字が使用された。加えて、一実施形態の要素は、本明細書に記載された他の実施形態において利用するために有利に適合されてもよい。

図1は、一実施形態による、アーキング検出装置101と接続されたプラズマ処理チャンバ100を示す。プラズマ処理チャンバ100は、チャンバ本体102を含む。チャンバ本体102は、内部容積104を画定する。ペDESTAL組立体106は、内部容積104内に配置されている。ペDESTAL組立体106は、処理中に基板108を支持するように構成されている。チャンバ100は、ガス供給114によって内部容積104へ提供されるプロセスガスを供出するための、ペDESTAL組立体106の上方に配置された1つまたは複数のガス注入ポートあるいはシャワーヘッド110をさらに含む。シャワーヘッド110は、プロセスガスを活性化するための電極として機能し、エネルギー源118と共にプラズマ112を形成することができる。プロセスガスを活性化するための電極またはコイルは、代替りの場所に配置されてもよい。エネルギー源118は、高周波(RF)源であってよい。整合回路116は、インピーダンス整合のためにエネルギー源118と電極との間に設けられてもよい。また、プロセス量を所望の圧力に維持するために、真空ポンプ126がチャンバ本体102に結合されてもよい。

【0007】

アーキング検出装置101は、プロープ120、データログシステム124、および検出回路122を含む。プロープ120は、部分的に内部容積104内へ延出する。プロープ120は、内部容積104のプラズマ変動および不安定性を感知することによって、プラズマ処理チャンバ100内部のアーキング事象を検出するように構成されている。プロープ120は、データログシステム124と通信する。データログシステム124は、プラズマ処理中に発生するアーキング事象の回数を追跡する。アーキング事象は、プラズマ電位の降下がある場合に発生する。一部のアーキング事象は、100マイクロ秒を超えて続く持続時間を有することがある。他のアーキング事象は、100マイクロ秒未満続く持続時間を有することがある。データログシステム124は、アーキング事象が100マイクロ秒未満の時間範囲内で発生する場合は、感知することができない。

【0008】

これを解決するために、検出回路122がデータプロープ120とデータログシステム124との間の信号スケールシステムとして使用される。検出回路122は、プロープ120によって提供されるアナログ信号の信号レベルをデータログシステム124のための特定の範囲内にスケールする。また、検出回路122は、偽の電位降下を除去するためにプロープ120からのアナログ信号をフィルタすることができる。検出回路122は、より速いアーキング事象をより遅いアーキング事象から分離することができる。例えば、検出回路122は、100マイクロ秒よりも長い、または短いアーキング事象を区別することができるプロセッサを含むことができる。検出回路122は、高速のアーキング事象(100マイクロ秒未満)にフラグを立て、データログシステムによって読み取り可能なより長い持続時間を有するように電位の降下を示すアナログ信号の部分をスケールし、データログシステム124がアーキング事象の発生を記録することができるように、スケールされたアナログ信号をデジタル信号に変換する。これにより、より短いアーキング事象を実時間で検出し分析することが可能になり、このより短いアーキング事象を使用して、プラズマ処理チャンバ100へのアーキング損傷を防止するためにフラグを立てて処理を停止することができる。

【 0 0 0 9 】

チャンバ 1 0 0 は、コントローラ 1 2 5 をさらに含む。コントローラ 1 2 5 は、処理チャンバ 1 0 0 の動作を制御するように構成されてもよい。例えば、コントローラ 1 2 5 は、データログシステム 1 2 4 と通信することができ、それにより、アーキング事象が検出されたときに、データログシステム 1 2 4 は、事象に関する発生および/または他の情報をコントローラ 1 2 5 に通信することができ、コントローラ 1 2 5 は、処理を中止すべきかどうかを判定することができる。コントローラ 1 2 5 は、メモリ 1 3 0 および大容量記憶装置と共に動作可能なプログラム可能な中央処理装置 (CPU) 1 2 8、入力制御ユニット、ならびに表示ユニットを含む。サポート回路 1 3 2 は、従来のやり方でプロセッサをサポートするために CPU に結合されている。

10

【 0 0 1 0 】

図 2 は、検出回路 1 2 2 の一実施形態を示す。検出回路 1 2 2 は、入力 2 0 2 および出力 2 0 4 を有する回路 2 0 0 として示されている。入力 2 0 2 は、回路 2 0 0 へのプラズマの状態を示すアナログ信号などの、プローブ 1 2 0 によって提供される情報を受け取った。回路 2 0 0 は、例えば、電位の降下などのアーキング事象に対応するアナログ信号の部分を、より長い持続時間を有するように、データログシステム 1 2 4 によって読み取り可能な形態にスケールリングする。データログシステム 1 2 4 によって読み取り可能な形態は、1 0 0 マイクロ秒を超える持続時間を有する信号部分によってアーキング事象が表されたアナログ出力信号であってもよい。

一例において、回路 2 0 0 は、アーキング事象を示すアナログ信号に存在する短い持続時間のスパイクを、例えば、1 0 0 マイクロ秒よりも長い、より長い持続時間を有するステップまたは他の指標などのデジタル信号に変換する。また、回路 2 0 0 は、プローブからのアナログ信号を、出力 2 0 4 を介してデータログシステム 1 2 4 に提供されるデジタル信号に変換することができる。一実施形態において、回路 2 0 0 は、1 0 0 マイクロ秒未満の持続時間を有する電位の降下を有するアナログ信号の部分を、アナログ信号の電位の降下を示す部分が 1 0 0 マイクロ秒を超える持続時間を有するデジタル信号に変更する。したがって、検出回路 1 2 2 の出力信号は、回路 2 0 0 の出力 2 0 4 を介してデータログシステム 1 2 4 に送信されるデジタルのスケールリングされた信号である。

20

【 0 0 1 1 】

任意選択で、回路 2 0 0 は、フィルタ回路 (図示せず) を含んでもよい。フィルタ回路は、所定のしきい値未満の、プローブ 1 2 0 によって提供されるアナログ信号の部分を除去するように構成されてもよい。例えば、フィルタ回路は、無視できるアーキングであるか、またはアーキング事象を示していない可能性がある所定のしきい値未満の振幅を有する、プローブ 1 2 0 によって提供されるアナログ信号の部分を除去するように構成されてもよい。あるいは、フィルタ回路のフィルタ機能は、コントローラ 1 2 5、検出回路 1 2 2、データログシステム 1 2 4、または他のプロセッサのうちの 1 つのプロセッサで行われてもよい。

30

【 0 0 1 2 】

図 4 は、検出回路 1 2 2 の別の実施形態を示し、回路 2 0 0 をより詳細に示す。入力 2 0 2 は、(ファントムで示される) 回路 2 0 0 の演算増幅器 4 0 6 の非反転入力に供給される。演算増幅器 4 0 6 の出力は、ノード 4 9 0 で交わる。ノード 4 9 0 は、演算増幅器 4 0 6 の反転入力へ、および別のノード 4 0 1 にフィードバックするために分岐する。ノード 4 0 1 は、抵抗器 R_a および抵抗器 R_b に分岐する。抵抗器 R_a は、ノード 4 0 3 で抵抗器 R_c に接続されている。抵抗器 R_a は、演算増幅器 4 0 8 の非反転入力に供給される。抵抗器 R_b は、ノード 4 0 5 で抵抗器 R_d および可変抵抗器 R_e に接続されている。可変抵抗器 R_e は、反転入力を介して演算増幅器 4 0 8 におよびノード 4 0 7 でコンデンサ C_a に接続されている。演算増幅器 4 0 8 の出力は、抵抗器 R_f に接続されている。抵抗器 R_f は、p-n-p トランジスタ 4 1 0 に接続されている。トランジスタ 4 1 0 のコレクタ端子は、ノード 4 0 9 で抵抗器 R_g および単安定マルチバイブレータ 4 2 1 に接続されている。一例において、単安定マルチバイブレータ 4 2 1 は、Texas Instruments

40

50

t s から市販されている単安定マルチバイブレータ 7 4 H C 1 2 3 E である。単安定マルチバイブレータ 4 2 1 は、出力 2 0 4 に接続されている。

【 0 0 1 3 】

図 3 は、一実施形態による、プラズマ処理チャンバにおけるアーキング事象を検出するための方法 3 0 0 を示す。本方法は、動作 3 0 2 で始まる。

動作 3 0 2 では、処理チャンバの内部容積内に部分的に配置されたプローブが検出回路に信号を送る。プローブから送られた信号は、アナログ信号である。このアナログ信号は、処理チャンバの内部容積内で生成されたプラズマの状態を表す。

【 0 0 1 4 】

動作 3 0 4 では、検出回路は、アーキング事象が内部容積内で発生しているかどうかを判定する。アーキング事象は、プラズマ電位の降下がある場合に、発生する。したがって、検出回路はプローブによって提供されるアナログ信号の降下を探す。一実施形態において、検出回路は、アーキング事象に対応するプラズマ電位の降下があるかどうかを判定するためにプロセッサを含む。別の実施形態では、プロセッサは、コントローラに含まれていてもよい。さらに別の実施形態では、プロセッサは、検出回路と通信する遠隔のプロセッサであってもよい。

10

【 0 0 1 5 】

動作 3 0 6 では、アーキング事象が発生したとの判定にตอบสนองして、検出回路は、アーキング事象にフラグを立てる。検出回路は、アナログ信号の電位の降下をデータアナログシステムによって読み取り可能な持続時間にスケールリングすることによって、アーキング事象にフラグを立てる。例えば、検出回路は、プラズマ電位の降下の持続時間を 1 0 0 マイクロ秒よりも長く延ばす。これによって、スケールリングされたアナログ信号が生成される。検出回路は、スケールリングされたアナログ信号をデータアナログシステムによって読み取り可能なデジタル信号に変換する。したがって、検出回路は、データアナログシステムによって読み取り不可能なアナログ信号を捕らえ、読み取り可能なデジタル信号にスケールリングすることによって、プローブとデータアナログシステムとの間のブリッジとして働く。これによって、処理チャンバのユーザは、多数のより小さなアーキング事象がより大きなアーキング損傷へと複雑化する前に小さなアーキング事象の発生を検出することが可能になる。

20

【 0 0 1 6 】

動作 3 0 8 では、検出信号は、デジタル信号をデータログシステムに出力する。データログシステムは、アーキング事象が発生した場合に、処理チャンバのユーザに通知する。これによって、ユーザは、処理を停止し、アーキング損傷に注意することが可能になる。

30

前述の事項は、特定の実施形態を対象としているが、他のおよびさらなる実施形態がその基本的な範囲から逸脱せずに、考案されてもよく、その範囲は、以下の特許請求の範囲によって決定される。

【図1】

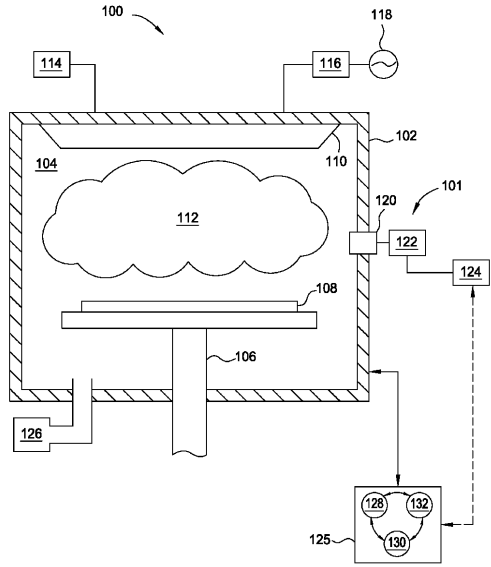


FIG. 1

【図2】

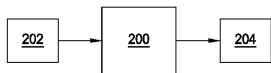


FIG. 2

【図3】

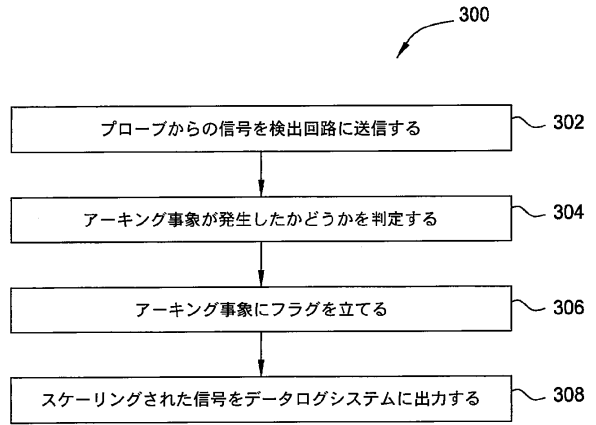


FIG. 3

【図4】

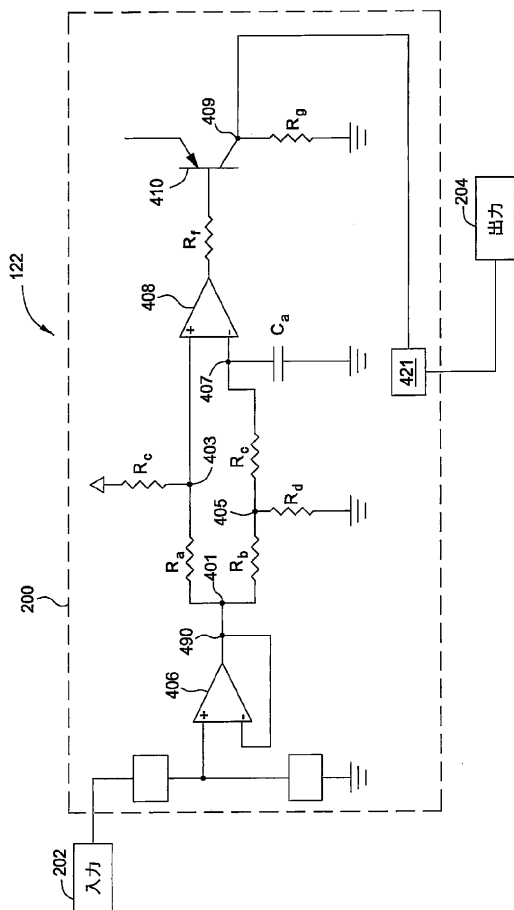


FIG. 4

フロントページの続き

(51)Int.Cl.

F I

C 2 3 C 16/52

(74)代理人 100067013

弁理士 大塚 文昭

(74)代理人 100086771

弁理士 西島 孝喜

(74)代理人 100109070

弁理士 須田 洋之

(74)代理人 100109335

弁理士 上杉 浩

(74)代理人 100120525

弁理士 近藤 直樹

(74)代理人 100139712

弁理士 那須 威夫

(74)代理人 100141553

弁理士 鈴木 信彦

(72)発明者 ジャン リン

アメリカ合衆国 カリフォルニア州 9 5 1 4 8 サンノゼ シェミン デ リピエラ 3 5 5 9

(72)発明者 ワン ロンピン

アメリカ合衆国 カリフォルニア州 9 5 0 1 4 クパチーノ ガーデン クレスト コート 2
0 6 9 4

(72)発明者 チェン ジアン ジェイ

アメリカ合衆国 カリフォルニア州 9 4 5 3 9 フリーモント カーメン ストリート 4 1 2
6 7

(72)発明者 コックス マイケル エス

アメリカ合衆国 カリフォルニア州 9 5 0 2 0 ギルロイ チャーチ ストリート 7 0 9 0

(72)発明者 ル アンドリュー ヴイ

アメリカ合衆国 カリフォルニア州 9 5 1 2 7 サンノゼ プロヴォ コート 3 1 0 2

審査官 右 高 孝幸

(56)参考文献 特表2013-545218(JP,A)

国際公開第2005/015964(WO,A1)

(58)調査した分野(Int.Cl.,DB名)

H 0 5 H 1 / 0 0

C 2 3 C 1 6 / 5 2

H 0 1 L 2 1 / 3 0 6 5

H 0 1 L 2 1 / 3 1