

POLSKA
RZECZPOSPOLITA
LUDOWA



URZĄD
PATENTOWY
PRL

OPIS PATENTOWY PATENTU TYMCZASOWEGO

108 585

Patent tymczasowy dodatkowy
do patentu nr _____

Zgłoszono: 21.12.77 (P. 203262)

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 06.11.78

Opis patentowy opublikowano: 30.12.1980

Int. Cl².

G05B 19/18

G06F 5/00

CZYTELNIĄ

Urzędu Patentowego
Polskiej Rzeczypospolitej Ludowej

Twórcy wynalazku: Florian Krasucki, Stanisław Frączek, Kazimierz Miśkiewicz,
Mirosław Korpan, Michał Trela

Uprawniony z patentu tymczasowego: Politechnika Śląska im. Wincentego Pstrowskiego,
Gliwice (Polska)

Programowalny układ sterowania binarnych procesów technologicznych

Przedmiotem wynalazku jest programowalny układ sterowania procesów technologicznych binarnych zbudowany na bezstykowych elementach logicznych, posiadający $n + 2$ wyjść, oraz $n(n + 1) + 1$ wejść, przy czym w stanie stabilnym tylko jedno wyjście znajduje się w stanie wyróżnionym.

Znane dotychczas programowalne automaty cyfrowe są układami synchronicznymi zawierającymi generator taktujący oraz elementy reagujące na zbocze impulsów taktujących, a przez to mało odporne na zakłócenia o charakterze impulsowym.

Celem wynalazku jest zastąpienie układów synchronicznych układami asynchronicznymi, a przez to wyeliminowanie niedogodności układów synchronicznych.

Układ według wynalazku zawiera szereg bloków kombinacyjnych objętych sprzężeniami zwrotnymi. Posiada $n + 1$ wyjść ponumerowanych od Q_0 do Q_n oraz wyjście W i $n(n + 1)$ wejść sterujących ponumerowanych $x_{01}, x_{02}, \dots, x_{0n}, x_{10}, x_{12}, x_{13}, \dots, x_{1n}, x_{20}, x_{21}, x_{23}, \dots, x_{2n}, \dots, x_{n0}, x_{n1}, x_{n2}, \dots, x_{nn}, n - 1$, oraz wejście zerujące z .

W stanie stabilnym jedno z wyjść Q_i jest różne od pozostałych co oznacza, że układ jest w stanie i -tym. Podanie sygnału na wejście x_{ij} powoduje przejście układu ze stanu i -tego do stanu j -tego, to znaczy, że podanie sygnału na wejście zmienia stan układu pod warunkiem, że układ znajduje się w ściśle określonym stanie. Natomiast podanie sygnału na wejście z spowoduje przejście układu w stan zerowy.

Układ według wynalazku umożliwia łatwą realizację sterowania procesem binarnym, którego algorytm sterowania jest przedstawiony przy pomocy asynchronicznej sieci działań.

Każdą klatkę operacyjną sieci działań należy przyporządkować jednemu wyjściu, a sygnały występujące w klatkach warunkowych należy wprowadzić na odpowiednie wejścia. Dwa lub więcej układów według wynalazku można łączyć ze sobą podając sygnał z wyjścia W jednego układu na wejście z drugiego układu co pozwala zastosować układ o n stanach do realizacji algorytmów sterowania opisanych siecią działań zawierającą ponad n klatek operacyjnych. Wynalazek przedstawiono na rysunku na którym fig. 1 przedstawia schemat blokowy, a fig. 2 schemat ideowy układu dla $n=4$. Układ zawiera bloki kombinacyjne BK ponumerowane od 0 do n , blok zerowania BZ, blok wzbudzenia BW i bloki negacji BN. Blok i -ty BK_i realizuje funkcje

$$\bar{Q}_i = \bar{Q}_0 x_{0i} + \sum_{j=1}^{i-1} \bar{Q}_j x_{ji} + \sum_{j=i+1}^n \bar{Q}_j x_{ji}$$

$$\bar{Q}_i = \sum_{j=1}^n \bar{Q}_j x_{j0} \quad Q_i = 0$$

gdzie $i = 1, 2, \dots$

Q_i – wyjście i-tego bloku BK

x_{ji} – wejście układu powodujące jego przejście do stanu i-tego pod warunkiem, że układ znajdował się w stanie j-tym.

Blok BZ realizuje funkcję $\bar{Q}'_0 = z + \bar{Q}_0$ a blok BW

funkcję $\bar{W} = \sum_{i=1}^n \bar{Q}_i$.

Działanie układu jest następujące:

Układ znajduje się w stanie i-tym, to znaczy, że $Q_i = 0$, a pozostałe wyjścia $Q_j = 1$ oraz wszystkie sygnały x_{ij} ($j = 0, 1, 2, \dots, n; j \neq i$) są równe 1. Opisany stan układu jest stabilny. Sygnały $Q_i = 1$ i $x_{ij} = 1$ powodują, że pozostałe bloki BK mają na wyjściu sygnał zera logicznego, co powoduje, że blok BK_i ma na wyjściu sygnał jedynki logicznej. Jeżeli na wejście x_{ij} podamy sygnał 0 to na wyjściu BK_j pojawi się jedynka, która wyzeruje blok BK_i . Podanie sygnału zera logicznego na wejście z powoduje wyzerowanie sygnałów Q_0 wszystkich bloków BK z wyjątkiem BK_0 co powoduje, że na wyjściu BK_0 pojawia się jedynka logiczna.

Zastrzeżenia patentowe

1. Programowalny układ sterowania binarnych procesów technologicznych składający się z $n+1$ bloków kombinacyjnych ponumerowanych od 0 do n , bloku zerowania, bloku wzbudzenia i bloków negacji, z n a m i e n n y t y m, że wyjście każdego bloku kombinacyjnego (BK) z wyjątkiem bloku (BK_0) połączone jest z wejściami pozostałych bloków kombinacyjnych (BK_j) i do bloku wzbudzenia (BW), a z wejściami wszystkich bloków (BK) z wyjątkiem (BK_0) jest połączone wyjście bloku zerowania (BZ), którego jedno wejście jest podłączone do wyjścia bloku (BK_0) a do drugiego podany jest sygnał (Z), przy czym wyjścia układu są połączone z wyjściami bloku kombinacyjnego (BK) za pośrednictwem bloków negacji (BN).

2. Układ według zastr. 1, z n a m i e n n y t y m, że blok kombinacyjny (BK) realizuje funkcję negacji sumy dwu-wejściowych iloczynów sygnałów wyjściowych pozostałych bloków kombinacyjnych (BK) i sygnałów wejściowych, natomiast blok zerowania (BZ) realizuje funkcję sumy logicznej, blok wzbudzenia (BW) realizuje funkcję iloczynu logicznego, a blok negacji (BN) realizuje funkcję negacji, przy czym podane funkcje są właściwe, gdy niski poziom napięcia odpowiada sygnałowi „zera logicznego” a wysoki poziom napięcia odpowiada sygnałowi „jedynki logicznej”; oraz gdy niski poziom napięcia odpowiada sygnałowi „jedynki logicznej” a wysoki poziom napięcia odpowiada sygnałowi „zera logicznego”.

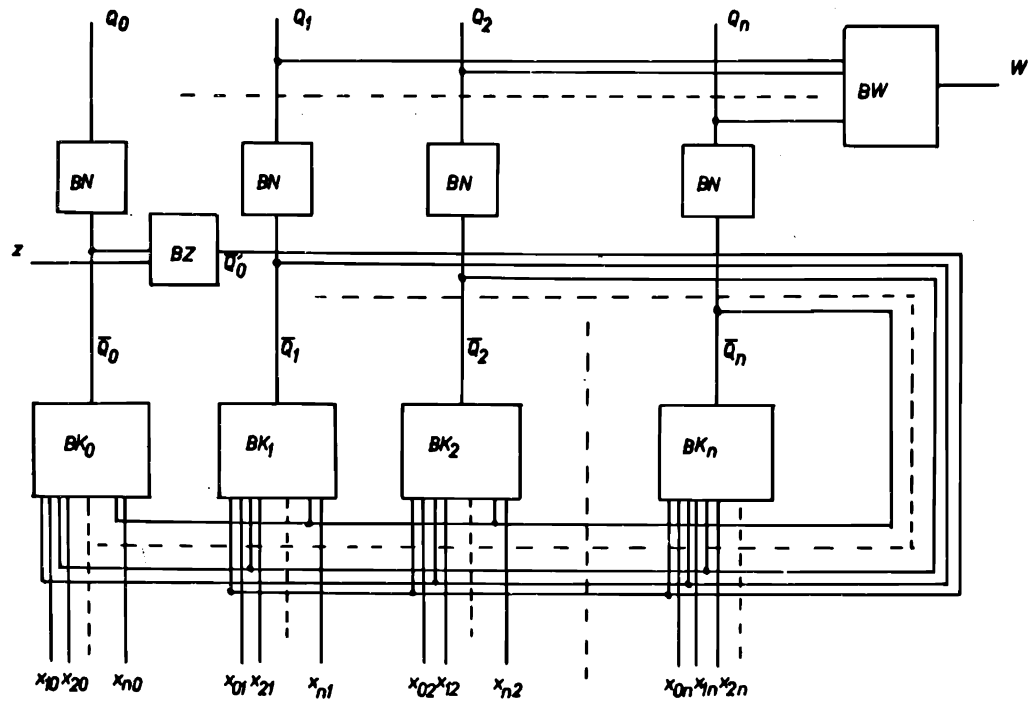


Fig. 1

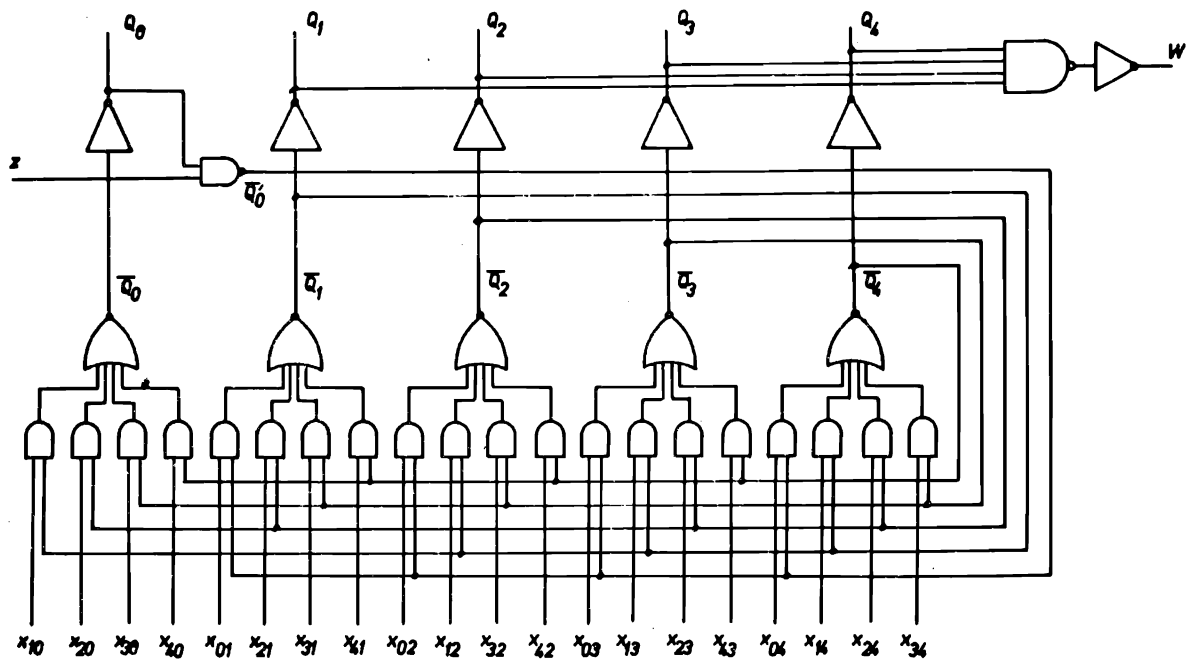


Fig. 2