



(12) 发明专利

(10) 授权公告号 CN 1898574 B

(45) 授权公告日 2011. 09. 07

(21) 申请号 200480038530. X

(22) 申请日 2004. 12. 20

(30) 优先权数据

03104937. 2 2003. 12. 23 EP

04105805. 8 2004. 11. 16 EP

(85) PCT申请进入国家阶段日

2006. 06. 22

(86) PCT申请的申请数据

PCT/IB2004/052857 2004. 12. 20

(87) PCT申请的公布数据

W02005/064356 EN 2005. 07. 14

(73) 专利权人 NXP 股份有限公司

地址 荷兰艾恩德霍芬

(72) 发明人 约翰内斯·德维尔德

乔斯·D. ·J. ·皮内达德格余维兹

弗朗西斯库斯·G. ·M. ·德荣

约瑟夫斯·A. ·赫伊斯肯

汉斯·M. ·B. ·贝维 吉姆·潘勒

(74) 专利代理机构 中科专利商标代理有限责任公司 11021

代理人 王波波

(51) Int. Cl.

G01R 31/30(2006. 01)

G01R 33/09(2006. 01)

G01R 15/20(2006. 01)

G11C 11/15(2006. 01)

(56) 对比文件

US 6300617 B1, 2001. 10. 09, 摘要、说明书第 4 栏第 16 行 - 第 7 栏第 6 行、第 10 栏第 50 行 - 第 13 栏第 29 行、附图 1A, 2B, 4.

CN 1460272 A, 2003. 12. 03, 说明书第 1 页第 2 段 - 第 8 页第 1 段.

US 6144214 A, 2000. 11. 07, 摘要、说明书第 1 栏第 16 行 - 第 3 栏第 67 行.

审查员 张岩

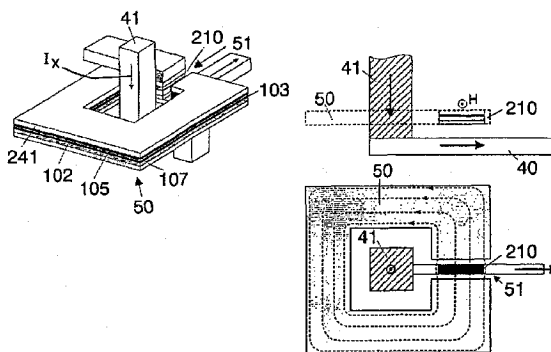
权利要求书 3 页 说明书 18 页 附图 17 页

(54) 发明名称

高灵敏度磁性内置电流传感器

(57) 摘要

一种用于无接触地检测电流的传感器, 具有传感器元件和检测电路, 传感器元件具有磁性隧道结 (MTJ), 该传感器元件具有随着磁场变化的电阻, 检测电路被设置来检测流过隧道结的隧道电流。该传感器元件可以与存储元件共享 MTJ 叠置体。而且, 其可以提供与下一代 CMOS 工艺, 包括 MRAM 技术的容易集成, 更紧凑, 并且使用较少的功率。给出了提高传感器灵敏度的方案, 如提供磁通集中器, 和利用相同电流产生更高的磁场的方案, 如形成 L 形导体元件。更高的灵敏度使得能够使用更少的后处理, 以节省用于例如移动设备的应用的功率。应用包括电流传感器、内置电流传感器、以及 IDDQ 和 IDDT 测试, 甚至用于下一代 CMOS 工艺。



1. 一种具有导电元件和电流传感器的半导体器件,该电流传感器是用于检测流过该导电元件的直流或改变的电流的磁性电流检测器件,该电流检测器件被集成在所述半导体器件中,并与该导电元件电绝缘,其中所述电流检测器件包括至少一个隧道磁阻器件,并且所述电流检测器件具有自由磁性层,所述自由磁性层具有垂直于由被测电流产生的磁场取向的易轴。

2. 根据权利要求 1 所述的半导体器件,适合于以 μA 分辨率测量电流。

3. 根据权利要求 2 所述的半导体器件,其中所述电流检测器件与磁性 RAM 器件共享磁性隧道结叠置体。

4. 根据权利要求 3 所述的半导体器件,其中所述磁性隧道结叠置体包括:

电绝缘材料 (103),其被设计成形成磁阻隧穿阻挡层,

位于该电绝缘材料 (103) 的一侧上的固定磁性区 (105),该固定磁性区 (105) 在所述电绝缘材料 (103) 附近具有磁矩矢量,

位于所述电绝缘材料 (103) 的相对侧上的近似平衡自由磁性区 (220),该自由磁性区 (220) 具有与所述电绝缘材料 (103) 相邻并在平行于或反平行于所述固定磁性区 (105) 的磁矩矢量的位置上取向的磁矩矢量 (222),所述自由磁性区 (220) 包括含有 N 个铁磁层 (F_1 、 F_2) 的人造反铁磁层材料,所述 N 个铁磁层反铁磁地耦合,其中 N 是大于或等于 2 的整数。

5. 根据权利要求 1 所述的半导体器件,其中所述自由磁性层的所述易轴是由形状伸长引起的。

6. 根据权利要求 1 到 5 中任一项所述的半导体器件,其中对所述电流检测器件施加附加磁场,所述附加磁场可以是直流的或改变的。

7. 根据权利要求 1 到 5 中任一项所述的半导体器件,所述电流检测器件具有带有磁化方向的固定磁性层,其中所述固定磁性层的磁化方向相对于所述自由磁性层的易轴在 0 度和 180 度之间取向。

8. 根据权利要求 7 所述的半导体器件,其中所述固定磁性层的磁化方向相对于所述自由磁性层的易轴在 45 度和 135 度之间取向。

9. 根据权利要求 8 所述的半导体器件,其中所述固定磁性层的磁化方向垂直于所述自由磁性层的所述易轴。

10. 根据权利要求 1 到 5 中任一项所述的半导体器件,所述半导体器件包括与所述电流检测器件 (210) 的第一侧相邻的第一导体 (90) 和与所述电流检测器件 (210) 的第二侧相邻的第二导体 (91),该第一导体用于传输待测电流 (I_x),该第二导体用于传导电流 (I_2),所述第一导体 (90) 和所述第二导体 (91) 相交,但不电连接。

11. 根据权利要求 10 所述的半导体器件,所述电流检测器件 (210) 的所述自由磁性层具有易轴,其中所述第一导体和所述第二导体各自包括相对于所述电流检测器件的所述易轴在 30 度和 90 度之间的角度。

12. 根据权利要求 10 所述的半导体器件,还包括反馈电路 (80),用于测量所述电流检测器件 (210) 上的磁阻变化,并且用于以在所述电流检测器件 (210) 上观察不到磁阻变化的方式来控制所述第二导体 (91) 中的电流 (I_2)。

13. 根据权利要求 12 所述的半导体器件,其中所述反馈电路具有用于产生反馈信号的装置,所述反馈信号表示待测的并且由所述第一导体 (90) 传输的电流 (I_x)。

14. 根据权利要求 10 所述的半导体器件,其中所述第一导体 (90) 和所述第二导体 (91) 中的至少一个包括至少一个垂直导电部件和至少一个水平导电部件,在所述垂直导电部件和所述水平导电部件之间存在角部,由此形成至少包括 L 形部分的导体结构,该 L 形部分的角部与所述电流检测器件相邻设置。

15. 根据权利要求 1 到 5 中任一项所述的半导体器件,还包括磁通集中器 (50 ;70),以增加在所述电流检测器件 (210) 的位置处的磁场。

16. 根据权利要求 15 所述的半导体器件,其中所述磁通集中器 (50 ;70) 包括在至少一个垂直导电部件周围构图的虚拟磁性隧道结叠置体。

17. 根据权利要求 15 所述的半导体器件,其中所述磁通集中器 (50 ;70) 是环形的,并且包括在极柱之间的间隙 (51),所述电流检测器件 (210) 被设置在该间隙 (51) 中。

18. 根据权利要求 1 到 5 中任一项所述的半导体器件,其中所述电流传感器与 CMOS 或 MOS 处理兼容。

19. 根据权利要求 1 到 5 中任一项所述的半导体器件,其中所述半导体器件是集成电路。

20. 根据权利要求 19 所述的半导体器件,其中设置一个或多个所述电流传感器,以检测静态电流 I_{DDQ} 或瞬态电流 I_{DDT} 。

21. 一种根据权利要求 1 所述的半导体器件中的不与导电元件电接触的集成磁性电流检测器件的用途,用于检测流过该导电元件的直流或改变的电流,其中该检测器件用于电流的片上测量。

22. 根据权利要求 21 所述的集成磁性电流检测器件的用途,用于检测静态电流 I_{DDQ} 或瞬态电流 I_{DDT} 。

23. 一种用于检测根据权利要求 1 所述的半导体器件的导电元件中的电流的方法,其中该方法包括:通过利用集成在该半导体器件上的所述电流传感器进行无接触磁性电流检测来检测在该导电元件中流动的直流或改变的电流。

24. 根据权利要求 23 所述的方法,其中该方法包括检测由该电流产生的磁场。

25. 根据权利要求 23 或 24 所述的方法,其中该方法包括测量至少一个处理组件中的电流。

26. 根据权利要求 25 所述的方法,其中该方法包括控制至少一个处理组件的时钟速度,以便获得与预定电流消耗水平的匹配。

27. 根据权利要求 23 或 24 所述的方法,其中该方法包括测量电流消耗,并且如果设置的电流消耗阈值被取代时,则产生警告信号。

28. 根据权利要求 23 或 24 所述的方法,其中基于软件的程序根据所测的电流在几个处理单元上进行作业调度,所述测量的电流引起中断或者将要设置的寄存器位。

29. 一种用于制造根据权利要求 3 所述的半导体器件的方法,该方法包括提供磁性隧道结叠置体。

30. 根据权利要求 29 所述的方法,其中提供该磁性隧道结叠置体包括淀积自由区。

31. 根据权利要求 30 所述的方法,其中淀积自由区包括淀积人造反铁磁自由区,其包括多个反铁磁耦合的铁磁层。

32. 根据权利要求 31 所述的方法,该人造反铁磁自由区具有为零的净磁矩,该方法还

包括修改该自由区的净磁矩,以便使其为非零。

高灵敏度磁性内置电流传感器

技术领域

[0001] 本发明涉及用于检测导体中的电流的电流传感器、具有这种内置传感器的集成电路、使用这种传感器的方法和用于检测半导体器件如集成电路中的导体中的电流的方法、以及用于实现所述使用方法的软件产品。

背景技术

[0002] 存在各种类型已知的 BICS(内置电流传感器)。有一些在 US5963038 中有介绍,该文献示出了通过借助于设置在导体附近的传感器测量流过集成电路中的导体的电流来检测集成电路中的故障。该传感器可以用各种方式构成,以便测量由流过导体的电流产生的场。公开的一些例子包括 Hall 传感器、MR(磁阻)传感器和 GMR(巨磁阻)传感器。这就使得可以测试导体和它们的连接,这是通过外部测试设备所不容易获得的,或者用于检测平行路径的单独一个中的故障,这种情况在即使只有一个路径导电时也可能通过电阻测试。

[0003] MR 传感器的电阻取决于传感器平面中的外部磁场。存在不同类型的 MR 传感器。几年来已经将基于各向异性磁阻 (AMR) 的传感器用于磁性记录头中。AMR 传感器具有各向异性磁性材料层,并且该层的电阻受到外部磁场的影响,导致该层中流动的检测电流发生变化。GMR(巨磁阻)传感器具有在固定方向上的磁性材料层(固定(pinned)层)和其磁化方向可能受到外部磁场影响的磁性材料层(自由层),这导致测量的电阻的变化。根据类型和结构,MR 传感器在传感器平面中的一个方向上更灵敏,而在另一方向上不太灵敏。上述专利中所示的 MR 传感器在图 1 中示出。其构成为使通过导体的电流对传感器电阻的影响最大。图 1 示出了在集成电路的其中实现了导体 104 的一层的上方或下方的一层中位于该导体 104 附近的 MR(磁阻)传感器 502。MR 传感器 502 包括连接区 504 和 506,通孔 508 和 510 连接到连接区 504 和 506,用于测量传感器 502 的实际电阻。

[0004] 流过导体 104 的电流在导体 104 周围产生圆形磁场,该磁场穿过传感器 502 的平面并在传感器 502 的平面中垂直于导体 104。MR 传感器 502 在这个方向上是灵敏的,因此沿着传感器 502 的平面,平行于导体平面测量其电阻,从而测量由流过导体 104 的直流产生的磁场的强度。可以采用传统的 AMR 传感器或 GMR(巨磁阻)传感器。

[0005] 图 2 示出从上述专利获知的集成电路中的 MR 传感器的另一种可选择的设置。MR 传感器 602 位于键合焊盘 106 附近,键合线 108 连接到该键合焊盘 106。MR 传感器 602 具有用于将传感器 602 连接到各个通孔 608 和 610 的连接区 604 和 606。键合线 108 与键合焊盘 106 的典型附着方式是使得在键合焊盘 106 附近,键合线 108 一定程度地垂直于键合焊盘 106 的表面。通过键合线 108 的电流于是在键合焊盘 106 和 MR 传感器 602 的平面产生磁场 612,由此引起 MR 传感器 602 的电阻的变化。第二 MR 传感器 614 可以位于键合焊盘的另一侧并与 MR 传感器 602 相结合,以便获得比单个 MR 传感器对磁场 612 更灵敏的设置。在图 2 中,MR 传感器设置成垂直于磁场 612。根据哪个位置更灵敏,可以将它们设置成相对于磁场为不同的角度。在任何情况下,仍然沿着层的平面测量传感器层的电阻。

[0006] 在电路的连接层上,将通孔例如 508-510 和 608-610 连接到连接轨迹,所述连接轨

迹将各个 MR 传感器 502、602 连接到内部检测电路或连接到外部测量点。于是可以利用检测电路在集成电路内部或利用合适的测量设置在集成电路外部测量 MR 传感器 502、602 的电阻。

[0007] 这种传感器对于检测高电流是有用的,但是对于如静态电流 (IDDQ) 测试的应用是不够灵敏的。IDDQ 测试已经表明对如栅极氧化物短路、浮栅和桥接故障的物理缺陷的非常好的覆盖度,这些故障都是通过传统故障模型不能很好地建模的,或者通过常规逻辑测试不可检测的。对于高质量和低成本的需求已经导致将 IDDQ 测试广泛用作对电压测试的辅助测试方法。当与其它测试技术结合时,其具有无需老化 (burn-in) 测试的潜力。然而, MOSFET 泄漏电流随着每种技术节点而快速上升,使故障和无故障电路的 IDDQ 水平之间的差异变窄。

发明内容

[0008] 本发明的目的是提供一种传感器,这种传感器对于测量芯片上的小电流如用于测试的 IDDQ 电流是足够灵敏的。

[0009] 在第一方案中,本发明提供一种具有导电元件和电流传感器的半导体器件。电流传感器是用于检测流过导电元件的直流的、改变的或交变电流的磁性电流检测器件。该电流检测器件被集成在半导体器件中,并且与导电元件电 (galvanically) 绝缘。优点是与现有技术传感器相比传感器的灵敏度更高;该传感器可以适用于以 μA 分辨率测量电流。较高的灵敏度使得能够使用较少的信号后处理和电子电路,这对于例如移动设备的应用是非常重要的。对于 IDD 测量如静态 IDD 电流 (IDDQ) 或瞬态 IDD 电流 (IDDT),甚至对于具有更严格的 IDD 测试要求的下一代 CMOS 工艺,在原则上都可以获得特别充分的灵敏度。IDDQ 是在静止状态下在 CMOS 电路中从 Vdd 流向 Vss 的静态电流 (IDD 电流)。IDDT 是在数字转变期间的瞬态 IDD 电流。测量 IDDQ 和 IDDT 电流允许检测 CMOS 电路内的故障。

[0010] 该电流检测器件可包括呈现出隧道磁阻 (TMR) 效应的至少一个磁阻器件,如磁性隧道结 (MTJ) 器件。在本实施例中,该传感器可以提供与下一代 CMOS 工艺如 MRAM 技术的容易的集成。其可以更紧凑,并且使用比现有技术传感器更少的功率。

[0011] 根据本发明的实施例可以用作检测元件的磁性隧道结 (MTJ) 以前已经被研制用于存储器应用,并且本发明人已经发现它可以适于用作传感器,尽管存储单元和电流传感器必须具有不同的特性。在存储单元中,自由层的磁阻回路 (MR 回路) 应该是具有相对大的矫顽力 (在几十 Oe 数量级) 并具有两个不同剩磁 (remanence) 状态的正方形。而且,该回路的中心必须位于零场处。相反,电流传感器一方面必须具有对于磁场尽可能大的敏感度 (对于高灵敏度),另一方面在测量范围内必须具有小的磁滞现象或没有磁滞现象以及具有线性特性。该电流检测器件可以与 MRAM 器件共享 MTJ 叠置体,由此 MTJ 叠置体可以是常规类型或触发 (toggle) 型。这具有的优点是可以一口气 (in one go) 制造电流传感器和 MRAM 元件。

[0012] 电流检测器件可以设置成在电阻和磁场之间具有一定关系,其表现为基本上没有磁滞现象。

[0013] 该电流检测器件可以具有自由磁性层,该自由磁性层具有在 70 度和 110 度之间的角度取向的易轴,优选易轴基本上垂直于被测量的磁场,以便使磁滞现象最小。该电流检测

器件可以具有易轴,其中自由层的易轴是由形状延伸引起的。

[0014] 该电流检测器件可以具有带有磁化方向的固定磁性层和带有易轴的自由磁性层,其中固定磁性层的磁化方向相对于自由磁性层的易轴以一定角度取向,所述角度优选在 0 度和 180 度之间,更优选在 45 度和 135 度之间,更进一步优选所述磁化方向基本上垂直于自由磁性层的易轴,以便使被测信号的灵敏度最大化。为了抑制磁滞现象,本发明包括相对于这个角度的 90 度偏离。

[0015] 可以给该电流检测器件施加例如由在该器件附近的第二电流产生的附加的、直流的或恒定的磁场,以便当基本上垂直于被测场而施加该附加磁场时,可以进一步抑制磁滞现象,或者当基本上平行于被测场而施加该附加场时,可以改变测量范围。

[0016] 或者,可以给该电流检测器件施加由第二电流产生的附加交变场。该附加的交变场用于调制被测场,由此调制传感器信号。于是通过使用信号处理方法可以提高信噪比。

[0017] 根据本发明的半导体器件可以包括与电流检测器件的第一侧相邻的用于传输被测电流的第一导体以及与电流检测器件的第二侧相邻的用于传导电流的第二导体,所述第一导体和所述第二导体交叉,但是不电连接。电流检测器件的自由磁性层具有易轴,并且第一导体和第二导体可以各自包括相对于电流检测器件的易轴基本上在 30 度和 90 度之间的角度。

[0018] 根据本发明的进一步实施例,半导体器件还可包括反馈电路,用于测量电流检测器件上的 MR 变化,并且用于以如下方式控制第二导体中的电流,使得在电流检测器件上观察不到 MR 变化。该电流反馈电路可以具有用于产生表示被测的并由第一导体输送的电流的反馈信号的装置。

[0019] 第一导体和第二导体中的至少一个可以包括至少一个垂直导电部件和至少一个水平导电部件,在垂直导电部件和水平导电部件之间存在角部,由此形成一种导体结构,该导体结构至少包括 L 形部分,其角部与电流检测器件相邻。这具有的优点是利用相同的电流在传感器位置处产生更强的磁场。

[0020] 根据本发明的半导体器件还可包括磁通集中器,以便增加在电流检测器件的位置处的磁场。该磁通集中器可以包括在至少一个垂直导电部件周围构图的虚拟 MTJ 叠置体。在这种情况下,磁通集中器可以与 MRAM 元件和传感器元件一起被制造。该磁通集中器可以是环形的,并且可以包括在极柱之间的间隙,电流检测器件位于该间隙中。

[0021] 根据本发明的半导体器件可以包括与 CMOS 或 MOS 处理兼容的传感器器件。

[0022] 该半导体器件可以是集成电路。

[0023] 本发明还包括软件产品,当在处理器件上执行时,该软件产品根据本发明使用测量的电流来执行应用。

[0024] 形成从属权利要求的附加特征包括传感器元件是平面的,并且隧道电流垂直于该平面元件的平面。另一个这种特征是:该元件被设置成在电阻和场之间具有一定关系,其表现为基本上不存在磁滞现象。另一个这种特征是:传感器元件具有自由磁性层,该自由磁性层具有以一定角度取向的易轴,优选该角度在 70 度和 110 度之间,更优选该自由磁性层基本上垂直于被测场。这个角度应该优选接近于 90 度,以便能够具有最高(绝对值)信号和最低磁滞现象。另外,只测量沿着 90 度方向的分量。这解释了为何在垂直方向上允许额外的调制或偏置方案。另一个这种特征是:该结包括固定磁性层,该固定磁性层具有在一定

角度取向的磁化方向,所述角度优选在 45 度和 135 度之间,更优选基本上垂直于自由磁性层的易轴。另一个这种特征是:检测电路包括用于在传感器元件的结的两端施加固定电压并用于通过负载馈送隧道电流的电路,以及用于放大负载两端的电压的放大器。另一个这种特征是:检测电路包括用于有效地箝置结两端的电压的电路。或者,检测电路可以按照电流模式工作,其中由电流源输送的恒定电流流过该结,并且结上的电压降的变化代表其电阻变化,并使用放大器来放大这个电压。很清楚,输出可以是表示是否检测到场的逻辑信号,到表示以给定精度级测量的模拟或数字信号的任何事物。可以对检测的输出进行适当的后处理,以便适合于例如应用的精度或抗扰性。

[0025] 作为附加特征,在平行于导体宽度的方向上的传感器元件的宽度应该不大于、优选小于导体宽度。这可以帮助保证穿过传感器的均匀磁场。

[0026] 本发明的另一方案提供一种用于检测磁场的传感器,其具有带有交叉的各向异性的磁阻检测元件,即,在自由磁性层和固定磁性层的固定方向之间的角度基本上为 90 度,从而检测元件的延伸的轴基本上垂直于被检测的磁场,即包括 70 度和 110 度之间的角度,优选在自由磁性层和被测场之间基本上为 90 度。

[0027] 另一方案提供一种具有内置电流传感器的集成电路,所述电流传感器包括磁阻电流传感器,其灵敏度高于 $100 \mu\text{V}/\text{mA}$ 。

[0028] 另一方案提供一种具有内置电流传感器的集成电路,该电流传感器包括设置来检测静态电流 (IDDQ) 的磁阻电流传感器。

[0029] 另一方案提供检测磁场或检测电流的相应方法。

[0030] 在第二方案中,本发明提供使用一种集成磁性电流检测器件用于检测流过导电元件的至少直流的、改变的或交变的电流,该电流检测器件不与导电元件电接触,其中该检测器件用于电流的芯片上测量。

[0031] 该电流传感器或多个传感器可被设置来检测静态电流 (IDDQ) 或瞬态电流 (IDDT)。作为附加特征,集成电路可以具有多个电流传感器,其输出按照基于扫描链的机理如边界扫描 (IEEE 标准 1149.1) 来链接。根据本发明的半导体器件中的电流传感器的优点在于:其具有小的物理尺寸。因为尺寸小,因此其可以很容易地被集成在 IC 中。这个内置传感器使得可以对 IC 内部的每个电路块进行 IDDQ 测量,或者对单个封装如 MCM(多芯片模块)或 MCP(多芯片封装)中的电路组(constellation)中的每个分开供电的电路进行 IDDQ 测量。而且也可以对每块进行 IDDT 测量。随着进一步提高 IC 领域中的集成度的预期,这将是重要的测试和测量能力。

[0032] 此外,当集成时,可以为这些传感器增加更多的功能性。

[0033] 作为附加特征,集成电路可具有多个电流传感器,这些电流传感器的输出按照扫描链方式链接。本发明使得可以使用多个传感器来测量被不同块消耗的电流,以便确定消耗太多或太少电流的设计部分。初始设计的更快调试是经济利益的关键。此外,现在可以监测 IC 在其寿命期间的损耗。寻找在实际寿命期间电流消耗的变化可以防止意外的故障发生。其中,从这个数据可以获得对于寿命关键的应用的安全方案(safety aspect)。

[0034] 另一能力是测量分开的处理单元或核芯中的电流。该方法可以包括测量至少一个处理模块中的电流。该功能是为了在动态功率分配方案基础上确定任务的调度。核芯是消耗功率的处理单元,并在其最大能力下运行时可能变热。基于每个处理单元的电流(功率)

测量,可以安排更均匀的处理负载,尤其是在具有很多并行处理单元的系统中。这防止不必要的等待队列,而且还可以防止在特定核芯中积累过量的热量。而且,可以以这种方式控制功率减少方案,由此防止在装配阶段的昂贵的热量转移方案。

[0035] 一种新的、现在可行的技术是控制至少一个处理模块的时钟速度,以便获得与预定电流消耗水平的连续匹配。这将提供最大的性能与电池寿命能力。

[0036] 为了使这项技术恰当地工作,必须在寄存器中利用软件设置用于对比功耗的阈值水平。这个软件可以是与操作系统紧密匹配的服务程序。软件的作业调度程序部分必须能够根据来自检测的中断或来自从寄存器规则读取(投票表决)值的中断来进行重排时间表。这个硬件控制的方案在调度软件中相对较新,但是基本上没有区别于已有的以软件为基础的调度。

[0037] 在第三方案中,本发明提供一种用于检测半导体器件的导体中的电流的方法。该方法包括:通过利用集成在集成电路上的传感器进行非接触磁性电流检测来检测在导体中流动的直流的、改变的或交变的电流。

[0038] 该方法可包括检测由该电流产生的磁场。

[0039] 本发明还提供一种方法,该方法包括电流消耗的测量,并且,如果预置的电流消耗阈值被替换,则产生警告信号。

[0040] 本发明还提供一种方法,其中基于软件的程序根据测量的电流在几个处理单元上进行作业调度,所述测量的电流引起(invoked)中断或将被设置的寄存器位(register bit)。

[0041] 在本发明的又一方案中,提供一种用于制造电流检测器件的方法,该电流检测器件与MRAM器件共享MTJ叠置体。MTJ叠置体可以是常规类型的(具有非零净磁化的自由磁性层)或触发型的(具有零净磁化的自由磁性层)。被制造的MTJ叠置体包括:电绝缘材料,该电绝缘材料设计成形成磁阻隧穿阻挡层;设置在电绝缘材料一侧上的固定磁性区,所述固定磁性区具有与电绝缘材料相邻的磁矩矢量;以及自由磁性区。自由磁性区可以是非平衡磁性区。或者,自由磁性区可以是位于电绝缘材料的相对侧上的近似平衡或平衡的磁性区,该自由磁性区具有与电绝缘材料相邻并且在平行于或反平行于固定磁性区的磁矩矢量的位置上取向的磁矩矢量,自由磁性区包括人造的反铁磁(AAF)叠置体,该叠置体包括反铁磁性耦合的N个铁磁层,其中N是大于或等于2的整数。

[0042] 如果自由区具有基本上为零的净磁矩,则根据本发明的方法包括修改自由区的净磁矩,以便使其为非零。这增加了触发型传感器的灵敏度。修改净磁矩可以包括例如通过至少部分地除去或破坏自由磁性区的一个铁磁层,或者局部地将反铁磁耦合转换成铁磁耦合来增加或减小自由磁性区中的至少一个铁磁层的磁矩。

[0043] 从属权利要求中的任何一项的特征都可以彼此组合或者与独立权利要求的任何一项进行组合。其他优点对于本领域技术人员来说是很显然的,尤其是与那些本发明人不知道的其它现有技术相比的优点。下面将参照附带的示意图介绍本发明是如何实现的。显然,在不脱离本发明的权利要求的情况下可以做出各种变化和修改。因此,应该清楚地理解,本发明的形式只是示意性的,而不趋于限制本发明的范围。

附图说明

- [0044] 参照示出了本发明的优选实施例的附图将更好地理解本发明的特征。在附图中：
- [0045] 图 1 和 2 示出现有技术的传感器；
- [0046] 图 3 示出现有技术的 MTJ 存储单元；
- [0047] 图 4 是触发型 MRAM 单元的垂直剖面图；
- [0048] 图 5 示出当不施加各自的外部场时用作自由层的平衡的人造反铁磁性叠置体的反应；
- [0049] 图 6A 示出 CMOS 反相器，而图 6B 示出当图 6A 的 CMOS 反相器的输入电压 V_{in} 从低变为高时，非缺陷和缺陷电路的 I_{DDQ} 电流；
- [0050] 图 7 示出绘制了在将大量测试图形施加于电路的数字输入之后测量的 TDDQ 电流的曲线图；
- [0051] 图 8 示出根据本发明实施例的传感器的示意图；
- [0052] 图 9A、9B 和图 10A、10B 分别示出给定的现有技术存储单元结构和根据本发明实施例的传感器结构的磁阻特性；
- [0053] 图 11 示出 TMR 传感器的电压与将要测量的电流的关系的特性；
- [0054] 图 12 示出对于各种导体宽度、随着离导体的距离而变化的磁场强度的曲线；
- [0055] 图 13 和 14 分别示出现有技术存储单元和根据本发明实施例的传感器的层的取向；
- [0056] 图 15 到 18 示出在不同情形下的 TMR 元件的计算电阻相对于磁场强度的曲线；
- [0057] 图 19 是根据本发明实施例的包括位于 L 形电流导体的角部上的电流检测器件的电路设置的透视图（左手侧）和侧视图（右手侧）；
- [0058] 图 20 是根据本发明另一实施例的如在图 19 中的并且另外设有通量集中装置的实施例的透视图（顶部左手侧）、剖面图（顶部右手侧）、和顶视图（底部右手侧）；
- [0059] 图 21 是根据本发明再一实施例的包括位于 U 形电流导体的中心处的电流检测器件的电路设置的透视图（左手侧）和侧视图（右手侧）；
- [0060] 图 22 是根据本发明另一实施例的如图 21 中的并且另外设有通量集中装置的实施例的透视图（顶部左手侧）、侧视图（顶部右手侧）、和顶视图（底部右手侧）；
- [0061] 图 23 示出具有交叉的第一和第二导电线的根据本发明的电流检测器件的顶视图；
- [0062] 图 24 是包括反馈电路的本发明的实施例的电路方框图；
- [0063] 图 25 是如图 23 中的电流检测器件的透视图；
- [0064] 图 26 是根据本发明实施例的集成电路设置的侧视图，为了简化图示，未示出该检测器件的电极；
- [0065] 图 27 是根据本发明另一实施例的集成电路设置的透视图；
- [0066] 图 28 在顶视图（图的顶部）和剖面图（图的底部）中示出将不包含传感器的 MTJ 叠置体的区域的遮蔽，该遮蔽是借助光刻步骤通过光刻胶层进行的；
- [0067] 图 29 示出根据本发明实施例借助刻蚀来除去 AAF 叠置体的磁性层；
- [0068] 图 30 示出根据本发明又一实施例借助离子注入对 AAF 叠置体的磁性层的破坏；
- [0069] 图 31 示出包括两个 4nm NiFe 层和一个 0.7nm Ru 中间层的 AAF 叠置体退火之前和之后的磁滞回路；

[0070] 图 32 和 33 示出用于根据本发明实施例的传感器的读出电路；

[0071] 图 34 示出根据本发明实施例的基本电流检测方案；

[0072] 图 35 示出芯片上系统 (SOC)，其中施加的核芯块都具有电流传感器，其可以是每个核芯的一组分布的传感器；和

[0073] 图 36 示出芯片上系统 (SOC)，其中来自施加的核芯块中的电流传感器的输出连接到任务调度程序。

[0074] 在不同的图中，相同的附图标记表示相同或相似的元件。

具体实施方式

[0075] 下面将关于特定实施例并且参照特定附图来介绍本发明，但是本发明不限于此，而是只由权利要求来限制。所述的附图只是示意性的，而不是限制性的。在附图中，为了说明的目的，有些元件的尺寸可能被放大，并且不按比例绘制。尽管在本说明书和权利要求书中使用了术语“包括”，但是并不排除其它元件或步骤。尽管当指代单个名词时使用了不定冠词或定冠词，例如“一个”或“该”，但是这包括多个这个名词，除非特别说明。

[0076] 作为对本发明实施例的说明的介绍，下面将简要解释一下 MRAM 的发展。近年来，对于磁性 RAM (MRAM) 的研究已经变得很多。磁性材料与 CMOS 技术的集成已经变得不再怎么成问题了。计划在 2004-2005 年进行商业上的 MRAM 生产。K. -M. H. Lenssen 等人在“Expectations of MRAM in comparison.”, Non-Volatile Memory Technology Symposium 2000, (Nov. 15-16, 2000, Arlington VA, U. S. A.) 上提出了 MRAM 技术的调查。这显示第一代磁性随机存取存储器 (MRAM) 是基于 AMR 的。1988 年之后，称为巨磁阻 (GMR) 的更大的磁阻效应的发现，使得能够实现具有更高电阻和更大 MR 效应 (5-15%) 并且因此具有更高输出信号的更小的元件。在原则上，这使得可以实现用于一般应用的 MRAM。其发现十年之后，GMR 效应已经应用在商业产品中，如 HDD 读取头和磁性传感器。

[0077] 当在室温下证明了大隧道磁阻 (TMR) 效应时，1995 年左右在磁隧道结领域中的突破进一步提高了 MRAM 的前景。从那以后已经表现出了具有高达 > 50% 幅度的 TMR 效应，但是由于强的偏置电压相关性，在实际应用中可用的电阻变化目前在 35% 左右。

[0078] 用于这种器件的单元的例子在图 3 中给出。这种结构和如何制造是公知的，这里不必再详细介绍。总之，这种 TMR 基 MRAM 含有单元，所述单元是磁隧道结 (MTJ)。MTJ 基本上包含自由磁性层 102、绝缘层 (隧道阻挡层) 103、固定磁性层 105 和反铁磁层 107，所述反铁磁层 107 用于将固定层 105 的磁化“固定”在固定方向上。在如图 3 所示的例子中，存在一种层结构，其依次具有顶部接触 100、自由磁性层 102、隧道阻挡层 103、固定磁性层 105、固定层 107、和底部接触 110。固定层 105 可包括人造反铁磁 (AAF) 结构。此外，这个概念也可以被引入到自由层 102 中，以便例如由于热稳定性的原因而增加其磁量 (magnetic volume)，同时保持产生形状各向异性的低净磁矩以及最终的所需低开关场 (或因此所需的低写入功率)。应该注意到，在零磁场时，自由层 102 明显具有磁矩。因此，通常将其称为人造铁氧磁材料 (AFi)。当用在 MRAM 单元中时，仍然可以保持如本领域技术人员公知的并且将在后面简述的常规写机理来用于这种更复杂的自由层。

[0079] MRAM 单元在自由磁性层 102 的磁化方向上存储二进制信息 (1/0)，该磁化方向可以相对自由地在两个相反方向之间旋转。如果自由层 102 的磁化方向平行于固定层 105 的

磁化方向,则 MTJ 的电阻小,而当它们是反平行时,MTJ 的电阻大。为了读取某个单元中的信息,通过被选单元的 MTJ 叠置体(垂直地)发送小的检测电流 I_s 。在 MTJ 叠置体上测量的电压降(与电阻成比例)表示单元的信息。在写操作期间,通过发送写电流通过字线和位线可以改变单元上的信息,所述字线和位线被构图在存储单元的底部和顶部。电流将在存储单元中产生磁场(易轴场和硬轴场)。这些场被编程,使得它们足够大,以便根据将要存储到被选单元中的二进制信息将被选单元的自由层 102 的磁化切换到新的方向。

[0080] 一般情况下,如果自由层 102 和固定层 105 的磁化方向平行,则 GMR 和 TMR 都导致低电阻,而当它们的磁化方向是反平行时,其导致高电阻。在 TMR 器件中,必须垂直于层面来施加检测电流(CPP,垂直于平面的电流),这是因为电子必须隧穿通过阻挡层。在 GMR 器件中,检测电流通常在层的平面中流动(CIP,平面内的电流)。不过,得到快速连续最小化的支持,使 MRAM 基于 CPP TMR 的可能性好象更加可能。

[0081] 近年来,摩托罗拉提出了一种被称为触发(或 spin-flop)MRAM 单元的新的 MRAM 概念,如在 US 6545906 中所述,并且如图 4 所示。根据这个概念,常规 MRAM 单元的单一自由磁性层 102 被(近似)平衡人造反铁磁(AAF)结构 220 代替,而叠置体的其余部件一般不变。以下将这种 AAF 结构称为 AAF 自由叠置体 220。AAF 自由叠置体 220 由多个 N 铁磁层构成,N 是大于 1 的整数,在图 4 所示的例子中,有两个铁磁层 F_1 、 F_2 。每两个相邻的铁磁层 F_1 、 F_2 被中间层 221 分开,所述中间层 221 是薄的非磁性层,优选是 Ru 层。调节中间层 221 的厚度,使得在这两个相邻铁磁层 F_1 、 F_2 之间存在反铁磁耦合,这就使它们的磁化在零或小的磁场下为反平行的。选择磁性层 F_1 、 F_2 的厚度,使得 AAF 自由叠置体 220 的净磁化基本上为零。

[0082] 这个概念的重要特征在于:由于 AAF 自由叠置体 220 的平衡,这个 AAF 自由叠置体 220(几乎)没有净磁矩。这是因为第一磁性层 F_1 的磁矩 $m_1 = S \cdot t_1 \cdot M_1$ (铁磁层 F_1 的 MTJ 面积 S、层厚 t_1 和饱和磁化 M_1 的乘积)和第二磁性层 F_2 的磁矩 m_2 基本上相等, $m_1 = m_2$,并且它们是反平行的,因此彼此抵消。在施加的为零的外部场时,这些磁矩排列在 MTJ 元件的易轴方向 EA 上,如图 5 的左手侧所示。在图 5 中,元件中的实线和虚线箭头分别表示 AAF 自由叠置体 220 的上和下磁性层 F_1 、 F_2 的磁矩。铁磁层 F_1 、 F_2 的磁矩是反铁磁耦合的,并形成磁化对。当超过自旋翻转(spin-flop)场的磁场在不同于易轴方向的某个方向施加于 MTJ 叠置体时,磁矩将“翻转(flop)”,以使它们的矢量和对准到施加的场方向的方向(如图 5 的右手侧所示)。所谓的自旋翻转状态是以 Zeeman 能量(外部场)和反铁磁耦合能之间的精细能量平衡为基础的。

[0083] 总的 MTJ 叠置体的电阻取决于 AAF 自由叠置体 220 的下磁性层 F_2 的磁化方向 222 和固定层 105 的磁化方向之间的各个取向,并用于限定存储状态。只有在施加足够高的旋转磁场时才可以切换(在第一和第二逻辑状态之间,例如 1-0) AAF 自由叠置体 220。这个旋转磁场是通过经过字线和位线发送两个连续脉冲而产生的。这些脉冲在时间上稍微偏离,但是仍然是重叠的,如在 US 6545906 中所述的。这两条线彼此垂直,并优选相对于 MTJ 叠置体的易轴形成 45 度角。这两个脉冲的序列产生旋转场,该旋转场将自由 AAF 叠置体 220 的磁化对从旧的方向顺时针或逆时针地连续旋转到新的方向。未选单元最多只暴露于这些脉冲中的一个;并在脉冲结束后将恢复到原始位置。利用这种写过程,因为未选单元没有通过能量势垒中的最大值,因此它们不切换。

[0084] 本发明人已经发现常规类型和触发型这两种 MTJ 器件都可用于或适用于磁场传感器。这些具有很多的应用,例如在流过导电元件的电流如功率电流或 IDD 电流的无接触测量中的应用,无接触是相对于导电元件来说的。这可以是在 CMOS 芯片或其它芯片中的任何一种当中。当然,其也可以在 MRAM 芯片中实施。以很小的变化,可以将用于 MRAM 单元的相同制造技术用于形成根据本发明实施例的集成电流传感器。它们特别适合于 MRAM 芯片或含有嵌入式 MRAM 的芯片中的功率管脚测试和 IDD_x 测试,因为这些传感器的实施可能不需要花费任何额外的掩模或额外的工艺步骤。

[0085] 由于 AAF 自由叠置体 220 的零净磁化,触发型存储单元更加不受外部磁场的影响,因此变得更可靠 (robust)。对于 MRAM 来说的这个优点变为传感器应用的缺点。由于对外部场的免疫性,由这种叠置体制成的磁性传感器的灵敏度严重下降,并估计是比常规 MRAM 叠置体低一到两个数量级大小。不过,本发明人认为这种叠置体也可以用于或适用于用作磁性场传感器,如下所述。

[0086] 在 CMOS 电路中,例如如图 6A 所示的 CMOS 反相器,IDD 是从高电源电平 V_{dd} 流到低电源电平 V_{ss} 的电流。当该电路不工作时,意味着在该电路中没有数字转变,还被称为静止状态,IDD 电流是稳定的并具有小的值,其被称为静态 IDD 电流或简化为 IDDQ 电流。当在该电路中有任何数字转变发生时,例如 V_{in} 从低变为高,并因而 V_{out} 从高变为低 (图 6B,上部),IDD 电流升高到称为瞬态 IDD 电流或简称为 IDDT 电流的最大值 (图 6B,中间部分和底部)。然后,在转变之后,其再次下降到静态 IDDQ 水平 (图 6B,中间部分)。所述情况是在电路无缺陷时发生的。在存在如栅极氧化物短路、浮栅、桥接故障等的任何缺陷的情况下,如由图 6A 中的并联电阻器 R_p 表示的,观察到转变之后 IDDQ 明显增加,如图 6B 的底部曲线所示。通过监测转变之后的 IDDQ 电流,可以很容易地检测电路的缺陷。

[0087] 已经证实 IDDQ 是非常好的测试方法,它能覆盖其它方法到目前为止所不能检测到的许多故障。

[0088] IDDQ 测试的改进方法是增量 (delta) IDDQ 测试方法。在增量 IDDQ 测试方法中,将大量的测试图性发送到电路的数字输入端,并且监测和比较 IDDQ (图 7)。设计这些图形,使得它保证改变每个内部净值 (触发)。一个图形与另一个图形的平均值之间的差异被称为 Δ IDDQ。如果 Δ IDDQ 值中的任何一个偏离已知正常值太远,则断定该电路是有缺陷的。

[0089] 对于这两种方法,电流分辨率优选是几 μ A 或更少,即使增量 IDDQ 方法中的电流范围取决于电路的尺寸可以在 mA 范围或甚至更高的范围内。在 Brain Kruseman 等人的 The future of delta IDDQ testing, Proceedings of the Test Conference, 2001, Pages 101-110 中可以找到关于 IDDQ 测试的更多信息,这里引入该文献作为参考。

[0090] 在图 8 中示出了根据本发明实施例的传感器的基本原理。图 8 示出传感器具有三层,即,自由磁性层 102、隧穿阻挡层 103、和固定 (pinned) 层或固定磁性层 105。自由磁性层 102 和固定磁性层 105 都可包括叠层。通过导线 200 发送将要被测量的电流 I_x,所述导线 200 位于 MTJ 传感器元件 210 的下面。使用常规隔离层 (图 8 中未示出) 将传感器元件 210 与导体 200 电隔离。传感器元件 210 沿着导体 200 的轴延伸,如下面更详细介绍的。可以利用与 MRAM 单元完全相同的方式来对传感器元件 210 进行构图,并且传感器元件 210 可以位于含有存储阵列的区域的外部。由电流 I_x 产生的场将使传感器元件 210 的自由层 102 的磁化方向旋转,这可以通过其电阻变化来检测。发送检测电流 I_s 通过元件 210 (从顶部

向底部),以便测量电阻。

[0091] 尽管使用相似的原理,MRAM 单元和根据本发明实施例的电流传感器具有不同的特性,如图 9A 和 10A 所示。在每种情况下,磁性层的相应取向在图 9B 和 10B 中示出。图 9A 示出 MRAM 存储单元结构的电阻与磁场的特性。在 MRAM 单元中,希望自由层的磁阻回路(MR 回路)是具有相对大的矫顽力(在几十 Oe 数量级)并具有两个不同剩磁状态的正方形。而且,该回路的中心必须处于零场。相反,如图 10A 所示,电流传感器的特性十分不同。一方面,它必须具有倾斜特性以提供对磁场尽可能大的易感性(为了高灵敏度),另一方面,它必须具有小的或没有磁滞现象。该回路的中心不必处于零场。可以根据应用来选择中心点。例如,它可以在与被测场的方向相反的方向上偏移,从而在测量宽范围单向电流的情况下,拓宽它的检测范围。

[0092] 可以利用这些元件的磁性特性的几何形状相关性来构造具有所希望特性的传感器。在 MRAM 中,为了获得所述的磁滞回路,自由层的易轴必须与固定磁化的方向平行,如图 9B 所示。在图 9B 和 10B 中,为了清楚起见,示出的自由层和固定层稍有偏离。实际上,这些层应该叠置在彼此的顶部,并被薄隔离层(隧穿阻挡层)分开。易轴可以通过将该元件构图成细长形状来实现,由此在该细长方向上产生形状各向异性。在写期间,作为切换该元件的实质施加场分量的易轴场,被指向沿着该易轴。

[0093] 在传感器结构中,自由层的易轴(通常处于细长方向上)应该处于 0 度和 180 度之间的角度上,优选在 45 度和 135 度之间,更优选基本上垂直于固定的磁化,如图 10B 所示。用于被测电流 I_x 的导体 200 优选与这个易轴平行,这将产生垂直于易轴的场。从 Stoner-Wohlfarth 理论公知的是,如果对单畴磁性元件施加方向为垂直于其易轴的磁场,则其磁滞回路将没有磁滞现象。然而,不排除被测电流 I_x 相对于易轴以一定角度取向;尽管在大多数情况下平行的设置是最佳选择。

[0094] 此外,为了进一步抑制磁滞现象,可以对传感器施加由例如位于器件附近的第二电流导体产生的附加的 dc 磁场(几 Oe),以便进一步抑制磁滞现象。设置第二电流,使得附加场的方向基本上垂直于将被测量的场,由此基本上平行于自由层的易轴。附加场使自由层内部的磁化的一致旋转稳定,由此抑制由畴壁运动产生的磁滞现象。为了偏移特性曲线的中心点,由此偏移传感器的测量范围,第二电流可以被设置成使得附加场的方向基本上平行于将要被测量的场。

[0095] 或者,可以对该传感器施加由第二电流导体产生的附加交变场。该附加交变场用于调制被测场,因此调制传感器信号。通过使用合适的后信号处理方法,可以提取信号,由此可以大大提高信噪比。

[0096] 图 11 示出电流传感器(惠斯登)桥的转移特性(电压与电流)的测量。传感器桥的每个元件是尺寸为 $6.5 \times 8 \mu m^2$ 的 TMR 元件。传感器平面与导体 200 的顶部之间的距离是 150nm。导体横截面是 $6.5 \mu m$ (横向) $\times$ $0.35 \mu m$ (垂直)。施加到惠斯登桥的电压是 400mV。从图 11 所示的特性曲线的斜率可以得到这个传感器的灵敏度,为 1.7mV/mA。对于 I_{DDx} 测试,所需的分辨率 $2 \mu A$ 将产生 $3.4 \mu V$ 的变化。利用遵循常规原理的放大器,可以很容易地分辨这个变化,而不使其被噪声淹没。

[0097] 传感器元件 210 的尺寸或多或少由传输被测电流的导体 200 的宽度来限定。为了在元件 210 上具有相对均匀的场,传感器元件 210 的宽度等于或小于导体 200 的宽度是可

取的。另一方面,必须选择导体 200 的宽度,使得其在传感器元件 210 上提供足够的场。图 12 示出导体宽度和导体-传感器距离与在传感器元件 210 上产生的场之间的关系。导体 200 具有 300nm 的厚度,并且电流为 10mA。一般来说,导体 200 的宽度越小且导体 200-传感器元件 210 的距离越短,则可以在传感器元件 210 上产生的场越大。例如,如果需要测量几 mA 范围或更小的范围,则导体 200 的宽度应该不大于大约 $2\mu\text{m}$,以得到足够的场来驱动传感器元件 210。导体 200 的厚度采取大约 300nm,并且导体 200 和传感器平面之间的距离大约为 150nm,这是现实的实际值。因此,由于传感器元件 210 的宽度应当不大于导体 200 的宽度,因此传感器宽度也应该小于 $2\mu\text{m}$ 。

[0098] 传感器元件 210 的长度取决于灵敏度和磁滞现象的要求。纵横比越小,可以获得的灵敏度越大。理想地,传感器形状可以是圆的,以便获得最大灵敏度。然而,灵敏度是磁滞现象的相反因素:纵横比越小,磁滞现象变得越大。为了减少磁滞现象,必须沿着导体方向引起一些各向异性,以便稳定磁矩。最容易的方式是使元件伸长,以便利用所谓的“形状各向异性”。实际上,发现纵横比的折衷值大约为 5-7(对于宽度为大约 1 到几微米的元件来说是有效的),从而具有相对高的灵敏度,而没有显著的磁滞现象。

[0099] 传感器元件的固定(或硬参考)层可由具有净磁化的单个铁磁层构成或者它可由具有基本上零净磁化的人造反铁磁(AAF)叠置体构成。AAF 叠置体通常由两个铁磁层(例如 CoFe)构成,这两个铁磁层通过非磁性层(例如 Ru)反铁磁地耦合在一起。这个叠置体实际上等效于单个固定层,但是由于这些层的强的反铁磁相互作用而更加可靠(robust)。此外,应该注意的是,根据已经被引入以使 MRAM 的可缩放性(scalability)朝着更小的 CMOS 节点而改进的材料体系,可以将更先进的分层结构用于该自由层,如静磁耦合的结构,和反铁磁耦合的 AAF 结构。

[0100] 图 13 示出作为存储单元中的固定(硬参考)层和自由(软存储)层的 AAF 叠置体的磁化取向,图 14 示出传感器的对应层的磁化取向。在这些图中,为了清楚起见,未示出 AAF 叠置体的绝缘隧穿阻挡层和非磁性中间层。图 12 和 14 示出对于传感器来说,形状各向异性,换言之,伸长,是如何垂直于外部施加场 H_{extem} ,而对于现有技术的存储单元来说其是平行的。这还产生转移曲线的倾斜度。在图 14 中,在传感器设计中实现了交叉各向异性结构,这允许稳定的磁化结构(大约在零磁场下),其中软和参考层的磁化彼此垂直。

[0101] 为具有如图 14 所示结构的传感器元件计算的特性的一些例子示于图 15 到 18 的曲线中。示出了表示电阻与磁场强度的曲线。作为参考的目的,图 15 示出了存储单元的电阻与磁场强度的关系。可以看出,在零场附近的灵敏度很低,并且存在磁滞现象。这个例子使用 $180\times 120\text{nm}^2$ 的矩形形状的层。MRAM 具有 CoFe-Ru-CoFe 的参考叠置体,其中这两个 CoFe 层的厚度分别是 1.75- 和 2.25nm,以及 5nm 的 NiFe 自由层。

[0102] 图 16 示出第一传感器件的电阻与磁场强度的关系的曲线,其中所述第一传感器件构成为参照图 15 所述的存储单元,并具有 $120\times 180\text{nm}^2$ 的尺寸。在该传感器结构中,将参考叠置体的磁性层 CoFe 固定到垂直于自由层的易轴的方向,并且在该固定方向的方向上施加场。

[0103] 对于椭圆形,形状各向异性由各向异性场给出:

$$[0104] \quad H_k = 4\pi(t \cdot M)(\eta_y - \eta_x)/w,$$

[0105] 其中 $(t \cdot M)$ 是自由层厚度和饱和磁化的乘积,并且 $(\eta_y - \eta_x)$ 是纵横比 $1/w$ 的单调

增加的函数,其当 $1/w = 1$ 时值为 0(圆形)而当 $1/w = \infty$ 时值为 1。对于如下给定的数字 $H_k = 1600e$ 。于是传感器灵敏度与信号相关。作为例子,采用磁隧道结以及例如 40% 可使用的 TMR 信号。评估的灵敏度于是为:

[0106] 灵敏度 = $TMR[\%] / (2 \cdot H_k)$ 。

[0107] 对于给定的例子,灵敏度为 $0.125\% / 0e$ 。注意到,可以通过增加传感器的宽度 w 来提高这个灵敏度。可以从获得的电压信号推得有效的磁场灵敏度。对于大约 200mV 的偏置电压,40% TMR 信号导致 $\Delta V = 80mV$,由此计算出在放大之前灵敏度为 $250 \mu V / 0e$ 。如在 MRAM 存储单元设计中那样,可以添加电压-箝位晶体管,以便固定传感器元件上的电压 V_{bias} ,并且得到的电流变化 I_{sense} 可以被放大。对于 10kOhm 的磁隧道结,最大电流变化将为 $8.3 \mu A$,而在例如 $R_{load} = 50kOhm$ 时,则 $\Delta V = 415mV$ 。

[0108] 图 17 示出第二传感器器件的电阻与磁场的曲线。该器件具有 $700 \times 5000nm^2$ 的尺寸。该器件具有 2.0-2.5nm 的 CoFe-Ru-CoFe 的参考叠置体,以及 5nm 的 NiFe 软层。假设全 MR 比例是 40%,则可以计算出传感器的灵敏度是 $0.4\% / 0e$ 。

[0109] 在最后步骤中,可以考虑电流线的磁场产生。这个问题非常取决于几何形状,如图 12 所示。MRAM 设计中的典型值是每 mA 电流产生几 0e 磁场。假设每 mA 产生 50e 的场。利用前面的发现,这将导致大约 6.5mV/mA 的有效电流灵敏度。对于图 18 中给出的例子,使用 $240 \times 360nm^2$ 的矩形传感器,其中 $H_k = 500e$,在使用相同的假设条件下应该有大约 21mV/mA 的电流灵敏度。

[0110] 总之,从实验和理论两方面的考虑来看,每 mA 可以产生在几到几十 mV 范围内的信号,这将比以下文章中所述的电流 MAGFET 器件好上大约两个数量级:Walker 等人的“*A Practical Built-in Current Sensor for IDDQ Testing*”, ITC2001, paper 14.3;或在 Giovanni Busatto 等人的, *Microelectronics Reliability* 43(2003)577-583。换言之,在 μA 级的电流变化将导致信号在 μV 到几十 μV 范围内的变化。

[0111] 根据本发明另外的实施例,包括上述电流检测器件的集成电路设置可以设有特殊手段,以便提高电流检测器件的灵敏度或被测场的产生。

[0112] 根据本发明的实施例,可以提供装置,用于利用由电流导体输送的相同电流在传感器水平上产生更强的场。这种装置例如可以使用至少一个垂直导电部件,例如通路,以及至少一个水平导电部件,例如互连线。连接垂直导电部件和水平导电部件,以便形成 L 形导体结构,或者以便包括 L 形导体部分,其角部与电流检测器件相邻设置。

[0113] 下面将给出如何获得这种装置的例子。

[0114] 作为第一例子,水平互连线 40 连接到垂直通路 41,由此形成 L 形结构 42(图 19)。图 19 的左手侧示出透视图,而图 19 的右手侧示出垂直剖面图。这个 L 形结构 42 用作被测电流 I_x 的导电路径。电流检测器件 210 位于 L 形结构 42 的角部 44 附近。因为,当电流流过 L 形结构 42 时,通路 41 和水平互连线 40 根据右手规则在电流检测器件 210 的位置上在相同方向上产生磁场,因此在电流检测器件 210 测量到的最终磁场相对于只有直的水平导体的常规设计来说大约是其两倍。希望垂直导电部件,即通路 41 尽可能地靠近电流检测器件 210 设置,这取决于可获得的构图技术。通路 41 的上端可以连接到任何上互连层上,该上互连层在测量时进一步连接到电流路径。

[0115] 作为第二例子,给第一例子的设计增加环形磁通集中器 50,如图 20 所示。环形磁

通集中器 50 提供间隙 51, 并且电流检测器件 210 位于环形磁通集中器 50 的开口间隙 51 中。

[0116] 磁通集中器 50 可以是虚拟 MTJ, 例如构图在通路 41 周围。设置在电流检测器件附近的环形虚拟 MTJ 的自由层可以用作磁通导板 (flux guide), 以便将更多的磁通量集中到电流检测器件中, 由此使检测极限更低。环形磁通集中器 50 将在垂直通路 41 周围产生的圆形磁通线集中到环的间隙 51 中, 在那里设置了电流检测器件 210。此外, 磁通集中器 50 靠近间隙 51 的区域还部分地集中由水平导体线 40 产生的磁通线。使用磁通集中器 50, 可以显著地增加磁通密度, 由此增加检测器件 210 处的磁场强度。检测器件 210 的边缘和间隙 51 的“极柱”之间的距离应该尽可能地小, 这取决于技术的能力。

[0117] 在图 20 的左手侧的顶部, 示出了设有磁通集中器 50 的 L 形结构 42 的透视图。磁通集中器 50 的层对应于检测器件 210 的那些层, 因此根据本发明, 还对应集成 MRAM 单元的层。存在检测 (自由) 层 102、绝缘层 (隧道阻挡层 103)、固定磁性层 105 和用于将固定层的磁化固定到固定方向 (交换 - 偏置方向) 的反铁磁层 107。在图 20 所示的例子中, 还存在覆盖层 241。为了简化起见, 在 MTJ 叠置体中只示出了那些层。实际上, 可以存在更多层, 这些层在这里与工作原理不相关。磁通集中器 50 的自由层 (检测层 102) 可以用作用于位于磁通集中器 50 的间隙 51 中的检测器件 210 的磁通导板, 因为该自由层的磁化是自由旋转的。磁通集中器 50 的固定层 105 在测量期间将不影响磁通变化, 这是因为其磁化是固定的。

[0118] 本设计允许在不需要任何额外处理步骤的情况下形成用于检测器件 210 的磁通集中器 50, 这适于例如集成到 MRAM 芯片中的应用。

[0119] 在图 20 的顶部右手侧, 示出了在图 20 的顶部左手侧所示的结构的剖面图。

[0120] 图 20 的底部右手侧示出了具有磁通集中器 50 的 L 形结构 42 的顶视图。优选地, 磁通集中器 50 具有大于检测器件 210 的宽度, 这是为了更好的效率和在间隙 51 中产生的均匀的场。通过改变几何形状可以调整磁通集中器 50 的导磁率 (permeability)。应该选择磁通集中器 50 的纵横比, 以使得其在被测场范围内不完全饱和, 而是仍然具有用于集中磁通的足够大的导磁率。磁通集中器 50 应该被构图为尽可能地靠近检测器件 210, 但是仍然与其电绝缘。越靠近它, 则磁通引导越有效。当然, 最小间隔取决于使用的光刻分辨率和刻蚀技术。

[0121] 作为第三例子, 如图 21 所示, 向第一例子的设计添加第二通路 60, 以便形成 U 形结构 61。U 形导电路径在检测器件 210 周围环绕, 部分地形成回路。利用这种 U 形结构 61, 与只有直的导体的常规情况相比, 对于相同待测电流 I_x 来说在检测器件 210 上产生的场大约是三倍。检测器件 210 优选位于这个 U 形结构 61 的中心位置上, 优选与 U 形结构 61 的三个段 41、42 和 60 距离相等。通路 41、61 的上端连接到任何上互连层 (图中未示出), 这些互连层在测量时进一步与电流路径相连接。

[0122] 作为第四例子, 如图 22 所示, 在第三例子的两个垂直通路 41、60 的周围添加由虚拟 MTJ 形成的双环磁通集中器 70。检测器件 210 位于磁通集中器 70 的间隙 71 中。由通路 41、检测器件 210 下面的水平线 42、和通路 60 构成的导电路径穿过双环磁通集中器 72、73 的两个孔。当通过 U 形导电路径 61 从例如通路 41 向通路 60 发送电流 I_x 时, 该电流在检测器件 210 的平面上产生两组环形磁通线 74、75, 这些磁通线被磁通集中器 70 集中: 一组

磁通线 74 相对于通路 41 逆时针循环；而另一组磁通线 75 相对于通路 60 顺时针循环。它们在间隙 71 处具有相同的方向，由此在检测器件 210 上的磁通密度的强度是给出的第二例子的两倍。在灵敏度和低场检测限制方面，这是四个例子当中最好的例子，因为利用通过导电路径发送的相同电流 I_x ，这个例子在传感器位置处提供最强的场。尽管该设计更加复杂，但是它不需要任何额外的处理步骤；只是必须改变掩模的设计。

[0123] 在可选择的实施例中，可以用由软磁层制成的专用磁通集中器来代替虚拟 MTJ 类型的磁通集中器 50、70，这种专用磁通集中器与 MTJ 叠置体分开构图。在这种情况下，需要额外的处理步骤。然而，作为回报，磁通集中器的效率可能更好。这是因为已经证实最有效的磁通集中器具有至少 10nm 的厚度，而 MTJ 的自由层的厚度仅仅大约为 4-5nm，尽管在这个厚度，它开始具有这种效果。

[0124] 可以使用测量器件的电阻的检测电路来读取不同实施例中的传感器。这种检测电路的例子将在下面讨论。

[0125] 此外，可以采用无效-模式 (nulling-mode) 反馈模式。在这种系统中，在磁场传感器的位置上产生相反的磁场，其大小随着时间变化，从而迫使传感器测量的总局部场为零。电反馈信号本身可以是传感器模块的直流输出信号。无效 (nulling) 具有的优点是传感器工作点是固定的，通常在，但不限于，零磁场。因而，可以扩展电流传感器的测量范围，并且提高了其线性。此外，可以抑制磁滞效应。可以为使用常规 MRAM 概念设计的电流传感器以及为与触发型 MRAM 单元共享相同平衡 AAF 自由叠置体的电流传感器来实施无效。

[0126] 在另一实施例中，介绍了用于与触发 MRAM 单元共享同一 MTJ 叠置体的电流传感器的不同无效概念。本实施例背后的原理在图 23 中示出。检测器件 210 (即 MTJ 元件) 位于第一导线 90 和第二导线 91 之间：一条在检测器件 210 下面，一条在检测器件 210 上面。MTJ 元件与这两条导线 90、91 电绝缘。这两条线 90、91 相对于检测器件 210 的易轴对称地设置，即它们中的每一个与检测器件 210 的易轴形成相同的角度 α 。角度 α 可以具有在 30 度和 90 度之间的任何值，对于当前 CMOS 设计规则的兼容性，优选为 45 度或 90 度。第一导线 90，例如物理地位于检测器件 210 下面的导线，用于待测电流 (I_x)，而第二导线 91，例如物理地位于检测器件 210 上面的导线，用于反向电流 (I_2)。然而，在可替换的实施例中，导线 90、91 的设置可以上下颠倒，这意味着上导线可用于传输待测电流 I_x ，而下导线可以用于传输反向电流 I_2 。

[0127] 检测器件 210 的顶部电极和底部电极 (图中未示出) 与这两条导线 90、91 电绝缘，并且连接到反馈电路 80 (如图 24 所示)。反馈电路 80 驱动第二导线 91 中的反向电流 I_2 。

[0128] 在测量期间，电流 I_x 在检测器件 210 上产生第一磁场 H_1 ，该磁场 H_1 趋于使自由叠置体 220 中的 AAF 磁化对顺时针旋转，而电流 I_2 感应第二磁场 H_2 ，该磁场 H_2 试图使自由叠置体 220 中的磁化对逆时针旋转 (见图 23)。如果第一和第二磁场相等， $H_1 = H_2$ ，或换言之，最终场 H 在易轴方向上取向，并且如果最终场 H 的大小不超过易轴方向上的旋转下降 (spin-flop) 场，则自由叠置体 220 的磁化对将不旋转，由此在反馈电路 80 上没有观察到 MR 变化。旋转下降场 H_{flop} 是人造反铁磁体的单轴各向异性场 H_k 和饱和场 H_{sat} 的函数，即 $H_{flop} = \sqrt{H_k * H_{sat}}$ 。关于旋转下降场的细节可以在 US 2004/012084 中找到。为了避免最终场 H 超过旋转下降场，应该根据被测电流范围来正确地选择每条导线 90、91 和易轴之间的角度 α ，即，必须满足下列条件： $\cos \alpha < H_{flop} / (2 * H_1)$ 。以这种方式来设计反馈电路 80，

即,它试图通过读取检测器件 210 的输出信号来平衡第一和第二磁场 H_1 、 H_2 。换言之,反馈电路 80 尝试驱动第二导线 91 中的电流 I_2 ,从而使检测器件 210 的 MR 变化保持为零。由此,与第二导线 91 串联连接的负载电阻器 R_L 上的电压降与流过第二导线 91 的电流 H_2 成比例,并且因而与流过第一导线 90 的待测电流 I_s 成比例,并且可以用作检测器件 210 的输出。从反馈电路 80 提取输出的任何其他方式也是可行的。

[0129] 在图 25 中示出了根据本实施例的设计的透视图。

[0130] 所提出的实施例提供以下优点:

[0131] 更大的测量范围,因为该范围不受磁化对的旋转的限制。

[0132] 测量范围内的线性特性。这是因为在测量范围内,输出与 I_2 成比例,而 I_2 又与 I_x 完全成比例。

[0133] 没有磁滞现象,因为磁化不明显旋转。

[0134] 处理步骤没有变化,由此没有额外的成本。

[0135] 在图 26 中提出了根据本发明的设计的另一实施例。上导线 91 连接到两个垂直通路 85、86,这两个垂直通路紧密地靠近检测器件 210 设置,形成 U 形桥 87。 I_2 从下金属层(例如从与下导线 90 相同的层)中的导体 88 进入桥 87,并且它在相同金属层或不同层中的导体 89 离开桥 87。由 U 形桥 87 的三个段 85、91、86 产生的磁场在检测器件 210 的位置上叠加,并利用相同电流 I_s 产生大约是图 25 的设计三倍大的场。因此,在这种情况下,为了获得 $H_2 = H_1$,所需的 I_2 的值甚至小于待测电流 I_x 。

[0136] 图 27 中示出了另一实施例,其中上导线 91 和下导线 90 都构成为 U 形桥 87、120 的形式。在这种情况下,进一步改善了灵敏度和低电流检测限制。

[0137] 为了从触发 MRAM 叠置体获得更灵敏的电流传感器,根据本发明的实施例,在包含传感器的区域上局部地修改淀积的触发型 MTJ 叠置体,使得自由层的净磁矩实际上变成是非零的,如在常规 MTJ 叠置体传感器中那样。因此可以从触发 MRAM 叠置体局部地恢复适合于传感器应用的常规 MRAM 叠置体。

[0138] 根据本发明的实施例,通过减小或增加 AAF 自由叠置体中的磁性层之一的磁矩,可以以使得自由层的净磁矩变为非零的方式来局部地修改包含传感器的区域。

[0139] 在刚刚淀积 MTJ 叠置体之后,进行光刻步骤,以便遮蔽不包含传感器的区域,如图 28 所示,并因此其将不被修改。遮蔽的区域可以包含将在后来的工艺步骤中被构图的 MRAM 单元。

[0140] 图 28 的顶部示出了顶视图,而图 28 的下部示出淀积掩模材料之后和任何其他的构成步骤之前的触发型 MTJ 叠置体的垂直剖面图。于是该叠置体准备好进行修改,以便减小或增加 AAF 自由叠置体 220 中的磁性层之一的磁矩。修改 MTJ 叠置体之后,除去掩模材料,例如光刻胶 240。

[0141] 下文中给出了如何减小或增加 AAF 自由叠置体 220 中的磁性层 F_1 、 F_2 之一的磁矩的例子。

[0142] 作为第一例子,利用任何合适的方式至少可以部分地或全部地除去 AAF 自由叠置体 220 的顶部铁磁层 F_1 。用于进行除去的最优选的方法是刻蚀技术,例如,离子束刻蚀、反应离子束刻蚀、溅射刻蚀、等离子体刻蚀、湿法刻蚀等。

[0143] 必须首先刻蚀例如 Ta 的覆盖层 241。接着,至少部分地除去上部磁性层 F_1 。理想

地,刻蚀应该停止在中间层 221 的顶部或其内,如图 29 的顶部所示。这将保证传感器的最高灵敏度。然而,还可以部分地除去 F_1 ,这足以使 AAF 非平衡。如果自由叠置体包括两个以上的磁性层,则可以至少部分地除去一个或多个层,以便获得其中净磁矩不再等于零的结构。

[0144] 最后,在刻蚀之后可以除去掩模层,例如光刻胶 240,如图 29 的底部所示。在这些额外的步骤之后可以象常规的那样进行 MRAM 工艺的标准部分,即,直到完成芯片的完整制造的用于对 MRAM 单元(和自动伴随它对传感器)和导线进行构图所需的所有其余步骤。

[0145] 作为第二例子,可以通过任何合适的破坏方法部分地或全部地破坏 AAF 自由叠置体 220 的顶部铁磁层 F_1 的磁特性。该破坏方法应该导致材料从磁性向非磁性的转换。合适的破坏方法的例子包括氧化、离子注入或利用扩散的掺杂。例如,可以通过氧化来局部地破坏上磁性层 F_1 的磁特性。氧化工艺应该贯穿覆盖层 241,向下到磁性层 F_1 ,并且应该停止在中间层 221 上。

[0146] 或者,可以通过离子注入或利用扩散的掺杂来进行破坏。离子注入是公知的技术,例如在 US 6153281 中所述的。注入的离子可以例如是 Cr、O、N、Nb、Si 等,并且注入可以在垂直于基板的方向或在一定角度下进行。重要的是如图 30 所示的注入分布 260 浅。这可以通过使用低离子能以及优化注入剂量和束角度来获得。此外,注入区必须限定在最顶部的磁性层 F_1 内,这可以通过调节注入剂量来获得。

[0147] 根据另一实施例,使自由区 220 的净磁矩变为非零的另一种方法可以是在通过任何合适的方法例如通过刻蚀技术除去覆盖层 241 之后在 AAF 自由叠置体 220 的顶部铁磁层 F_1 的顶部上直接添加另一铁磁层 F_3 (在图中未示出)。通过添加磁性层,包括 F_1 和 F_3 的组合层的磁矩变得大于 F_2 的磁矩,从而获得非平衡的 AAF 结构。作为可选择的方式,可以一次淀积 F_1 、 F_2 和 F_3 的整个层结构。因此,最初芯片的 MRAM 部分也将具有之后需要被除去的额外层,这增加了工艺复杂性。假定 MRAM 是 IC 的主要功能,在大多数情况下这是不能被接受的。

[0148] 根据另一实施例,使自由区 220 的净磁矩变为非零的可选择方法可以是将 AAF 自由区 220(部分地)的铁磁层 F_1 、 F_2 之间的反铁磁耦合局部地转换成铁磁耦合。这可以通过局部地退火 AAF 自由叠置体 220 来获得,从而由于与 Ru 中间层 221 的相互扩散而获得在磁性层 F_1 和 F_2 之间的铁磁耦合区。这导致 AAF 自由叠置体 220 中的剩磁(和由此的非零净磁矩)。在本实施例中,不必将额外的掩模层插入到 MRAM 基线工艺流程中。在测试阶段过程中可以产生局部加热。

[0149] 后一实施例与前面的实施例的不同之处在于不需要掩模。从 US2004/0120184 可知,可以通过退火来局部地改变 AAF 自由叠置体 220。近年来这已经被提出用于减少触发写 MRAM 概念中的写功率。在 US2004/0120184 中,在中等温度下对 AAF 自由叠置体 220 进行退火,导致在 AAF 220 中产生弱耦合区,并且因而产生较低的旋转下降场。这样做通常可以修改样品区域的 10-20%。

[0150] 在实验中已经观察到当在更高的温度下退火时,这些弱(反铁磁地)耦合区将生长并最终发展成其中铁磁层 F_1 和 F_2 铁磁地耦合的区域。因而,该样品将在零外部施加磁场下呈现出剩磁(非零净磁场)(见图 31)。图 31 示出包括 4nm NiFe 层 F_1 、0.7nm Ru 中间层 221 和另一个 4nm NiFe 层 F_2 的 AAF 自由叠置体 220 的磁滞回路。已经在 240°C 下进行了 15 分钟的退火。在图 31 的小插图中可以清楚看到,退火之后,叠置体逐渐形成基本非零剩

磁磁化,表示至少在膜的部分中,在铁磁层 F_1 和 F_2 之间存在铁磁耦合。

[0151] 在传感器区域中可以包括特定装置,以便在特定退火步骤期间通过例如过量电流退火来局部地产生额外的热量。在这种步骤中,只有消耗额外功率的区域将具有升高的温度,该温度足以使扩散工艺开始并最终在 AAF 中形成弱耦合区。不同的方式可以是使用聚焦的激光来局部地加热叠置体。假定传感器不位于 MRAM 阵列附近,则稍微粗糙的发光系统就足以用于这个目的。

[0152] 一旦形成 MTJ 检测元件,无论是常规类型的或是 MRAM 叠置体的触发类型的,任何合适的常规电路都可用作用于测量检测元件的电阻的检测电路,以适于应用。对于高性能应用,在图 32 和 33 中存在两个替换读出电路,在原理上它们与用于 MRAM 的读出电路相同。如图 32 所示,采用运算放大器 320 来放大在负载电阻器 310 的两端观察到的电压,所述负载电阻器 310 经由偏置晶体管 340 与传感器 330 串联连接。在图 32 中,传感器上的偏置电压被箝位到相对固定的值(大约 200mV),并且传感器的电阻的变化引起电流变化,这导致负载电阻器上的电压变化。然后这个电压变化被放大。该电路的缺点是:在传感器的电阻改变时,将导致箝位电压的一些变化。

[0153] 在图 33 中,在 MTJ 存储器读出的背景下,使用来自 US6205073B1 的材料提出了一种改进的电路。在这种设计中,存在两个运算放大器。输出运算放大器 360 将偏置控制运算放大器 350 的输出放大。偏置控制运算放大器输出还被馈送到偏置晶体管 340 的输入端。向运算放大器 350 的反向输入端馈以传感器两端的电压。在这种设计中,偏置控制运算放大器的负反馈允许将传感器 330 上的电压箝位的有效方式,这可以提供更稳定的信号和更快速的读出时间。

[0154] 如图 34 所示,通过传感器读出放大器 400 可以读出传感器组件 330 的输出 V_{signal} ,该传感器组件例如类似于图 32 或 33 中所示的电路,所述放大器 400 具有使得与预定阈值进行比较成为可能的第二输入 V_{thres} 。在图 34 中,比较信号 (V_{thres}) 从控制逻辑 402 产生并且甚至可以是可编程电平。在放大器 400 的输出上获得的最终更高或更低的信号(与阈值电压相比)基本上是数字信号,并且优选可以通过例如根据 IEEE 标准 1149.1 包含使用内部寄存器的边界扫描单元的边界扫描装置传送到输出管脚上(图 34)。

[0155] 本发明使得可以使用多个传感器来测量不同块消耗的电流,从而确定消耗太多或太少电流的设计部分。图 35 示出芯片上系统(SOC)400,其中施加的核芯块 402 都具有电流传感器单元 404(它可以是每个核心中的一组分布的传感器)。该传感器单元 404 连接到访问装置(优选与图 34 所示类似的边界扫描装置)。检查能力可以是这个芯片上的附加处理功能(图中未示出)。通过边界扫描,检查能力还可以设置在芯片外部。可以监测 IC 在其寿命期间的损耗。

[0156] 图 36 中给出了更具体的例子,其中电流传感器被设置在至少一个处理组件或核芯的电源线上。以简化形式示出了功率分布网络,并且这个功率分布网络通常比图 35 和 36 示意性示出的复杂得多。将电流传感器 404 的输出馈送到中央任务调度程序 700。调度程序 700 的功能是收集关于不同组件或核芯 402 的功耗的信息,然后根据动态功率分布方案来确定任务的时序安排。调度程序 700 可以在软件中实施,所述软件在合适的处理器件上运行,如常规微处理器,例如嵌入式微处理器或可编程数字逻辑器件,如可编程门阵列,例如可编程阵列逻辑、可编程逻辑阵列、现场可编程门阵列或类似物。核芯 402 是消耗功率并

在它们的最大能力下运行时可能变热的处理单元。基于每个处理单元的电流（功率）测量，可以安排更加均匀的处理负载，即，任务调度程序 700 可以进行负载平衡。然后将加载控制反馈回核芯 402。这个功能在具有很多并行处理单元的系统尤其有用。这防止不必要的等待队列，而且可以防止在特定核芯 402 中产生过量的热。而且，可以通过这种方式控制功率减少方案，由此避免在组件级的昂贵的热量传送方案。在其它例子（未示出）中，任务调度程序 700 可以用具有不同功能的不同电路如测量单元或中断发生器来代替。从那里，将形成到内部模块或到外部世界或到软件环境的接触，用于进一步的工作如其它控制或监测任务。

[0157] 在上述任一实施例中所述的电流传感器可以在很多种集成电路中实施，特别是 CMOS 电路和 MRAM 电路。遵循惯例，这种传感器的输出可以在扫描链中耦合，以便多路复用很多传感器输出到集成电路的一个或多个输出上。这种集成电路可以用在常规消费者设备中，特别是移动设备，如膝上型计算机、移动电话和安全系统，如用于汽车和航空电子设备的 ABS 等。如上所述，用于检测由待测电流产生的磁场强度的传感器具有使用磁隧道结的传感器元件以及检测电路，该传感器元件具有随着磁场变化的电阻，该传感器元件包括隧道结，并且设置该检测电路，以检测流过隧道结的隧道电流。例如由伸长引起的各向异性以一定角度取向，优选垂直于磁场。优点包括更高的灵敏度，并且由此降低了对噪声的易感性。而且可以提供与下一代 CMOS 工艺的容易集成，更加紧凑，并且使用较少的功率。更高的灵敏度使将要使用的后处理减少，从而节省了用于如移动设备等的应用的功率。应用包括电流传感器、内置电流传感器、和 IDDQ 测试、甚至用于下一代 CMOS 工艺。在权利要求的范围内可以设想到其它的变化。

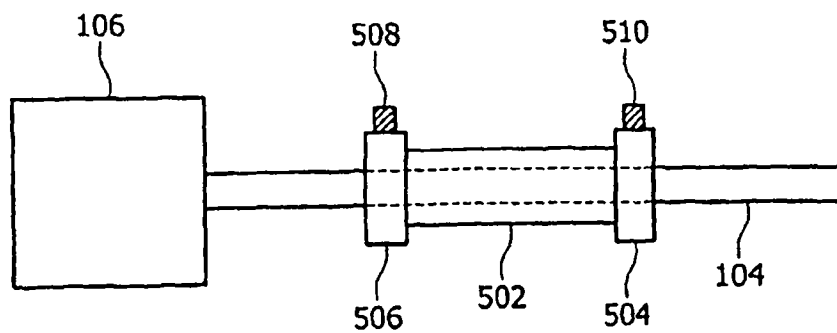


图 1

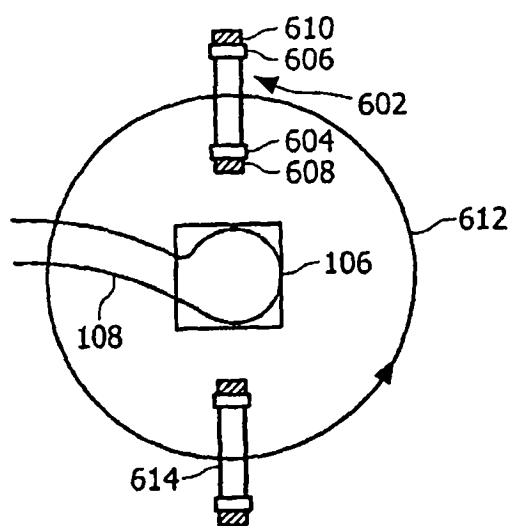


图 2

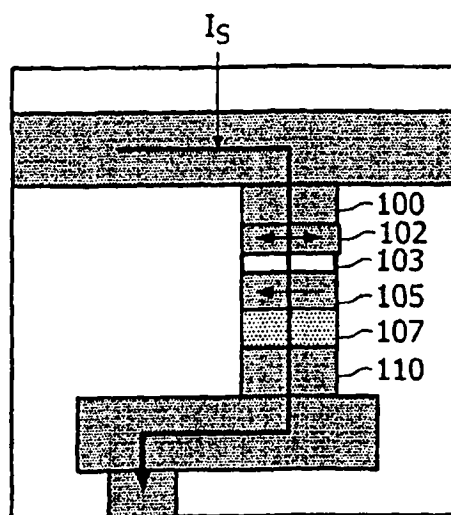


图 3

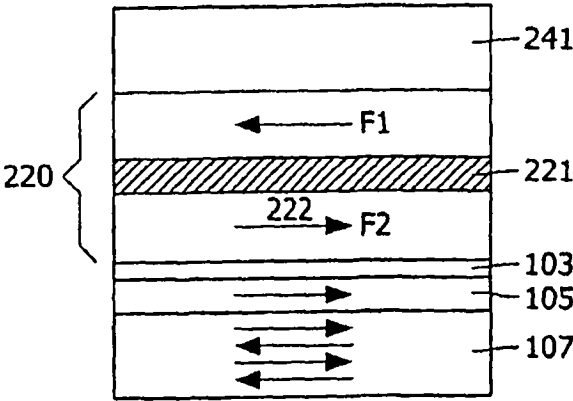


图 4

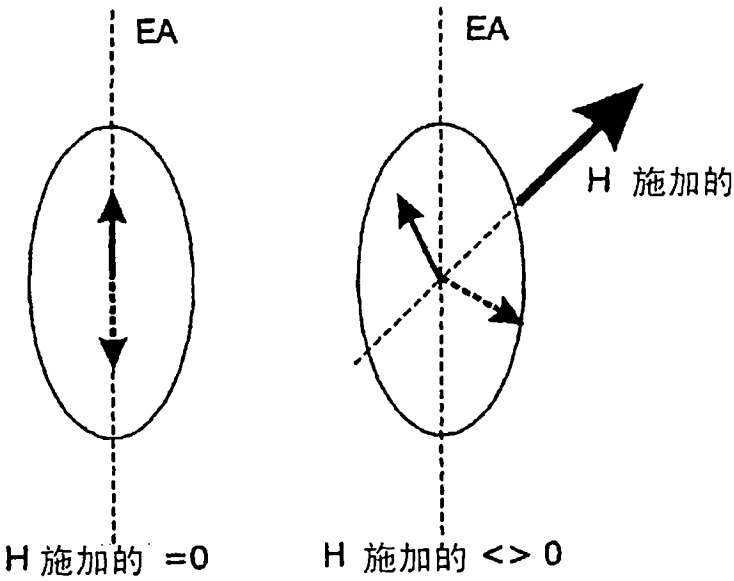


图 5

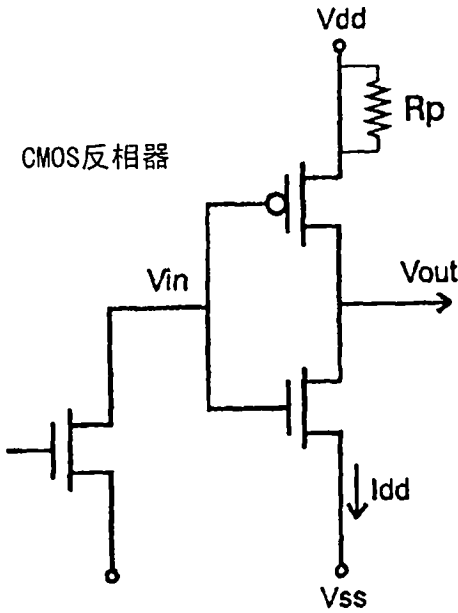


图 6A

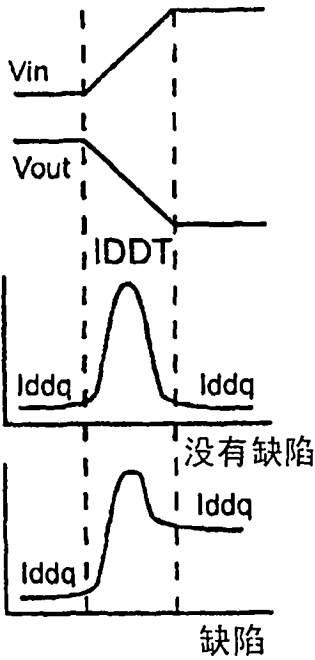


图 6B

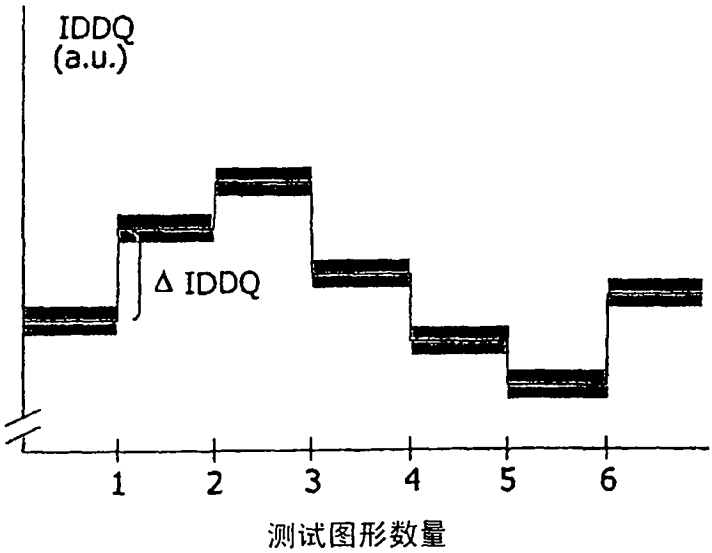


图 7

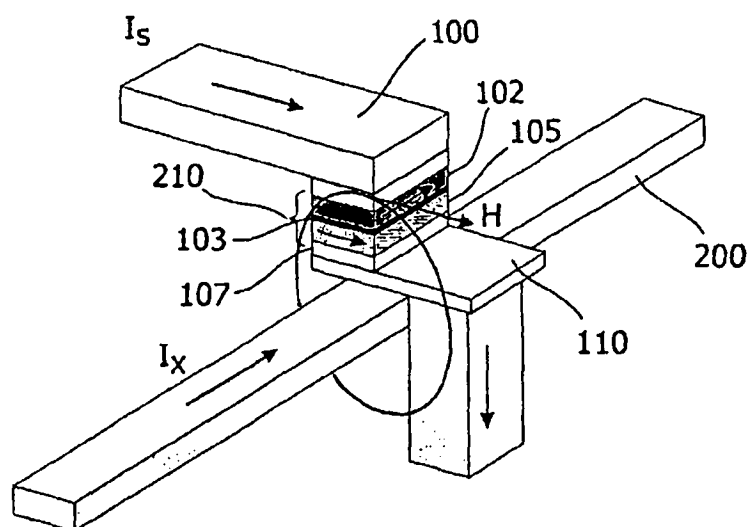


图 8

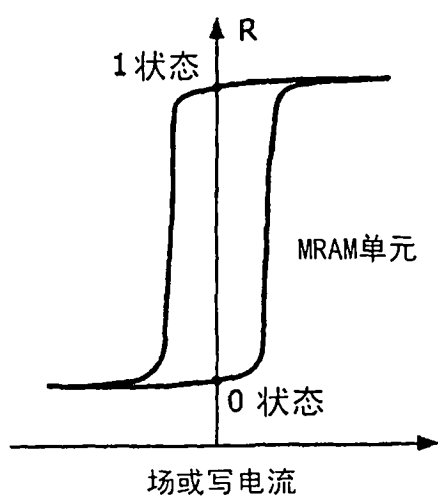


图 9A

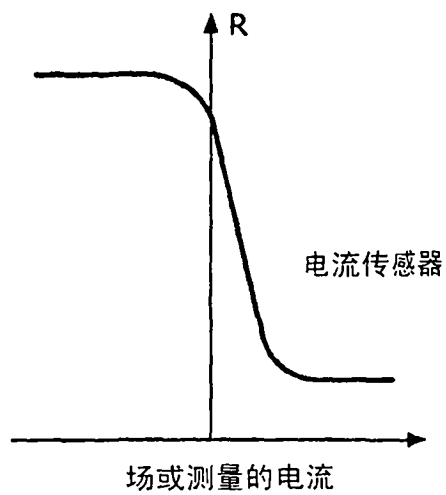


图 10A

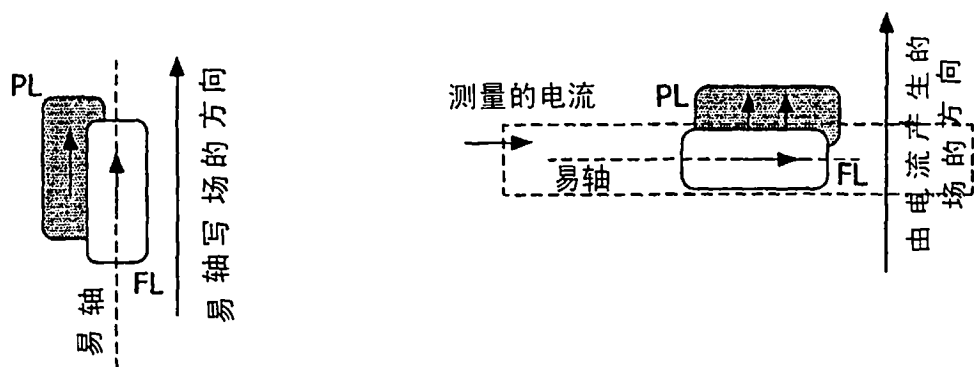


图 10B

图 9B

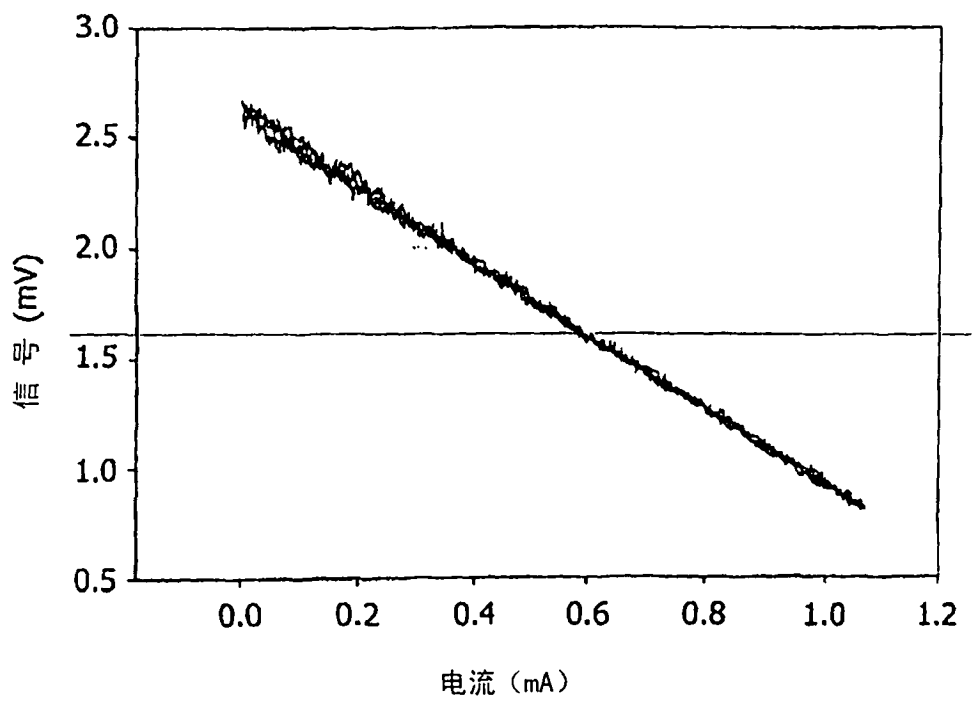


图 11

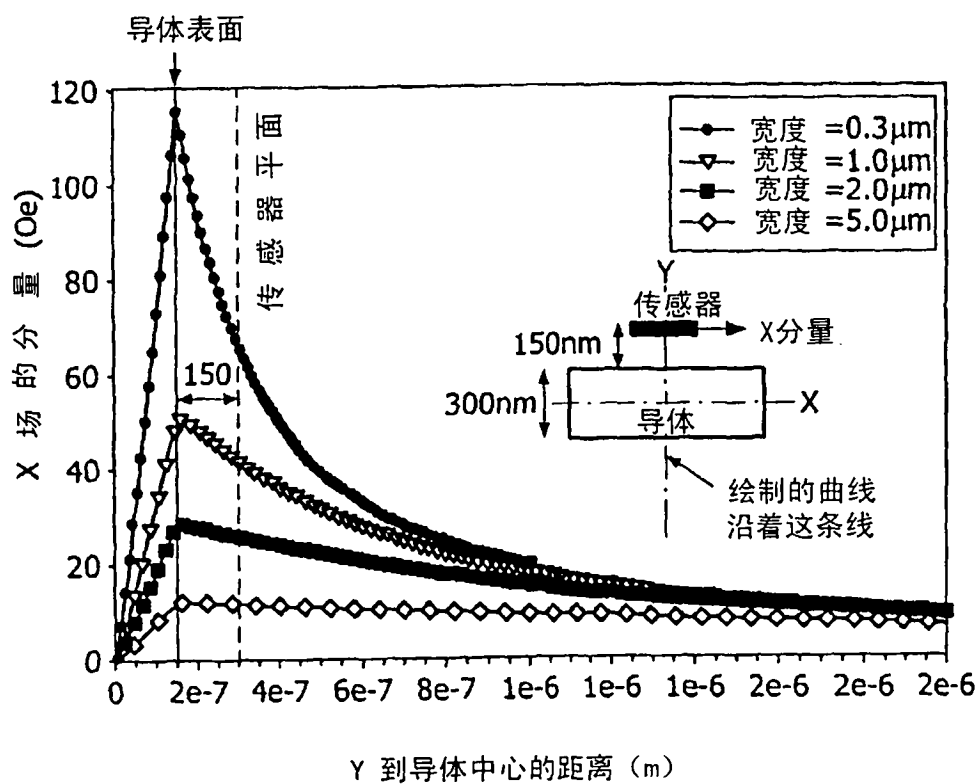


图 12

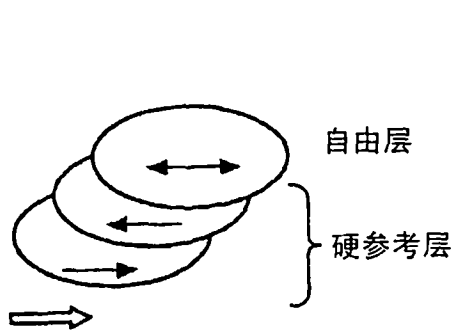


图 13

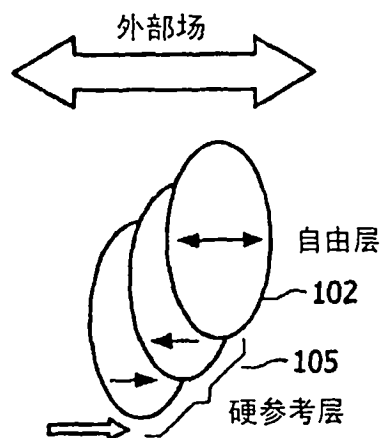


图 14

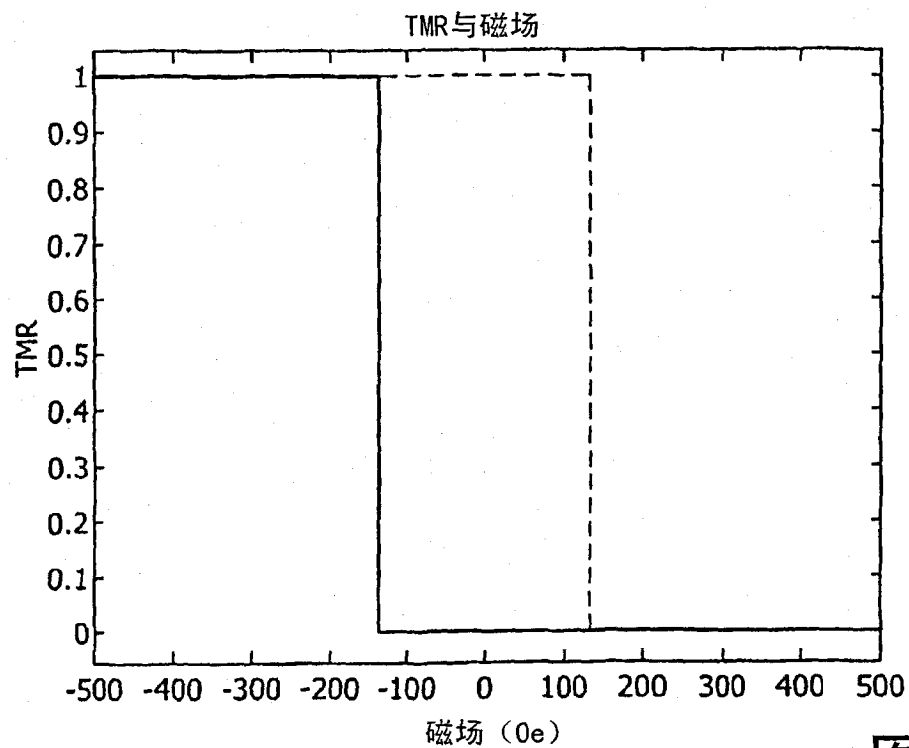


图15

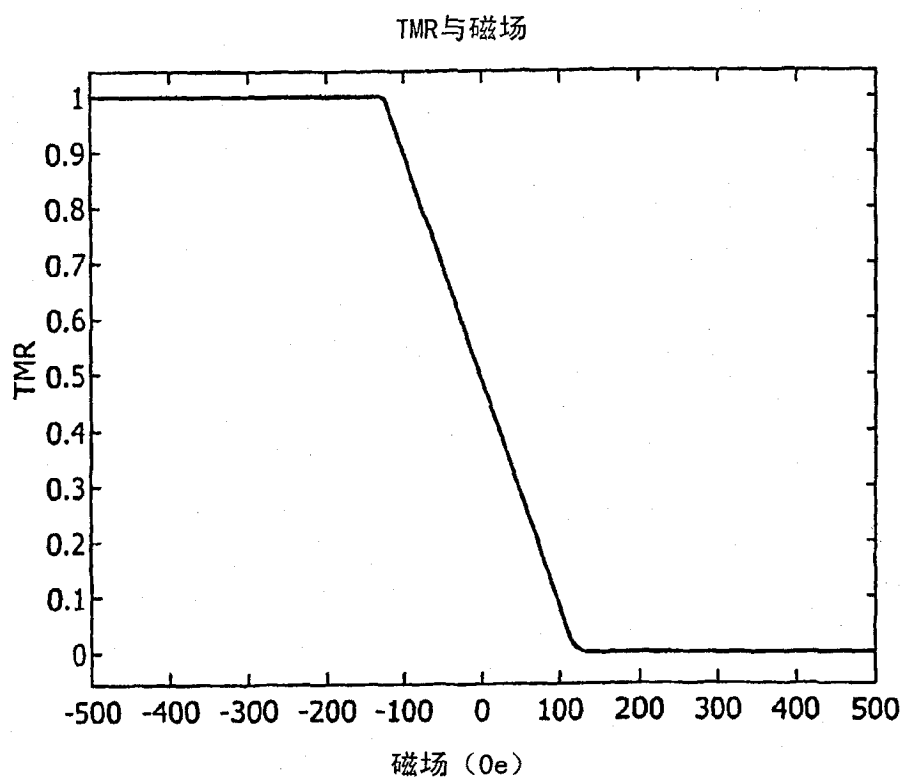


图16

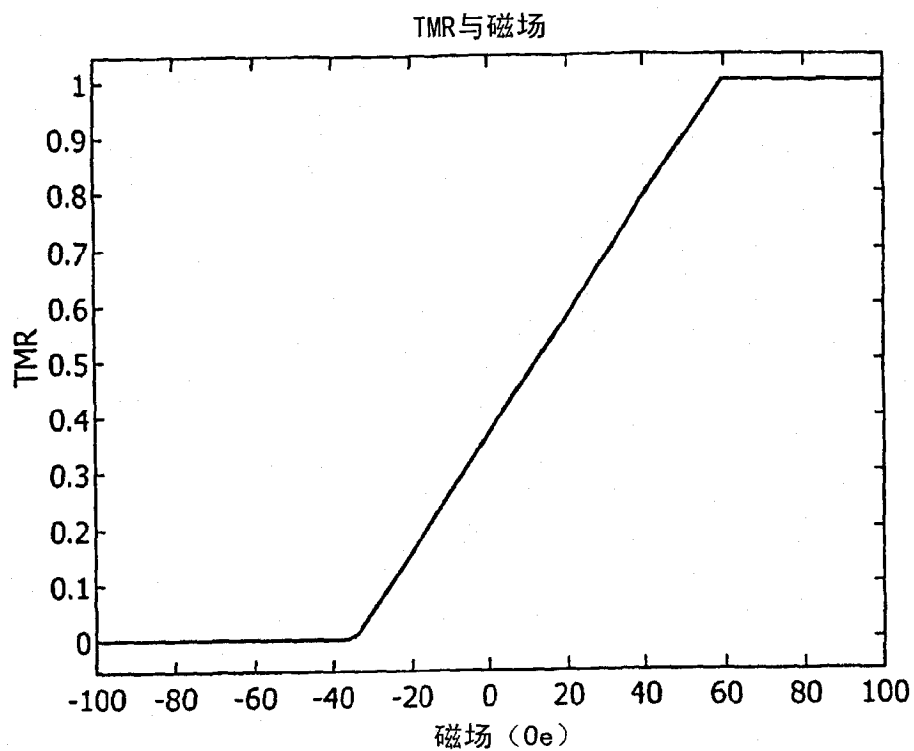


图17

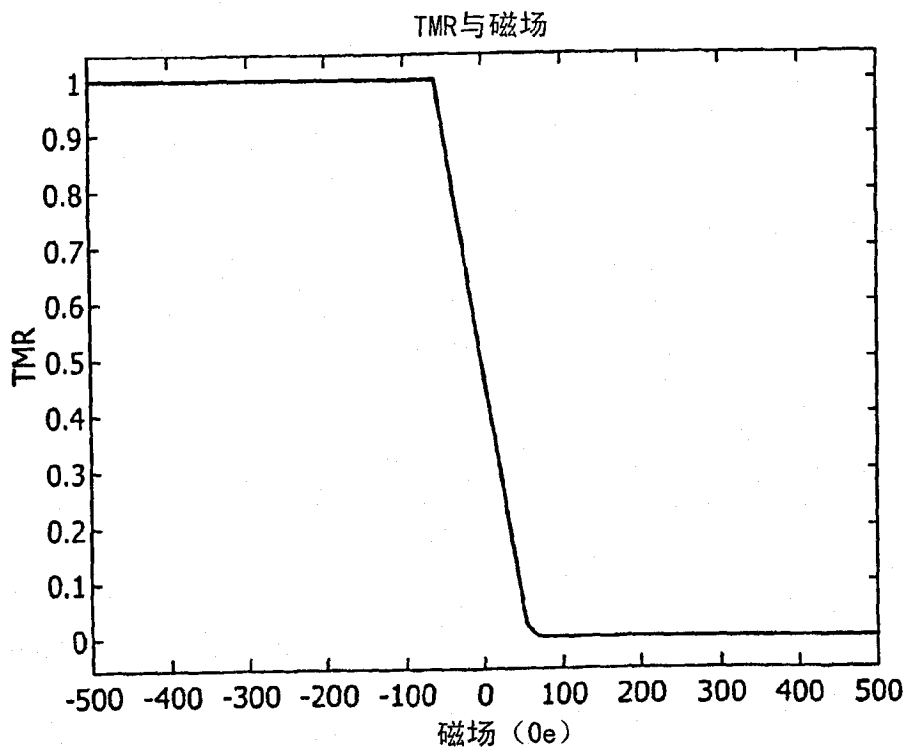


图18

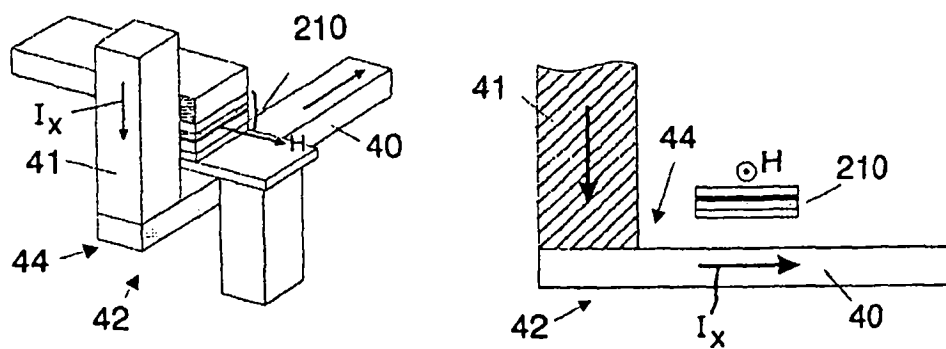


图 19

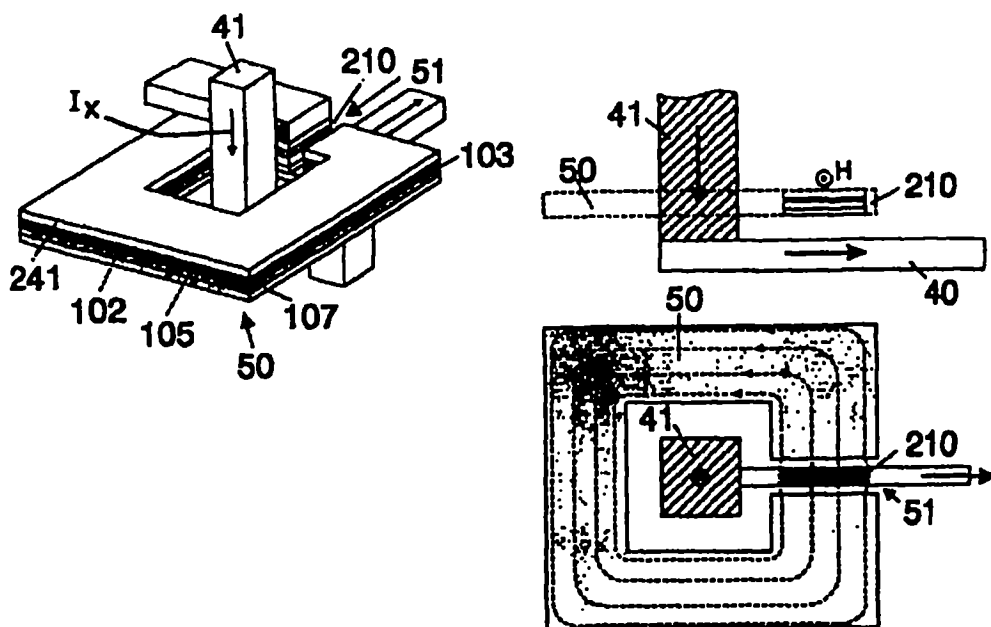


图 20

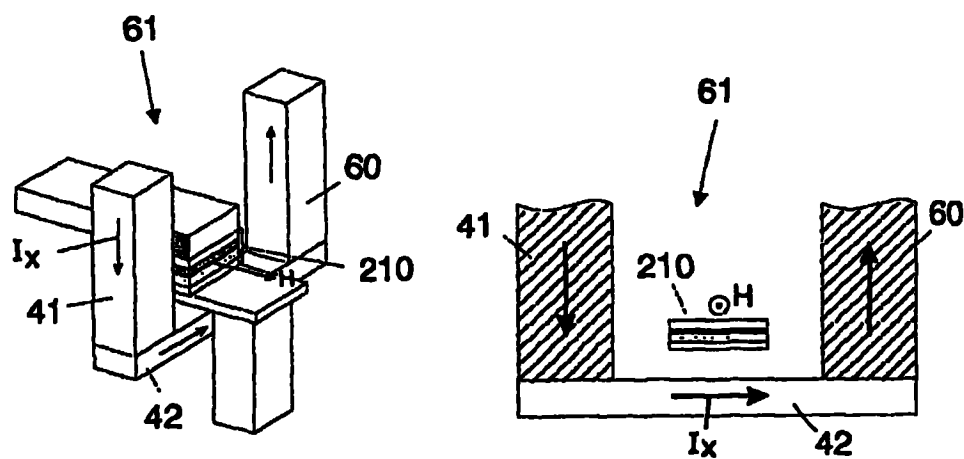


图 21

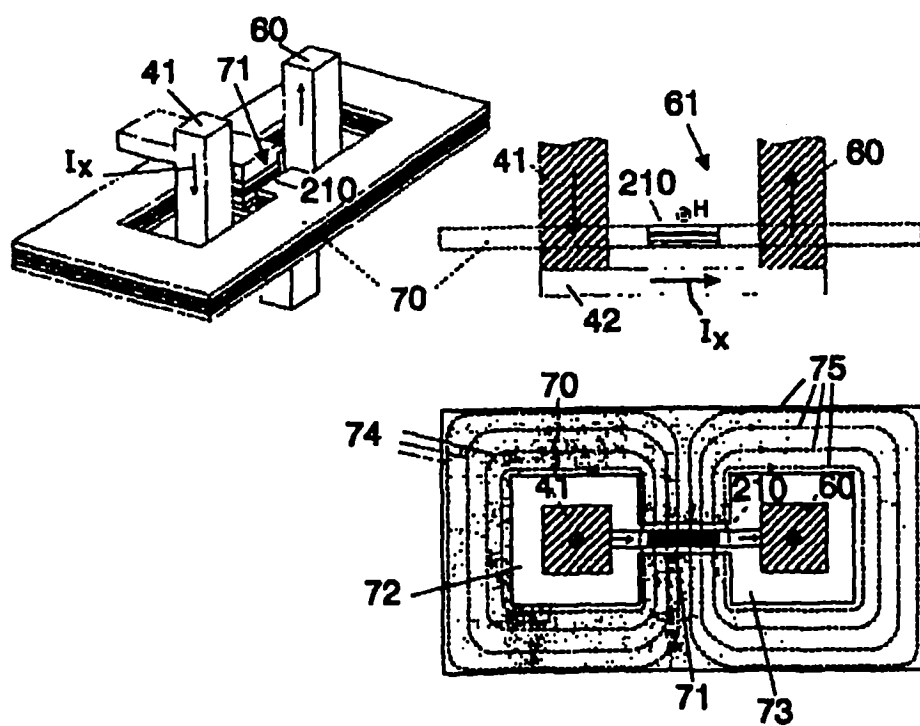


图 22

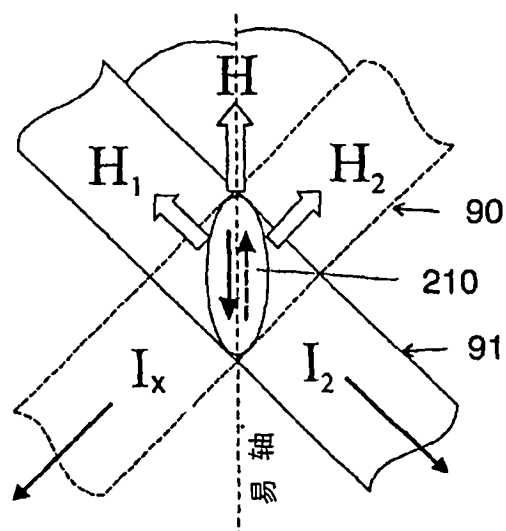


图 23

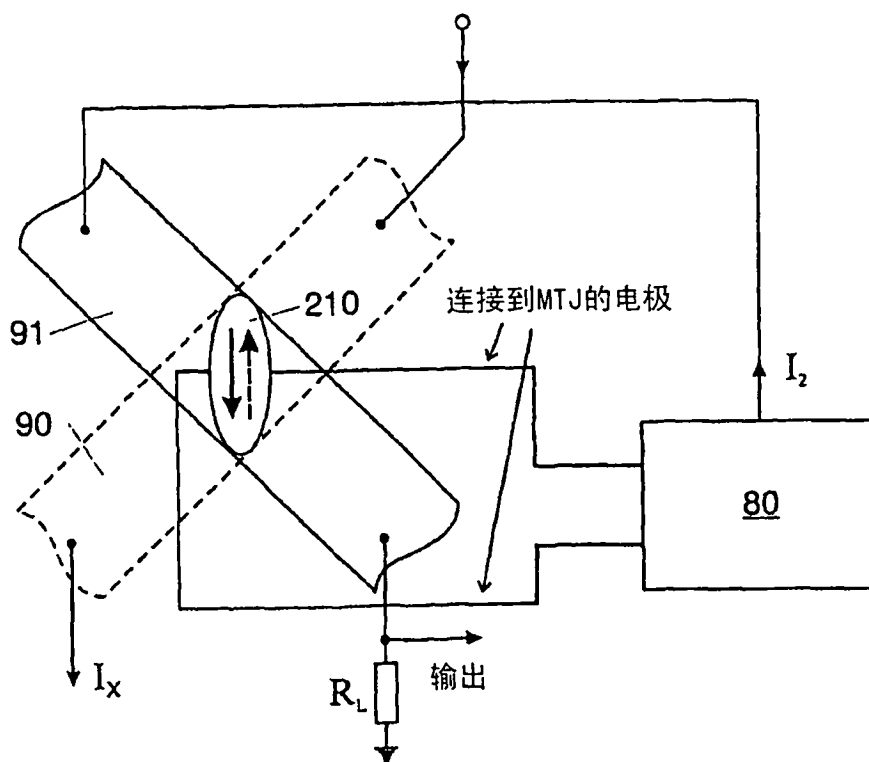


图 24

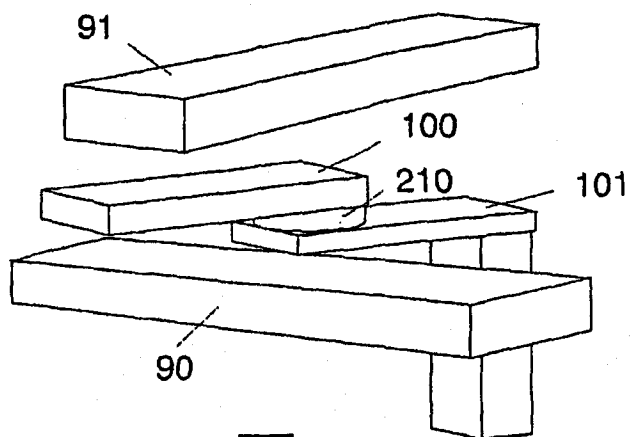


图25

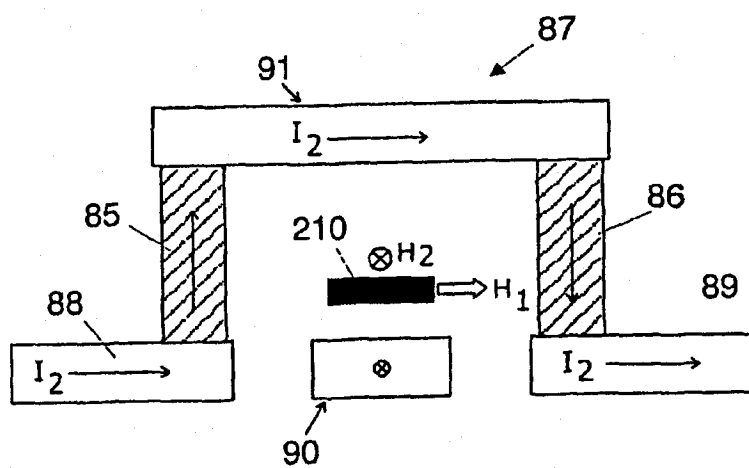


图26

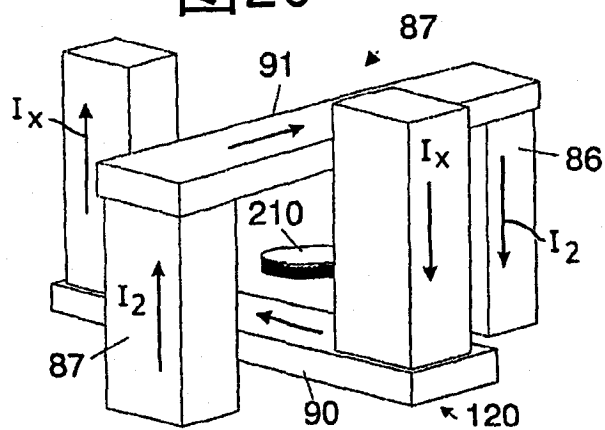


图27

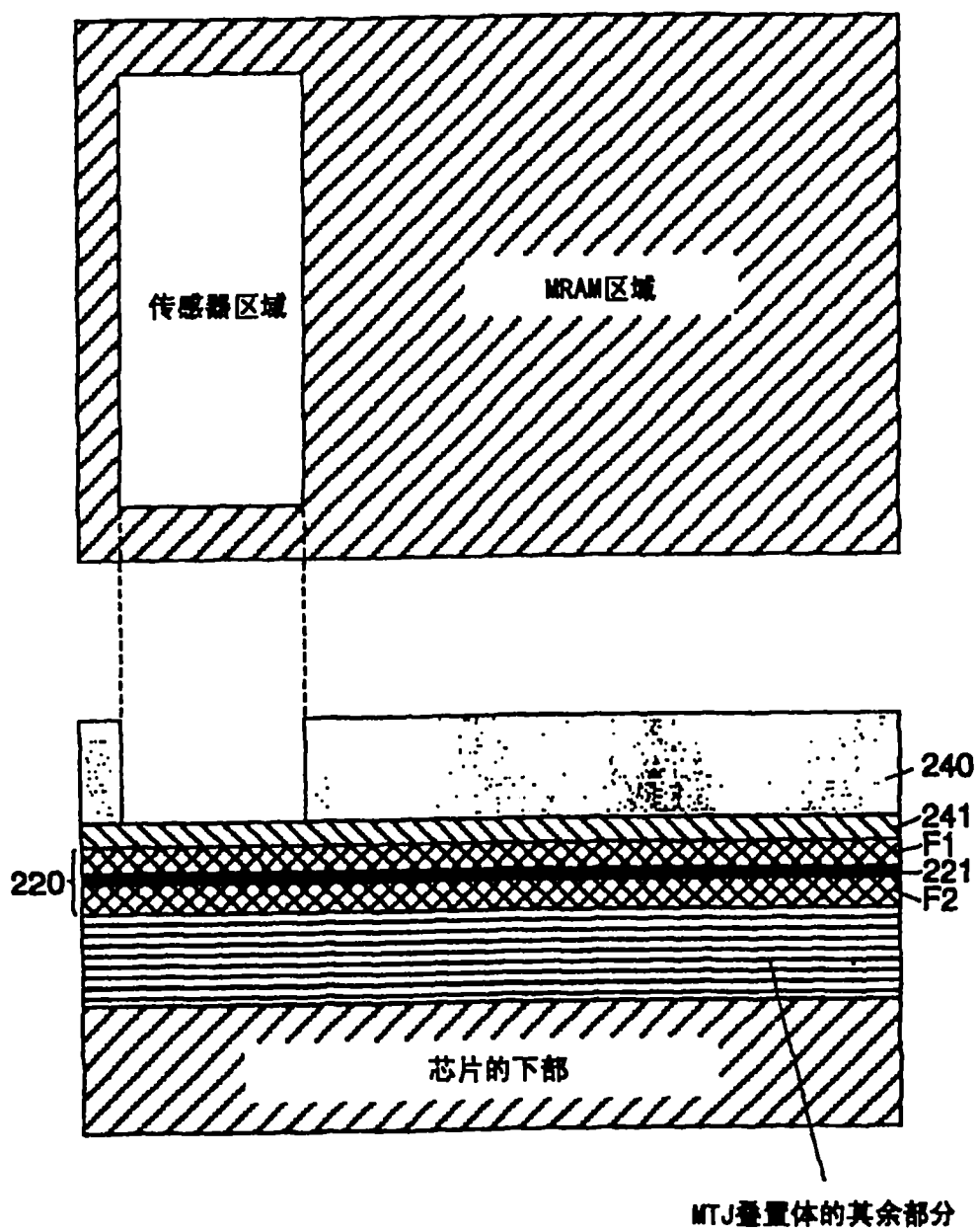


图 28

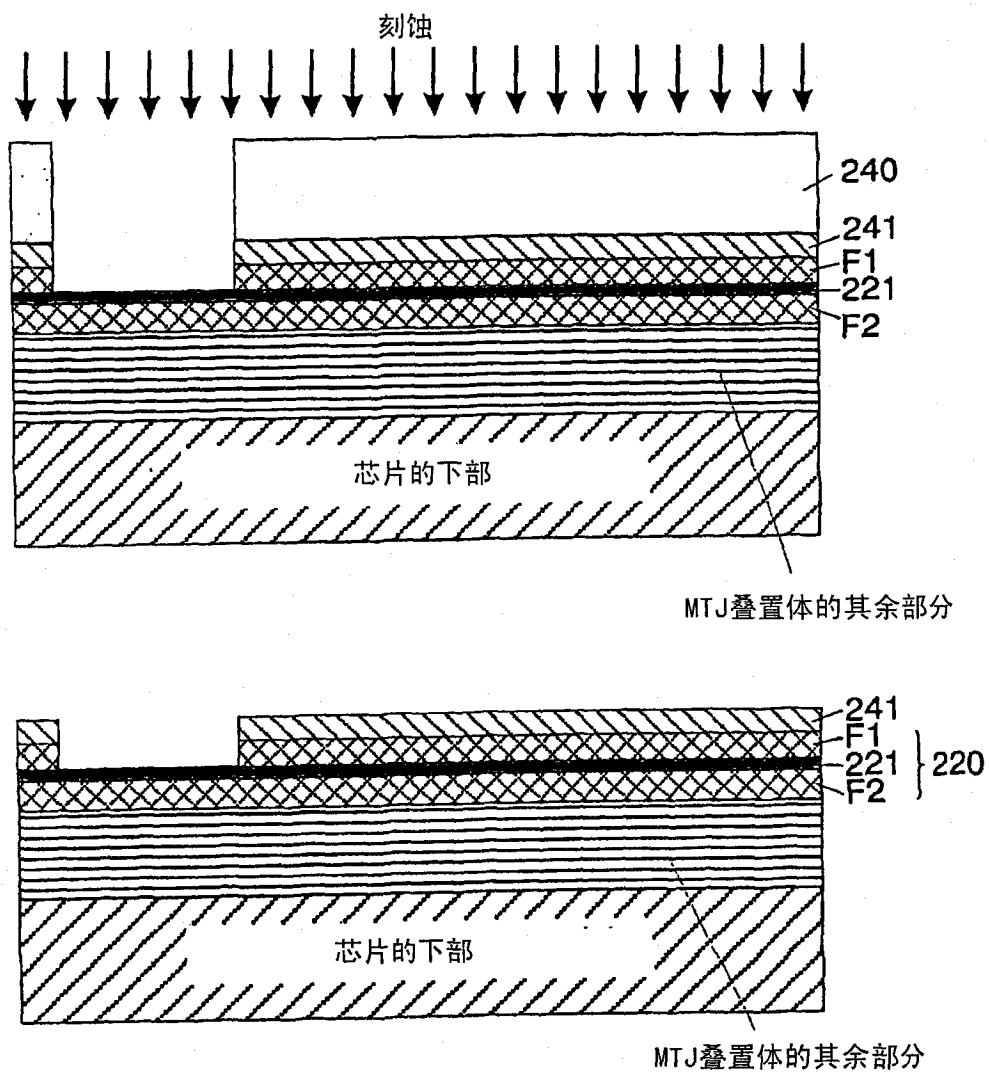


图 29

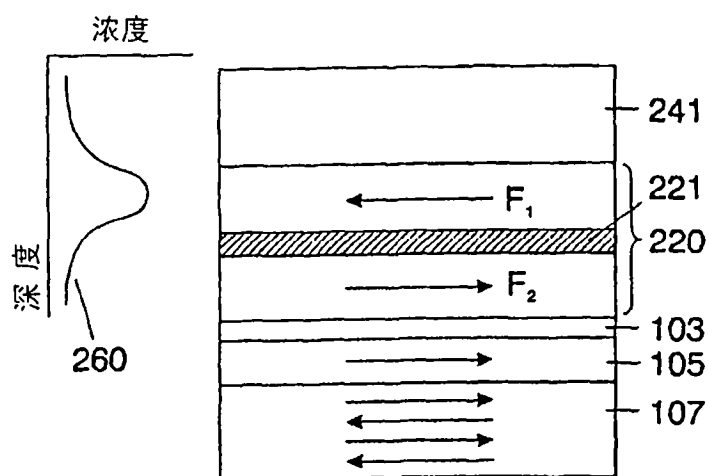


图 30

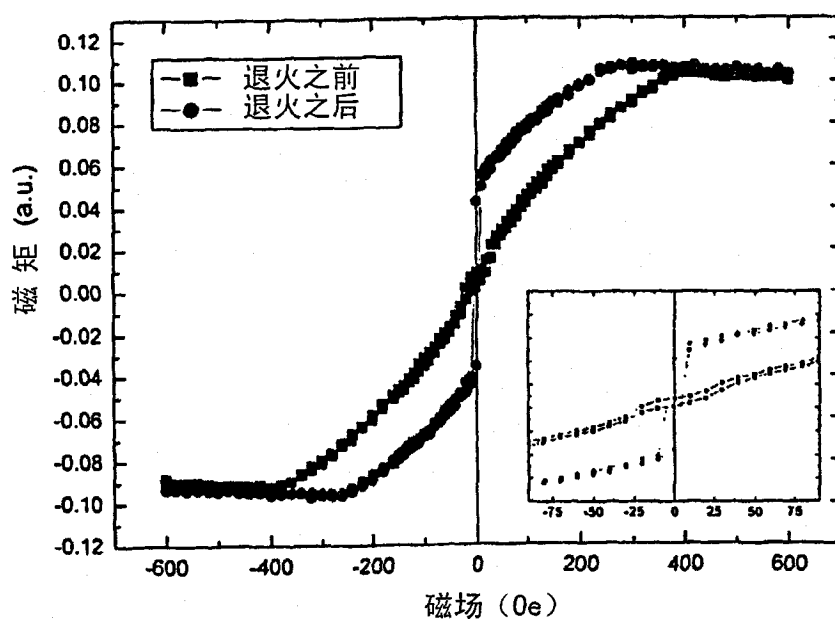


图 31

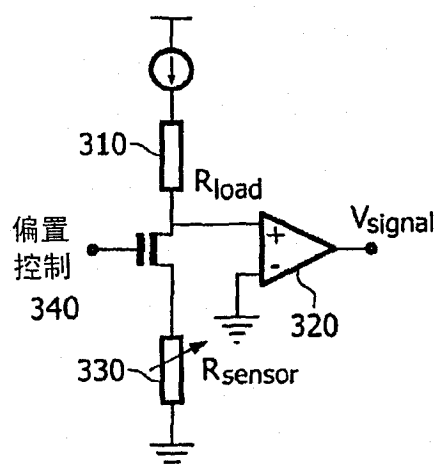


图32

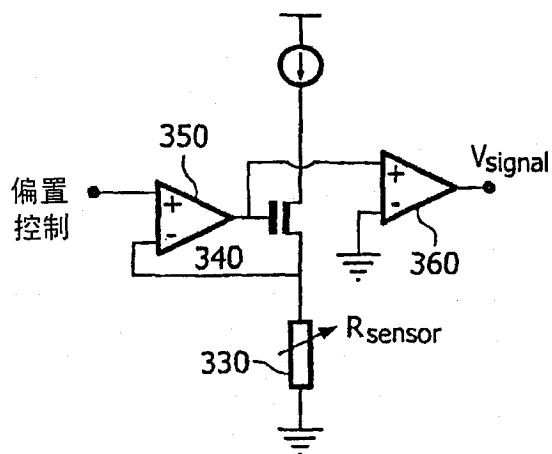


图33

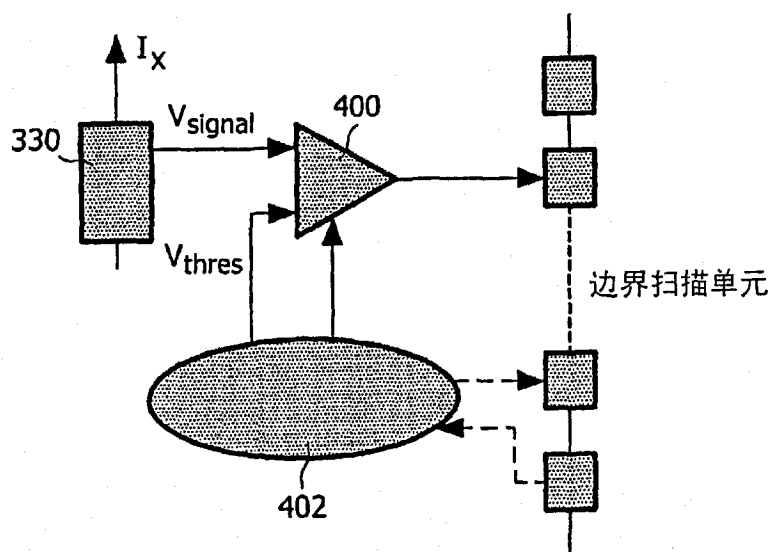


图34

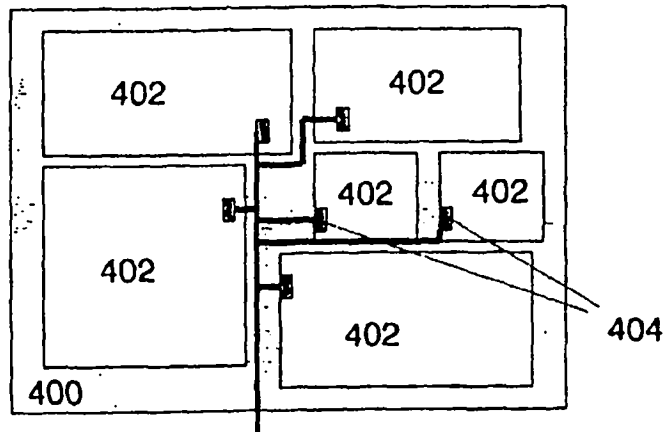


图 35

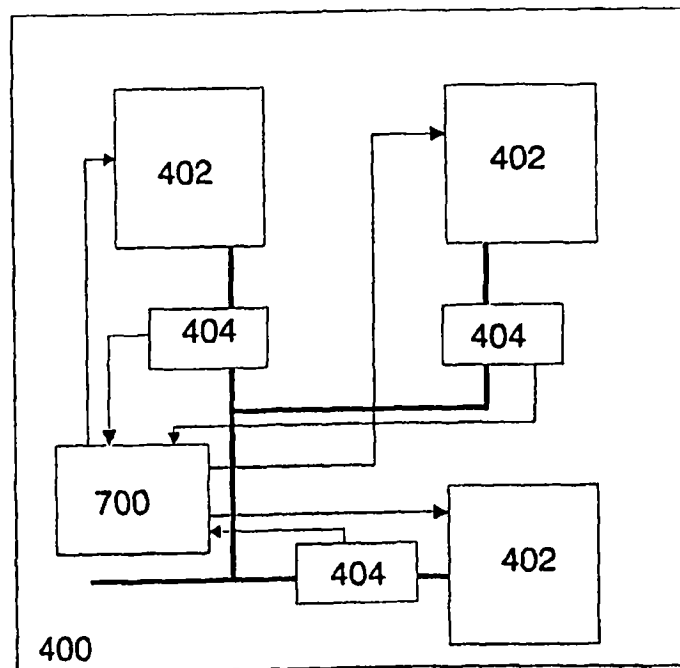


图 36