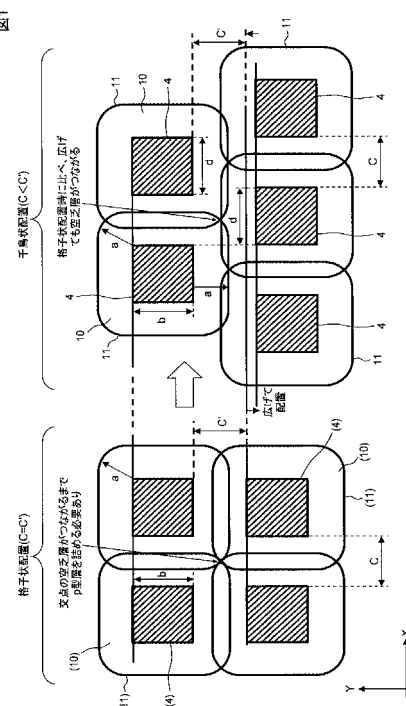




【特許請求の範囲】

【請求項 1】

半導体基板上に第 1 導電型の第 1 半導体領域を有し、この第 1 半導体領域には、所定間隔で当該第 1 半導体領域との間で p n 接合領域を形成するための第 2 導電型の複数個の第 2 半導体領域が千鳥状配置で形成され、且つ、前記第 2 半導体領域の間の領域にショットキー接合領域を形成するための第 1 導電型の第 3 半導体領域が形成され、前記第 2 半導体領域及び第 3 半導体領域の上に電極が形成されたジャンクションバリアショットキーダイオードであって、

前記第 2 半導体領域は前記電極からの平面視で四角形状を有し、

X 方向に等間隔で配置された前記第 2 半導体領域の列を Y 方向に複数列備え、前記各列の列内における前記第 2 半導体領域の X 方向の間隔寸法よりも前記列の間での前記第 2 半導体領域の Y 方向の間隔寸法が大きくなるように、隣接する列間の X 方向のずれ量が設定された、ジャンクションバリアショットキーダイオード。

【請求項 2】

半導体基板上に第 1 導電型の第 1 半導体領域を有し、この第 1 半導体領域には、所定間隔で当該第 1 半導体領域との間で p n 接合領域を形成するための第 2 導電型の複数個の第 2 半導体領域が複数列複数行で形成され、且つ、前記第 2 半導体領域の間の領域にショットキー接合領域を形成するための第 1 導電型の第 3 半導体領域が形成され、前記第 2 半導体領域及び第 3 半導体領域の上に電極が形成されたジャンクションバリアショットキーダイオードであって、

前記第 2 半導体領域は前記電極からの平面視で一辺の寸法を b とする四角形状を有し、隣り合う第 2 半導体領域の前記一辺方向の間隔寸法を c とし、隣り合う第 2 半導体領域の前記一辺方向に交差する方向の間隔寸法を上記寸法 c よりも大きな寸法とし、前記第 2 半導体領域の前記一辺方向に夫々延在する隣り合う列間での第 2 半導体領域のずれ量 d を $c/2 \leq d \leq b + c/2$ とする関係を満足する、ジャンクションバリアショットキーダイオード。

【請求項 3】

半導体基板上に第 1 導電型の第 1 半導体領域を有し、この第 1 半導体領域には、所定間隔で当該第 1 半導体領域との間で p n 接合領域を形成するための第 2 導電型の複数個の第 2 半導体領域が複数列複数行で形成され、且つ、前記第 2 半導体領域の間の領域にショットキー接合領域を形成するための第 1 導電型の第 3 半導体領域が形成され、前記第 2 半導体領域及び第 3 半導体領域の上に電極が形成されたジャンクションバリアショットキーダイオードであって、

前記第 2 半導体領域は前記電極からの平面視で一辺の寸法を b とする四角形状を有し、所定の逆方向電圧を印加したとき第 2 半導体領域の縁辺からの空乏層の伸び代寸法を前記平面視で a とするとき、隣り合う第 2 半導体領域の前記一辺方向の間隔寸法を $a/\sqrt{2}$ とし、隣り合う第 2 半導体領域の前記一辺方向に交差する方向の間隔寸法を $a + a/\sqrt{2}$ とし、前記第 2 半導体領域の前記一辺方向に夫々延在する隣り合う列間での第 2 半導体領域のずれ量 d を $a/\sqrt{2} \leq d \leq b + a/\sqrt{2}$ とする関係を満足する、ジャンクションバリアショットキーダイオード。

【請求項 4】

請求項 1 乃至 3 の何れかにおいて、前記第 2 半導体領域は正方形、長方形、又は平行四辺形の何れかである、ジャンクションバリアショットキーダイオード。

【請求項 5】

請求項 3 において、隣り合う第 2 半導体領域の前記一辺方向のずれ量 d を $b/2$ とする、ジャンクションバリアショットキーダイオード。

【請求項 6】

請求項 3 において、前記所定の逆方向電圧は許容限度の逆方向電圧である、ジャンクションバリアショットキーダイオード。

【請求項 7】

半導体基板上に第1導電型の第1半導体領域を形成する処理と、

この第1半導体領域に、所定間隔で当該第1半導体領域との間でpn接合領域を形成するための第2導電型の複数個の第2半導体領域を千鳥状配置で形成する処理と、

前記第2半導体領域の間の前記第1半導体領域の上にショットキー接合領域を形成するための第1導電型の第3半導体領域を形成する処理と、

前記第2半導体領域及び第3半導体領域の上に電極を形成する処理とを含む、ジャンクションバリアショットキーダイオードであって、

前記第2半導体領域は前記電極からの平面視で四角形状に形成し、

X方向に等間隔で配置された前記第2半導体領域の列をY方向に複数列形成し、

前記各列の列内における前記第2半導体領域のX方向の間隔寸法よりも前記列の間での前記第2半導体領域のY方向の間隔寸法が大きくなるように、隣接する列間のX方向のずれ量を設定する、ジャンクションバリアショットキーダイオードの製造方法。

【請求項8】

半導体基板上に第1導電型の第1半導体領域を形成する処理と、

この第1半導体領域に、所定間隔で当該第1半導体領域との間でpn接合領域を形成するための第2導電型の複数個の第2半導体領域を複数列複数行で形成する処理と、

前記第2半導体領域の間の前記第1半導体領域の上にショットキー接合領域を形成するための第1導電型の第3半導体領域を形成する処理と、

前記第2半導体領域及び第3半導体領域の上に重ねて電極を形成する処理と、を含むジャンクションバリアショットキーダイオードの製造方法であって、

前記第2半導体領域は前記電極からの平面視で一辺の寸法をbとする四角形状を有し、隣り合う第2半導体領域の前記一辺方向の間隔寸法をcとし、隣り合う第2半導体領域の前記一辺方向に交差する方向の間隔寸法を上記寸法cよりも大きな寸法とし、前記第2半導体領域の前記一辺方向に夫々延在する隣り合う列間でのずれ量dを $c/2 \leq d \leq b + c/2$ とする関係を満足させる、ジャンクションバリアショットキーダイオードの製造方法。

【請求項9】

半導体基板上に第1導電型の第1半導体領域を形成する処理と、

この第1半導体領域に、所定間隔で当該第1半導体領域との間でpn接合領域を形成するための第2導電型の複数個の第2半導体領域を複数列複数行で形成する処理と、

前記第2半導体領域の間の前記第1半導体領域の上にショットキー接合領域を形成するための第1導電型の第3半導体領域を形成する処理と、

前記第2半導体領域及び第3半導体領域の上に電極を形成する処理と、を含むジャンクションバリアショットキーダイオードの製造方法であって、

前記第2半導体領域は前記電極からの平面視で一辺の寸法をbとする四角形状を有し、所定の逆方向電圧を印加したとき第2半導体領域の縁辺からの空乏層の伸び代寸法を前記平面視でaとするとき、隣り合う第2半導体領域の前記一辺方向の間隔寸法を $a/\sqrt{2}$ とし、隣り合う第2半導体領域の前記一辺方向に交差する方向の間隔寸法を $a + a/\sqrt{2}$ とし、前記第2半導体領域の前記一辺方向に夫々延在する隣り合う列間でのずれ量dを $a/\sqrt{2} \leq d \leq b + a/\sqrt{2}$ とする関係を満足させる、ジャンクションバリアショットキーダイオードの製造方法。

【請求項10】

請求項7乃至9の何れかにおいて、前記第2半導体領域は正方形、長方形、又は平行四辺形の何れかである、ジャンクションバリアショットキーダイオードの製造方法。

【請求項11】

請求項9において、隣り合う第2半導体領域の前記一辺方向のずれ量dを $b/2$ とする、ジャンクションバリアショットキーダイオードの製造方法。

【請求項12】

請求項9において、前記所定の逆方向電圧は許容限度の逆方向電圧である、ジャンクションバリアショットキーダイオードの製造方法。

10

20

30

40

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ジャンクションバリアショットキーダイオード及びその製造方法に関し、LCD (liquid crystal display) ドライバやCMOS (Complementary Metal-Oxide Semiconductor) 集積回路に代表される半導体装置に適用して有効な技術に関する。

【背景技術】

【0002】

ショットキーダイオードの特性として、pnダイオードに比べると逆方向電流が大きいという特徴がある。逆方向電流はショットキー接合界面での電界強度に強く依存し、高いほど逆方向電流は増加する。ショットキーダイオードの逆方向電流を抑制するために、例えばショットキーダイオードのn型層のアノード領域内にp型層を形成し、pn接合を交互に配置したジャンクションバリアショットキー (JBS: Junction Barrier Schottky) 構造のダイオードが知られている。このジャンクションバリアショットキー構造のダイオード (単にJBSダイオードとも記す) は逆方向電圧を印加した際にpn接合の空乏層の広がりを利用し、シリサイド界面と接したn型半導体領域底面部を空乏層で閉じること

10

で、ショットキー接合界面の電界を低減することができ、逆方向電流を抑制することができる。例えば図25にはJBSダイオードの順方向電圧印加時における縦断面の模式的構成を示し、図26にはJBSダイオードの逆方向電圧印加時における縦断面の模式的構成を示す。順方向印加時はpn接合部の空乏層は伸びず、アノードからカソードへ電流が流

20

れるが、逆方向印加時はp型層から伸びた空乏層が隣のp型半導体領域の空乏層とつながり、ショットキー接合しているn型半導体領域の側面、底面を塞いでいる。このためショットキー接合界面の電界を低減することができ逆方向電流を抑制することができる。空乏層の大きさは印加する逆方向電圧に依存するから、その大きさは使用する電源電圧若しくは印加電圧で決まることになる。

【0003】

JBSダイオードについて記載された文献の例として特許文献1がある。同文献において、アノード内のp型層の配置は長形状に等間隔で配置したものや格子状に配置したものである。特に特許文献1は、JBSダイオードにおいて、アノード電極下部に配置したp⁺形半導体領域は逆方向漏れ電流の低減に寄与するが、順方向動作時には実質的に電流経路として機能しない、いわば不活性な半導体領域であることに鑑み、複数のp⁺形半導体領域の深さを、ショットキー接合領域を形成するためにn形エピタキシャル層の深さよりも浅くし、p⁺形半導体領域を拡散で形成する時にp⁺形半導体領域の横方向への広がりをn形エピタキシャル層で制限し、p⁺形半導体領域の面積が不所望に大きくなって所要の順方向電流量が得られなくならないようにするものである。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2003-188391号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

前述の如く、JBSダイオードのアノード内のp型半導体領域は順方向電流には寄与しないため、順方向電流はアノード面積に対するp型半導体領域の面積率が低いほど大きくなる。しかしながら、p型半導体領域の面積率を下げるためp型半導体領域の間隔を広げすぎると空乏層がつながらず逆方向電流が増加する。図27のように縦長の矩形のpn接続部を交互に並べた場合、逆方向電流を抑制するには横方向に隣接したn型半導体領域を空乏層で塞げばよい。そのため制御がしやすいが、p型層の面積率は大きく、順方向電流は低減する。図28のように格子状に配置した場合、p型半導体領域の面積率は下がるが、格子の交点で空乏層がつながりにくく、逆方向電流の増加を抑えるには、図29のようにp型

10

20

30

40

50

半導体領域の間隔を図 28 よりも狭める必要があり、そうすると、p 型半導体領域の面積率が上がって順方向電流が少なくなる。特許文献 1 に記載の技術は、 p^+ 形半導体領域を拡散で形成する時に p^+ 形半導体領域の横方向への広がりを n 形エピタキシャル層で制限し、 p^+ 形半導体領域の面積が不所望に大きくなって所要の順方向電流量が得られなくなってしまうものであるから、p 型半導体領域の面積率が製造段階で設計値よりも大きくなることを抑制することによって、所要の順方向電流量が得られるようにしようとするものである。

【0006】

本発明の目的は、逆方向電流は小さいままで順方向電流を大きくするのに好適な、ショットキー接合領域に対する pn 接合領域の配置構造を提供することにある。

10

【0007】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【課題を解決するための手段】

【0008】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0009】

すなわち、ジャンクションバリアショットキーダイオードは、第 1 導電型の第 1 半導体領域に所定間隔で当該第 1 半導体領域との間で pn 接合領域を形成するための第 2 導電型の複数個の第 2 半導体領域が千鳥状にずらして形成される。前記第 2 半導体領域の間の領域にはショットキー接合領域を形成するための第 1 導電型の第 3 半導体領域が形成される。前記第 2 半導体領域及び第 3 半導体領域の上にはアノード電極が形成される。前記第 2 半導体領域はアノード電極からの平面視で四角形状を有する。X 方向に等間隔で配置された前記第 2 半導体領域の列を Y 方向に複数列備える。前記各列の列内における前記第 2 半導体領域の X 方向の間隔寸法よりも前記列の間での前記第 2 半導体領域の Y 方向の間隔寸法が大きくなるように、隣接する列間の X 方向のずれ量が設定されている。

20

【発明の効果】

【0010】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

30

【0011】

すなわち、第 2 半導体領域の千鳥状配置における隣接する列間の X 方向のずれ量が、第 2 半導体領域の列内における X 方向の間隔寸法よりも列間での前記第 2 半導体領域の Y 方向の間隔寸法が大きくなるように設定されているから、逆方向電圧印加時に空乏層がつながることを保証するとき、第 2 半導体領域を単に格子状に配置し或いは XY 各方向で等間隔に千鳥配置する場合に比べて、第 3 半導体領域に対する第 2 半導体領域の面積率を小さくすることができる。

【図面の簡単な説明】

【0012】

40

【図 1】図 1 は p 型半導体領域の千鳥状配置を単なる格子状配置と対比して示す説明図である。

【図 2】図 2 は JBS ダイオードのアノード部分の縦断面構造を例示する断面図である。

【図 3】図 3 は図 2 の A-A 平面断面構造を例示する断面図である。

【図 4】図 4 は 1 個の p 型半導体領域 4 の寸法関係の一例を示す説明図である。

【図 5】図 5 は p 型半導体領域の X 方向の間隔 c と Y 方向の間隔 c' に対して $c = c' = 2a$ として格子状に配置した場合の配列を例示する説明図である。

【図 6】図 6 は $c = c'$ とする格子状配置で隣接する空乏層 10 をつなげるように $c = c' = a\sqrt{2}$ とした場合の配列を例示する説明図である。

【図 7】図 7 は p 型半導体領域 4 の列を X 方向にずらして千鳥状に配置する場合に図 6 の

50

格子状に配置したときよりも p 型半導体領域 4 の間隔 c' を広げて配置しても空乏層 10 がつながる下限の条件を示す説明図である。

【図 8】図 7 は p 型半導体領域 4 の列を X 方向にずらして千鳥状に配置する場合に図 6 の格子状に配置したときよりも p 型半導体領域 4 の間隔 c' を広げて配置しても空乏層 10 がつながる上限の条件を示す説明図である。

【図 9】図 9 はアノード面積に対する p 型半導体領域の配置形態に応じた面積率を、p 型半導体領域 4 を例えば 4×4 で千鳥状に配置した場合について説明するための説明図である。

【図 10】図 10 は p 型半導体領域 4 を例えば 4×4 で格子状に配置した場合の面積率について説明するための説明図である。

【図 11】図 11 は p 型半導体領域 4 を例えば幅が b で高さが $5b$ の矩形状とし、これをその幅方向に 4 個配置した場合の面積率について説明するための説明図である。

【図 12】図 12 はアノード電極内の p 型半導体領域の面積率 (p 型層面積率) と順方向電流 I_f との関係を示す説明図である。

【図 13】図 13 は p 型半導体領域 4 を千鳥状に配置した構造の JBS ダイオードを製造する主な製造工程の一つの縦断面構造を例示する縦断面図である。

【図 14】図 14 は p 型半導体領域 4 を千鳥状に配置した構造の JBS ダイオードを製造する主な製造工程の別の縦断面構造を例示する縦断面図である。

【図 15】図 15 は p 型半導体領域 4 を千鳥状に配置した構造の JBS ダイオードを製造する主な製造工程の別の縦断面構造を例示する縦断面図である。

【図 16】図 16 は p 型半導体領域 4 を千鳥状に配置した構造の JBS ダイオードを製造する主な製造工程の別の縦断面構造を例示する縦断面図である。

【図 17】図 17 は p 型半導体領域 4 を千鳥状に配置した構造の JBS ダイオードを製造する主な製造工程の別の縦断面構造を例示する縦断面図である。

【図 18】図 18 は p 型半導体領域 4 を千鳥状に配置した構造の JBS ダイオードを製造する主な製造工程の別の縦断面構造を例示する縦断面図である。

【図 19】図 19 は p 型半導体領域 4 を千鳥状に配置した構造の JBS ダイオードを製造する主な製造工程の別の縦断面構造を例示する縦断面図である。

【図 20】図 20 は p 型半導体領域 4 を千鳥状に配置した構造の JBS ダイオードを製造する主な製造工程の別の縦断面構造を例示する縦断面図である。

【図 21】図 21 は図 19 のシリサイドによる電極から下の平面的構成を示す平面図である。

【図 22】図 22 は図 21 に対して導電型を入れ替えた平面構成を例示する平面図である。

【図 23】図 23 は千鳥状に配置される半導体領域の四角形状を並行四辺形にした場合に図 7 に対応するずれ量 d の下限の条件を説明するための説明図である。

【図 24】図 24 は千鳥状に配置される半導体領域の四角形状を並行四辺形にした場合に図 8 に対応するずれ量 d の上限の条件を説明するための説明図である。

【図 25】図 25 は JBS ダイオードの順方向電圧印加時における縦断面の模式的構成を示す説明図である。

【図 26】図 26 は JBS ダイオードの逆方向電圧印加時における縦断面の模式的構成を示す説明図である。

【図 27】図 27 は縦長の矩形の pn 接続部を交互に並べた場合に逆方向電流を抑制するには横方向に隣接した n 型層を空乏層で塞げばよい制御がし易いが p 型半導体領域の面積率は大きく、順方向電流が低減すること説明するための平面図である。

【図 28】図 28 は格子状に配置した場合に p 型半導体領域の面積率は下がるが格子の交点で空乏層がつながりにくくなることを説明するための平面図である。

【図 29】図 29 は逆方向電流の増加を抑えるために p 型半導体領域の間隔を図 28 よりも狭める必要があることを説明するための平面図である。

【発明を実施するための形態】

10

20

30

40

50

【0013】

1. 実施の形態の概要

先ず、本願において開示される発明の代表的な実施の形態について概要を説明する。代表的な実施の形態についての概要説明で括弧を付して参照する図面中の参照符号はそれが付された構成要素の概念に含まれるものを例示するに過ぎない。

【0014】

〔1〕＜ショットキー接合領域に対するpn接合領域の面積率低減したJBSダイオード＞

ジャンクションバリアショットキーダイオード(1)は、半導体基板(2)上に第1導電型の第1半導体領域(3)を有し、この第1半導体領域には、所定間隔で当該第1半導体領域との間でpn接合領域を形成するための第2導電型の複数の第2半導体領域(4)が千鳥状配置で形成され、且つ、前記第2半導体領域の間の領域にショットキー接合領域を形成するための第1導電型の第3半導体領域(5)が形成され、前記第2半導体領域及び第3半導体領域の上に電極(6)が形成される。前記第2半導体領域は電極からの平面視で四角形状を有し、X方向に等間隔で配置された前記第2半導体領域の列をY方向に複数列備える。前記各列の列内における前記第2半導体領域のX方向の間隔寸法(c)よりも前記列の間での前記第2半導体領域のY方向の間隔寸法(c')が大きくなるように、隣接する列間のX方向のずれ量(d)が設定されている。

10

【0015】

これによれば、第2半導体領域の千鳥状配置における隣接する列間のX方向のずれ量が、第2半導体領域の列内におけるX方向の間隔寸法よりも列間での前記第2半導体領域のY方向の間隔寸法が大きくなるように設定されているから、逆方向電圧印加時に空乏層がつながることを保証するとき、第2半導体領域を単に格子状に配置し或いはXY各方向で等間隔に千鳥配置する場合に比べて、第3半導体領域に対する第2半導体領域の面積率を小さくすることができる。第2半導体領域の上記千鳥状の配置は、逆方向電流は小さいままで順方向電流を大きくするのに好適である。

20

【0016】

〔2〕＜ショットキー接合領域に対するpn接合領域の面積率低減したJBSダイオード＞

ジャンクションバリアショットキーダイオード(1)は、半導体基板(2)上に第1導電型の第1半導体領域(3)を有する。この第1半導体領域には、所定間隔で当該第1半導体領域との間でpn接合領域を形成するための第2導電型の複数の第2半導体領域(4)が複数列複数行で形成され、且つ、前記第2半導体領域の間の領域にショットキー接合領域を形成するための第1導電型の第3半導体領域(5)が形成される。前記第2半導体領域及び第3半導体領域の上に電極(6)が形成される。前記第2半導体領域は前記電極からの平面視で一辺の寸法をbとする四角形状を有し、隣り合う第2半導体領域の前記一辺方向の間隔寸法をcとし、隣り合う第2半導体領域の前記一辺方向に交差する方向の間隔寸法を上記寸法cよりも大きな寸法とし、前記第2半導体領域の前記一辺方向に夫々延在する隣り合う列間での第2半導体領域のずれ量dを $c/2 \leq d \leq b + c/2$ とする関係を満足する。

30

40

【0017】

これによれば、項1と同様の作用効果を奏する。

【0018】

〔3〕＜ショットキー接合領域に対するpn接合領域の面積率低減したJBSダイオード＞

ジャンクションバリアショットキーダイオード(1)は、半導体基板(2)上に第1導電型の第1半導体領域(3)を有し、この第1半導体領域には、所定間隔で当該第1半導体領域との間でpn接合領域を形成するための第2導電型の複数の第2半導体領域(4)が複数列複数行で形成され、且つ、前記第2半導体領域の間の領域にショットキー接合領域を形成するための第1導電型の第3半導体領域(5)が形成される。前記第2半導体

50

領域及び第3半導体領域の上に電極(6)が形成される。前記第2半導体領域は前記電極からの平面視で一辺の寸法を b とする四角形状を有する。所定の逆方向電圧を印加したとき第2半導体領域の縁辺からの空乏層の伸び代寸法を前記平面視で a とすると、隣り合う第2半導体領域の前記一辺方向の間隔寸法を $a\sqrt{2}$ とし、隣り合う第2半導体領域の前記一辺方向に交差する方向の間隔寸法を $a + a/\sqrt{2}$ とし、前記第2半導体領域の前記一辺方向に夫々延在する隣り合う列間での第2半導体領域のずれ量 d を $a/\sqrt{2} \leq d \leq b + a/\sqrt{2}$ とする関係を満足する。

【0019】

これによれば、上記関係は、逆方向電圧印加時に隣接する第2半導体領域の空乏層が相互に繋がること、そして、第2半導体領域の列内におけるX方向の間隔寸法よりも列間での前記第2半導体領域のY方向の間隔寸法が大きくなることを実現する。したがって、逆方向電圧印加時に空乏層がつながることを保証するとき、第2半導体領域を単に格子状に配置し或いはXY各方向で等間隔に千鳥配置する場合に比べて、第3半導体領域に対する第2半導体領域の面積率を小さくすることができる。ショットキー接合領域となる第3半導体領域に対するpn接合領域となる第2半導体領域の上記配置関係は、逆方向電流は小さいままで順方向電流を大きくするのに好適となる。

【0020】

〔4〕＜第2半導体領域の好適形状＞

項1乃至3の何れかにおいて、前記第2半導体領域は正方形、長方形、又は平行四辺形の何れかである。

【0021】

これによれば、正方形、長方形、又は平行四辺形の何れの第2半導体領域の形状に対しても上記同様の効果を得る。

【0022】

〔5〕＜第2半導体領域の好適配置＞

項3において、隣り合う第2半導体領域の前記一辺方向のずれ量 d を $b/2$ とする。

【0023】

これによれば、第1半導体領域に形成する第2半導体領域及び第3半導体領域の配置の均等性と言う点で特性の誤差を小さくするのに好適である。

【0024】

〔6〕＜所定の逆方向電圧は許容限度の逆方向電圧＞

項3において、前記所定の逆方向電圧は許容限度の逆方向電圧である。

【0025】

これによれば、許容電圧での使用に対して所期の性能を保証することができる。

【0026】

〔7〕＜ショットキー接合領域に対するpn接合領域の面積率低減したJBSダイオードの製造方法＞

ジャンクションバリアショットキーダイオード(1)の製造方法は、半導体基板(2)上に第1導電型の第1半導体領域(3)を形成する処理と、この第1半導体領域に、所定間隔で当該第1半導体領域との間でpn接合領域を形成するための第2導電型の複数の第2半導体領域(4)を千鳥状配置で形成する処理と、前記第2半導体領域の間の前記第1半導体領域の上にショットキー接合領域を形成するための第1導電型の第3半導体領域(5)を形成する処理と、前記第2半導体領域及び第3半導体領域の上に電極(6)を形成する処理とを含む。前記第2半導体領域は前記電極からの平面視で四角形状に形成する。X方向に等間隔で配置された前記第2半導体領域の列をY方向に複数列形成する。前記各列の列内における前記第2半導体領域のX方向の間隔寸法(c)よりも前記列の間での前記第2半導体領域のY方向の間隔寸法(c')が大きくなるように、隣接する列間のX方向のずれ量(d)を設定する。

【0027】

これによれば、第2半導体領域の千鳥状配置における隣接する列間のX方向のずれ量を

、第2半導体領域の列内におけるX方向の間隔寸法よりも列間での前記第2半導体領域のY方向の間隔寸法が大きくなるように設定するから、逆方向電圧印加時に空乏層がつながることを保証するとき、第2半導体領域を単に格子状に配置し或いはXY各方向で等間隔に千鳥配置する場合に比べて、第3半導体領域に対する第2半導体領域の面積率を小さくすることを可能にすることができる。第2半導体領域の上記千鳥状の配置の手法は、逆方向電流は小さいままで順方向電流を大きくするジャンクションバリアショットキーダイオードを製造するのに好適である。

【0028】

〔8〕＜ショットキー接合領域に対するpn接合領域の面積率低減したJBSダイオードの製造方法＞

ジャンクションバリアショットキーダイオード(1)の製造方法は、半導体基板(2)上に第1導電型の第1半導体領域(3)を形成する処理と、この第1半導体領域に、所定間隔で当該第1半導体領域との間でpn接合領域を形成するための第2導電型の複数の第2半導体領域(4)を複数列複数行で形成する処理と、前記第2半導体領域の間の前記第1半導体領域の上にショットキー接合領域を形成するための第1導電型の第3半導体領域(5)を形成する処理と、前記第2半導体領域及び第3半導体領域の上に重ねて電極(6)を形成する処理と、を含む。前記第2半導体領域は前記電極からの平面視で一辺の寸法をbとする四角形状を有する。隣り合う第2半導体領域の前記一辺方向の間隔寸法をcとし、隣り合う第2半導体領域の前記一辺方向に交差する方向の間隔寸法を上記寸法cよりも大きな寸法とすると、前記第2半導体領域の前記一辺方向に夫々延在する隣り合う列間でのずれ量dを $c/2 \leq d \leq b + c/2$ とする関係を満足させる。

【0029】

これによれば、項7と同様の作用効果を奏する。

【0030】

〔9〕＜ショットキー接合領域に対するpn接合領域の面積率低減させるJBSダイオードの製造方法＞

ジャンクションバリアショットキーダイオード(1)の製造方法は、半導体基板(2)上に第1導電型の第1半導体領域(3)を形成する処理と、この第1半導体領域に、所定間隔で当該第1半導体領域との間でpn接合領域を形成するための第2導電型の複数の第2半導体領域(4)を複数列複数行で形成する処理と、前記第2半導体領域の間の前記第1半導体領域の上にショットキー接合領域を形成するための第1導電型の第3半導体領域(5)を形成する処理と、前記第2半導体領域及び第3半導体領域の上に電極(6)を形成する処理と、を含む。前記第2半導体領域は前記電極からの平面視で一辺の寸法をbとする四角形状を有する。所定の逆方向電圧を印加したとき第2半導体領域の縁辺からの空乏層の伸び代寸法を前記平面視でaとすると、隣り合う第2半導体領域の前記一辺方向の間隔寸法を $a/\sqrt{2}$ とし、隣り合う第2半導体領域の前記一辺方向に交差する方向の間隔寸法を $a + a/\sqrt{2}$ とし、前記第2半導体領域の前記一辺方向に夫々延在する隣り合う列間でのずれ量dを $a/\sqrt{2} \leq d \leq b + a/\sqrt{2}$ とする関係を満足させる。

【0031】

これによれば、上記関係は、逆方向電圧印加時に隣接する第2半導体領域の空乏層が相互に繋がること、そして、第2半導体領域の列内におけるX方向の間隔寸法よりも列間での前記第2半導体領域のY方向の間隔寸法が大きくなることを実現する。したがって、逆方向電圧印加時に空乏層がつながることを保証するとき、第2半導体領域を単に格子状に配置し或いはXY各方向で等間隔に千鳥配置する場合に比べて、第3半導体領域に対する第2半導体領域の面積率を小さくすることができる。ショットキー接合領域となる第3半導体領域に対するpn接合領域となる第2半導体領域の上記配置関係は、逆方向電流は小さいままで順方向電流を大きくするジャンクションバリアショットキーダイオードを製造するのに好適である。

【0032】

〔10〕＜第2半導体領域の好適形状＞

項 7 乃至 9 の何れかにおいて、前記第 2 半導体領域は正方形、長方形、又は平行四辺形の何れかである。

【0033】

これによれば、正方形、長方形、又は平行四辺形の何れの第 2 半導体領域の形状に対しても上記同様の効果を得る。

【0034】

〔11〕＜第 2 半導体領域の好適配置＞

項 9 において、隣り合う第 2 半導体領域の前記一辺方向のずれ量 d を $b/2$ とする。

【0035】

これによれば、第 1 半導体領域に形成する第 2 半導体領域及び第 3 半導体領域の配置の均等性と言う点で特性の誤差を小さくするのに好適である。

10

【0036】

〔12〕＜所定の逆方向電圧は許容限度の逆方向電圧＞

項 9 において、前記所定の逆方向電圧は許容限度の逆方向電圧である。

【0037】

これによれば、許容電圧での使用に対して所期の性能を保証することができる。

【0038】

2. 実施の形態の詳細

実施の形態について更に詳述する。

【0039】

20

図 2 には JBS ダイオードのアノード部分の縦断面構造が例示され、図 3 には図 2 の A-A 平面断面構造が例示される。同図に示される JBS ダイオードは、特に制限されないが、CMOS 集積回路製造技術により p 型半導体基板に形成される。

【0040】

JBS ダイオード 1 は、特に制限されないが、p 型半導体基板 2 の上で外周部が素子分離絶縁膜としての素子分離領域 8 に囲まれた n 型半導体領域（第 1 半導体領域）3 に形成されている。素子分離領域 8 の内側の n 型半導体領域 3 には、その外縁部にガードリング 7 が形成され、ガードリング 7 の内側に、p 型不純物が拡散されて形成された複数の p 型半導体領域（第 2 半導体領域）4 と、n 型不純物が拡散されて形成された複数の n 型半導体領域（第 3 半導体領域）5 が設けられている。p 型半導体領域 4 は平面視で n 型半導体領域 5 の中に相互に所定間隔を置いて島状に配置されている。p 型半導体領域 4 と n 型半導体領域 5 の上にはシリサイドからなるアノード電極 6 が形成される。アノード電極 6 は p 型半導体領域 4 に低抵抗性接触（オーミック接触）し、n 型半導体領域 5 にはショットキー接触している。カソードは特に図示はしないが、半導体基板の裏側に、或いは、第 1 半導体領域のガードリングの外側に形成すればよい。

30

【0041】

n 型半導体領域 3 は例えばイオン注入と高温熱処理で形成される。n 型の不純物濃度は例えば $10^{15} \sim 10^{17} \text{ cm}^{-3}$ である。p 型半導体領域 4 は例えばイオン注入と高温熱処理で形成される。p 型の不純物濃度は例えば $10^{17} \sim 10^{19} \text{ cm}^{-3}$ である。n 型半導体領域 5 は例えばイオン注入と高温熱処理で形成される。n 型の不純物濃度は例えば $10^{18} \sim 10^{20} \text{ cm}^{-3}$ である。n 型不純物には例えばリンを用い、p 型不純物には例えばホウ素を用いる。

40

【0042】

アノード電極 6 は例えば、スパッタ法などでチタン、コバルト、又はニッケルのような金属膜を堆積させ、ランプアニール法による熱処理によって形成される。

【0043】

順方向電流は図 25 で説明したのと同様に主としてアノード電極 6 と n 型半導体領域 5 との界面に形成されるショットキー障壁を介して流れる。一方、JBS ダイオード 1 に逆方向の電圧が印加された時は、図 26 で説明したのと同様に p 型半導体領域 4 と n 型半導体領域 3 との界面に形成される pn 接合から広がる空乏層が、n 型半導体領域 3 の表面側

50

に広がり、この空乏層によって逆方向電流（漏れ電流）を抑制する。

【0044】

図3の平面構図に示されるようにp型半導体領域4は千鳥状の配置を有する。この千鳥状配置の意義について以下詳細に説明する。

【0045】

図1にはp型半導体領域4の千鳥状配置を単なる格子状配置と対比して示す。ここでは1個のp型半導体領域4は、平面視で四角形状の一例である正方形とされる。図4にも例示されるように1個のp型半導体領域4は1辺の長さをbとし、所定の逆方向電圧が印加されたときp型半導体領域4の縁辺からの空乏層の伸び代寸法を平面視でaとする。このとき、10は平面視で1個のp型半導体領域4の空乏層であって、11はその空乏層の境界を表す。

【0046】

図1において、比較例として示される単なる格子状配置の場合には隣接するp型半導体領域4のX方向の間隔寸法cとY方向の間隔寸法c'を等しく($c = c'$)保ったままでX、Y方向に隣接する4個のp型半導体領域4の交点の空乏層がつながるまでp型半導体領域4の間隔を図示の如く詰めなければならない。これに対して図1の千鳥状配置は、格子状配置におけるp型半導体領域4の列を単にX方向にずらしただけでなく、p型半導体領域4の列間隔c'を拡大し、このとき、隣接するp型半導体領域4の空乏層のつながりに途切れを生じないようにX方向のずれ量dと列間隔c'とを決定する。即ち、各列の列内における前記p型半導体領域のX方向の間隔寸法cよりも前記列の間でのp型半導体領域4のY方向の間隔寸法c'が大きくなるように、隣接する列間のX方向のずれ量dを設定して、隣接するp型半導体領域4の空乏層のつながりに途切れを生じないようにしている。平面視でのn形半導体領域5の面積は図1の格子状配置に比べて図1の千鳥状配置の方が大きくなる。換言すれば、n型半導体領域5に対するp型半導体領域4の面積率を小さくすることができる。したがって、p型半導体領域4に関する図1の上記千鳥状配置は図1の格子状配置に比べて、逆方向電流は小さいままで順方向電流を大きくするのに好適となる。

【0047】

上記寸法c、c'、dの具体的な関係について説明する。

【0048】

図5に例示されるようにp型半導体領域4のX方向の間隔cとY方向の間隔c'に対して $c = c' = 2a$ として格子状に配置した場合、隣接する空乏層10は交点位置でつながらなくなる。

【0049】

$c = c'$ とする格子状配置で隣接する空乏層10をつなげるには図6に例示されるように

$c = c' = a\sqrt{2} - 1, 414a$ にする必要がある。

【0050】

図7及び図8に例示されるように、p型半導体領域4の列をX方向にずらして千鳥状に配置する場合には図6の格子状に配置したときよりもp型半導体領域4の間隔c'を広げて配置しても空乏層10がつながる。上方のp型半導体領域4の列に対し下方のp型半導体領域4のずれ量をdとすると、 $c = a\sqrt{2}$ の場合、図7に示される $d = a\sqrt{2}/2$ 、から図8に示される $d = b + a\sqrt{2}/2$ の範囲であれば、p型半導体領域4のY方向の間隔c'を、

$c' = a + a\sqrt{2}/2 - 1.707a$ に広げても隣接するp型半導体領域4の空乏層がつながる。図6の場合に比べてY方向の間隔c'を1.2倍大きくすることができる。これは図7及び図8に代表されるように、 $c = a\sqrt{2}/2$ とするときdの範囲が、

$c/2 \leq d \leq b + c/2$ であれば、 $c \leq c'$ とできる。したがって、逆方向電流の増加なく、アノード面積に対するp型半導体領域の面積率を下げるできるので、順方向電流特性を向上させることができる。

【0051】

ここで、図9乃至図11に基づいてアノード面積に対するp型半導体領域の配置形態に応じた面積率の相違について説明する。

【0052】

図9に例示されるようにp型半導体領域4を例えば 4×4 で上記千鳥状に配置した場合、ガードリング7の内側のアノード電極の面積 S_a は、

$$S_a = (4b + 4c) \times (4b + 3c' + c)$$

$$S_a = 4(b + a\sqrt{2}) \times (4b + 3(a + a\sqrt{2}/2) + a\sqrt{2})$$

である。

ガードリング7の内側のp型半導体領域の面積 S_p は、

$$S_p = 16b^2$$

である。

ガードリング7の内側のp型半導体領域の面積率 S_p/S_a は、

$$S_p/S_a = 16b^2 / \{(b + a\sqrt{2}) \times (4b + 3(a + a\sqrt{2}/2) + a\sqrt{2})\}$$

である。例えば $a = 0.5 \mu\text{m}$ 、 $b = 1 \mu\text{m}$ とすると、p型半導体領域4の面積率 S_p/S_a は、

$$S_p/S_a = 32.2\% \text{ となる。}$$

【0053】

一方、図10に例示されるように、p型半導体領域4を例えば 4×4 で格子状に配置した場合、ガードリング7の内側のアノード電極の面積 S_a は、

$$S_a = (4b + 4c)^2$$

$$S_a = 16(b + a\sqrt{2})^2$$

である。

ガードリング7の内側のp型半導体領域の面積 S_p は、

$$S_p = 16b^2$$

である。

ガードリング7の内側のp型半導体領域の面積率 S_p/S_a は、

$$S_p/S_a = b^2 / (b + a\sqrt{2})^2$$

である。例えば $a = 0.5 \mu\text{m}$ 、 $b = 1 \mu\text{m}$ とすると、p型半導体領域4の面積率 S_p/S_a は、

$$S_p/S_a = 34.3\% \text{ となる。}$$

【0054】

一方、図11に例示されるように、p型半導体領域4を例えば幅が b で高さが $5b$ の矩形状とし、これをその幅方向に4個配置した場合、ガードリングの内側のアノード電極の面積 S_a は、

$$S_a = (5b + 2c') \times (4b + 4c)$$

$$S_a = 4(5b + a\sqrt{2}) \times (b + 2a)$$

である。

ガードリングの内側のp型半導体領域の面積 S_p は、

$$S_p = 20b^2$$

ガードリングの内側のp型半導体領域の面積率 S_p/S_a は、

$$S_p/S_a = 5b^2 / \{(5b + a\sqrt{2}) \times (b + 2a)\}$$

である。例えば $a = 0.5 \mu\text{m}$ 、 $b = 1 \mu\text{m}$ とすると、p型半導体領域の面積率 S_p/S_a は、

$$S_p/S_a = 43.8\% \text{ となる。}$$

【0055】

図12にはアノード電極内のp型半導体領域の面積率(p型層面積率)と順方向電流 I_f との関係が例示される。面積率が小さいほど順方向電流が大きくなる。■で示される値は図9のようにp型半導体領域4を上記千鳥状に配置した場合の見積値を例示する。▲で示される値は図10のようにp型半導体領域4を格子状に配置した場合の見積値を例示す

10

20

30

40

50

る。◆で示される値は図 1 1 のように p 型半導体領域を矩形状に配置した場合の見積値を例示する。○で示される値は種々の構造の J B S ダイオードの実績値を多数示したものである。図 1 2 から図 9 のように p 型半導体領域 4 を上記千鳥状に配置した構造では小さな p 型層面積率によって大きな順方向電流が得られることが解る。

【0056】

図 1 3 乃至図 2 0 には p 型半導体領域 4 を千鳥状に配置した構造の J B S ダイオードを製造する主な製造工程における縦断面構造が例示される。

【0057】

特に制限されないが、J B S ダイオードを半導体集積回路に内蔵する場合に、アノード電極面と同じ側にカソード電極面が配置される方が、実装時の配線接続を行い易いことを考慮し、ここでは、アノード電極とカソード電極が同じ面にある構造についての製造方法を一例として説明する。

【0058】

先ず、図 1 3 に例示されるように、p 型半導体基板 2 上に酸化膜を成膜後、フォトリソグラフィによりレジスト 1 0 1 をパターンニングし、アノード電極及びカソード電極が形成される領域を開口 1 0 2 する。1 0 3 は酸化膜である。

【0059】

パターンニングされたレジスト 1 0 1 をマスクとして p 型半導体基板 2 にイオン注入を行う。この後、アッシングやウェットエッチングでレジスト 1 0 1 を除去し、高温熱処理により、図 1 4 に例示されるように n 型半導体領域 3 を形成する。このとき n 型半導体領域 3 の不純物濃度は例えば $10^{15} \sim 10^{17} \text{ cm}^{-3}$ とし、不純物をリンとする。

【0060】

次に図 1 5 に例示されるように素子分離領域 8 を形成する。素子分離領域 8 を形成するには、例えば窒化膜を成膜し、フォトリソグラフィによりレジストをパターンニングし、ドライエッチングで素子分離領域の基板を露出させる。引き続き熱酸化処理によって露出した基板部分を酸化し厚くして素子分離領域とする。或いは、素子分離領域となる領域をドライエッチング法で基板を 300 nm 程度エッチング除去して酸化膜を埋め込むことにより、素子分離領域としてもよい。何れの製法も採用可能であり、素子分離領域 8 を形成後、窒化膜を除去する。尚、素子分離領域 8 を形成した後に n 型半導体領域 3 を形成しても構わない。

【0061】

次に、フォトリソグラフィによるレジストパターンニング、イオン注入、レジスト除去を行って、図 1 6 に例示されるように、p 型半導体領域 1 0 4、前記ガードリング 7、及び前記 p 型半導体領域 4 を形成する。p 型半導体領域 4 は隣接するものが前述の間隔寸法とずれ量が設定されて千鳥状に配置されるようにレジストパターンニングの処理は行われる。ここで、p 型半導体領域 1 0 4 の不純物濃度は例えば 10^{19} cm^{-3} 以下、p 型半導体領域 4 の不純物濃度は例えば $10^{17} \sim 10^{19} \text{ cm}^{-3}$ である。p 型不純物として例えばホウ素を用いる。

【0062】

次に、図 1 7 に例示されるように、フォトリソグラフィによるレジストパターンニング、イオン注入、レジスト除去を行って、n 型半導体領域 5 を形成する。このとき n 型半導体領域 5 の不純物濃度は例えば $10^{17} \sim 10^{20} \text{ cm}^{-3}$ である。n 型不純物には例えばリン、ヒ素を使用する。

【0063】

J B S ダイオードは単体で半導体集積回路化される場合のほかに、大規模集積回路に一つの回路部品としてオンチップされる場合も当然ある。例えば、J B S ダイオードは p n ダイオードより立ち上がり電圧が低いため、p n 接合によるラッチアップが生じる前に整流することができるので、電圧の昇圧／降圧時の過渡期に生じやすいラッチアップを回避するために為に、L C D ドライバやその他の半導体集積回路に搭載する場合がある。例えば当該半導体集積回路に図示を省略する C M O S ロジック回路等の別の回路が搭載される

10

20

30

40

50

場合には、CMOS回路の形成時に必要なゲート酸化膜の形成やゲートポリシリコン膜の形成、そして再度ウォールの形成などの別の製造工程が入ることになるが、それについては公知の種々の製法を採用すればよいからその詳細な説明は省略する。

【0064】

次に、図18に例示されるように、フォトリソグラフィによるレジストパターンニング、イオン注入、レジスト除去を行ってn型半導体領域105を形成し、同様の工程を用いてp型半導体領域106を形成する。このときn型半導体領域105及びp型半導体領域106の不純物濃度は $10^{20} \sim 10^{22} \text{ cm}^{-3}$ である。尚、不純物の注入後は活性化の為に、随所に熱処理が入ることになる。

【0065】

次に、表面の酸化膜103を除去した後、図19に示されるように、スパッタ法などでTi、Co、Niのような金属膜を堆積させ、ランプアニール法による熱処理によってシリサイドを形成し、ガードリング7の内側のシリサイドをアノード電極6とし、ガードリング7の外側の素子分離領域8との間の領域をカソード電極107とする。p型領域106の上に形成されたシリサイドはサブ電極108とされる。サブ電極は、p型半導体基板4を例えばグラウンド(GND)に固定するなど、p型半導体基板4に電位を与えるために利用される。更に、ウェットエッチング法によって素子分離領域8の上に堆積した不要な金属膜を取り除く。尚、図21には図19のシリサイドによる電極6、107、108から下の平面的構成が示される。

【0066】

その後、図20に示されるように、窒化膜や酸化膜などの絶縁膜110、111をCVD(chemical vapor deposition)法で堆積し、所要位置で下層の電極に接続する必要なコンタクト112を形成、コンタクト112には必要な配線113~115が形成される。図20では配線113~115の層数は1層として図示されているが、これに限定されず、必要に応じた配線層数にすればよい。

【0067】

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0068】

例えば、以上の説明において半導体領域の導電型のn型とp型を相互に入れ替えた構造を採用可能であることは言うまでもない。例えば図21に対し、導電型を入れ替えた平面構成を示す図22において、4はp型半導体領域からn型半導体領域に、5はn型半導体領域からp型半導体領域に変更されている。図示を省略するその他の半導体領域についても同様に導電型のp、nが相互に入れ替えられている。n型領域とp型領域の導電型を入れ替えた構造においても単に極性が逆になるだけで、上記と同様の作用効果を得ることができる。その場合にはp型半導体領域5が接続する配線115がカソード端子になり、p型半導体領域105が接続する配線114がアノード端子になる。同様に夫々ダイオード電極であるカソード電極及びアノード電極も入れ替わる。

【0069】

また、上述の説明では千鳥状に配置される半導体領域4の四角形状を正方形として説明したが、それに限定されず、並行四辺形にしてもよい。図23はp型半導体領域4を平行四辺形とした場合における図7に対応するずれ量dの説明図であり、図234はp型半導体領域4を平行四辺形とした場合における図8に対応するずれ量dの説明図である。双方の図から明らかなように、千鳥状に配置される半導体領域の形状が平行四辺形(菱形)の場合にも、隣接するp型半導体領域4の列間即ち上下のずれ量をd、p型半導体領域4の幅をb、p型半導体領域4の列内間隔をcとすると、上述と同じく、

$$c/2 \leq d \leq b + c/2$$

の関係を満たす範囲であれば空乏層はつながる。したがって、上記と同様に作用効果を得ることができる。

10

20

30

40

50

【0070】

更に、千鳥状に配置される半導体領域4の四角形状は正方形や菱形に限定されず、長方形又は多少扁平な四角形であっても同様の効果を得ることができる。

【0071】

本発明に係るJBSダイオードは、ダイオード単体、それをオンチップするCMOS集積回路等の大規模集積回路に適用することができ、更に、適用機能として整流用だけでなく、ラッチアップ防止用にも応用することができる。例えば、LCDドライバに使用する階調電圧の昇圧／降圧時の過渡期に生じやすいラッチアップ回避のために、LCDドライバにオンチップすることができるが、それに限らず、種々の半導体集積回路に広く適用することができる。特にシリサイドとしてCoSi($\phi_b=0.64\text{eV}$)に代えてNiSi($\phi_b=0.75\text{eV}$)を使用しなければならないような場合には、その特性上順方向電流が低くなってしまうので、そのような順方向電流向上と逆方向電流低減の改善を行うために使用することも可能である。

10

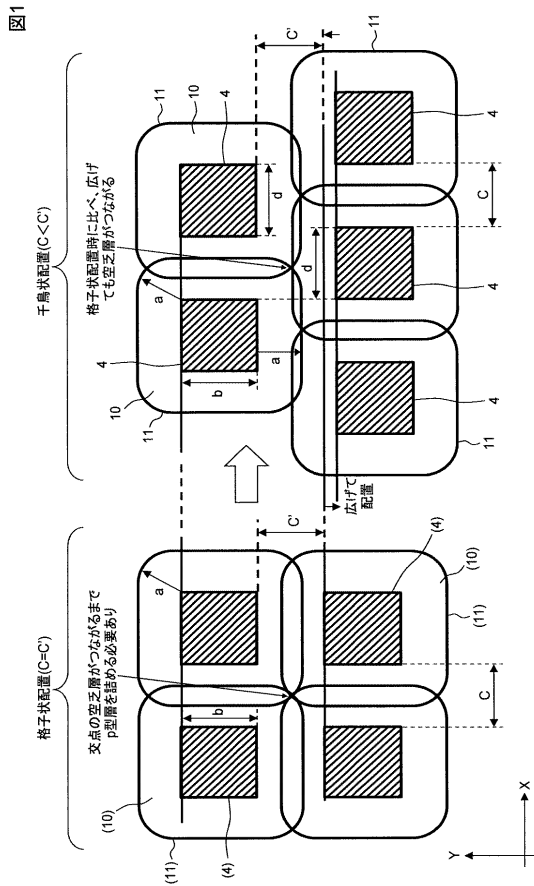
【符号の説明】

【0072】

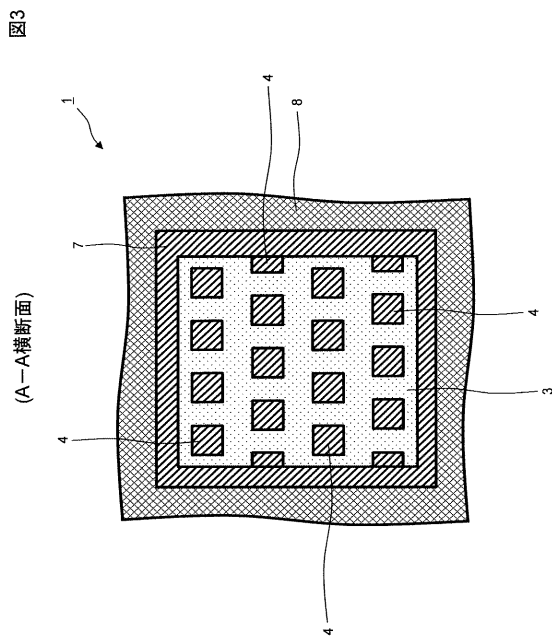
- 1 JBSダイオード
- 2 p型半導体基板
- 3 n型半導体領域（第1半導体領域）
- 4 p型半導体領域（第2半導体領域）
- 5 n型半導体領域（第3半導体領域）
- 6 アノード電極
- 7 ガードリング
- 8 素子分離領域
- 10 空乏層
- 11 空乏層の境界
- 115 配線（カソード端子）
- 114 配線（アノード端子）

20

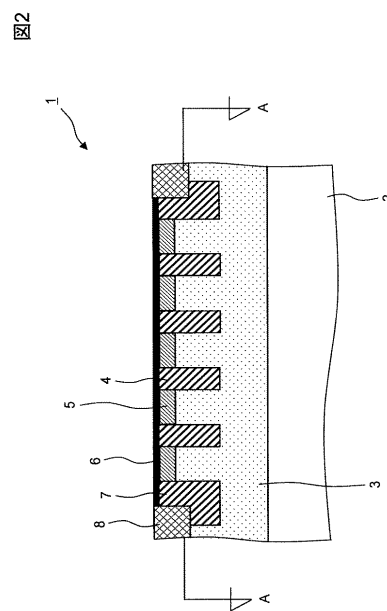
【図 1】



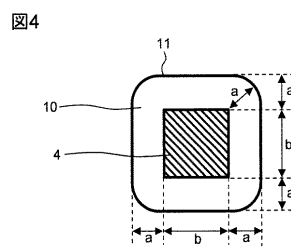
【図 3】



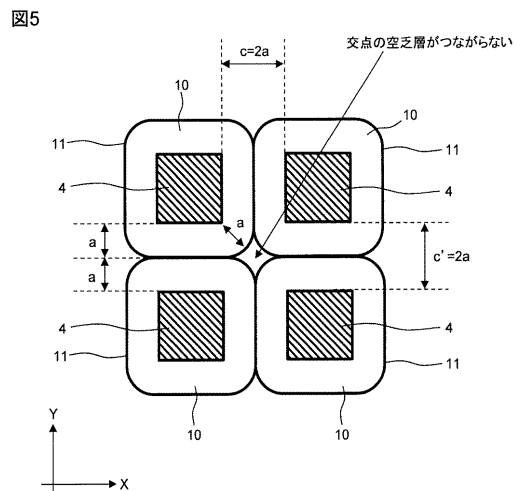
【図 2】



【図 4】

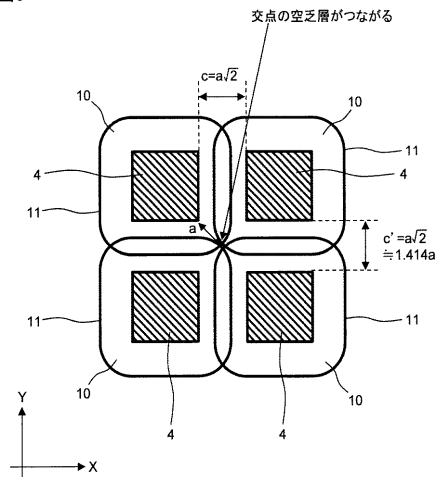


【図 5】



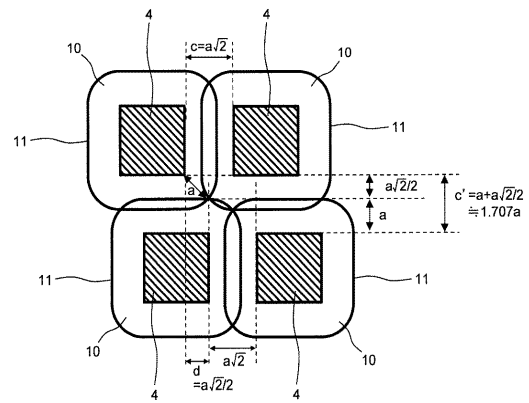
【図 6】

図6



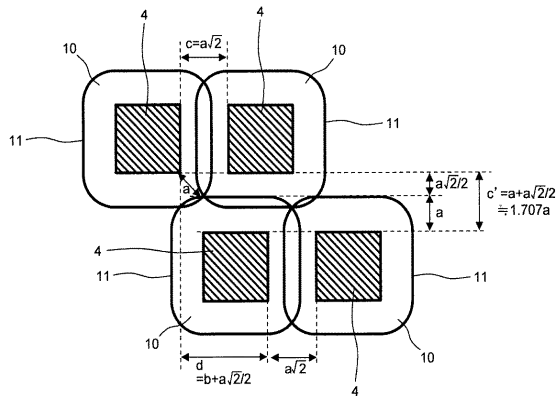
【図 7】

図7



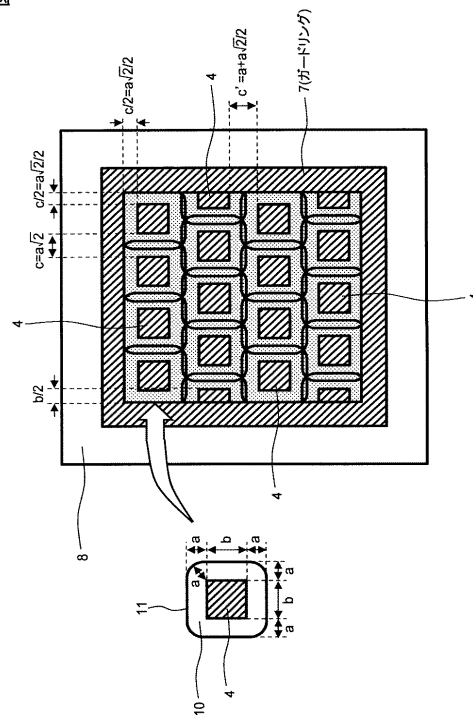
【図 8】

図8



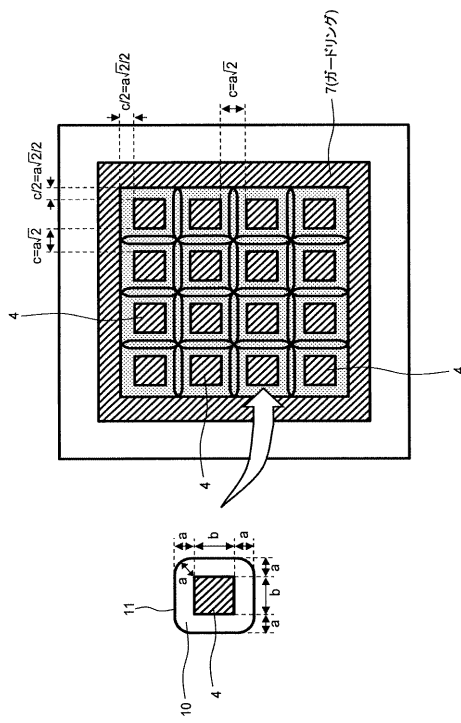
【図 9】

図9



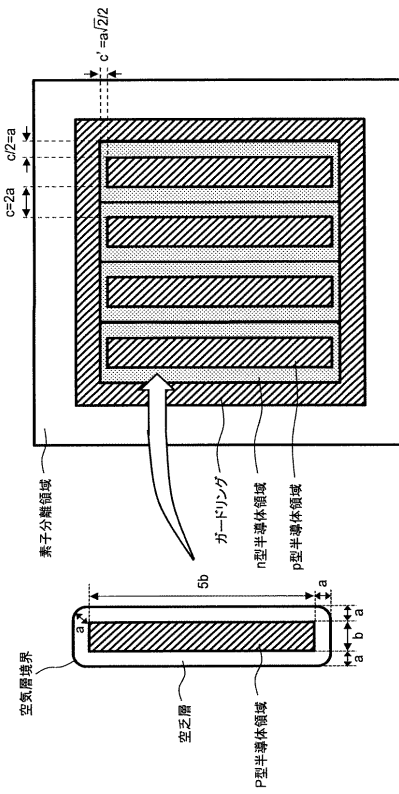
【図 10】

図10



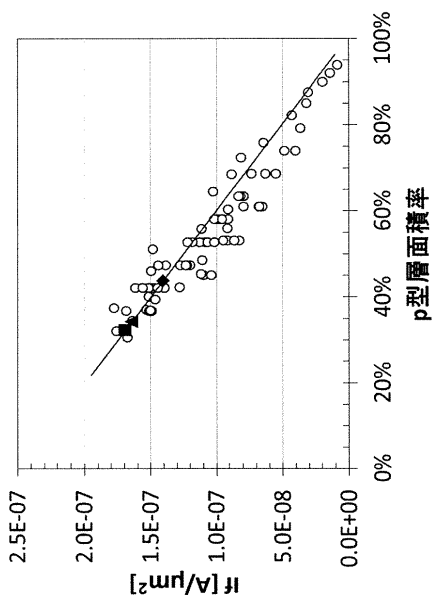
【図 11】

図11



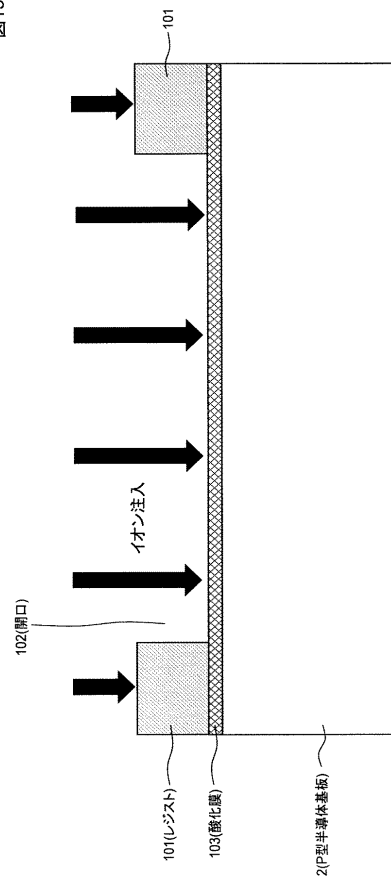
【図 12】

図12



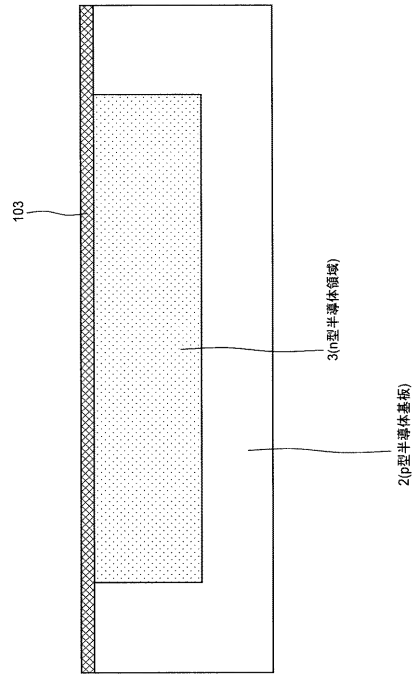
【図 13】

図13



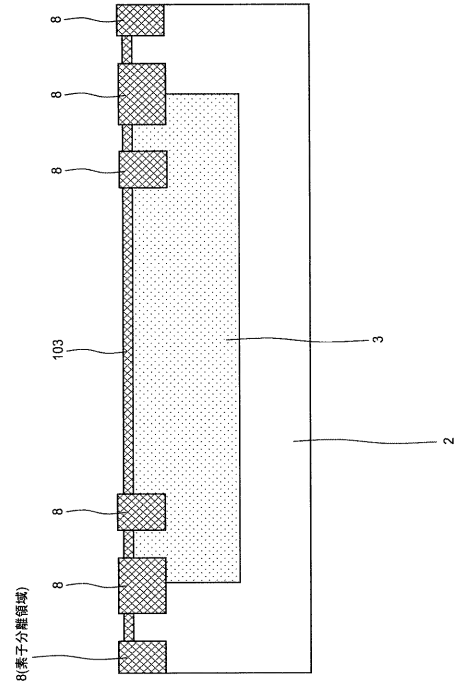
【図 1 4】

図14



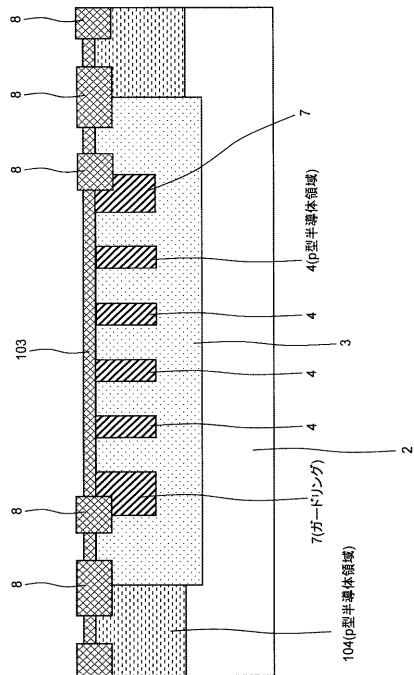
【図 1 5】

図15



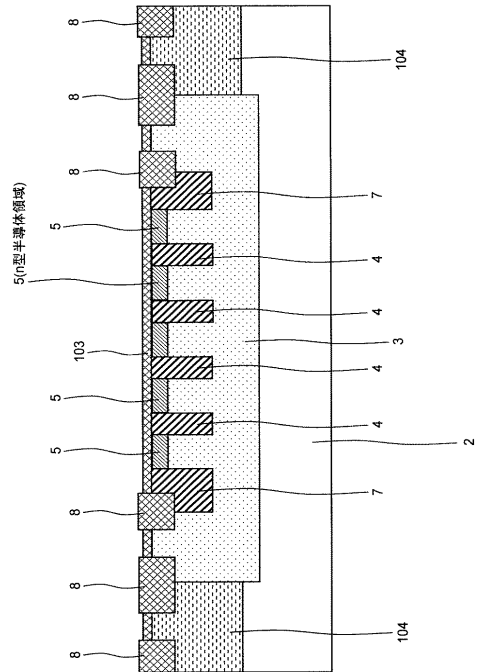
【図 1 6】

図16



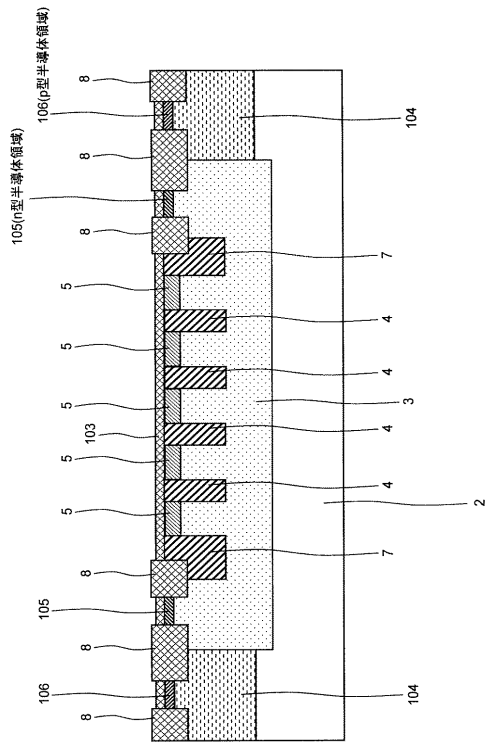
【図 1 7】

図17



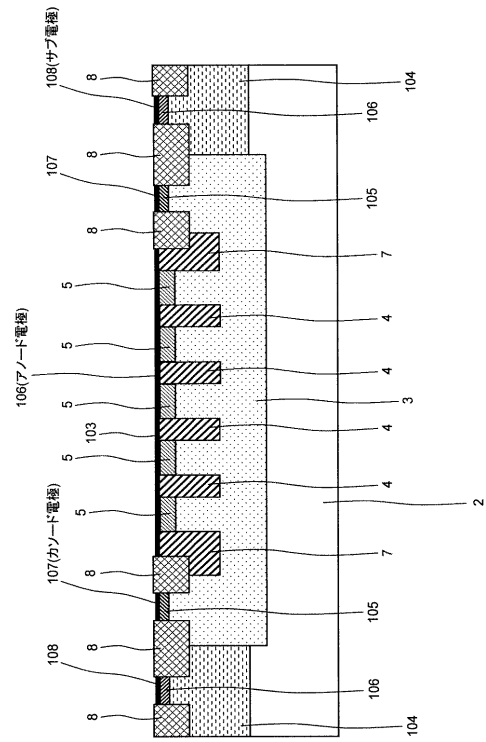
【図 18】

図18



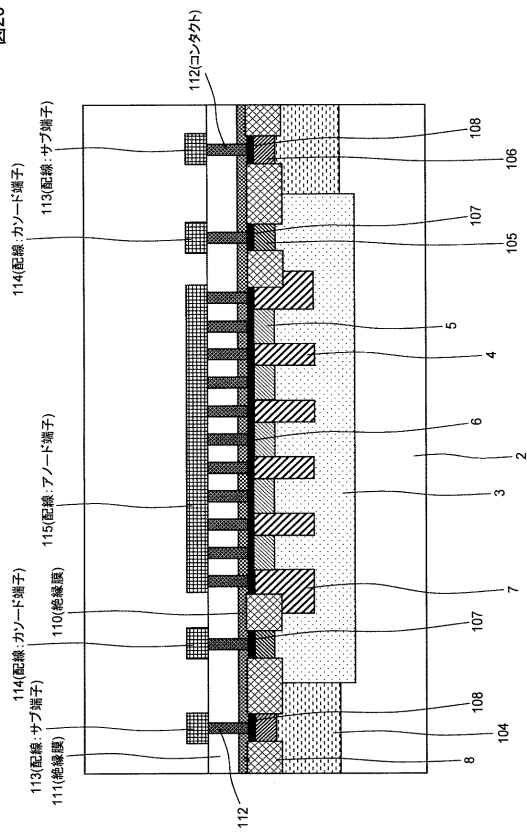
【図 19】

図19



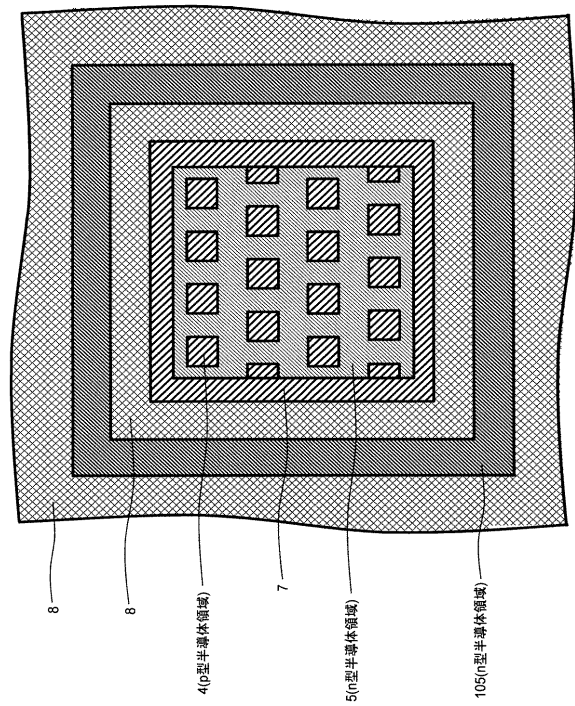
【図 20】

図20



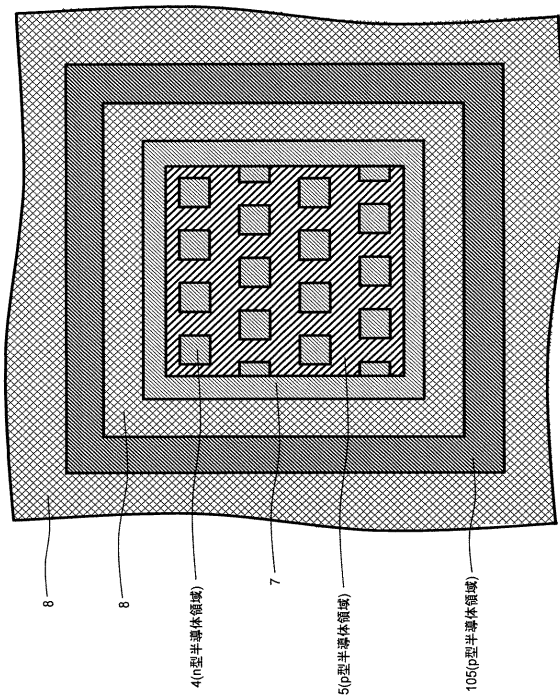
【図 21】

図21



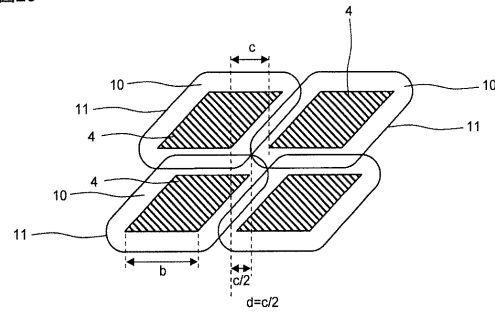
【図 2 2】

図22



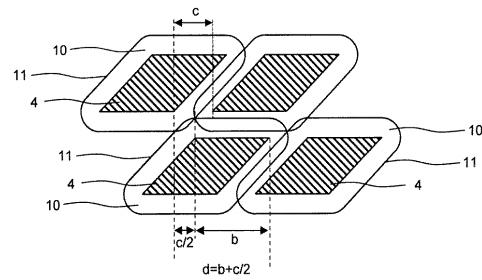
【図 2 3】

図23



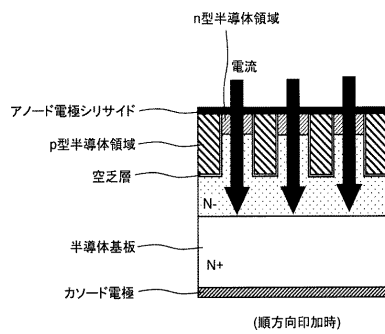
【図 2 4】

図24



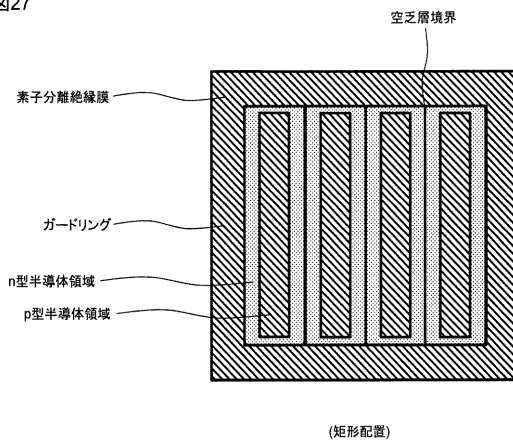
【図 2 5】

図25



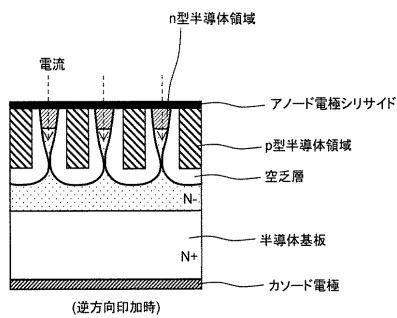
【図 2 7】

図27



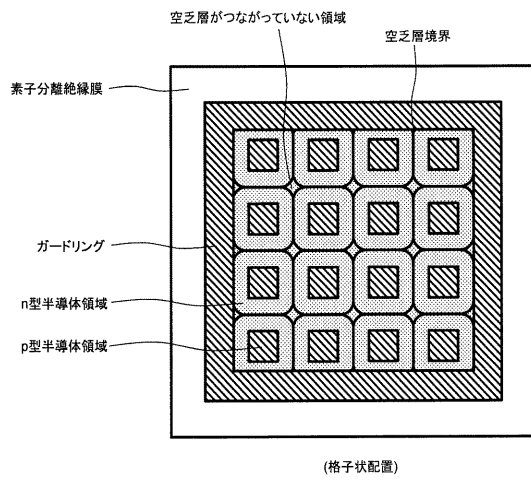
【図 2 6】

図26



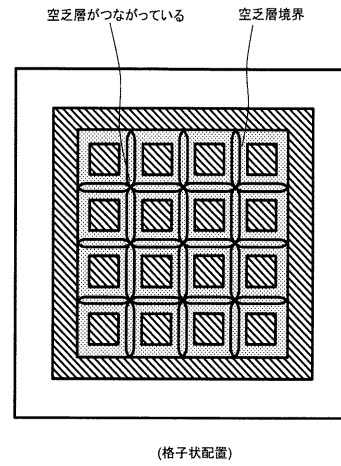
【図 28】

図28



【図 29】

図29



フロントページの続き

(51)Int.Cl.		F I		テーマコード (参考)
H 0 1 L	29/06			
	(2006.01)	H 0 1 L	29/86	3 0 1 E
		H 0 1 L	29/86	3 0 1 M
		H 0 1 L	29/91	A
		H 0 1 L	29/91	C