



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I666731 B

(45)公告日：中華民國 108 (2019) 年 07 月 21 日

(21)申請案號：104143865

(22)申請日：中華民國 104 (2015) 年 12 月 25 日

(51)Int. Cl. : H01L21/822 (2006.01)

H01L27/04 (2006.01)

(30)優先權：2015/01/16 日本

2015-007228

(71)申請人：日商艾普凌科有限公司 (日本) ABLIC INC. (JP)

日本

(72)發明人：津村和宏 TSUMURA, KAZUHIRO (JP)

(74)代理人：林志剛

(56)參考文獻：

US 2006/0255361A1

US 2009/0230500A1

審查人員：廖崑男

申請專利範圍項數：11 項 圖式數：6 共 23 頁

(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

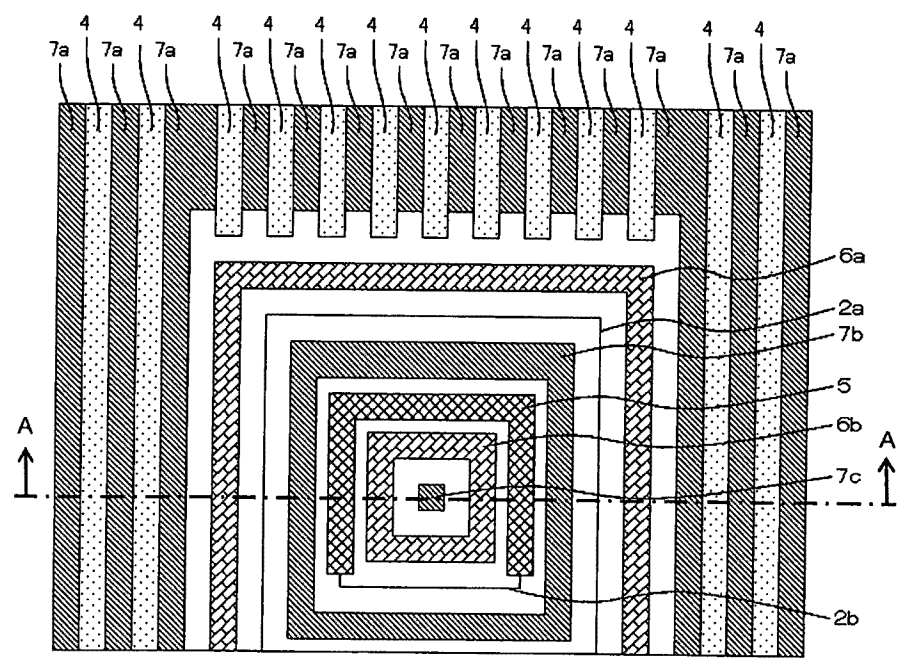
(57)摘要

本發明係一種半導體裝置，其中，將功率元件與感熱元件配置於同一半導體基板上，而感熱元件係藉由阻抗體而將 PN 接合之一方連接於接地電位 VSS，或電源電位 VDD 之任一，將前述 PN 接合之兩端的電位差，阻抗體之兩端的電位差，作為溫度檢出的信號而使用。由如此作為，成為可避免封閉，將感溫元件配置於設置於功率元件之凹陷，成為可在半導體基板上，作為縮小有功率元件之地點與有感熱元件之地點的溫度差之半導體裝置者。

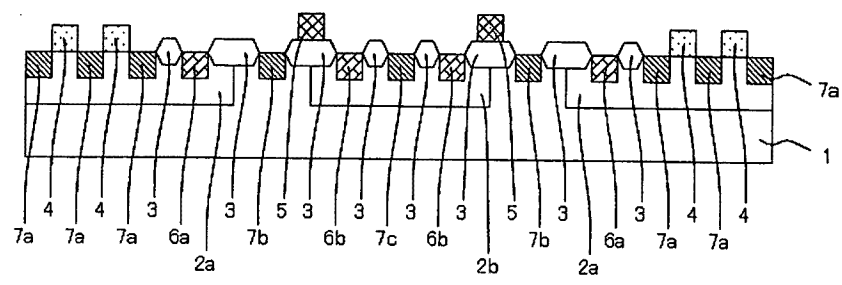
指定代表圖：

圖 1

(A)



(B)



符號簡單說明：

- 1 . . . P 型半導體基板
- 2a . . . P 型 MOS 功率元件之 N 阱型
- 2b . . . 感熱元件之 N 阱型
- 3 . . . 元件分離範圍
- 4 . . . 閘極電極
- 5 . . . 阻抗體
- 6a . . . P 型 MOS 功率元件之 N 阱型的 N 型高濃度範圍
- 6b . . . 感熱元件之 N 阱型的 N 型高濃度範圍
- 7a . . . P 型 MOS 功率元件之源極/汲極
- 7b . . . P 型半導體基板之 P 型高濃度範圍
- 7c . . . 感熱元件之 P 型高濃度範圍

I666731

發明摘要

※申請案號：104143865

※申請日：104 年 12 月 25 日

※IPC 分類：

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

【中文】

本發明係一種半導體裝置，其中，將功率元件與感熱元件配置於同一半導體基板上，而感熱元件係藉由阻抗體而將 PN 接合之一方連接於接地電位 VSS，或電源電位 VDD 之任一，將前述 PN 接合之兩端的電位差，阻抗體之兩端的電位差，作為溫度檢出的信號而使用。由如此作為，成為可避免封閉，將感溫元件配置於設置於功率元件之凹陷，成為可在半導體基板上，作為縮小有功率元件之地點與有感熱元件之地點的溫度差之半導體裝置者。

【英文】

【代表圖】

【本案指定代表圖】：第(1)圖。

【本代表圖之符號簡單說明】：

1：P 型半導體基板

2a：P 型 MOS 功率元件之 N 阱型

2b：感熱元件之 N 阱型

3：元件分離範圍

4：閘極電極

5：阻抗體

6a：P 型 MOS 功率元件之 N 阱型的 N 型高濃度範圍

6b：感熱元件之 N 阱型的 N 型高濃度範圍

7a：P 型 MOS 功率元件之源極/汲極

7b：P 型半導體基板之 P 型高濃度範圍

7c：感熱元件之 P 型高濃度範圍

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

申請專利範圍

1. 一種半導體裝置，其特徵為具有：半導體基板，
和鄰接於前述半導體基板而加以設置之功率元件及感熱元件，

和加以設置於前述感熱元件周圍之阻抗體；

前述感熱元件係具有加以形成於前述半導體基板內之 PN 接合，而形成前述 PN 接合之 P 型範圍，N 型範圍之任一方則藉由前述阻抗體而加以連接於接地電位 VSS、或電源電位 VDD 之任一；

前述功率元件係具有收納有前述感熱元件之凹陷，對於前述凹陷係未加以形成有前述功率元件之阱型，源極，汲極及閘極電極者。

2. 如申請專利範圍第 1 項記載之半導體裝置，其中，前述阻抗體之阻抗值係 50Ω 以上、 $200k\Omega$ 以下者。

3. 如申請專利範圍第 1 項記載之半導體裝置，其中，前述阻抗體則由多結晶矽所成者。

4. 如申請專利範圍第 1 項記載之半導體裝置，其中，平面視上，前述感熱元件之 PN 接合之一方的極性之第 1 範圍則由另一方之極性的第 2 範圍所圍繞同時，前述第 2 範圍則由與半導體基板同一極性之第 3 範圍所圍繞；

前述第 2 範圍係具有與前述第 2 範圍擁有相同極性之第 2 高濃度範圍；

前述第 3 範圍係具有與前述第 3 範圍擁有相同極性之第 3 高濃度範圍；

至少前述阻抗體之一部分則經由前述第 2 高濃度範圍，和前述第 3 高濃度範圍而加以夾持者。

5. 如申請專利範圍第 4 項記載之半導體裝置，其中，前述阻抗體的寬度則為前述第 2 高濃度範圍，和前述第 3 高濃度範圍之間的距離之 2 分之 1 以上者。

6. 如申請專利範圍第 1 項乃至第 5 項任一項記載之半導體裝置，其中，前述感熱元件的形狀係矩形，至少前述矩形之 2 邊則沿著前述功率元件之外廓者。

7. 如申請專利範圍第 1 項乃至第 5 項任一項記載之半導體裝置，其中，前述感熱元件的形狀係矩形，至少前述矩形之 3 邊則沿著前述功率元件之外廓者。

8. 如申請專利範圍第 1 項乃至第 5 項任一項記載之半導體裝置，其中，前述感熱元件的形狀係矩形，前述矩形之 4 邊則沿著前述功率元件之外廓者。

9. 如申請專利範圍第 1 項乃至第 5 項任一項記載之半導體裝置，其中，前述 PN 接合之兩端的電位差，和前述阻抗體之兩端的電位差的和則作為溫度檢出之信號而加以使用者。

10. 如申請專利範圍第 9 項記載之半導體裝置，其中，使用前述溫度檢出的信號，於控制前述功率元件的電路具有延遲機能者。

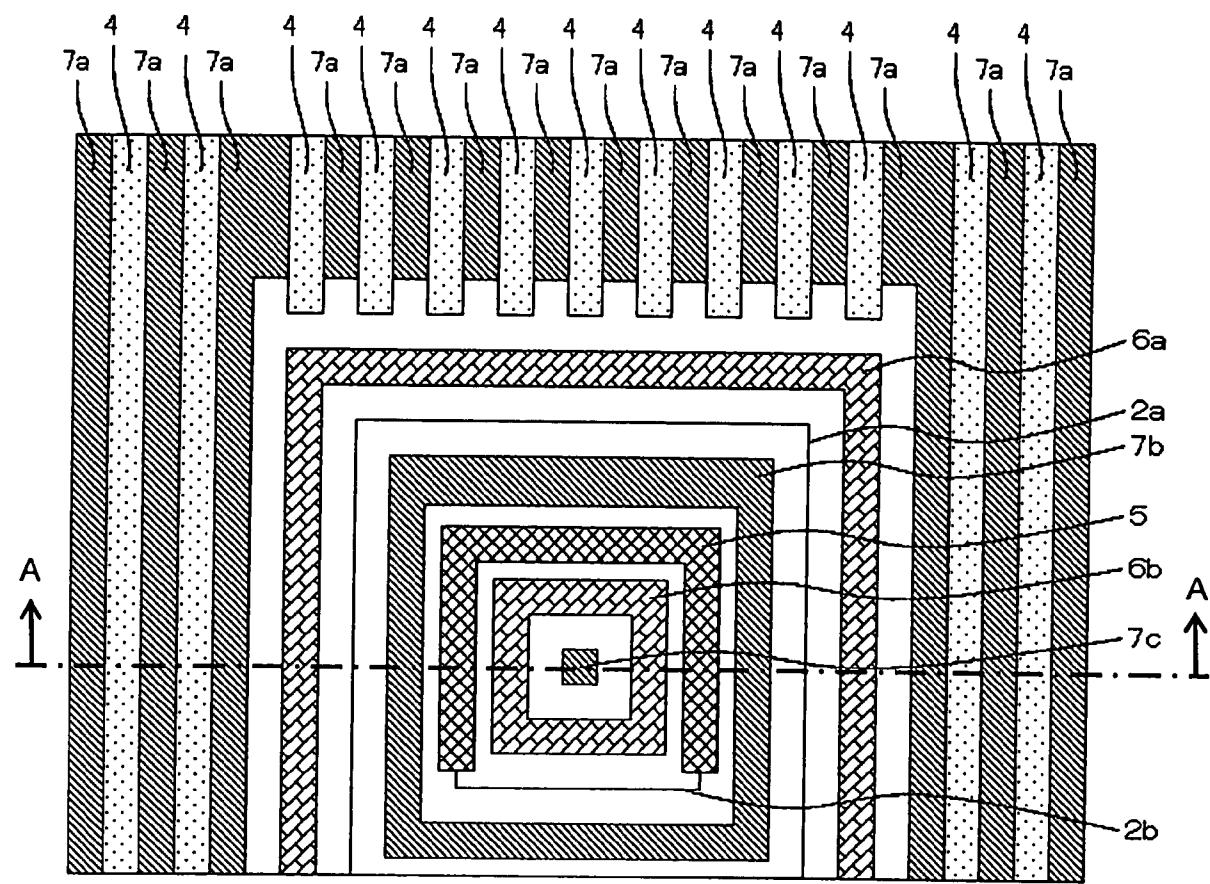
11. 如申請專利範圍第 1 項乃至第 5 項任一項記載之半導體裝置，其中，更具有墊片，而連結前述功率元件與前述墊片之金屬配線的一部分則加以配置於前述感熱元件

之至少一部分上方者。

圖 式

圖 1

(A)



(B)

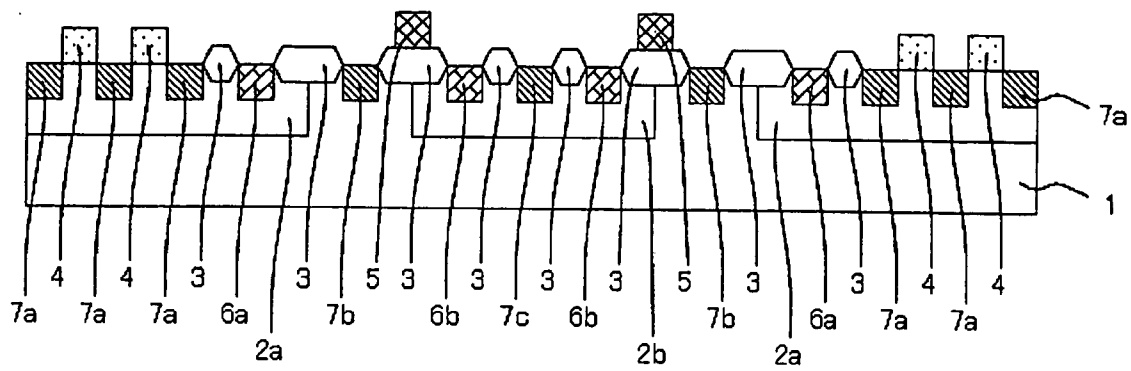
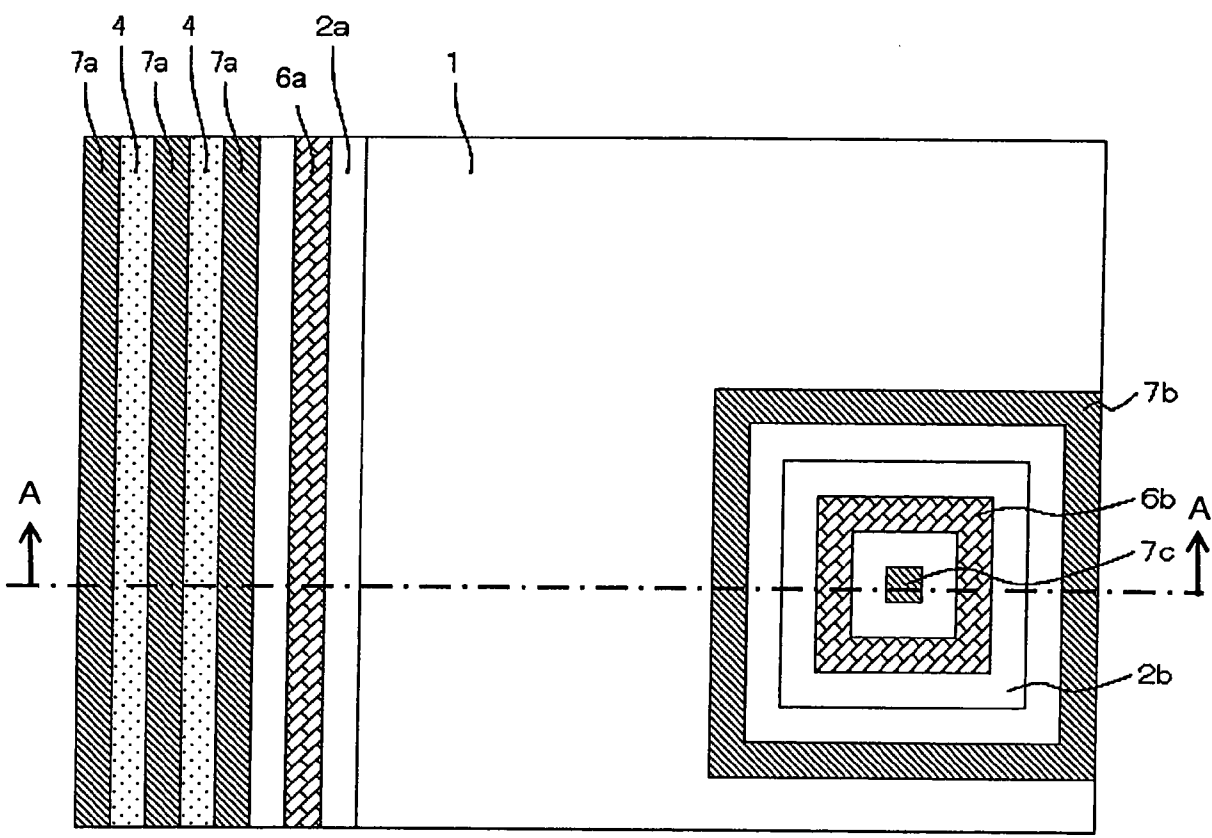


圖 2

(A)



(B)

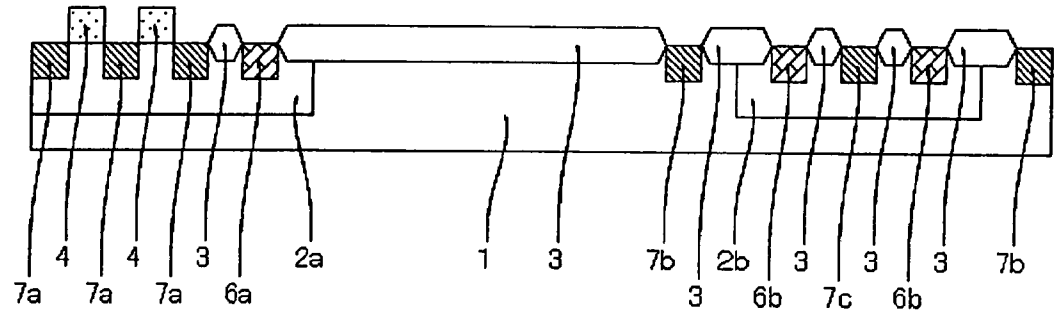


圖 3

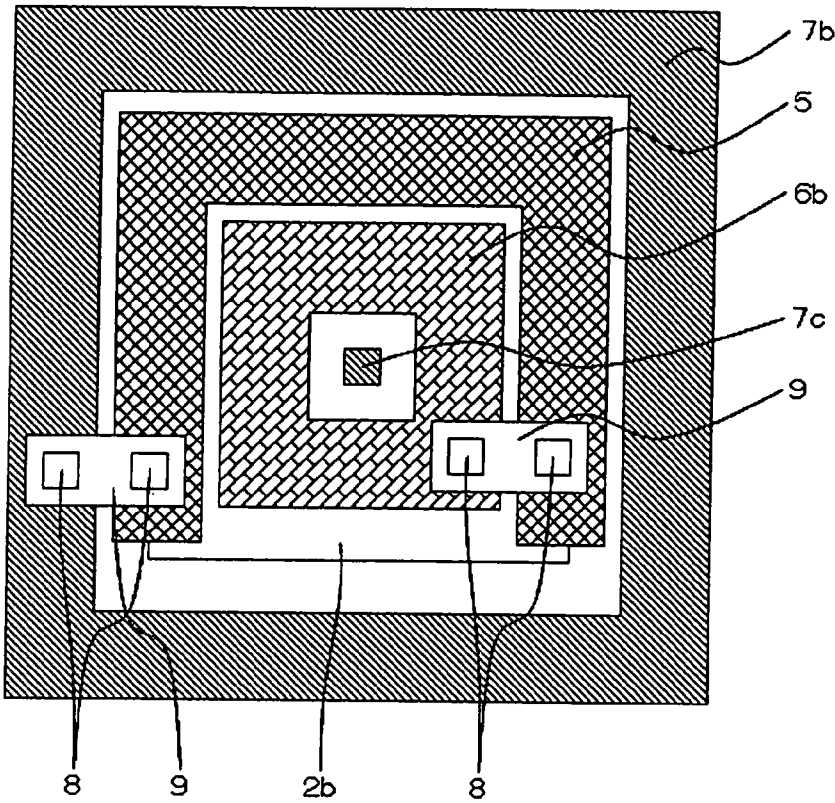


圖 4

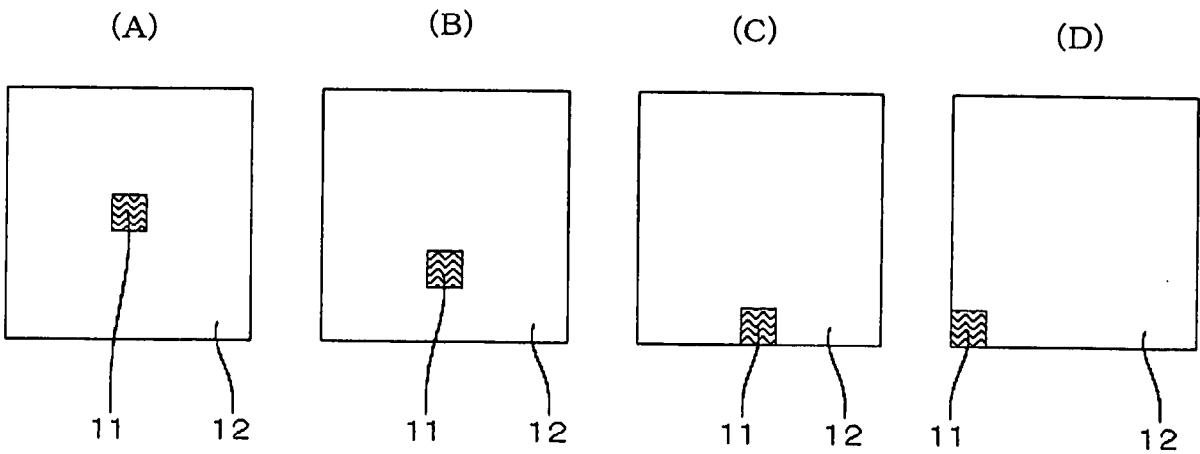


圖 5

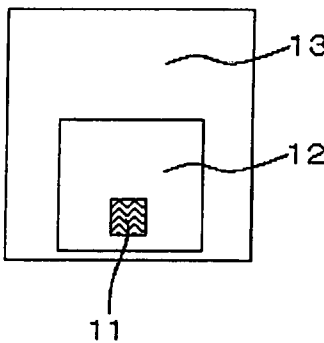
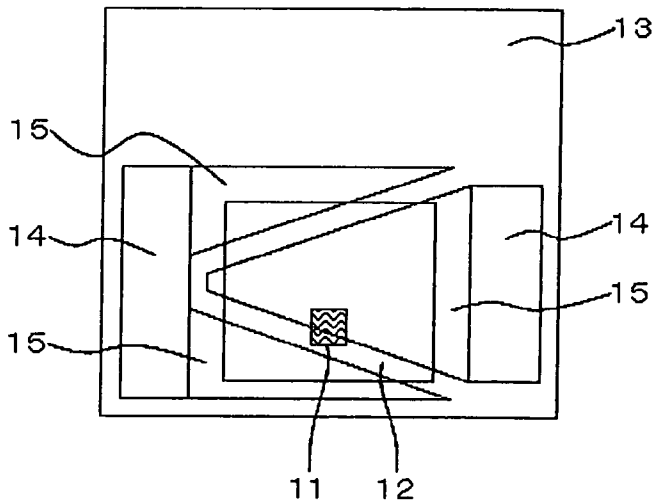


圖 6



發明專利說明書

(本申請書格式、順序，請勿任意更動)

【發明名稱】（中文/英文）

半導體裝置

SEMICONDUCTOR DEVICE

【技術領域】

本發明係有關具有檢出過熱的機能之半導體裝置。

【先前技術】

在此半導體積體電路中，經由主動元件之動作或來自外部的電荷流入等而產生發熱。因此，作為呈將感熱元件配置於同一基板上，經由來自感熱元件的信號而控制半導體積體電路，未引起經由過熱的動作異常或破壞。作為感熱元件，係例如使用 PN 接合，為了檢知熱而加以利用順方向電流。當詳述時，當流動一定電流至 PN 接合之順方向時，於 PN 接合之兩端產生有電位差。因此電位差則依存於溫度而產生變化之故，將此電位差加以使用於過熱檢出的信號。

〔先前技術文獻〕

〔專利文獻〕

[專利文獻 1] 日本專利 2701824 號公報

【發明內容】

〔發明欲解決之課題〕

在半導體積體電路中，細微化則進展著。溫度上升係因對於面積反比例而增大之故，伴隨著近年的細微化之進展，而局部性之溫度上升則變為急遽。當局部性的發熱變大時，經由位於發熱源與感熱元件之間的物質或者兩者的位置關係，感熱元件所感受的溫度則增大。對於為了解決此等，而可舉出正確推測發熱源之溫度，盡可能使發熱源與感熱元件接近而加以配置者，將發熱源與感熱元件之間的物質作為對於熱傳導優越之物質者之 2 項。

當與發熱源配置感熱元件於同一基板上時，如記載於專利文獻 1 之課題地產生有寄生動作的問題。為了此問題，而無法使其接近者。因此，在記載於專利文獻 1 之方法中，由具有絕緣膜於發熱源與感熱元件之間者，迴避寄生元件的問題。在半導體裝置最為一般所使用之基板係為矽，而絕緣膜係為矽氧化膜。由配置絕緣膜之矽氧化膜於其間者而可使其接近加以配置，但在熱傳導的點，因矽氧化膜之熱傳導率係較矽為小之故，將增加感熱元件則為了追隨於發熱源的溫度之時間。

也就是，配置於同一基板上之半導體裝置係在距離的點為差，但在熱傳導的點為佳。另一方面，以絕緣膜分離而配置之半導體裝置係在距離的點為佳，但在熱傳導的點為差。

本發明係提供：有鑑於上述課題而作為，而可縮小發熱源與感熱元件之間的溫度差之半導體裝置。

〔為了解決課題之手段〕

本發明係為了解決上述課題，而在半導體積體電路中，提供：具有

由在導通狀態時流動有電流者而有至熱破壞之可能性的功率元件；

和為了檢出溫度之感熱元件；

前述功率元件與前述感熱元件係加以形成於同一半導體基板上，

前述感熱元件係具有 PN 接合，而形成 PN 接合之 P 型範圍，N 型範圍之任一方則藉由阻抗體而加以連接於接地電位 VSS、或電源電位 VDD 之任一。

提供：前述 PN 接合之兩端的電位差，和阻抗體之兩端的電位差的和則作為溫度檢出之信號而加以使用者為特徵的半導體裝置。

〔發明效果〕

在本發明中，可使功率元件，和感熱元件之 PN 接合，比較於以往技術接近而配置者。可使其接近而配置之情況係意味發熱源與感熱元件之間的溫度差為小者。

另外，可使其接近而配置之故，使功率元件的一部份凹陷，形成凹陷，即使於凹陷範圍，僅配置本發明之感熱元件，半導體裝置之面積增大則少。在一個配置中，感熱元件的 3 方向則由發熱源所圍繞。發熱源係發熱源之中央

附近則因成為最高溫之故，有著發熱源之最高溫度與感熱元件的溫度之間之溫度差變為小之優點。3 方向係為 1 例，即使作為呈配置於發熱源的角部而圍繞 2 方向，以及配置於中央附近而圍繞全方向，亦可得到同樣的效果。但效果程度則有所差異。

當與感熱元件為多結晶矽之以往技術做比較時，成為如以下者。多結晶矽的感熱元件係自半導體基板，藉由絕緣膜而加以配置。絕緣膜之熱傳導率係因較半導體基板為小之故，自發熱源的距離則如為相同，本發明則具有可較多結晶矽的感熱元件，縮小發熱源與感熱元件之間的溫度差之效果。

【圖式簡單說明】

圖 1 係本發明之功率元件與感熱元件的圖。(A) 係平面配置圖，(B) 係剖面圖。

圖 2 係以往技術之功率元件與感熱元件的圖。(A) 係平面配置圖，(B) 係剖面圖。

圖 3 係擴大本發明之感熱元件範圍的平面配置圖。

圖 4 係本發明之功率元件與感熱元件的位置關係之平面配置圖。

圖 5 係本發明之功率元件與感熱元件與晶片全體的位置關係之平面配置圖。

圖 6 係本發明之功率元件之金屬配線與感熱元件的位置關係之配置圖。

【實施方式】

在以下中，使用圖面，說明經由實施例而為了實施發明之形態。

〔實施例 1〕

圖 1 (A) 係本發明之半導體裝置的平面圖。圖 1 (B) 係沿著圖 1 (A) 之 A-A 的構造剖面圖。於 P 型半導體基板 1，配置功率元件之 P 型 MOS 功率元件之 N 阱型 2a，和感熱元件之 N 阱型 2b。

對於 P 型 MOS 功率元件之 N 阱型 2a 之中，係加以配置有 P 型 MOS 功率元件之源極/汲極 7a，和閘極電極 4，和 P 型 MOS 功率元件之 N 阱型的 N 型高濃度範圍 6a。

對於感熱元件之 N 阱型 2b 之中，係加以配置有感熱元件之 P 型高濃度範圍 7c，和感熱元件之 N 阱型的 N 型高濃度範圍 6b。N 型高濃度範圍 6b 與感熱元件之 P 型高濃度範圍 7c 係經由元件分離範圍 3 而加以分離。對於 N 型高濃度範圍 6b 與 P 型半導體基板之 P 型高濃度範圍 7b 之間的元件分離範圍上，係加以配置有阻抗體 5。在本圖之配置中，感熱元件的形狀為矩形，經由 P 型 MOS 功率元件而加以圍繞在三方。決定 P 型 MOS 功率元件之外形形狀之外廓則亦可說為沿著矩形的三邊而加以配置。因此，P 型 MOS 功率元件係呈可配置感熱元件地具有矩形之凹陷。對於加以配置有感熱元件，而加以收納之凹陷，

係未加以配置 P 型 MOS 功率元件之源極/汲極 7a，閘極電極 4，及 P 型 MOS 功率元件之 N 阱型的 N 型高濃度範圍 6a。

在此，矩形之感溫元件係做成經由 P 型 MOS 功率元件而圍繞三方，但亦可為二方或者二邊，而四方或者四邊亦可。

圖 3 係擴大圖 1 (A) 之感熱元件範圍，且顯示阻抗體之配線的圖。對於阻抗體 5 之兩端係配置接點 8，藉由金屬配線 9，各將阻抗體之一方的端部連接於 P 型半導體基板之 P 型高濃度範圍 7b，而另一方的端連接於感熱元件之 N 阱型 2b 的 N 型高濃度範圍 6b。

為了比較，而使用圖 2 (A) 及 (B) 而加以說明以往技術之情況。圖 2 (A) 係以往技術之半導體裝置的平面圖。圖 2 (B) 係沿著圖 2 (A) 之 A-A 的構造剖面圖。P 型半導體基板之 P 型高濃度範圍 7b 與感熱元件之 N 阱型的 N 型高濃度範圍 6b 係未藉由阻抗，而藉由未加以圖示之金屬配線與接點而加以電性連接。當與發熱源之 P 型 MOS 功率元件配置感熱元件於同一基板上時，如記載於專利文獻 1 之課題地產生有寄生動作的問題。因此，在以往技術中，無法接近兩者而加以配置者。如圖 2 (b) 所示，必須於 P 型 MOS 功率元件與感熱元件之間取得充分的距離而設置元件分離範圍 3。

對於此寄生動作之具體的機構加以說明。在圖 1 (B)，圖 2 (B) 中，一般而言，P 型 MOS 功率元件之

N 阱型 2a 係加以連接於電源電位 VDD。P 型半導體基板 1 係加以連接於接地電位 VSS。在圖 2 (B) 中，如前述，加以電性連接 P 型半導體基板之 P 型高濃度範圍 7b 與感熱元件之 N 阱型的 N 型高濃度範圍 6b 之故，感熱元件之 N 阱型 2b 係加以電性連接於接地電位 VSS。

加以連接於電源電位 VDD 之源極的 P 型 MOS 功率元件之源極／汲極 7a、P 型 MOS 功率元件之 N 阱型 2a，P 型半導體基板 1，加以連接於接地電位 VSS 感熱元件之 N 阱型 2b 則相當於 PNP。兩端係各因加以連接於電源電位 VDD，接地電位 VSS 之故，在此路徑有引起電源間封閉之情況。一般而言，此封閉係兩端之 P 型 MOS 功率元件之源極／汲極 7a 與感熱元件之 N 阱型 2b 之距離接近時容易引起，而離開時不易引起。在以往的半導體裝置中，當引起封閉時，半導體裝置則損壞之故，而呈不引起地離開兩者的距離而加以配置。

在本發明中，相同的路徑則成為有可能引封閉之 PNP。但，於 P 型半導體基板 1，和感熱元件之 N 阱型 2b 之間，配置阻抗體。因此，當流入有電流於此路徑時，感熱元件之 N 阱型 2b 的電位則僅「阻抗體 5 之阻抗值」×「電流」=「電壓」部分，成為較接地電位 VSS 為高。此係因相當於加上逆方向的電位差於此 PN 接合者之故，引起半導體裝置之破壞程度的大電流則未流動於此路徑。因此，在本發明中，無須如以往技術，作為封閉對策而隔開 P 型 MOS 功率元件之源極／汲極 7a 與感熱元件之

N 阱型 2b。此係意味半導體裝置之面積縮小的同時，還意味發熱源之功率元件與感熱元件的溫度差為小者。

在以往技術，本發明之任一中，來自感熱元件的信號係為感熱元件之 P 型高濃度範圍 7c 之電位。再更正確敘述時，感熱元件之 P 型高濃度範圍 7c 的電位與接地電位 VSS 之電位差則為來自感熱元件之信號。在本發明中，此信號係成為感熱元件之 PN 接合的電位差，和加上於阻抗體 5 之電壓的和。加上於阻抗體 5 之電壓係流入至 PN 接合之電流，和阻抗體之阻抗值的積。

對於為了功率元件之熱破壞防止，被要求縮小經由最高溫度地點之溫度與感熱元件地點的溫度的差之第 1 誤差，和在感熱元件地點之溫度測定之第 2 誤差的和者。

本發明係即使與將功率元件與感熱元件配置於同一基板上，呈未引起有寄生動作地隔離兩者之以往技術，或者將感熱元件形成成多結晶矽之以往技術之任一作比較，第 1 誤差係亦變小，而有關第 2 誤差係為同等。

伴隨著近年來的細微化，每單位面積之發熱量則增大。因此，第 1 誤差則較第 2 誤差，壓倒性地變大。本發明係對應於此課題者。

〔實施例 2〕

感熱元件的 PN 接合之溫度感度係約 $2\text{mV}/^{\circ}\text{C}$ 。流入至感熱元件的 PN 接合之電流係一般而言多為 $0.1\mu\text{A}$ 至 $10\mu\text{A}$ 之間者。在實施例 1 所述之第 2 誤差係為根據加上於阻抗

體之電壓者，而阻抗值為大，電流大者則第 2 誤差則變大。因而，自所容許之第 2 誤差求得阻抗值之最大值。

第 2 誤差的容許值係最大的 10°C 左右之故，以電流最小進行計算， $2\text{mV}/^{\circ}\text{C} \times 10^{\circ}\text{C} / 0.1\text{uA} = 200\text{k}\Omega$ 則成為最大值。

阻抗之最小值係使否可防止寄生動作而決定。在調查時，未達 50Ω 時缺乏防止效果。從以上，阻抗值係成為 50Ω 以上、 $200\text{k}\Omega$ 以下。

〔實施例 3〕

阻抗體為擴散阻抗之情況，阻抗體則成為引起寄生動作之要因。因次，阻抗體係以絕緣體自半導體基板加以分離者為佳。適合於此之最為一般的物質係為多結晶矽。多結晶矽的阻抗值係由寬度與長度而加以改變係為當然，但亦可經由不純物濃度而改變者。因此，為了得到所期望之阻抗值而最為適合。圖 1 (B) 係作為阻抗體，而相等於使用多結晶矽情況之半導體裝置之剖面圖。

〔實施例 4〕

再次使用圖 1 (A) 而加以說明。感熱元件之 P 型範圍則由另一方之極性的範圍感熱元件之 N 阱型 2b 加以圍繞。此係在形成 PN 接合上為必須，假設，未加以圍繞 P 型範圍之情況，感熱元件之 P 型範圍，和 P 型之半導體基板則產生短路。

感熱元件之 N 阱型 2b 係因有引起寄生動作之可能性的元件之故，一般而言，以 P 型半導體基板之 P 型高濃度範圍 7b 加以圍繞。感熱元件之 N 阱型 2b 係因藉由阻抗體而加以連接於接地電位 VSS 之故，當呈夾持於感熱元件之 N 阱型的 N 型高濃度範圍 6b，和接地電位 VSS 之 P 型半導體基板之 P 型高濃度範圍 7b 地配置阻抗時，如圖 3 所示，因金屬配線為短之故而為佳。

另外，因對於 6b 與 P 型半導體基板之 P 型高濃度範圍 7b 之間係無須元件分離範圍之故，設置阻抗體於元件分離範圍上者則為適合。

〔實施例 5〕

本發明之阻抗體係加以配置於半導體裝置之輸出元件附近之故，有著由流入過度性過大的電流而產生破壞的可能性。此破壞係可由增大阻抗體之體積者而抑制。因此，阻抗體係由為最小幅度，較為了得到必要之阻抗值而以必要之長度加以構成，而以未加大半導體裝置之範圍，盡可能配置大的阻抗體者為佳。感熱元件之 N 阱型的 N 型高濃度範圍 6b，和接地電位 VSS 之 P 型半導體基板之 P 型高濃度範圍 7b 之間係因為了分離而必要之範圍之故，當配置設置於此之最大尺寸的阻抗體時，亦無須加大半導體裝置全體，而可提升破壞耐性者。

阻抗體與高濃度範圍係因使其分離者為佳之故，阻抗體之寬度係成為感熱元件之 N 阱型的 N 型高濃度範圍

6b，和接地電位 VSS 之 P 型半導體基板之 P 型高濃度範圍 7b 之間的距離之 2 分之 1 以上。此係為標準。

〔實施例 6〕

對於感熱元件 11 與功率元件 12 之位置關係，使用圖 4 加以說明。

圖 4 (A) 係配置感熱元件於功率元件的中心者。

圖 4 (B) 係配置感熱元件於自功率元件的中心稍微偏移之位置者。

圖 4 (C) 係感熱元件的 3 邊則呈加以圍繞於功率元件地配置者。

圖 4 (D) 係配置感熱元件於功率元件的頂點附近者。

在將功率元件與感熱元件配置於同一基板上之構成的以往技術中，無法將感熱元件配置於功率元件之附近之故，在圖 4 所示之任一形態中，亦有分離範圍之占有面積則變大，而半導體裝置之面積變大之課題。在本發明中，因分離距離小之故，可縮小抑制面積的增大。

在圖 4 之配置中，成為圍繞於功率元件的構造之故，有著功率元件的最高溫度，和感熱元件地點之溫度的差變小之優點。

較將感熱元件與控制電路呈圍繞於功率元件地配置，由僅將感熱元件呈圍繞於功率元件地加以配置者，前述溫度差則變小。

並非功率元件專用之半導體裝置之情況，功率元件係加以配置於自晶片的中心偏移之位置。一般而言，如圖 5 所示，靠晶片的單側而加以配置者為多。此情況，因晶片達成散熱體的作用之故，較功率元件之中心接近於晶片的端之位置則成為最高溫度地點。加以配置有圖 5 所示之感熱元件的地點則為最高溫度地點。

〔實施例 7〕

當作為加以注入因雜訊等引起之電荷時，雜訊則傳達至溫度檢出信號。在本發明中，有著阻抗體之故而有此影響變大之情況。因此，依據溫度檢出信號而具有延遲機能於控制功率元件之電路，當溫度檢出信號在某一定時間以上未產生變化時，作為呈不控制功率元件。

〔實施例 8〕

如圖 6 所示，於感熱元件 11 上，配置連結功率元件 12 與墊片 14 之金屬配線 15。金屬係因熱傳導率則較絕緣膜為佳之故，當將發熱源之功率元件上的金屬配線，拉回至感熱元件的上部時，溫度差則變小。

在以上的說明中，為了容易瞭解說明，在 P 型的半導體基板，對於具有 P 型之功率元件的半導體裝置以敘述過，但並不限定於此者。

另外，在感熱元件的 PN 接合之構成中，對於以 N 型範圍而加以圍繞 P 型範圍之情況已說明過，但並不限定於

此者。為了電性分離半導體基板與感熱元件，而加以使用在 P 型基板中，成為前述之構成，而在 N 型基板中，以 P 型範圍而圍繞 N 型範圍之構成的感熱元件情況為多。

另外，對於藉由阻抗，而將 N 型範圍結線於接地電位 VSS 之情況已做過說明，但並不限定於此者。而亦有將 P 型範圍結線於電源電位 VDD 之情況。

另外，來自感熱元件之信號係並不加以限定於與接地電位 VSS 之電位差者，例如，將與電源電位 VDD 之電位差使用信號，亦可同樣地實施本發明者。

【符號說明】

1：P 型半導體基板

2：N 阱型

2a：P 型 MOS 功率元件之 N 阱型

2b：感熱元件之 N 阱型

3：元件分離範圍

4：閘極電極

5：阻抗體

6：N 型高濃度範圍

6a：P 型 MOS 功率元件之 N 阱型的 N 型高濃度範圍

6b：感熱元件之 N 阱型的 N 型高濃度範圍

7：P 型高濃度範圍

7a：P 型 MOS 功率元件之源極/汲極

7b：P 型半導體基板之 P 型高濃度範圍

7c：感熱元件之 P 型高濃度範圍

8：接點

9：金屬配線

11：感熱元件

12：功率元件

13：晶片全體

14：墊片

15：金屬配線