

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)公開番号

特開2022-12182
(P2022-12182A)

(43)公開日 令和4年1月17日(2022.1.17)

(51)国際特許分類		F I		テーマコード(参考)	
G 0 1 T	1/20 (2006.01)	G 0 1 T	1/20	J	2 G 1 8 8
H 0 4 N	5/32 (2006.01)	G 0 1 T	1/20	E	5 C 0 2 4
H 0 4 N	5/357(2011.01)	G 0 1 T	1/20	G	
		G 0 1 T	1/20	L	
		H 0 4 N	5/32		
審査請求		未請求	請求項の数	7	O L (全16頁) 最終頁に続く

(21)出願番号	特願2020-113832(P2020-113832)	(71)出願人	503382542 キャノン電子管デバイス株式会社 栃木県大田原市下石上1385番地
(22)出願日	令和2年7月1日(2020.7.1)	(74)代理人	100108062 弁理士 日向寺 雅彦
		(74)代理人	100168332 弁理士 小崎 純一
		(74)代理人	100146592 弁理士 市川 浩
		(74)代理人	100157901 弁理士 白井 達哲
		(74)代理人	100172188 弁理士 内田 敬人
		(74)代理人	100197538 弁理士 竹内 功

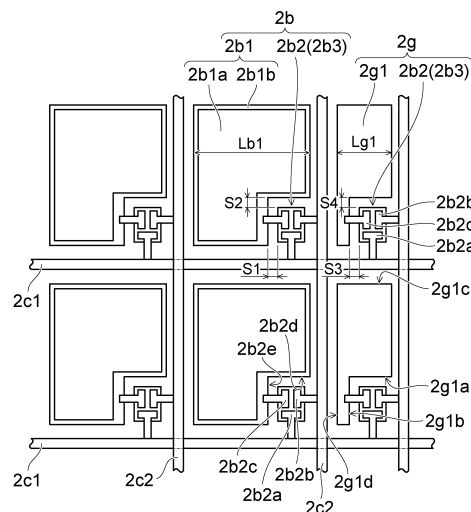
最終頁に続く

(54)【発明の名称】 放射線検出器

(57)【要約】 (修正有) 【課題】 ノイズを検出することができ、小型化を図ることができる放射線検出器を提供する。

【解決手段】 放射線検出器は、第1の方向に延びる複数の制御ライン2c1と、前記第1の方向に直交する第2の方向に延びる複数のデータライン2c2と、それらにより画された複数の領域のそれぞれに設けられた光電変換部2bと、光電変換部領域の外側に並べて設けられた複数のノイズ検出部と、光電変換部領域の上に設けられたシンチレータと、を備えている。複数の光電変換部は、対応する制御ラインとデータラインとに電気的に接続された第1の薄膜トランジスタと光電変換素子とを有している。前記複数のノイズ検出部は、対応する前記制御ラインと対応する前記データラインとに電気的に接続された第2の薄膜トランジスタと容量部とを有している。前記第1の方向および前記第2の方向の少なくともいずれかの方向において、前記容量部の長さは、前記電極の長さよりも短い。

【選択図】 図7



【特許請求の範囲】

【請求項 1】

第 1 の方向に延びる複数の制御ラインと、
 前記第 1 の方向に直交する第 2 の方向に延びる複数のデータラインと、
 前記複数の制御ラインと、前記複数のデータラインと、により画された複数の領域のそれぞれに設けられた光電変換部と、
 前記複数の光電変換部が設けられた領域の外側に並べて設けられた複数のノイズ検出部と、
 前記複数の光電変換部が設けられた領域の上に設けられたシンチレータと、
 を備え、
 前記複数の光電変換部のそれぞれは、対応する前記制御ラインと対応する前記データラインとに電気的に接続された第 1 の薄膜トランジスタと、前記第 1 の薄膜トランジスタと電気的に接続された電極を有する光電変換素子と、を有し、
 前記複数のノイズ検出部のそれぞれは、対応する前記制御ラインと対応する前記データラインとに電気的に接続された第 2 の薄膜トランジスタと、前記第 2 の薄膜トランジスタと電気的に接続された容量部と、を有し、
 前記第 1 の方向および前記第 2 の方向の少なくともいずれかの方向において、前記容量部の長さは、前記電極の長さよりも短い放射線検出器。

10

【請求項 2】

前記複数の光電変換部が設けられた領域の外側には、複数の前記第 2 の薄膜トランジスタが電気的に接続される、複数の前記データラインが前記第 1 の方向に隣接して並べて設けられている請求項 1 記載の放射線検出器。

20

【請求項 3】

前記複数の光電変換部が設けられた領域の外側には、複数の前記第 2 の薄膜トランジスタが電気的に接続される、複数の前記制御ラインが前記第 2 の方向に隣接して並べて設けられている請求項 1 または 2 に記載の放射線検出器。

【請求項 4】

前記第 2 の薄膜トランジスタと前記容量部との間の隙間寸法は、前記第 1 の薄膜トランジスタと前記電極との間の隙間寸法と略同一である請求項 1 ~ 3 のいずれか 1 つに記載の放射線検出器。

30

【請求項 5】

前記容量部は、前記電極と同じ材料を含んでいる請求項 1 ~ 4 のいずれか 1 つに記載の放射線検出器。

【請求項 6】

前記複数のノイズ検出部は、前記データラインに沿って並べて設けられ、
 前記容量部の前記第 1 の方向の長さは、前記電極の前記第 1 の方向の長さよりも短い請求項 1 ~ 5 のいずれか 1 つに記載の放射線検出器。

【請求項 7】

前記複数のノイズ検出部は、前記制御ラインに沿って並べて設けられ、
 前記容量部の前記第 2 の方向の長さは、前記電極の前記第 2 の方向の長さよりも短い請求項 1 ~ 6 のいずれか 1 つに記載の放射線検出器。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、放射線検出器に関する。

【背景技術】

【0002】

放射線検出器の一例に X 線検出器がある。X 線検出器には、例えば、複数の光電変換部を有するアレイ基板と、複数の光電変換部の上に設けられ X 線を蛍光に変換するシンチレータとが設けられている。また、光電変換部には、シンチレータからの蛍光を信号電荷に変

50

換する光電変換素子、信号電荷の蓄積および放出のスイッチングを行う薄膜トランジスタ、信号電荷を蓄積する蓄積キャパシタなどが設けられている。

【0003】

一般的には、X線検出器は、以下のようにしてX線画像を構成する。まず、外部から入力された信号によりX線の入射を認識する。次に、予め定められた時間の経過後に、読み出しを行う光電変換部の薄膜トランジスタをオン状態にして、蓄積された信号電荷を画像データ信号として読み出す。そして、各光電変換部毎に読み出された画像データ信号の値に基づいてX線画像を構成する。

【0004】

ところが、各光電変換部毎に読み出された画像データ信号の値には、X線の線量に応じた値と、ノイズに応じた値が含まれている。そのため、X線画像を構成する際には、各光電変換部毎に読み出された画像データ信号の値からノイズに応じた値を差し引く、オフセット処理（オフセット補正）が行われる。

10

【0005】

この場合、ノイズには大きく分けて、ランダムノイズと横引きノイズがある。ランダムノイズは、X線画像の全体に一様に分布して発生する。一方、横引きノイズは横方向もしくは縦方向に筋状に現われる。そのため、横引きノイズの方がランダムノイズよりも目立ちやすくなるので、横引きノイズの低減が求められる。

この様な横引きノイズの低減を図るために、X線の入射時に信号電荷を発生しないノイズ検出部を複数設け、複数のノイズ検出部により横引きノイズを検出する技術が提案されている。一般的に、複数のノイズ検出部は、複数の光電変換部が設けられた領域（有効画素領域）の外側に並べて設けられる。

20

【0006】

ここで、近年においては、X線検出器の小型化が求められている。ところが、有効画素領域の外側に、ノイズ検出部が複数設けられた領域があると、X線検出器のサイズが大きくなるという問題がある。

そこで、ノイズを検出することができ、且つ、X線検出器のサイズが大きくなるのを抑制することができる技術の開発が望まれていた。

【先行技術文献】

【特許文献】

30

【0007】

【特許文献1】特開2011-97452号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

本発明が解決しようとする課題は、ノイズを検出することができ、且つ、放射線検出器のサイズが大きくなるのを抑制することができる放射線検出器を提供することである。

【課題を解決するための手段】

【0009】

実施形態に係る放射線検出器は、第1の方向に延びる複数の制御ラインと、前記第1の方向に直交する第2の方向に延びる複数のデータラインと、前記複数の制御ラインと、前記複数のデータラインと、により画された複数の領域のそれぞれに設けられた光電変換部と、前記複数の光電変換部が設けられた領域の外側に並べて設けられた複数のノイズ検出部と、前記複数の光電変換部が設けられた領域の上に設けられたシンチレータと、を備えている。

40

前記複数の光電変換部のそれぞれは、対応する前記制御ラインと対応する前記データラインとに電気的に接続された第1の薄膜トランジスタと、前記第1の薄膜トランジスタと電気的に接続された電極を有する光電変換素子と、を有している。

前記複数のノイズ検出部のそれぞれは、対応する前記制御ラインと対応する前記データラインとに電気的に接続された第2の薄膜トランジスタと、前記第2の薄膜トランジスタと

50

電氣的に接続された容量部と、を有している。

前記第 1 の方向および前記第 2 の方向の少なくともいずれかの方向において、前記容量部の長さは、前記電極の長さよりも短い。

【図面の簡単な説明】

【0010】

【図 1】 X 線検出器を例示するための模式斜視図である。

【図 2】 X 線検出器のブロック図である。

【図 3】 アレイ基板の回路図である。

【図 4】 比較例に係るノイズ検出部を例示するための模式平面図である。

【図 5】 比較例に係るノイズ検出部を例示するための模式平面図である。

10

【図 6】 複数のノイズ検出部が設けられた領域の配置を例示するための模式平面図である。

【図 7】 本実施の形態に係るノイズ検出部を例示するための模式平面図である。

【図 8】 本実施の形態に係るノイズ検出部を例示するための模式平面図である。

【図 9】 (a)、(b) は、複数のノイズ検出部が設けられた領域の配置を例示するための模式平面図である。

【図 10】 他の実施形態に係るノイズ検出部の配置を例示するための模式平面図である。

【図 11】 他の実施形態に係るノイズ検出部の配置を例示するための模式平面図である。

【図 12】 (a)、(b) は、領域 203 の配置を例示するための模式平面図である。

【発明を実施するための形態】

20

【0011】

以下、図面を参照しつつ、実施の形態について例示をする。なお、各図面中、同様の構成要素には同一の符号を付して詳細な説明は適宜省略する。

本実施の形態に係る放射線検出器は、X 線のほかにも γ 線などの各種放射線に適用させることができる。ここでは、一例として、放射線の中の代表的なものとして X 線に係る場合を例にとり説明をする。したがって、以下の実施形態の「X 線」を「他の放射線」に置き換えることにより、他の放射線にも適用させることができる。

【0012】

以下に例示をする X 線検出器 1 は、放射線画像である X 線画像を検出する X 線平面センサである。

30

X 線検出器 1 は、例えば、一般医療などに用いることができるが、用途に限定はない。

【0013】

図 1 は、X 線検出器 1 を例示するための模式斜視図である。

なお、図 1 においては、バイアスライン 2c3 などを省いて描いている。

図 2 は、X 線検出器 1 のブロック図である。

図 3 は、アレイ基板 2 の回路図である。

図 1 ~ 図 3 に示すように、X 線検出器 1 には、アレイ基板 2、信号処理回路 3、画像構成回路 4、およびシンチレータ 5 が設けられている。

【0014】

アレイ基板 2 は、シンチレータ 5 により X 線から変換された蛍光（可視光）を電気信号に変換する。

40

アレイ基板 2 は、基板 2a、光電変換部 2b、制御ライン（又はゲートライン）2c1、データライン（又はシグナルライン）2c2、バイアスライン 2c3、および、ノイズ検出部 2g を有する。

なお、光電変換部 2b、制御ライン 2c1、データライン 2c2、バイアスライン 2c3、およびノイズ検出部 2g の数などは例示をしたものに限定されるわけではない。

【0015】

基板 2a は、板状を呈し、無アルカリガラスなどの透光性材料から形成されている。

光電変換部 2b は、基板 2a の一方の表面に複数設けられている。

光電変換部 2b は、矩形状を呈し、複数の制御ライン 2c1 と、複数のデータライン 2c

50

2と、により画された複数の領域のそれぞれに設けられている。複数の光電変換部2bは、マトリクス状に並べられている。

なお、1つの光電変換部2bは、X線画像における1つの画素(pixel)に対応する。

【0016】

複数の光電変換部2bのそれぞれには、光電変換素子2b1と、スイッチング素子である薄膜トランジスタ(TFT; Thin Film Transistor)2b2(第1の薄膜トランジスタの一例に相当する)が設けられている。

また、図3に示すように、光電変換素子2b1において変換した信号電荷を蓄積する蓄積キャパシタ2b3を設けることができる。蓄積キャパシタ2b3は、例えば、矩形平板状を呈し、各薄膜トランジスタ2b2の下に設けることができる。ただし、光電変換素子2b1の容量によっては、光電変換素子2b1が蓄積キャパシタ2b3を兼ねることができる。

10

【0017】

光電変換素子2b1は、例えば、フォトダイオードなどとすることができる。

薄膜トランジスタ2b2は、蛍光が光電変換素子2b1に入射することで生じた電荷の蓄積および放出のスイッチングを行う。薄膜トランジスタ2b2は、ゲート電極2b2a、ドレイン電極2b2b及びソース電極2b2cを有している。薄膜トランジスタ2b2のゲート電極2b2aは、対応する制御ライン2c1と電氣的に接続される。薄膜トランジスタ2b2のドレイン電極2b2bは、対応するデータライン2c2と電氣的に接続される。薄膜トランジスタ2b2のソース電極2b2cは、対応する光電変換素子2b1(電極2b1b)と蓄積キャパシタ2b3とに電氣的に接続される。また、光電変換素子2b1のアノード側と蓄積キャパシタ2b3は、対応するバイアスライン2c3と電氣的に接続される。

20

すなわち、薄膜トランジスタ2b2は、対応する制御ライン2c1と対応するデータライン2c2とに電氣的に接続されている。光電変換素子2b1の基板2a側の電極2b1bは、薄膜トランジスタ2b2と電氣的に接続されている(図7、図8を参照)。

【0018】

制御ライン2c1は、所定の間隔を開けて互いに平行に複数設けられている。制御ライン2c1は、例えば、行方向(第1の方向の一例に相当する)に延びている。

1つの制御ライン2c1は、基板2aの周縁近傍に設けられた複数の配線パッド2d1のうちの1つと電氣的に接続されている。1つの配線パッド2d1には、フレキシブルプリント基板2e1に設けられた複数の配線のうちの1つが電氣的に接続されている。フレキシブルプリント基板2e1に設けられた複数の配線の他端は、信号処理回路3に設けられた制御回路31と電氣的に接続されている。

30

【0019】

データライン2c2は、所定の間隔を開けて互いに平行に複数設けられている。データライン2c2は、例えば、行方向に直交する列方向(第2の方向の一例に相当する)に延びている。

1つのデータライン2c2は、基板2aの周縁近傍に設けられた複数の配線パッド2d2のうちの1つと電氣的に接続されている。1つの配線パッド2d2には、フレキシブルプリント基板2e2に設けられた複数の配線のうちの1つが電氣的に接続されている。フレキシブルプリント基板2e2に設けられた複数の配線の他端は、信号処理回路3に設けられた信号検出回路32と電氣的に接続されている。

40

【0020】

バイアスライン2c3は、データライン2c2とデータライン2c2との間に、データライン2c2と平行に設けられている。

バイアスライン2c3には、図示しないバイアス電源が電氣的に接続されている。図示しないバイアス電源は、例えば、信号処理回路3などに設けることができる。

なお、バイアスライン2c3は、必ずしも必要ではなく、必要に応じて設けるようにすればよい。バイアスライン2c3が設けられない場合には、光電変換素子2b1のアノード

50

側と蓄積キャパシタ 2 b 3 は、バイアスライン 2 c 3 に代えてグランドに電氣的に接続される。

【 0 0 2 1 】

制御ライン 2 c 1、データライン 2 c 2、およびバイアスライン 2 c 3 は、例えば、アルミニウムやクロムなどの低抵抗金属を用いて形成することができる。

【 0 0 2 2 】

保護層 2 f は、光電変換部 2 b、制御ライン 2 c 1、データライン 2 c 2、およびバイアスライン 2 c 3 を覆っている。

保護層 2 f は、例えば、酸化物絶縁材料、窒化物絶縁材料、酸窒化物絶縁材料、および樹脂材料の少なくとも 1 種を含む。

10

【 0 0 2 3 】

図 3 に示すように、ノイズ検出部 2 g は、複数設けられている。複数のノイズ検出部 2 g は、複数の光電変換部 2 b が設けられた領域（有効画素領域）の外側に並べて設けられている。複数のノイズ検出部 2 g は、制御ライン 2 c 1 およびデータライン 2 c 2 の少なくともいずれかに沿って並んでいる。例えば、図 3 に示すように、複数のノイズ検出部 2 g は、データライン 2 c 2 に沿って並べて設けることができる。この場合、複数のノイズ検出部 2 g は、例えば、制御ライン 2 c 1 に沿って並べて設けることもできる。複数のノイズ検出部 2 g は、例えば、制御ライン 2 c 1 およびデータライン 2 c 2 に沿って並べて設けることもできる。

図 3 に例示をしたものは、複数のノイズ検出部 2 g が、有効画素領域の一方の外側に設けられているが、有効画素領域の二方の外側、三方の外側、四方の外側に設けられていてもよい。

20

【 0 0 2 4 】

複数のノイズ検出部 2 g のそれぞれには、容量部 2 g 1、薄膜トランジスタ 2 b 2（第 2 の薄膜トランジスタの一例に相当する）が設けられている。薄膜トランジスタ 2 b 2 は、対応する制御ライン 2 c 1 と対応するデータライン 2 c 2 とに電氣的に接続されている。容量部 2 g 1 は薄膜トランジスタ 2 b 2 と電氣的に接続されている。

なお、光電変換部 2 b に蓄積キャパシタ 2 b 3 が設けられる場合には、ノイズ検出部 2 g に蓄積キャパシタ 2 b 3 を設けることもできる。蓄積キャパシタ 2 b 3 は、例えば、容量部 2 g 1 の下に設けることができる。

30

容量部 2 g 1 は、例えば、金属などの導電性材料から形成することができる。容量部 2 g 1 が導電性材料から形成されていれば、シンチレータ 5 で発生した蛍光が容量部 2 g 1 に入射したとしても信号電荷の発生はほとんどない。容量部 2 g 1 は、例えば、光電変換素子 2 b 1 の電極 2 b 1 b と同じ材料から形成することができる。容量部 2 g 1 は、例えば、アルミニウムやクロムなどの低抵抗金属を用いて形成することができる。

【 0 0 2 5 】

ノイズ検出部 2 g に設けられた薄膜トランジスタ 2 b 2 のゲート電極 2 b 2 a は、対応する制御ライン 2 c 1 と電氣的に接続される。薄膜トランジスタ 2 b 2 のドレイン電極 2 b 2 b は、対応するデータライン 2 c 2 と電氣的に接続される。薄膜トランジスタ 2 b 2 のソース電極 2 b 2 c は、対応する容量部 2 g 1 と蓄積キャパシタ 2 b 3 とに電氣的に接続される。

40

なお、ノイズ検出部 2 g に関する詳細は後述する。

【 0 0 2 6 】

信号処理回路 3 は、アレイ基板 2 の、シンチレータ 5 側とは反対側に設けられている。

図 2 に示すように、信号処理回路 3 には、制御回路 3 1 と、信号検出回路 3 2 とが設けられている。

制御回路 3 1 は、薄膜トランジスタ 2 b 2 のオン状態とオフ状態を切り替える。

制御回路 3 1 は、複数のゲートドライバ 3 1 a と行選択回路 3 1 b とを有する。

行選択回路 3 1 b には、画像構成回路 4 などから制御信号 S 1 が入力される。行選択回路 3 1 b は、X 線画像の走査方向に従って、対応するゲートドライバ 3 1 a に制御信号 S 1

50

を入力する。

ゲートドライバ 3 1 a は、対応する制御ライン 2 c 1 に制御信号 S 1 を入力する。

例えば、制御回路 3 1 は、フレキシブルプリント基板 2 e 1 を介して、制御信号 S 1 を各制御ライン 2 c 1 毎に順次入力する。

制御ライン 2 c 1 に入力された制御信号 S 1 により、光電変換部 2 b に設けられた薄膜トランジスタ 2 b 2 がオン状態となり、蓄積キャパシタ 2 b 3 からの信号電荷（画像データ信号 S 2）が受信できるようになる。

【 0 0 2 7 】

信号検出回路 3 2 は、薄膜トランジスタ 2 b 2 がオン状態の時に、画像構成回路 4 からのサンプリング信号に従って、データライン 2 c 2 およびフレキシブルプリント基板 2 e 2 を介して蓄積キャパシタ 2 b 3 から画像データ信号 S 2 を読み出す。 10

例えば、画像データ信号 S 2 は、以下のようにして読み出すことができる。

まず、制御回路 3 1 によって薄膜トランジスタ 2 b 2 が順次オン状態となる。薄膜トランジスタ 2 b 2 がオン状態となることで、バイアスライン 2 c 3 を介して一定の電荷が蓄積キャパシタ 2 b 3 に蓄積される。次に、薄膜トランジスタ 2 b 2 をオフ状態にする。X 線が照射されると、シンチレータ 5 により X 線が蛍光に変換される。蛍光が光電変換素子 2 b 1 に入射すると、光電効果によって電荷（電子およびホール）が発生し、発生した電荷と、蓄積キャパシタ 2 b 3 に蓄積されている電荷（異種電荷）とが結合して蓄積されている電荷が減少する。次に、制御回路 3 1 は、薄膜トランジスタ 2 b 2 を順次オン状態にする。信号検出回路 3 2 は、サンプリング信号に従って各蓄積キャパシタ 2 b 3 に蓄積されている減少した電荷（画像データ信号 S 2）をデータライン 2 c 2 を介して読み出す。 20

また、信号検出回路 3 2 は、薄膜トランジスタ 2 b 2 がオフ状態の時に、データライン 2 c 2 およびフレキシブルプリント基板 2 e 2 を介してノイズ検出部 2 g からのノイズ電流（ノイズ信号 N）を読み出す。

【 0 0 2 8 】

画像構成回路 4 は、配線 4 a を介して、信号検出回路 3 2 と電気的に接続されている。なお、画像構成回路 4 は、信号処理回路 3 と一体化されていてもよいし、無線により信号検出回路 3 2 とデータ通信を行うようにしてもよい。

画像構成回路 4 は、読み出された画像データ信号 S 2 を受信し、受信した画像データ信号 S 2 を順次増幅し、増幅された画像データ信号 S 2（アナログ信号）をデジタル信号に変換する。そして、画像構成回路 4 は、デジタル信号に変換された画像データ信号 S 2 に基づいて、X 線画像を構成する。構成された X 線画像のデータは、画像構成回路 4 から外部の機器に向けて出力される。 30

【 0 0 2 9 】

シンチレータ 5 は、複数の光電変換部 2 b が設けられた領域の上に設けられ、入射する X 線を蛍光に変換する。シンチレータ 5 は、基板 2 a 上の有効画素領域を覆うように設けられている。

シンチレータ 5 は、例えば、ヨウ化セシウム（CsI）：タリウム（Tl）、あるいはヨウ化ナトリウム（NaI）：タリウム（Tl）などを用いて形成することができる。この場合、真空蒸着法などを用いて、シンチレータ 5 を形成すれば、複数の柱状結晶の集合体からなるシンチレータ 5 が形成される。 40

また、シンチレータ 5 は、例えば、酸硫化ガドリニウム（Gd₂O₂S）などを用いて形成することもできる。この場合、各光電変換部 2 b ごとに四角柱状のシンチレータ 5 を設けることができる。

【 0 0 3 0 】

その他、蛍光の利用効率を高めて感度特性を改善するために、シンチレータ 5 の表面側（X 線の入射面側）を覆うように図示しない反射層を設けることができる。

また、空気中に含まれる水蒸気により、シンチレータ 5 の特性と図示しない反射層の特性が劣化するのを抑制するために、シンチレータ 5 と図示しない反射層を覆う図示しない防湿体を設けることができる。

【 0 0 3 1 】

次に、ノイズ検出部 2 g についてさらに説明する。

X 線画像に現れるノイズには、大きく分けてランダムノイズと横引きノイズがある。ランダムノイズは、X 線画像の全体に一樣に分布して発生するため、特定の模様や輪郭を持たない。これに対して、横引きノイズは、X 線画像の横方向もしくは縦方向に筋状に現われる。この場合、X 線画像は人間が見るものであるため、模様や輪郭のないランダムノイズよりも、模様や輪郭を有する横引きノイズの方が X 線画像の品質に与える影響が大きい。そのため、X 線検出器においては、横引きノイズの低減が求められる。

【 0 0 3 2 】

横引きノイズの発生源は、主に、制御回路 3 1 であると考えられている。例えば、制御回路 3 1 において発生したノイズや、制御回路 3 1 を駆動するための電源線のノイズが制御ライン 2 c 1 に侵入する場合がある。制御ライン 2 c 1 とデータライン 2 c 2 との間には、薄膜トランジスタ 2 b 2 が電氣的に接続されている。そのため、薄膜トランジスタ 2 b 2 がオフ状態となっていれば、制御ライン 2 c 1 からデータライン 2 c 2 にノイズが侵入しないとも考えられる。ところが、薄膜トランジスタ 2 b 2 の近傍には光電変換素子 2 b 1 が配置されている。そのため、光電変換素子 2 b 1 の電極 2 b 1 b と、薄膜トランジスタ 2 b 2 との間に線間容量（浮遊容量）が発生し、静電結合により、制御ライン 2 c 1 からデータライン 2 c 2 にノイズが侵入する場合がある。制御ライン 2 c 1 からデータライン 2 c 2 にノイズが侵入すると、横引きノイズが発生する。

【 0 0 3 3 】

この場合、制御回路 3 1 や電源線において発生するノイズを減らせば、横引きノイズを低減させることができる。しかしながら、この様なノイズ対策を講じれば、X 線検出器 1 の構造が複雑となり、高価格化を招くことになる。

そのため、一般的には、横引きノイズを検出するノイズ検出部を複数設け、各光電変換部 2 b から出力された画像データ信号 S 2 の値から、検出された横引きノイズに応じた値を差し引く、オフセット処理が行われる。

【 0 0 3 4 】

図 4 および図 5 は、比較例に係るノイズ検出部 1 0 2 g を例示するための模式平面図である。

なお、図 4 および図 5 においては、バイアスライン 2 c 3 を省いて描いている。

図 4 および図 5 に示すように、光電変換部 2 b に設けられた光電変換素子 2 b 1 は、p n 接合または p i n 構造を有する半導体層 2 b 1 a と、半導体層 2 b 1 a の基板 2 a 側に設けられた電極 2 b 1 b を有する。電極 2 b 1 b は、薄膜トランジスタ 2 b 2 のソース電極 2 b 2 c と電氣的に接続されている。

ノイズ検出部 1 0 2 g には半導体層 2 b 1 a が設けられていない。すなわち、ノイズ検出部 1 0 2 g には、電極 2 b 1 b、薄膜トランジスタ 2 b 2、および蓄積キャパシタ 2 b 3 が設けられている。ノイズ検出部 1 0 2 g には半導体層 2 b 1 a が設けられていないので、ノイズ検出部 1 0 2 g からの出力には、X 線の線量に応じた値が含まれておらず、ノイズに応じた値が含まれている。

そのため、各光電変換部 2 b から出力された画像データ信号 S 2 の値から、ノイズ検出部 1 0 2 g から出力された値を差し引けば、横引きノイズが抑制された X 線画像を得ることができる。なお、オフセット処理に用いる値は、複数のノイズ検出部 1 0 2 g から出力された値の平均値とすることができる。

【 0 0 3 5 】

ここで、近年においては、X 線検出器 1 の小型化が求められている。この場合、複数の光電変換部 2 b が設けられた有効画素領域は、X 線検出器 1 の撮影を行う領域であるため小さくすることは困難である。

また、複数のノイズ検出部 1 0 2 g は、有効画素領域の外側に並べて設けられる。例えば、図 4 に示すように、複数のノイズ検出部 1 0 2 g は、データライン 2 c 2 が延びる方向に並べて設けられる場合がある。図 5 に示すように、複数のノイズ検出部 1 0 2 g は、制

10

20

30

40

50

御ライン 2 c 1 が延びる方向に並べて設けられる場合がある。また、データライン 2 c 2 が延びる方向、および制御ライン 2 c 1 が延びる方向に並べて設けられる場合もある。

【 0 0 3 6 】

図 6 は、複数のノイズ検出部 1 0 2 g が設けられた領域 2 0 2 の配置を例示するための模式平面図である。

図 6 に示すように、複数のノイズ検出部 1 0 2 g が設けられた領域 2 0 2 は、有効画素領域 2 0 1 の外側に設けられている。図 6 に例示をしたもの場合には、有効画素領域 2 0 1 の両側に領域 2 0 2 が 1 つずつ設けられている。

そのため、領域 2 0 2 が設けられた分だけ X 線検出器が大きくなることになる。

ここで、領域 2 0 2 は、X 線検出器 1 の撮影を行う領域ではないので、横引きノイズの検出ができるのであれば小さくすることは可能である。

そこで、本実施の形態に係る X 線検出器 1 においては、領域 2 0 2 が小さくなるようにしている。

【 0 0 3 7 】

図 7 および図 8 は、本実施の形態に係るノイズ検出部 2 g を例示するための模式平面図である。

なお、図 7 および図 8 においては、バイアスライン 2 c 3 を省いて描いている。

図 7 および図 8 に示すように、ノイズ検出部 2 g には、容量部 2 g 1、薄膜トランジスタ 2 b 2、および蓄積キャパシタ 2 b 3 が設けられている。容量部 2 g 1 には半導体層 2 b 1 a が設けられていないので、ノイズ検出部 2 g からの出力には、X 線の線量に応じた値が含まれておらず、ノイズに応じた値が含まれている。

【 0 0 3 8 】

前述したように、光電変換素子 2 b 1 の電極 2 b 1 b と、薄膜トランジスタ 2 b 2 との間に線間容量が発生すると、静電結合により、制御ライン 2 c 1 からデータライン 2 c 2 にノイズが侵入する。

そのため、容量部 2 g 1 と、薄膜トランジスタ 2 b 2 との間の線間容量が、電極 2 b 1 b と、薄膜トランジスタ 2 b 2 との間の線間容量と同程度となれば、適切な値の横引きノイズを検出することができる。

同程度の線間容量が発生するようにするためには、容量部 2 g 1 と、薄膜トランジスタ 2 b 2 との間の寸法 S 3、S 4 が、電極 2 b 1 b と、薄膜トランジスタ 2 b 2 との間の寸法 S 1、S 2 とそれぞれ同じ程度となるようにすればよい。

すなわち、ノイズ検出部 2 g に設けられた薄膜トランジスタ 2 b 2 と容量部 2 g 1 との間の隙間寸法は、光電変換部 2 b に設けられた薄膜トランジスタ 2 b 2 と電極 2 b 1 b との間の隙間寸法と略同一となるようにすればよい。なお、略同一とは製造誤差程度の違いを許容することである。

【 0 0 3 9 】

この場合、容量部 2 g 1 の材料は、電極 2 b 1 b の材料と同じにすることが好ましい。

容量部 2 g 1 の厚みは、電極 2 b 1 b の厚みと同程度となるようにすることが好ましい。

また、容量部 2 g 1 の、薄膜トランジスタ 2 b 2 と対峙する側の辺 2 g 1 a、2 g 1 b の長さは、電極 2 b 1 b の、薄膜トランジスタ 2 b 2 と対峙する側の辺 2 b 2 d、2 b 2 e の長さと同程度となるようにすることが好ましい。

ただし、容量部 2 g 1 の辺 2 g 1 a と対峙する辺 2 g 1 c の位置や、辺 2 g 1 b と対峙する辺 2 g 1 d の位置は、線間容量に与える影響が少ない。

【 0 0 4 0 】

そのため、図 7 に示すように、複数のノイズ検出部 2 g をデータライン 2 c 2 に沿って並べる場合には、容量部 2 g 1 の、データライン 2 c 2 が延びる方向と直交する方向の長さ L g 1 を、電極 2 b 1 b の、データライン 2 c 2 が延びる方向と直交する方向の長さ L b 1 よりも短くすることができる。

また、図 8 に示すように、複数のノイズ検出部 2 g を制御ライン 2 c 1 に沿って並べる場合には、容量部 2 g 1 の、制御ライン 2 c 1 が延びる方向と直交する方向の長さ L g 2 を

10

20

30

40

50

、電極 2 b 1 b の、制御ライン 2 c 1 が延びる方向と直交する方向の長さ $L b 2$ よりも短くすることができる。

なお、以上においては、長さ $L g 1$ または長さ $L g 2$ を短くする場合を例示したが、長さ $L g 1$ および長さ $L g 2$ を短くすることもできる。

すなわち、制御ライン 2 c 1 が延びる方向、および、データライン 2 c 2 が延びる方向の少なくともいずれかの方向において、容量部 2 g 1 の長さは、電極 2 b 1 b の長さよりも短くなっている。

容量部 2 g 1 は、電極 2 b 1 b の一部を切り欠いたものとしてもよい。この様にすれば、複数の容量部 2 g 1 と、複数の電極 2 b 1 b を同一の工程で形成することができるので、生産性の向上と製造コストの低減を図ることができる。

10

【0041】

図 9 (a)、(b) は、複数のノイズ検出部 2 g が設けられた領域 2 0 3 の配置を例示するための模式平面図である。

図 9 (a)、(b) に示すように、複数のノイズ検出部 2 g が設けられた領域 2 0 3 は、有効画素領域 2 0 1 の外側に設けることができる。

例えば、図 9 (a) は、図 7 に例示をした場合、すなわち、複数のノイズ検出部 2 g がデータライン 2 c 2 に沿って並べられている場合である。この場合、例えば、図 9 (a) に示すように、複数のデータライン 2 c 2 が並ぶ方向において、複数のノイズ検出部 2 g が設けられた領域 2 0 3 は、有効画素領域 2 0 1 の両側に 1 つずつ設けることができる。

【0042】

例えば、図 9 (b) は、図 8 に例示をした場合、すなわち、複数のノイズ検出部 2 g が制御ライン 2 c 1 に沿って並べられている場合である。この場合、例えば、図 9 (b) に示すように、複数の制御ライン 2 c 1 が並ぶ方向において、複数のノイズ検出部 2 g が設けられた領域 2 0 3 は、有効画素領域 2 0 1 の両側に 1 つずつ設けることができる。

20

【0043】

この様にすると、図 9 (a) に示すように、領域 2 0 3 が設けられた分だけ X 線検出器 1 が大きくなることになる。しかしながら、図 7 に示すように、容量部 2 g 1 の、データライン 2 c 2 が延びる方向と直交する方向の長さ $L g 1$ が、電極 2 b 1 b の、データライン 2 c 2 が延びる方向と直交する方向の長さ $L b 1$ よりも短くなっている。そのため、領域 2 0 3 は、比較例に係る領域 2 0 2 よりも小さくすることができる。

30

【0044】

また、図 9 (b) に示すように、領域 2 0 3 が設けられた分だけ X 線検出器 1 が大きくなることになる。しかしながら、図 8 に示すように、容量部 2 g 1 の、制御ライン 2 c 1 が延びる方向と直交する方向の長さ $L g 2$ が、電極 2 b 1 b の、制御ライン 2 c 1 が延びる方向と直交する方向の長さ $L b 2$ よりも短くなっている。そのため、領域 2 0 3 は、比較例に係る領域 2 0 2 よりも小さくすることができる。

【0045】

なお、複数のデータライン 2 c 2 が並ぶ方向、または、複数の制御ライン 2 c 1 が並ぶ方向において、有効画素領域 2 0 1 の片側に領域 2 0 3 を 1 つずつ設けることもできる。

この様にすれば、ノイズを検出することができ、且つ、X 線検出器 1 のサイズが大きくなるのをさらに抑制することができる。

40

【0046】

また、複数のデータライン 2 c 2 が並ぶ方向、および複数の制御ライン 2 c 1 が並ぶ方向において、有効画素領域 2 0 1 の両側に領域 2 0 3 を 1 つずつ設けることもできる。すなわち、有効画素領域 2 0 1 を囲む様に領域 2 0 3 を設けることもできる。このような場合にも、領域 2 0 3 は、比較例に係る領域 2 0 2 よりも小さくすることができる。

以上に説明したように、有効画素領域 2 0 1 の少なくとも一方に領域 2 0 3 を設けることができる。

【0047】

前述したように、オフセット処理に用いる値は、複数のノイズ検出部 2 g から出力された

50

値の平均値とすることができる。そのため、ノイズ検出部 2 g の数を多くすれば、ノイズを精度良く検出することができ、ひいては横引きノイズの除去の精度を向上させることができる。この場合、領域 2 0 3 の数が多くなれば、ノイズ検出部 2 g の数を多くすることができる。

【 0 0 4 8 】

ただし、領域 2 0 3 の数が増えれば、その分だけ X 線検出器 1 が大きくなることになる。しかしながら、前述したように、領域 2 0 3 は、比較例に係る領域 2 0 2 よりも小さくすることができる。そのため、領域 2 0 3 の数を増やしたとしても X 線検出器 1 のサイズが大きくなるのを抑制することができる。領域 2 0 3 の数や配置は、X 線検出器 1 の仕様などに応じて適宜決定することができる。

10

【 0 0 4 9 】

以上に説明したように、本実施の形態に係る X 線検出器 1 とすれば、横引きノイズを検出することができる。また、複数のノイズ検出部 2 g が設けられた領域 2 0 3 を小さくすることができる。そのため、ノイズを検出することができ、且つ、X 線検出器 1 のサイズが大きくなるのを抑制することができる。

【 0 0 5 0 】

ここで、前述したように、オフセット処理に用いる値は、複数のノイズ検出部 2 g から出力された値の平均値とすることができる。そのため、ノイズ検出部 2 g の数を多くすれば、ノイズを精度良く検出することができ、ひいては横引きノイズの除去の精度を向上させることができる。

20

例えば、複数のデータライン 2 c 2 のそれぞれに、複数のノイズ検出部 2 g を電氣的に接続することができる。例えば、複数の制御ライン 2 c 1 のそれぞれに、複数のノイズ検出部 2 g を電氣的に接続することができる。すなわち、複数の領域 2 0 3 を並べて設けることができる。この様にすれば、ノイズ検出部 2 g の数を多くすることができるので、ノイズを精度良く検出することができ、ひいては横引きノイズの除去の精度を向上させることができる。

【 0 0 5 1 】

図 1 0 および図 1 1 は、他の実施形態に係るノイズ検出部 2 g の配置を例示するための模式平面図である。

なお、図 1 0 および図 1 1 においては、バイアスライン 2 c 3 を省いて描いている。

30

図 1 2 (a)、(b) は、領域 2 0 3 の配置を例示するための模式平面図である。

図 1 0 に示すように、例えば、2 本のデータライン 2 c 2 のそれぞれに、複数のノイズ検出部 2 g を電氣的に接続することができる。この場合、例えば、図 1 2 (a) に示すように、複数のデータライン 2 c 2 が並ぶ方向において、有効画素領域 2 0 1 の両側に領域 2 0 3 を 2 つずつ設けることができる。なお、例えば、複数のデータライン 2 c 2 が並ぶ方向において、有効画素領域 2 0 1 の片側に領域 2 0 3 を 2 つ設けることもできる。

【 0 0 5 2 】

図 1 1 に示すように、例えば、2 本の制御ライン 2 c 1 のそれぞれに、複数のノイズ検出部 2 g を電氣的に接続することができる。この場合、例えば、図 1 2 (b) に示すように、複数の制御ライン 2 c 1 が並ぶ方向において、有効画素領域 2 0 1 の両側に領域 2 0 3 を 2 つずつ設けることができる。なお、例えば、複数の制御ライン 2 c 1 が並ぶ方向において、有効画素領域 2 0 1 の片側に領域 2 0 3 を 2 つ設けることもできる。

40

【 0 0 5 3 】

なお、複数のデータライン 2 c 2 が並ぶ方向、および複数の制御ライン 2 c 1 が並ぶ方向において、有効画素領域 2 0 1 の両側に領域 2 0 3 を 2 つずつ設けることもできる。すなわち、有効画素領域 2 0 1 を囲む様に領域 2 0 3 を 2 重に設けることができる。

なお、有効画素領域 2 0 1 の少なくとも一方に領域 2 0 3 を 2 つ設ける場合を例示したが、領域 2 0 3 を 3 つ以上設けることができる。

【 0 0 5 4 】

例えば、複数の光電変換部 2 b が設けられた領域 (有効画素領域 2 0 1) の外側には、複

50

数のノイズ検出部 2 g に設けられた薄膜トランジスタ 2 b 2 (第 2 の薄膜トランジスタ) が電氣的に接続される、複数のデータライン 2 c 2 が第 1 の方向に隣接して並べて設けられるようにすることができる。

例えば、複数の光電変換部 2 b が設けられた領域 (有効画素領域 2 0 1) の外側には、複数のノイズ検出部 2 g に設けられた薄膜トランジスタ 2 b 2 (第 2 の薄膜トランジスタ) が電氣的に接続される、複数の制御ライン 2 c 1 が第 2 の方向に隣接して並べて設けられるようにすることができる。

【 0 0 5 5 】

ただし、領域 2 0 3 の数が増えれば、その分だけ X 線検出器 1 が大きくなることになる。しかしながら、前述したように、領域 2 0 3 は、比較例に係る領域 2 0 2 よりも小さくすることができる。そのため、領域 2 0 3 の数を増やしたとしても X 線検出器 1 のサイズが大きくなるのを抑制することができる。領域 2 0 3 の数や配置は、X 線検出器 1 の仕様などに応じて適宜決定することができる。

10

【 0 0 5 6 】

以上、本発明のいくつかの実施形態を例示したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更などを行うことができる。これら実施形態やその変形例は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。また、前述の各実施形態は、相互に組み合わせて実施することができる。

20

【 符号の説明 】

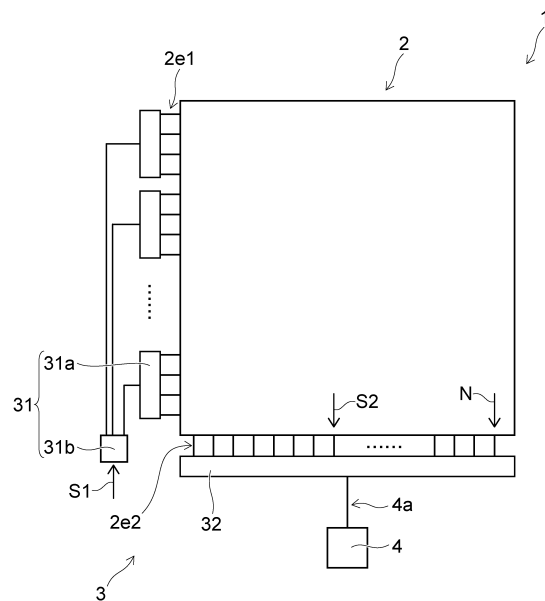
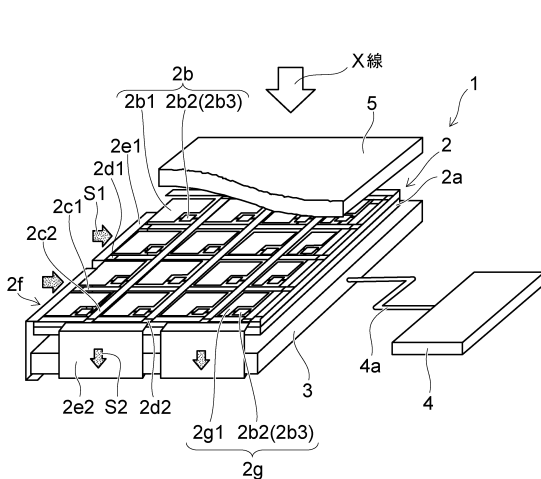
【 0 0 5 7 】

1 X 線検出器、2 アレイ基板、2 a 基板、2 b 光電変換部、2 b 1 光電変換素子、2 b 1 a 半導体層、2 b 1 b 電極、2 b 2 薄膜トランジスタ、2 c 1 制御ライン、2 c 2 データライン、2 g ノイズ検出部、2 g 1 容量部、3 信号処理回路、4 画像構成回路、5 シンチレータ、3 1 制御回路、3 2 信号検出回路

【 図面 】

【 図 1 】

【 図 2 】

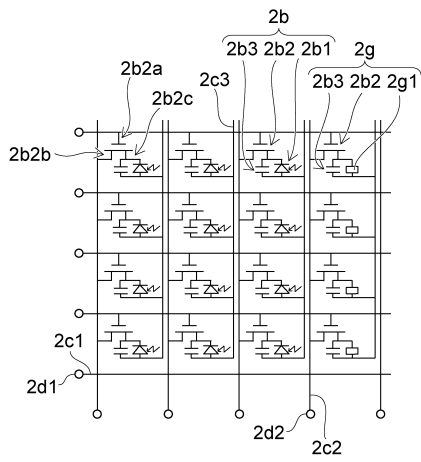


30

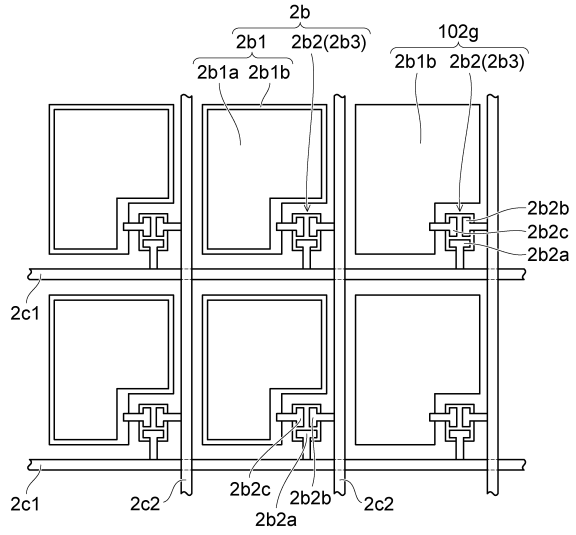
40

50

【 図 3 】



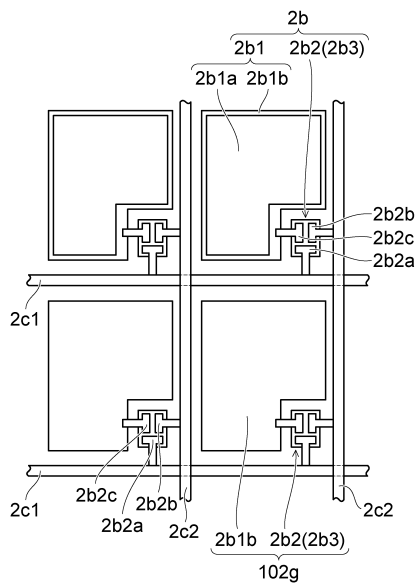
【 図 4 】



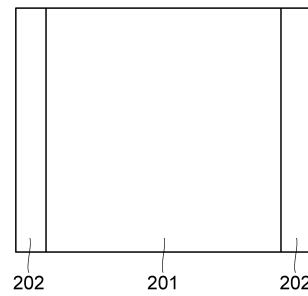
10

20

【 図 5 】



【 図 6 】

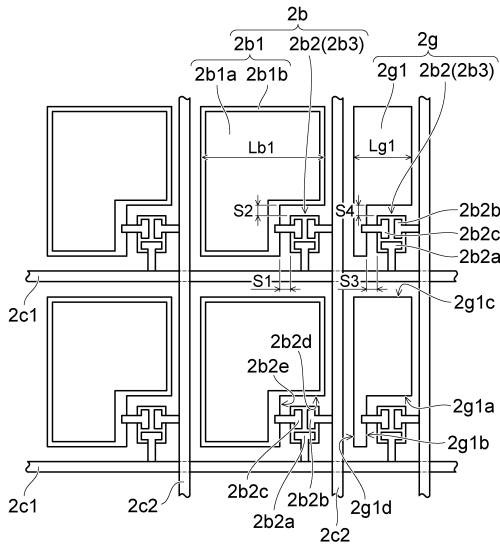


30

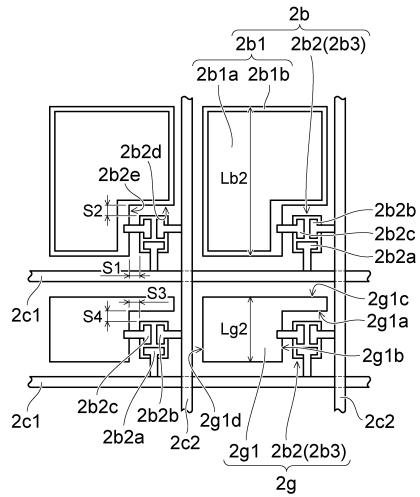
40

50

【 図 7 】



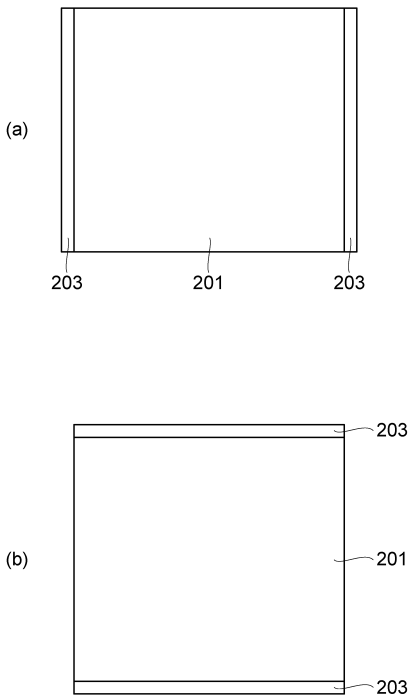
【 図 8 】



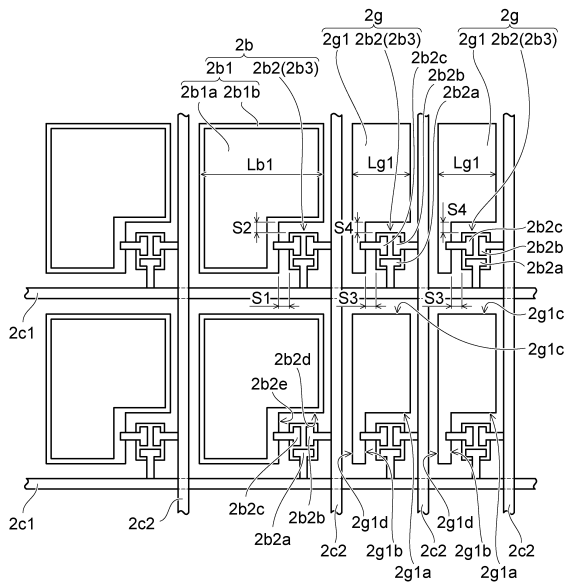
10

20

【 図 9 】



【 図 10 】

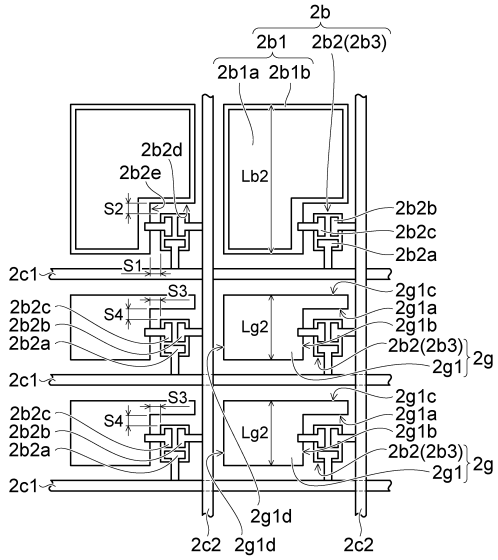


30

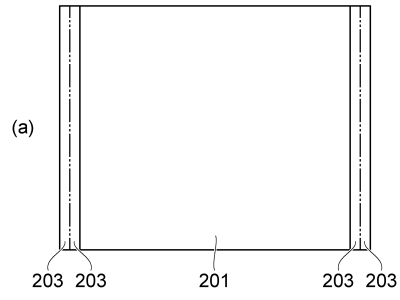
40

50

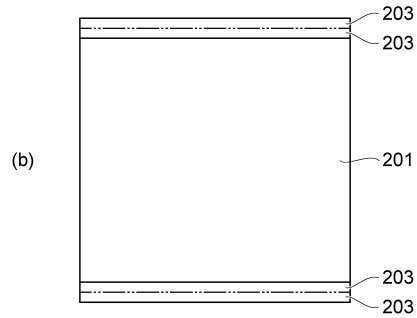
【 図 1 1 】



【 図 1 2 】



10



20

30

40

50

フロントページの続き

(51)国際特許分類

F I
H 0 4 N 5/357

テーマコード (参考)

(72)発明者 身深 亮

栃木県大田原市下石上 1 3 8 5 番地 キヤノン電子管デバイス株式会社内

(72)発明者 鬼橋 浩志

栃木県大田原市下石上 1 3 8 5 番地 キヤノン電子管デバイス株式会社内

(72)発明者 若松 俊輔

栃木県大田原市下石上 1 3 8 5 番地 キヤノン電子管デバイス株式会社内

F ターム (参考) 2G188 BB02 BB04 CC15 CC17 CC19 CC22 DD05 DD35 DD44 EE07
EE08 FF12
5C024 CX03 CY27 GX02 GX09 GX16 GX18 GY31