



(12) 发明专利

(10) 授权公告号 CN 102376623 B

(45) 授权公告日 2014. 07. 02

(21) 申请号 201110229518. 9

(22) 申请日 2011. 08. 09

(30) 优先权数据

1056566 2010. 08. 11 FR

(73) 专利权人 S. O. I. TEC 绝缘体上硅技术公司

地址 法国贝尔尼

(72) 发明人 M·布鲁卡特

(74) 专利代理机构 北京戈程知识产权代理有限公司

公司 11314

代理人 程伟 王锦阳

(51) Int. Cl.

H01L 21/762(2006. 01)

H01L 21/98(2006. 01)

H01L 27/00(2006. 01)

(56) 对比文件

US 6008113 A, 1999. 12. 28,

US 6008113 A, 1999. 12. 28,

WO 2009/135800 A2, 2009. 11. 12,

WO 2009/135800 A2, 2009. 11. 12,

US 2004/0085858 A1, 2004. 05. 06,

JP 特开 2010-21326 A, 2010. 01. 28,

JP 特开 2009-94164 A, 2009. 04. 30,

审查员 张弓

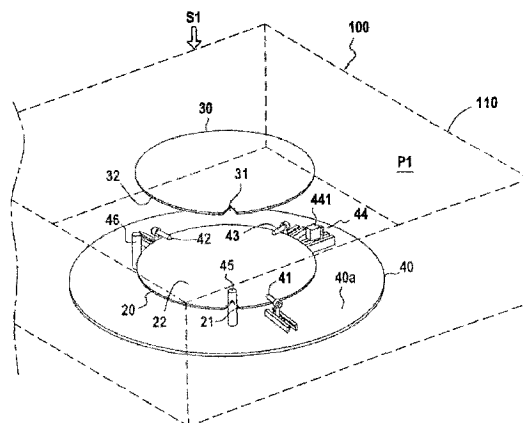
权利要求书2页 说明书8页 附图7页

(54) 发明名称

低压下的分子粘附键合方法

(57) 摘要

本发明涉及一种低压下的分子粘附键合方法,这种至少第一晶片(20)和第二晶片(30)之间的分子粘附键合方法至少包括机械对准步骤、使两个晶片(20,30)相接触的步骤以及在两个晶片之间引发键合波的传播的步骤。在机械对准步骤和使两个晶片相接触的步骤中,所述晶片被置于具有大于或等于预定压强阈值的第一压强(P1)的环境中。在引发键合波的传播的步骤中,所述晶片(20,30)被置于具有小于所述预定压强阈值的第二压强(P2)的环境中。



1. 一种至少第一晶片 (20) 和第二晶片 (30) 之间的分子粘附键合方法, 至少包括机械对准步骤、使两个晶片 (20, 30) 相接触的步骤以及在两个晶片之间引发键合波的传播的步骤,

其特征在于, 在所述机械对准步骤和使两个晶片相接触的步骤中, 所述晶片被置于具有大于或等于预定压强阈值的第一压强 (P1) 的环境中, 在引发键合波的传播的步骤中, 所述晶片 (20, 30) 被置于具有小于所述预定压强阈值的第二压强 (P2) 的环境中, 所述预定压强阈值为防止在所述机械对准步骤和所述使两个晶片相接触的步骤中引发键合波传播的压强值。

2. 根据权利要求 1 所述的至少第一晶片 (20) 和第二晶片 (30) 之间的分子粘附键合方法, 其特征在于, 所述预定压强阈值介于 20 毫巴和 5 毫巴之间。

3. 根据权利要求 1 或 2 所述的至少第一晶片 (20) 和第二晶片 (30) 之间的分子粘附键合方法, 其特征在于, 在机械对准和使两个晶片 (20, 30) 相接触的步骤之前, 所述晶片被设置成彼此相对, 同时在两个晶片之间嵌入至少三个间隔元件 (41, 42, 43), 以便保持两个晶片之间的间隔, 机械对准和使两个晶片相接触的步骤包括:

- 撤回所述间隔元件的其中之一 (41),
- 通过推动器 (44) 在所述晶片 (20, 30) 上施加第一侧力, 以便使两个晶片互相对准, 所述晶片被至少一个保持手指 (45 ; 46) 保持,
- 撤回其他的间隔元件 (42, 43),
- 撤回所述推动器 (44),
- 通过所述推动器 (44) 在两个晶片 (20, 30) 上施加第二侧力, 以及
- 撤回所述推动器 (44)。

4. 根据权利要求 1 所述的至少第一晶片 (20) 和第二晶片 (30) 之间的分子粘附键合方法, 其特征在于, 在引发键合波的步骤中, 晶片被置于具有小于 1 毫巴的第二压强的环境中, 以便自然地引发键合波。

5. 根据权利要求 1 所述的至少第一晶片 (20) 和第二晶片 (30) 之间的分子粘附键合方法, 其特征在于, 引发键合波的步骤包括在两个晶片之一上施加机械压强点。

6. 根据权利要求 5 所述的至少第一晶片 (20) 和第二晶片 (30) 之间的分子粘附键合方法, 其特征在于, 通过机械压强点施加到两个晶片之一上的机械压强介于 1MPa 和 33.3MPa 之间。

7. 一种用于制造三维复合结构 (300) 的方法, 包括在第一晶片 (100) 的第一面 (101) 上制造第一系列微型元件 (110) 的步骤, 至少机械对准的步骤, 使所述第一晶片 (100) 的包括第一系列微型元件的第一面与第二晶片 (200) 的面相接触的步骤, 以及之后的在两个晶片 (100, 200) 之间引发键合波的传播的步骤, 其特征在于, 根据权利要求 1 至 6 中任一项所述的键合方法来执行机械对准步骤、使晶片相接触的步骤以及在晶片之间引发键合波的传播的步骤。

8. 根据权利要求 7 所述的用于制造三维复合结构 (300) 的方法, 其特征在于, 在键合步骤之后, 包括减薄所述第一晶片 (100) 以形成层 (100a) 的步骤。

9. 根据权利要求 8 所述的用于制造三维复合结构 (300) 的方法, 其特征在于, 还包括在所述层 (100a) 的包括第一系列微型元件 (110) 的面的相对面 (102) 上制造第二系列微型

元件(140)的步骤。

10. 根据权利要求7至9中任一项所述的用于制造三维复合结构(300)的方法,其特征在于,在键合步骤之前,包括在所述第一晶片(100)的包括第一系列微型元件(110)的面上形成氧化物层的步骤。

11. 根据权利要求7所述的用于制造三维复合结构(300)的方法,其特征在于,所述第一晶片(100)为SOI型结构。

12. 根据权利要求7所述的用于制造三维复合结构(300)的方法,其特征在于,至少第一系列微型元件(110)包括图像传感器。

低压下的分子粘附键合方法

技术领域

[0001] 本发明涉及在低压下进行的两个“晶片”之间的分子粘附键合（也被称为“低压键合”LPB）。

背景技术

[0002] 为了获得高键合能和限制晶片外周的弱键合或未键合区域，已知在较低的压强或部分真空下执行两个晶片之间的分子粘附键合，如文件 EP 2 200 077 中特别描述的那样。在分子粘附键合过程中，在低压下，用于引发两个晶片之间的键合波传播所需要的力小于环境压强下所需要的力。此外，压强越低，键合波在两个晶片之间传播的越快。

[0003] 但是，通过两个晶片之间的低压键合获得的结构的质量是可变的。事实上，中请人观察到，在低压下，典型地在小于或等于 1 毫巴的压强下，通过分子粘附在两个晶片之间执行的键合在晶片变形方面得到非常满意的结果和很差的结果的可能性是均等的，即使是来自于同一批次的晶片也是如此。键合后的结果缺乏重复性的这种现象的原因在于，由于晶片处于促使引发键合波传播的低压环境，在执行实质上的键合之前的晶片对准和逐渐接触的操作过程中，可能会引发键合波的传播。

[0004] 当在这些预先处理晶片的步骤中引发键合波的传播时，可能会在一个或两个晶片上出现不均匀的变形。

[0005] 这些变形会造成问题，因为它们是不可控的和不可逆的。

[0006] 这些不均匀变形的出现会造成问题的一种特殊情况是根据三维集成（3D 集成）技术制造的多层半导体结构（也被称为“多层半导体晶片”），该技术包括将形成的至少一层从第二晶片转移到被称为最终衬底的第一晶片上，该层通过分子粘附键合到第一晶片上，并且通常在键合之后被减薄，该层对应于第二晶片中形成有元件（例如多个微型元件）的部分。其他相应的元件可以选择性地形成在第一晶片上。

[0007] 在用于容纳微型元件的第一晶片的情况下，特别是由于指定层上存在的微型元件的非常小的尺寸或者庞大的数量，每个转移层，即每个包括该层的晶片必须以正确的精度置于最终衬底（第一晶片独自或者已经包括其它的转移层）上，以便符合与下方层的大约 0.3 微米的对准。此外，在层被转移之后，可能需要对层进行处理，例如为了形成其它微型元件、为了显露表面上的微型元件、为了产生互连等等，还必须以与层中存在的元件有关的非常高的精度来执行这些处理操作。

[0008] 尽管低压下的分子粘附键合可以获得高键合能，而不需要在高温下执行用于加强键合界面的退火，这种退火可能会破坏微型元件，但是如上文所述的晶片上产生的不均匀变形导致形成与转移之前形成的微型元件对准的另外的微型元件是很难的，甚至是不可能的。即使是在 3D 集成的范围之外，也就是说在第一晶片不包括微型元件或者以后不用于容纳微型元件的情况下，这类键合晶片不均匀变形的问题也仍然存在。

[0009] 在 3D 集成的特殊情况下，低压分子键合所产生的不均匀变形随后引起各层的微型元件未对准的现象。参考图 5 描述的也被称为“重叠（overlay）”的这种未对准现象以大

约 50nm 的缺陷形式出现,比分子键合时衬底的对准精度低得多。

[0010] 图 5 显示了通过第一晶片或初始衬底 410 和第二晶片或最终衬底 420 之间的低压下的分子粘附键合获得的三维结构 400,借助于可以限定用于形成与将要制造的微型元件对应的图案的区域的掩模,通过光刻在第一晶片或初始衬底 410 上形成第一系列的微型元件 411 至 419。在键合之后减薄初始衬底 410,以便去除微型元件 411 至 419 那一层上方存在的材料部分,并且与初始衬底 410 的暴露表面齐平地形成第二层微型元件 421 至 429。

[0011] 但是,即使当使用定位工具时,一方面的微型元件 411 至 419 中的某一些与另一方面的微型元件 421 至 429 中的某一些之间也存在偏移,例如图 5 所示的偏移 Δ_{11} 、 Δ_{22} 、 Δ_{33} 、 Δ_{44} (分别对应于在微型元件对 411/421、412/422、413/423 和 414/424 之间观察到的偏移)。

[0012] 这些偏移不是来源于衬底的不精确组装所产生的初等变换 (elementary transformation) (平移、旋转或其组合)。这些偏移是由来自于初始衬底的层在其键合到最终衬底的过程中出现的不均匀变形所引起的。具体而言,这些变形引起与某些微型元件 411 至 419 水平的不均匀的局部位移。同样地,转移之后在衬底的暴露表面上形成的某些微型元件 421 至 429 显现出关于这些微型元件 411 至 419 的位置变化,这些位置变化可能是几百纳米左右,或者甚至是一微米。

[0013] 这种微型元件的两层之间的未对准现象 (也称作“重叠”)可能引起短路、堆叠中的扭曲、或者两层微型元件之间的连接缺陷。因此,在被转移的微型元件是通过像素形成的成像器并且转移后的处理步骤是用于在这些像素的每一个上形成滤色器的情况下,在这些像素的某一些当中观察到着色功能的损失。

[0014] 未对准现象还导致所制造的多层半导体晶片的质量和下降。由于对微型元件小型化以及每一层的集成密度日渐提高的要求,这种现象的影响变得越来越大。

发明内容

[0015] 本发明的目的在于提供一种解决方案,其可以限制晶片或衬底在其通过分子粘附键合到另一晶片或衬底的过程中出现的不均匀变形,同时保留低压键合的优点。

[0016] 为此目的,本发明提供一种至少第一晶片和第二晶片之间的分子粘附键合方法,至少包括机械对准步骤、使两个晶片相接触的步骤以及在两个晶片之间引发键合波的传播的步骤,在该方法中,在所述机械对准步骤和使两个晶片相接触的步骤中,所述晶片被置于具有大于或等于预定压强阈值的第一压强的环境中,在引发键合波的传播的步骤中,所述晶片被置于具有小于所述预定压强阈值的第二压强的环境中。

[0017] 凭借本发明的方法,可以执行所有的机械对准和使晶片相接触的步骤,而不会有引发键合波的传播的风险,因为晶片的环境压强被保持在相应地在这些步骤中选择的预定阈值以上。因此,通过控制引发键合波的传播的时刻,即晶片被正确对准并且完全接触的吋刻,避免了所得到的结构中的不均匀变形的风险。此外还获得良好的键合,显现出很少的“空洞”型缺陷和受控的变形,因为键合波传播的引发是在小于预定压强阈值的第二压强下发生的。

[0018] 在 3D 集成的特殊情况下,这大大降低了后续形成额外的微型元件层的过程中或者均包括将被手动对准的微型元件的两个晶片的键合过程中的未对准或“重叠”的风险,。

[0019] 根据本发明的一方面,所述预定压强阈值介于 20 毫巴和 5 毫巴之间。

[0020] 例如,在机械对准和使两个晶片相接触的步骤中,两个晶片被放置在具有大约 400 毫巴的第一压强的环境中。不过,第一压强可以接近或超过大气压强,而不会脱离本发明的范围。

[0021] 根据本发明的方法的特殊实施例,在机械对准和使两个晶片相接触的步骤之前,所述晶片被设置成彼此相对,同时在两个晶片之间嵌入至少三个间隔元件,以便保持两个晶片之间的间隔,机械对准和使两个晶片相接触的步骤包括:

[0022] - 撤回(retract)所述间隔元件的其中之一,

[0023] - 通过推动器在所述晶片上施加第一侧力,以便使两个晶片互相对准,所述晶片被至少一个保持手指保持,

[0024] - 撤回其他的间隔元件,

[0025] - 撤回所述推动器,

[0026] - 通过所述推动器在两个晶片上施加第二侧力,以及

[0027] - 撤回所述推动器。

[0028] 根据本发明的一方面,在引发键合波的步骤中,晶片被置于具有小于 1 毫巴(mbar)的第二压强的环境中,以便自然地引发键合波。

[0029] 根据本发明的另一方面,引发键合波的步骤包括在两个晶片其中之一上施加机械压强点。

[0030] 本发明还涉及一种用于制造三维复合结构的方法,包括在第一晶片的一个面上制造第一层微型元件的步骤,至少机械对准的步骤,以及使所述第一晶片的包括该层微型元件的面与第二晶片的面相接触的步骤,以及之后的在两个晶片之间引发键合波的传播的步骤,其特征在于,根据本发明的键合方法来执行机械对准步骤、使晶片相接触的步骤以及在晶片之间引发键合波的传播的步骤。

[0031] 使用本发明的方法来在低压下执行分子粘附键合可以在微型元件的层的转移过程中消除或限制未对准(“重叠”)现象,并且产生非常优质的多层半导体晶片。微型元件的层可以特别包括图像传感器。

[0032] 本发明还涉及一种三维复合结构,包括晶片和通过分子粘附键合到所述晶片上的半导体晶体材料层,所述半导体晶体材料层具有位于所述半导体晶体材料层和所述晶片之间的键合界面附近的第一面以及与所述第一面相对的第二面,所述半导体晶体材料层在其第一面上包括第一系列微型元件并且在其第二面上包括与第一系列微型元件对准的第二系列微型元件,

[0033] 其中第一系列微型元件与第二系列微型元件之间的残余对准偏移在所述结构的整个表面上均匀地小于 100nm。

[0034] 通过这种有限的残余对准,大大减少了制造缺陷的出现,例如短路、扭曲或两个系列的微型元件的微型元件之间的连接缺陷。在第一系列的微型元件包括通过像素形成的成像器而第二系列的微型元件包括将与每个像素对准的滤色器的情况下,可以确保所有像素的着色功能。

[0035] 根据本发明的一方面,第一系列微型元件与第二系列微型元件之间的残余对准偏移在所述结构的至少 50%的表面上小于 50nm。

[0036] 根据本发明的另一方面,所述结构具有 300mm 或更大的直径。

[0037] 根据本发明的另一方面,所述微型元件中的至少一些是图像传感器。

附图说明

[0038] 通过接下来参考附图通过非限制性示例给出的本发明的特殊实施例的描述,本发明的其他特征和优点将得以显现,其中:

[0039] 图 1 是图 2A 至图 2I 所显示的本发明的分子粘附键合方法的步骤的流程图,

[0040] 图 2A 至图 2I 是根据本发明的实施例的分子粘附键合方法的示意图,

[0041] 图 3A 至图 3D 是显示使用根据本发明的分子粘附键合方法的三维结构制造的示意图,

[0042] 图 4 是图 3A 至图 3D 中所显示的三维结构制造过程中所执行的步骤的流程图,

[0043] 图 5 是根据现有技术的低压下分子粘附键合之后的三维结构的示意图。

具体实施方式

[0044] 本发明一般应用于至少包括第一衬底或晶片到第二衬底或晶片的分子粘附键合的复合结构的制造。

[0045] 分子粘附键合本身是公知的技术。在此提醒,分子粘附键合的原理是基于使两个表面直接接触,即不使用特殊材料(粘合剂、蜡、钎焊等等)。这种操作要求待键合的表面足够光滑,没有颗粒或污染物,并将它们靠得足够近,以便可以引发接触,典型的距离小于几纳米。在这种情况下,两个表面之间的吸引力足够高,能够使引起分子粘附(两个待键合表面的原子或分子之间的电子相互作用的全部吸引力(范德华力)所引起的键合)的键合波传播。

[0046] 在一个与另一晶片紧密接触的晶片上引发至少一个接触点,以便触发键合波从该接触点传播,通过这种方式实现分子粘附。这里,“键合波”是指从引发点传播并对应于吸引力(范德华力)从接触点开始在两个晶片之间的紧密接触的整个表面(键合界面)上的扩散的连接或分子粘附的前缘(front)。通常通过对两个晶片之一的暴露表面施加机械压强来引发接触点。不过,通过令两个相接触的晶片承受非常低的压强(典型地小于 5 毫巴(mbar))和/或通过一个晶片对另一个晶片的重力作用,可以自然产生该接触点。

[0047] 尽管低压下的分子粘附键合可以改善键合的质量,但申请人观察到,如果在机械对准和使晶片相接触的阶段中引发键合,更确切地说是键合波的传播,则可能在晶片产生不均匀变形。

[0048] 为此目的,本发明提出通过将晶片置于具有高于预定压强阈值的压强的环境中来执行机械对准和使晶片接触的操作,当低于预定压强阈值时,在晶片处理过程中存在引发键合波在两个晶片之间传播的风险。

[0049] 术语“环境压强”用于表示键合腔中自然存在(即不使用泵装置)的压强,该压强对应于键合机所在的环境的大气压强。压强阈值小于大气压强。

[0050] 一旦这些操作已经执行,则可以将腔的压强降到所限定的压强阈值以下,以便能够引发键合波在两个晶片之间的传播。

[0051] 现在参考图 1 和图 2A 至图 2I 来描述根据本发明的方法的实施例的两个晶片之间

的分子粘附键合的示例。

[0052] 在图 2A 中,将第一晶片或衬底 20 置于键合机 100 的腔 110 中,所述腔包括衬底保持装置 40(步骤 S1)。衬底保持装置 40 包括具有优选小于 15 微米的平面度缺陷(planarity defect)的支撑板 40a。为了通过分子粘附将第一晶片 20 与第二晶片或衬底 30 组装,支撑板 40a 例如通过与支撑板 40a 联合的静电或抽吸系统或者通过简单的重力的方式保持第一晶片 20。只要确认用于保持晶片的联合系统(静电或抽吸)不使晶片变形,从而不导致未对准问题(“重叠”)的增加,就可以使用。

[0053] 一旦晶片 20 被保持在支撑板上,在适当的位置上放上三个用于暂时防止两个晶片之间的接触的隔离元件 41 至 43。此外,键合机包括推动器 44,推动器 44 包括头部 441。将推动器 44 置于撤回位置和机械对准位置之间,在撤回位置上,头部 441 离晶片 20 和晶片 30 的边缘有一距离,不在晶片上施加力(如图 2A 所示),在机械对准位置上,头部 441 紧靠晶片 20 和晶片 30 的边缘并且主要在径向方向上对被两个保持手指 45 和 46 保持在相反侧的两个晶片施加对准力,于指 45 用于与在晶片 20 和 30 分别的“凹口”21 和 31 形式制作的对准标记相互作用(如图 2B 所示)。在其对准位置上,推动器 44 的头部 441 对晶片施加推力,从而能够将晶片置于紧靠保持手指 45 和保持手指 46 的位置,并且确保它们的对准。

[0054] 然后将晶片 30 放置到间隔元件 41 至 43 上,从而将晶片 30 的下表面或面 32 设置成面对晶片 20 的上表面 22(图 2B,步骤 S2)。此时,推动器 44 处于其机械对准位置,并且对晶片施加抵靠手指 45 和 46 的保持力。

[0055] 以公知的方式制备晶片 20 和晶片 30 分别的将被键合的表面 22 和表面 32(抛光、清洗、疏水/亲水处理等等),以便允许分子键合。

[0056] 在后续的操作过程中,将间隔元件 41 撤回,并将推动器 44 置于其撤回位置(图 2C,步骤 S3),使得晶片 30 的处于间隔元件 41 和保持手指 45 的位置的部分下降到晶片 20 上。

[0057] 然后再次将推动器 44 置于其对准位置上,以便保持晶片对准(图 2D,步骤 S4)。撤回两个晶片之间仍存在的间隔元件,在这种情况下即间隔元件 42 和 43,而推动器 44 仍处在其保持晶片对准的位置上(图 2E,步骤 S5),此时晶片 20 和晶片 30 经历压缩应力。然后将推动器 44 放置到其撤回位置上,以便使施加到晶片上的应力松弛,并且释放被保持抵靠在手指 45 和 46 上的晶片 33,允许其下表面完全靠在晶片 20 的上表面上(图 2F,步骤 S6)。

[0058] 再次将推动器 44 放置在其机械对准位置上,以便确保在引发键合波的传播之前,晶片 20 和晶片 30 完全对准(图 2G,步骤 S7)。然后将推动器放置在其撤回位置上,以便使施加到晶片 20 和晶片 30 上的应力松弛(图 2H,步骤 S8)。

[0059] 根据本发明,执行上文所描述的步骤 S1 至步骤 S8 时将晶片置于第一压强 P1 下的环境当中。为此目的,如图 2A 至图 2H 所示,在腔 110 中执行对准和逐渐使晶片 20 和晶片 30 接触的步骤 S3 至步骤 S8,腔 110 中的压强可以等于或大于环境压强,或者是小于环境压强但大于预定压强阈值的压强。在第二种情况下,腔包括部分抽空装置(partial evacuation means),例如真空泵等等(图 2A 至图 2H 中未表示)。

[0060] 更确切地说,如上文所述,第一压强 P1 大于例如介于 20 毫巴和 5 毫巴之间的预定压强阈值,以便防止在机械对准和使晶片相接触的步骤中引发键合传播。具体而言,从步骤 S3 起,晶片 30 的键合面 31 的一部分与晶片 20 的键合面 21 接触。因此,从这一刻起,如果

晶片被放置到压强小于压强阈值的环境当中,则在晶片处理过程中,特别是在推动器与晶片之间的接触过程中或者当推动器撤回以使晶片 30 下降到晶片 20 上时,任何接触或施加到晶片上的振动都容易引发键合波的传播。

[0061] 通过采用高于阈值的压强 P1,在方法的这一阶段中,可以避免触发可能引起晶片中的不均匀变形和后续的未对准现象(“重叠”)的键合波的传播。在步骤 S1 至步骤 S8 中晶片所处的环境的压强 P1 可以是恒定的,也可以不是恒定的(即在对准和接触步骤中,压强 P1 可能是可变的)。

[0062] 在机械对准和使晶片相接触的步骤之后,执行分子粘附键合(步骤 S9)。为此目的,将腔 110 的压强降低到小于压强阈值的第二压强 P2,即典型地小于 20 毫巴、优选地小于 5 毫巴的压强。

[0063] 通过将腔中的压强 P2 降低到非常低的值,典型地小于 5 毫巴,可以在晶片 20 和晶片 30 之间自然地开始引发键合波传播。

[0064] 晶片在步骤 S9 中所处的环境的压强 P2 可以是恒定的,也可以不是恒定的(即在引发步骤中,压强 P2 可能是可变的)。

[0065] 如图 2I 所示,另一选择是可以通过装备有可以在晶片 30 上施加机械接触点的探针 51 的工具 50 来执行键合波的传播的引发。有利地但并非强制性地,可以控制探针 51 施加到晶片 30 上的机械压强,以便限制接触点水平上的变形。如图 2I 中示意性地显示的,工具 50 可以包括测力计(dynamometer)53。探针 51 连接到测力计 53 并且包括自由端 52,通过自由端 52 在晶片 30 上施加机械压强,以便引发两个晶片 20 和晶片 30 之间的接触点。已知工具 50 与晶片 30 的接触面积 52a 的值,可以通过控制工具施加到晶片上的承载力(bearing force)F 来施加介于 1MPa 和 33.3MPa 之间的机械压强(承载力=机械压强 x 承载面)。在引发接触点的过程中,通过这样限制施加到两个衬底其中之一上的压强,可以降低晶片中产生的不均匀变形,同时在两个晶片相接触的全部表面上执行分子粘附键合。通过测力计 53 来监测端部 52 在晶片 30 上施加的承载力。

[0066] 承载元件,更特别地,承载元件用于与晶片相接触的端部可由诸如 Teflon®、硅树脂或聚合物的材料制成或覆盖。一般而言,承载元件的端部是由足够刚硬的材料制成或覆盖,以便能够以受控方式施加压强。具体而言,过于柔软的材料可能变形或导致不精确的接触面,因此导致所施加的压强丧失精确性。此外,过于刚硬的材料可能导致在晶片表面上形成缺陷(痕迹)。

[0067] 此外,可以在机械对准和使晶片相接触的步骤和引发键合波传播的步骤之间的过渡阶段中再次提高压强。

[0068] 本发明的方法适用于组装适用于分子键合的任何类型的材料,特别是半导体材料,例如硅或锗、玻璃、石英、蓝宝石等等。待组装的晶片可以特别具有 100mm、150mm、200mm、300mm 或 450mm 的直径。晶片还可以在其大部分表面上或者只在有限的区域上包括微型元件。

[0069] 本发明的键合方法的一个特殊的但并非唯一的领域是三维结构的制造领域。

[0070] 现在参考图 3A 至图 3D 和图 4 来描述根据本发明的实施例通过将形成在初始衬底上的微型元件的层转移到最终衬底上来制造三维结构的方法。

[0071] 三维结构的制造开始是在优选地由半导体晶体材料制成的初始晶片或衬底 100

的表面上形成第一系列的微型元件 110(图 3A,步骤 S10)。微型元件 110 可以是完整的元件和 / 或只是元件的一部分。初始衬底 100 可以是单层结构,例如一层硅,或者可以是多层结构,例如 SOI 型结构。借助于可以限定用于形成与将要制造的微型元件 110 对应的图案的区域的掩模,通过光刻来形成微型元件 110。在通过光刻形成微型元件 110 的过程中,初始衬底 100 被保持在衬底保持装置 120 上。衬底保持装置包括支撑板 120a,例如通过与支撑板 120a 联合的静电或抽吸系统将初始衬底 100 压在支撑板 120a 上。

[0072] 然后,为了通过分子粘附键合,将初始衬底 100 的包括微型元件 110 的面 101 放置成面对并接触最终晶片或衬底 200 的面 201(步骤 S20,图 3B)。根据本发明,在压强大于 5 毫巴的罩或腔(图 6B 中未表示)中执行机械对准和使初始衬底 100 与最终衬底 200 相接触的步骤 S20,例如上文所述的步骤 S3 至 S8,以便避免在这些步骤中引发任何键合波传播。根据可选实施例,被衬底保持装置保持的是没有微型元件的最终衬底 200,而初始衬底 100 被置于最终衬底 200 的顶部。

[0073] 此外,可以在初始衬底 100 的包括微型元件 110 并且位于初始衬底 100 与最终衬底 200 之间的键合界面附近的面 101 上和 / 或最终衬底 200 的将被键合到面 101 上的面 201 上形成诸如 SiO_2 的氧化物层。

[0074] 根据本发明,将容纳彼此相接触的对准衬底 100 和 200 的腔或罩(图 3A 至图 3D 中未表示)中的压强降至小于 5 毫巴的值,如上文所述,该值能够自然地引发衬底之间的键合(步骤 S30,图 3B)。

[0075] 实际上在多数情况下已经观察到,腔内压强下降到小于 5 毫巴、优选地小于 3 毫巴的值,会自然地发生接触点和键合波传播的引发,也就是说不需要在晶片上施加额外的机械压强。将腔或罩中的压强降至低于 5 毫巴足以自然地触发该引发。目前相信,在这些低压条件下,下方衬底上的衬底的重量足以自然地引发分子键合。

[0076] 在腔内压强没有降至小于 5 毫巴或者在任何情况下确保接触点的引发的情况下,也可以通过在衬底 200 上施加机械压强 P_m ,优选地在其边缘附近机械压强 P_m ,在两个衬底之间引发接触点。如上文所述,压强 P_m 可以介于 1MPa 和 33.3MPa 之间,并且施加在小于或等于 1mm^2 的承载面上。接触点的引发导致键合波在初始衬底 100 与最终衬底 200 之间的界面上传播。然后两个衬底在其整个相接触的表面(键合界面)上通过分子粘附键合到一起。因此在衬底 100 和衬底 200 之间的键合界面处获得微型元件 100 的埋入层。

[0077] 在键合之后,如图 3C 所示,减薄初始衬底 100,以便去除第一系列微型元件 110 上方存在的材料部分,形成半导体晶体材料 110a 的层(步骤 S40)。在衬底 100 为 SOI 型衬底的情况下,可以有利地使用埋入绝缘层,以便划定余留层 100a 的厚度。然后获得通过最终衬底 200 和与初始衬底 100 的余留部分对应的层 100a 形成的复合结构 300。可以特别通过化学机械抛光(CMP)、通过化学蚀刻、或者通过沿事先通过原子注入在衬底中形成的脆弱面劈开或断裂来减薄初始衬底 100。

[0078] 如图 3D 所示,三维结构的制造的下一个步骤是在层 100a 的暴露面 102 上形成第二系列的微型元件 140(图 3D,步骤 S50)。微型元件 140 可以对应于微型元件 110 的补充部分,以便形成完成的元件和 / 或将起作用的元件与微型元件 140 分开。为了对准埋入微型元件 110 形成微型元件 140,使用光刻掩模,该光刻掩模类似于形成微型元件 110 所使用的光刻掩模。就像形成微型元件 110 时一样,通过最终衬底 200 和层 100a 形成的复合结构

300 被保持在与装置 120 相同的衬底保持装置 130 的支撑板 130a 上。然后将光刻掩模施加层 100a 的自由表面上。

[0079] 在一种变形中,通过层的堆叠来形成三维结构,通过本发明的组装方法来添加每一层,每一层与直接相邻的层对准。在另一种变形中,最终衬底 200 本身还包括微型元件。

[0080] 凭借本发明的分子粘附键合方法,可以将初始衬底 100 键合到最终衬底上,而不会发生变形,或者至少可以减小变形,从而在初始衬底 100 转移到最终衬底 200 之前和之后不再观察到微型元件 110 的明显的残余对准偏移。因此可以在晶片的整个表面上均匀地将残余偏移限制在小于 100nm 的值。在图 3 的特殊实施例中,首先将在其面 101 上包括第一系列微型元件 110 的初始衬底 100 放置到键合支撑件上。然后将最终晶片或衬底 200 放置到初始衬底 100 上,其面 201 面对并接触衬底 100 的面 101。当压强被降低到小于 5 毫巴、或者优选地小于 3 毫巴的值时观察到的自发键合(即不需要施加额外的机械压强)导致将第一系列微型元件 110 和第二系列微型元件 140 的微型元件对准对之间的残余对准偏移 Δ_{rao} 在晶片的整个表面上均匀地限制在小于 100nm 的值,并且在晶片的至少 50% 的表面上限制在小于 50nm 的值。

[0081] 然后很容易与微型元件 110 对准形成微型元件 140,即使微型元件 140 是很小的尺寸(例如 $< 1 \mu\text{m}$),甚至是在转移初始衬底之后。这样就例如可以通过金属连接使存在于两层中或者相同层的两个分离的面上的微型元件彼此互连,同时使互连不良的风险最小化。

[0082] 因此,本发明的键合方法可以限制晶片在其低压下的分子键合过程中不均匀变形的现象。在晶片包括微型元件的特殊情况下,方法最终可以消除一个电路层到另一层或到支撑衬底的转移过程中的未对准(“重叠”)现象,并且制造非常优质的多层半导体晶片。

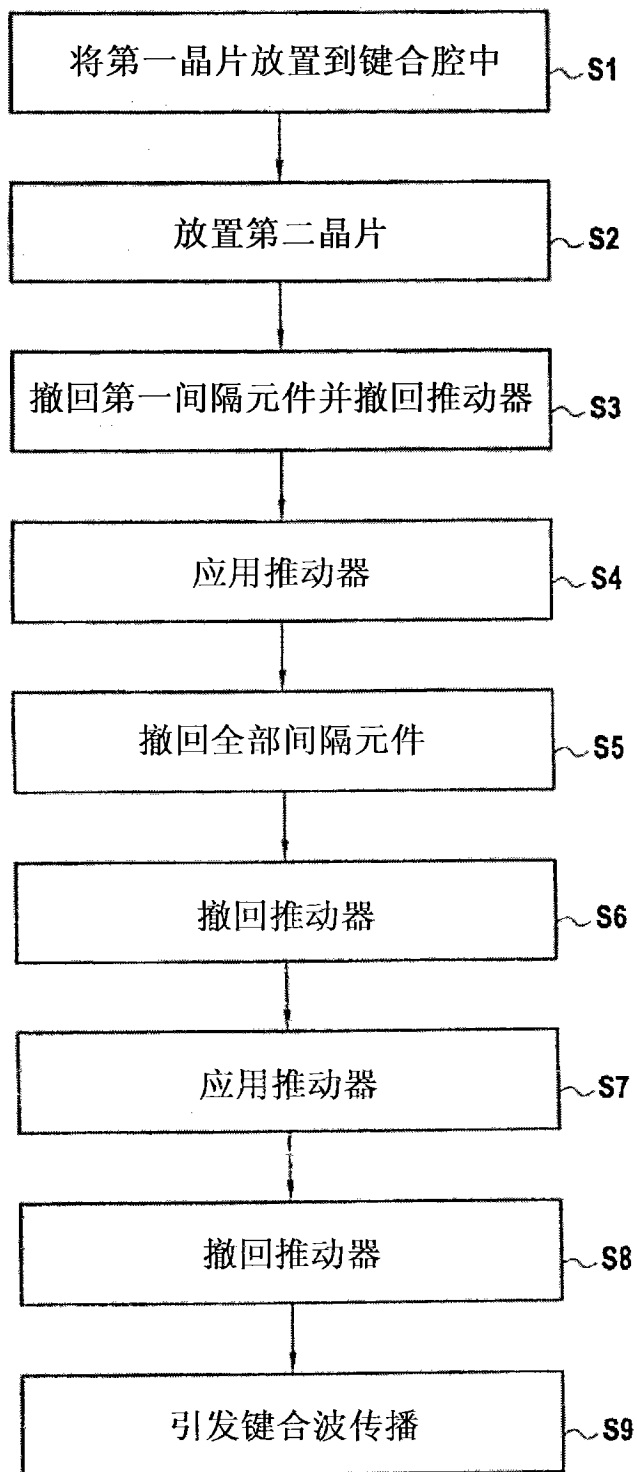


图 1

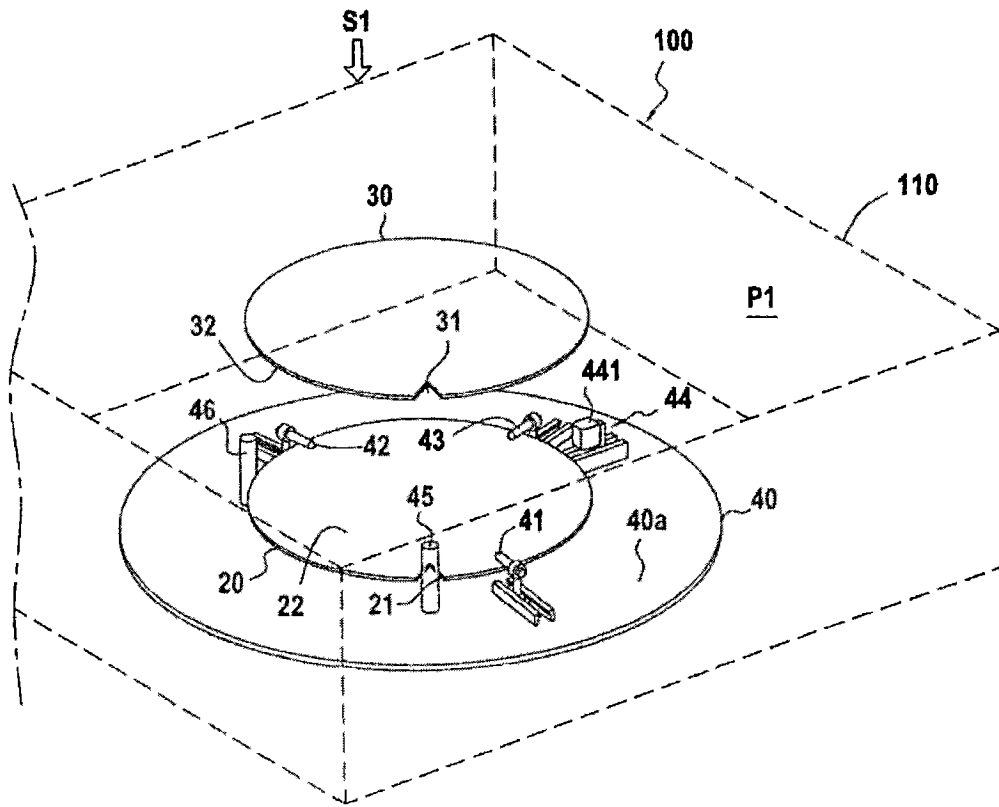


图 2A

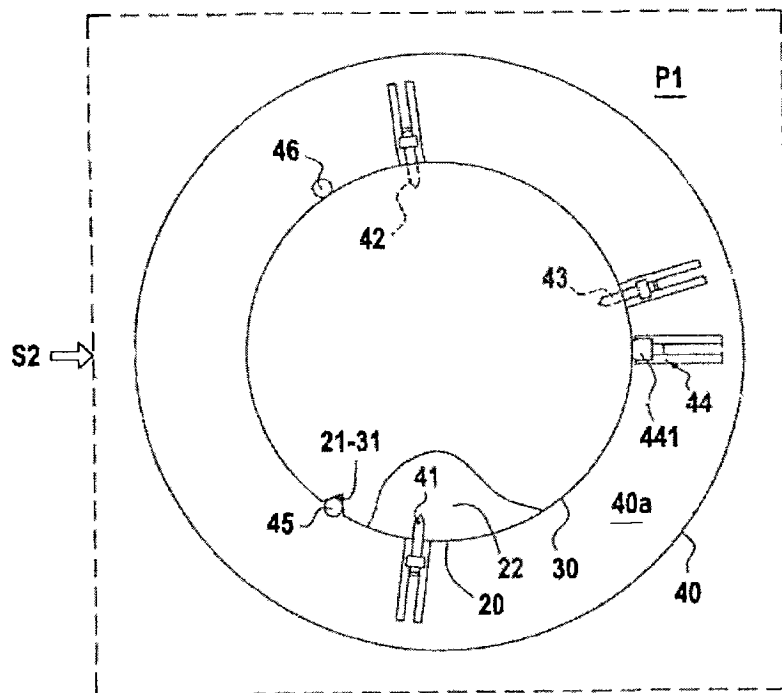


图 2B

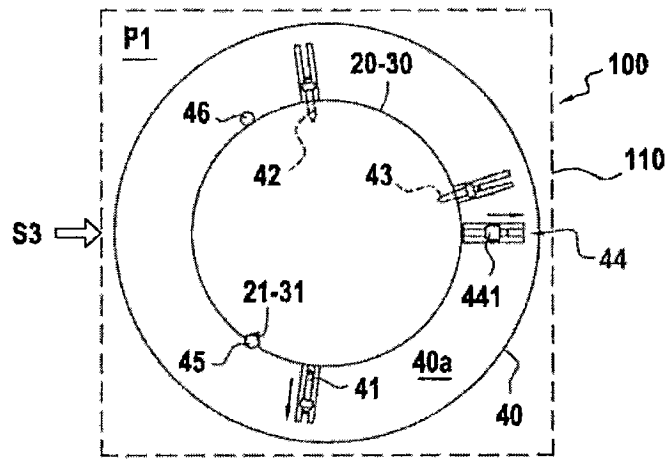


图 2C

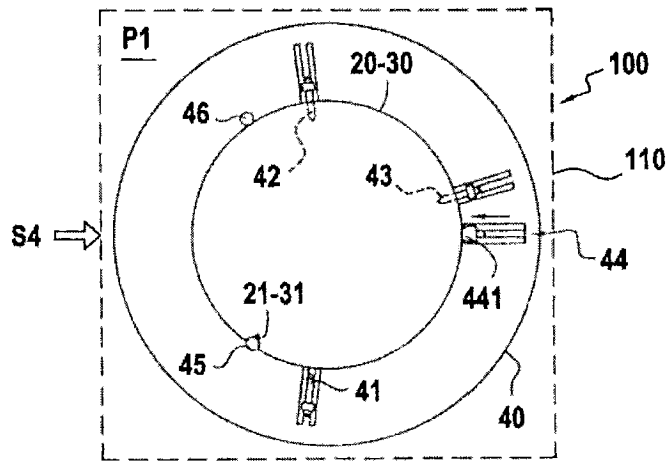


图 2D

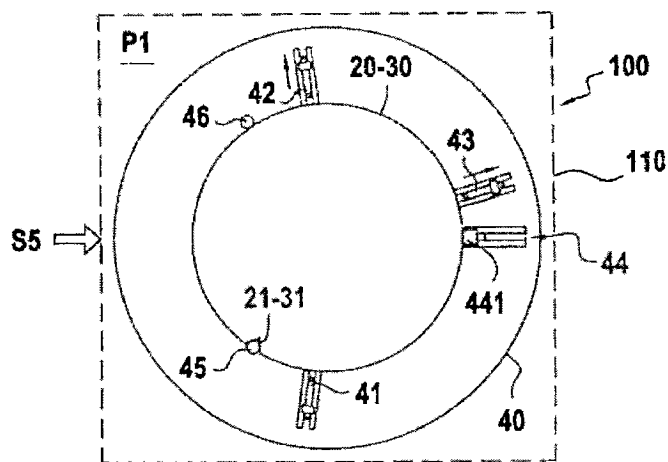


图 2E

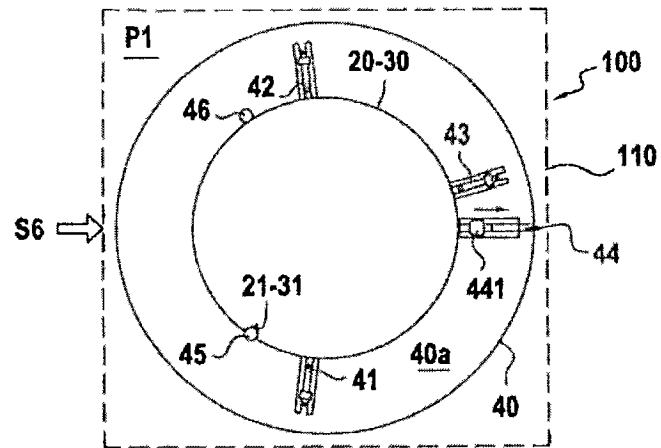


图 2F

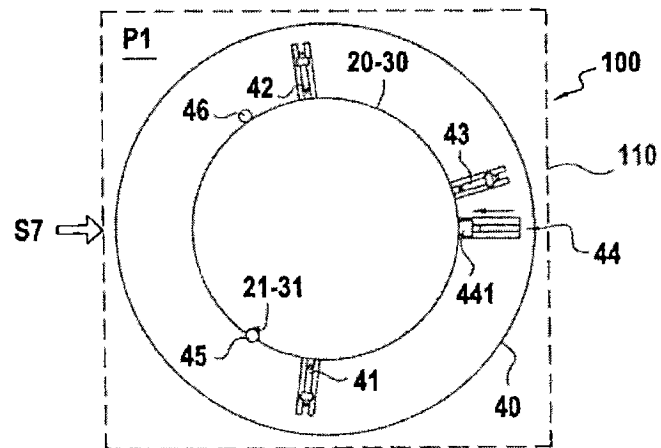


图 2G

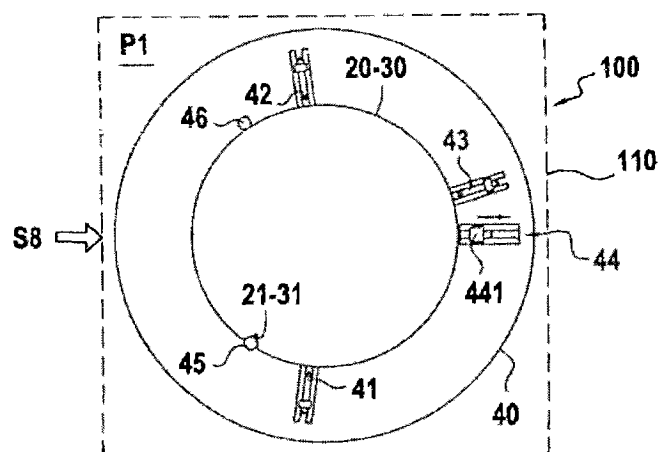


图 2H

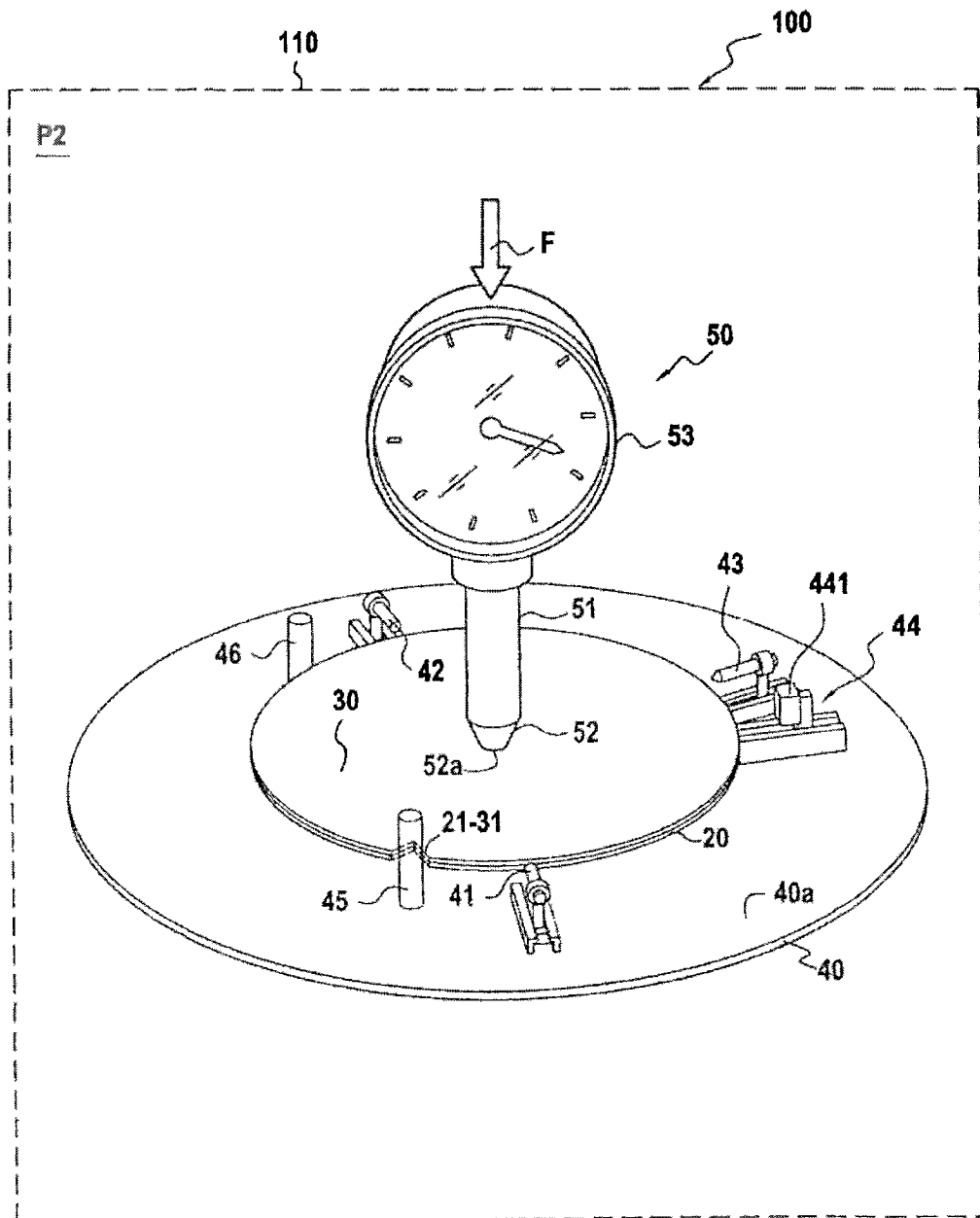


图 2I

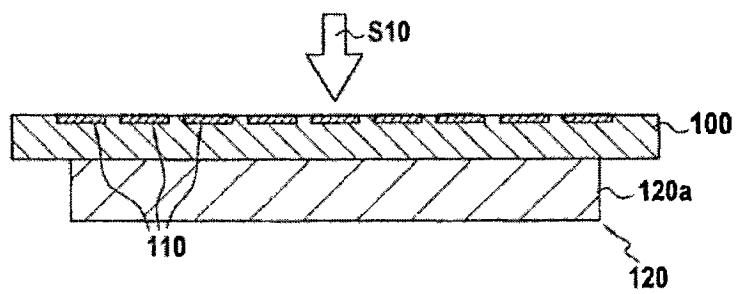


图 3A

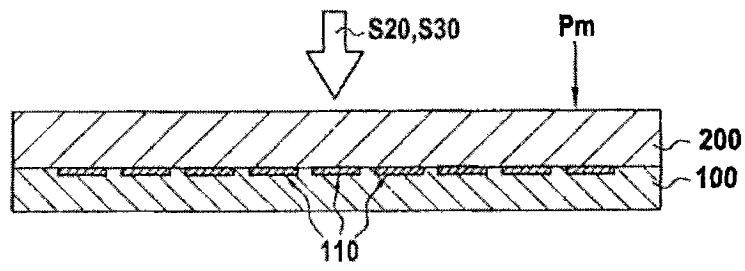


图 3B

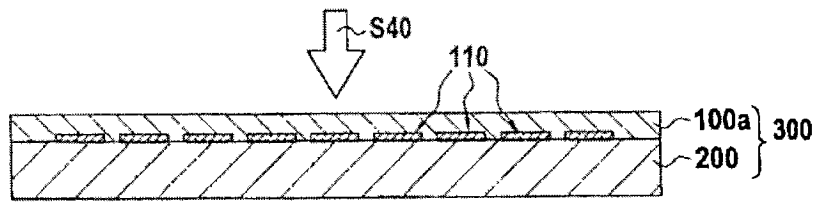


图 3C

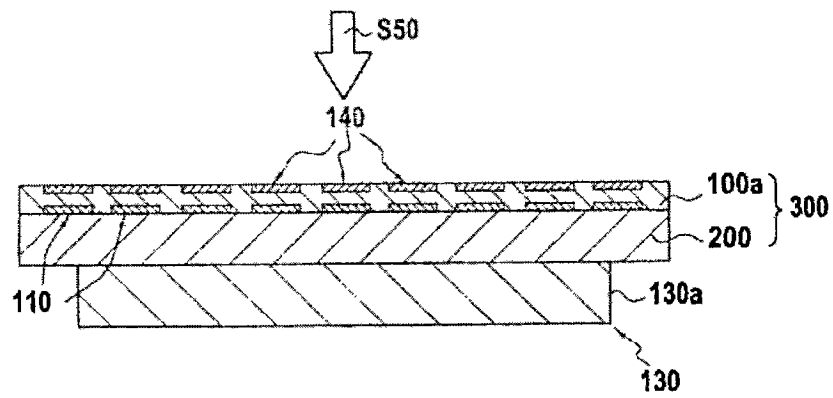


图 3D

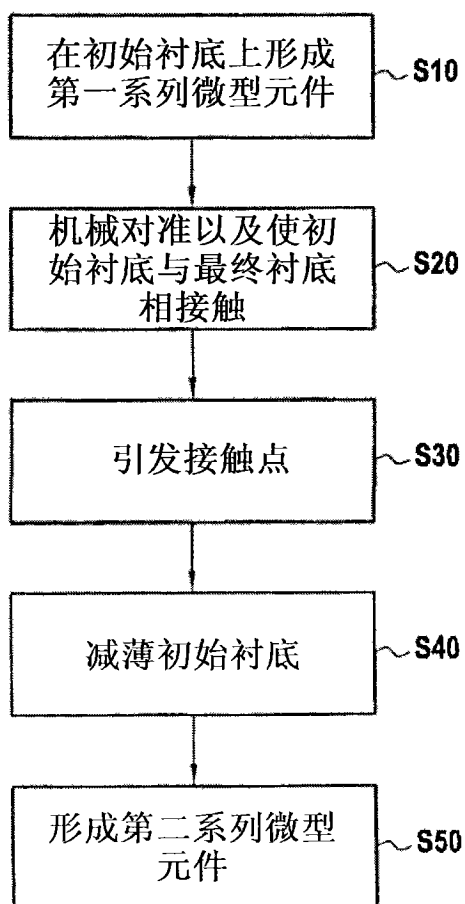


图 4

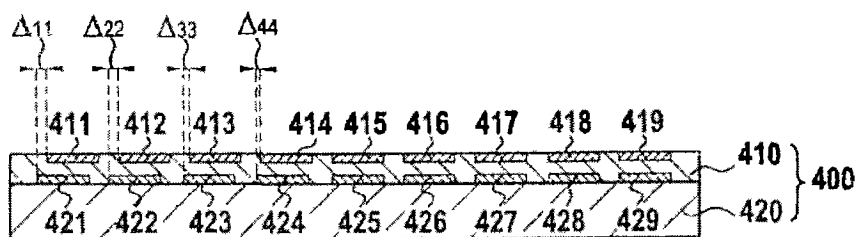


图 5