(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2023 年 6 月 8 日 (08.06.2023)

WIPO | PCT

(10) 国际公布号
WO 2023/097909 A1

(51) 国际专利分类号:
H01L 27/22 (2006.01) *H01L 43/12* (2006.01)
H01L 21/8229 (2006.01) *H01L 43/08* (2006.01)

(21) 国际申请号: PCT/CN2022/078090

(22) 国际申请日: 2022 年 2 月 25 日 (25.02.2022)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202111448141.6 2021年11月30日 (30.11.2021) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济开发区空港工业园兴业大道 388 号, Anhui 230011 (CN)。 北京超弦存储器研究院(BEIJING SUPERSTRING ACADEMY OF MEMORY TECHNOLOGY) [CN/CN]; 中国北京市大兴区北京经济技术开发区景园北街 52 幢 5层501-12, Beijing 100176 (CN)。

(72) 发明人: 王晓光 (WANG, Xiaoguang); 中国安徽省合肥市经济开发区空港工业园兴业大道388号, Anhui 230011 (CN)。 李辉辉 (LI, Huihui); 中国安徽省合肥市经济开发区空港工业园兴业大道388号, Anhui 230011 (CN)。 章纬 (CHANG, Wei); 中国安徽省合肥市经济开发区空港工业园兴业大道388号, Anhui 230011 (CN)。 曹堪宇 (CAO, Kanyu); 中国安徽省合肥市经济开发区空港工业园兴业大道388号, Anhui 230011 (CN)。

(74) 代理人: 北京同立钧成知识产权代理有限公司 (LEADER PATENT & TRADEMARK FIRM); 中

(54) **Title:** SEMICONDUCTOR STRUCTURE AND PREPARATION METHOD THEREFOR

(54) 发明名称: 半导体结构及其制备方法

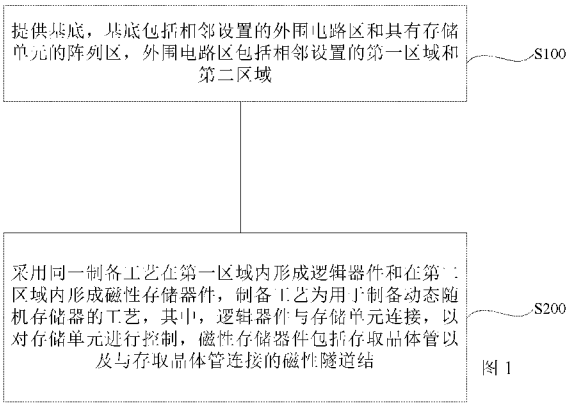


图 1

S100 Provide a substrate, wherein the substrate comprises a peripheral circuit area and an array area, which has a storage unit, wherein the peripheral circuit area and the array area are arranged adjacent to each other, and the peripheral circuit area comprises a first region and a second region, which are arranged adjacent to each other

S200 By using the same preparation process, form a logic device in the first region and form a magnetic storage device in the second region, wherein the preparation process is a process for preparing a dynamic random access memory; the logic device is connected to the storage unit to control the storage unit; and the magnetic storage device comprises an access transistor and a magnetic tunnel junction, which is connected to the access transistor

(57) **Abstract:** The present disclosure relates to the technical field of semiconductors. Provided are a semiconductor structure and a preparation method therefor. The preparation method for a semiconductor structure comprises: providing a substrate, wherein the substrate comprises a peripheral circuit area and an array area, which has a storage unit, which peripheral circuit area comprises a first region and a second region. In the present disclosure, a logic device for controlling the storage unit, and a magnetic storage device are simultaneously prepared in the peripheral circuit area by using a process for preparing a dynamic random access memory, such that one

WO 2023/097909 A1

[见续页]

国北京市海淀区西直门北大街32号枫蓝国际A座8F-6, Beijing 100082 (CN)。

(81) 指定国(除另有指明，要求每一种可提供的国家保护)：AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区保护)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

semiconductor structure has two storage structures. Compared with the technique of separately preparing two storage structures, the present disclosure can simplify steps, and reduce manufacturing costs. In addition, the magnetic storage device is prepared by means of the process for manufacturing a dynamic random access memory, such that the integration level of the magnetic storage device can be improved, thereby facilitating the development of a semiconductor structure addressing integration.

(57) 摘要：本公开提供一种半导体结构及其制备方法，涉及半导体技术领域，该半导体结构的制备方法包括提供基底，基底包括外围电路区和具有存储单元的阵列区，外围电路区包括第一区域和第二区域；本公开利用制备动态随机存储器的工艺在外围电路区内同时制备出用于控制存储单元的逻辑器件和磁性存储器件，使得同一半导体结构同时具有两种存储结构，与单独制备两种存储结构的技术相比，可以简化制作步骤，降低制作成本；此外，通过制备动态随机存储器的工艺来制备磁性存储器件，可以提高磁性存储器件的集成度，便于半导体结构向集成化方向发展。

半导体结构及其制备方法

本公开要求于 2021 年 11 月 30 日提交中国专利局、申请号为 202111448141.6、申请名称为“半导体结构及其制备方法”的中国专利申请的优先权，其全部内容通过引用结合在本公开中。

技术领域

本公开涉及半导体技术领域，尤其涉及一种半导体结构及其制备方法。

背景技术

磁性随机存取存储器（Magnetic Random Access Memory，简称 MRAM）是基于硅基互补氧化物半导体与磁性隧道结技术的集成，是一种非易失性的存储器，它具有静态随机存储器（Static Random Access Memory，简称 SRAM）的高速读写能力，以及动态随机存储器（Dynamic Random Access Memory，简称 DRAM）的高集成度。

但是，受制备工艺的限制，在形成磁性随机存取存储器时，很难提高其集成度，不利于半导体结构向集成化方向发展。

发明内容

本公开实施例的第一方面提供一种半导体结构的制备方法，其包括：

提供基底，所述基底包括相邻设置的外围电路区和具有存储单元的阵列区，所述外围电路区包括相邻设置的第一区域和第二区域；

采用同一制备工艺在所述第一区域内形成逻辑器件和在所述第二区域内形成磁性存储器件，所述制备工艺为用于制备动态随机存储器的工艺，其中，所述逻辑器件与所述存储单元连接，以对所述存储单元进行控制，所述磁性存储器件包括存取晶体管以及与所述存取晶体管连接的磁性隧道结。

在一些实施例中，采用同一制备工艺在所述第一区域内形成逻辑器件和在所述第二区域内形成磁性存储器件的步骤中包括：

在所述第一区域内形成逻辑晶体管，以及在所述第二区域内形成存取晶体管；

在位于所述第一区域和所述第二区域的基底上形成第一互连结构，所述第一互连结构包括第一互连层和第二互连层，所述第一互连层与所述逻辑晶体管连接，所述第二互连层与存取晶体管连接；

在所述第二互连层上形成磁性隧道结；

在所述第一互连层和所述磁性隧道结上方形成第二互连结构，所述第二互连结构包括第三互连层和第四互连层，所述第三互连层与所述第一互连层电性连接，所述第四互连层与所述磁性隧道结电性连接，其中，所述逻辑晶体管、所述第一互连层以及所述第三互连层构成所述逻辑器件，所述存取晶体管、所述第二互连层、所述磁性隧道结以及所述第四互连层构成磁性存储器件。

在一些实施例中，提供基底的步骤中，包括：

在所述基底内形成多个有源区以及用于分隔各个所述有源区的隔离结构；

在所述第一区域内形成逻辑晶体管，以及在所述第二区域内形成存取晶体管的步骤中，包括：

在所述基底的第一区域和所述第二区域上形成层叠设置的栅氧化层和栅极，所述栅极在所述基底上投影覆盖部分所述有源区；

形成包裹在所述栅极和所述栅氧化层的侧面的保护层，其中，位于所述第一区域内的有源区、栅氧化层、栅极以及保护层构成所述逻辑晶体管，位于第二区域内的有源区、栅氧化层、栅极以及保护层构成所述存取晶体管。

在一些实施例中，在所述第一区域内的基底内形成逻辑晶体管，以及在所述第二区域内形成存取晶体管的步骤之后，在位于所述第一区域和所述第二区域的基底上形成第一互连结构的步骤之前，所述制备方法还包括：

在所述基底上形成覆盖所述逻辑晶体管和所述存取晶体管的第一介质层；

在所述第一介质层内形成多个导电插塞，位于所述第一区域内的所述

导电插塞用于连接所述第一互连层与逻辑晶体管，位于所述第二区域内的所述导电插塞用于连接所述第一互连层与存取晶体管。

在一些实施例中，在所述第一介质层内形成多个导电插塞的步骤中包括：

图形化所述第一介质层，以在所述第一介质层内形成间隔设置的多个第一通孔，每个所述第一通孔暴露出所述有源区的源区或者漏区；

在每个所述第一通孔内沉积导电材料，以形成所述导电插塞。

在一些实施例中，位于所述第一区域和第二区域的基底上形成第一互连结构的步骤中包括：

在所述第一介质层上形成第一导电层；

去除部分所述第一导电层，被保留下来的所述第一导电层在所述第一区域内构成第一互连层，以及被保留下来的所述第一导电层在所述第二区域内构成第二互连层，所述第一互连层和所述第二互连层分别与所述导电插塞电性连接。

在一些实施例中，在平行于所述基底的平面上，所述第一互连层和所述第二互连层的投影分别覆盖各自电性连接的所述导电插塞的投影。

在所述第二互连层上形成磁性隧道结的步骤中包括：

在所述第一互连结构上形成磁性层；

去除部分所述磁性层，以保留位于所述第二区域上方的其中一个所述第二互连层上的磁性层，被保留下来的所述磁性层构成磁性隧道结。

在一些实施例中，在所述第二互连层上形成磁性隧道结的步骤之后，在所述第一互连层和所述磁性隧道结上方形成第二互连结构的步骤之前，所述制备方法还包括：

在所述第一互连结构和所述磁性隧道结上形成第三介质层；

在所述第三介质层内形成间隔设置的第一硅通孔和第二硅通孔，所述第一硅通孔位于所述第一区域上方，并与其中一个所述第一互连层电性连接，所述第二硅通孔位于所述第二区域上方，并与所述磁性隧道结电性连接。

在一些实施例中，在所述第一互连层和所述磁性隧道结上方形成第二互连结构的步骤中，包括：

在所述第三介质层上形成第二导电层；

去除部分所述第二导电层，被保留下来的所述第二导电层在所述第一区域内形成第三互连层，以及被保留下来的所述第二导电层在所述第二区域内形成第四互连层。

在一些实施例中，在所述基底的第一区域和所述第二区域上形成层叠设置的栅氧化层和栅极的步骤，包括：

在所述基底的第一区域和所述第二区域上形成层叠设置的栅氧材料层和栅极材料层；

在所述栅极材料层上形成导电材料层；

图案化所述导电材料层、栅氧材料层和栅极材料层，形成层叠设置的栅氧化层和栅极，以及形成在所述栅极上的字线。

本公开实施例的第二方面提供一种半导体结构，半导体结构通过上述实施例中的所述的半导体结构的制备方法制得，包括：

基底，所述基底包括相邻设置的外围电路区和具有存储单元的阵列区，所述外围电路区包括相邻设置的第一区域和第二区域；

逻辑器件，所述逻辑器件设置在所述第一区域内，并与所述存储单元连接，以对所述存储单元进行控制；

磁性存储器件，所述磁性存储器件设置在所述第二区域内，其中，所述磁性存储器件包括存取晶体管以及与所述存取晶体管连接的磁性隧道结。

在一些实施例中，所述逻辑器件包括逻辑晶体管、第一互连层和第三互连层，所述第一互连层和所述第三互连层层叠设置在所述逻辑晶体管上；

所述第一互连层通过位于第一区域上方的导电插塞与所述逻辑晶体管连接，所述第三互连层通过第一硅通孔与所述第一互连层连接。

在一些实施例中，所述磁性存储器件还包括第二互连层和第四互连层，所述第二互连层设置在所述存取晶体管和所述磁性隧道结之间，以使所述存取晶体管和所述磁性隧道结电性连接；

所述第四互连层设置在所述磁性隧道结上，并与所述磁性隧道结电性连接。

在一些实施例中，所述第二互连层通过位于第二区域上的导电插塞与所述存取晶体管连接，所述第四互连层通过第二硅通孔与所述磁性隧道结连接。

除了上面所描述的本公开实施例解决的技术问题、构成技术方案的技

术特征以及由这些技术方案的技术特征所带来的有益效果外，本公开实施例提供的半导体结构及其制备方法所能解决的其他技术问题、技术方案中包含的其他技术特征以及这些技术特征带来的有益效果，将在具体实施方式中作出进一步详细的说明。

附图说明

为了更清楚地说明本公开实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作一简单地介绍，显而易见地，下面描述中的附图是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 为本公开实施例提供的半导体结构的制备方法的工艺流程图一；

图 2 为本公开实施例提供的半导体结构的制备方法中阵列区和外围电路区的分布图；

图 3 为本公开实施例提供的半导体结构的制备方法中的基底的结构示意图；

图 4 为本公开实施例提供的半导体结构的制备方法的工艺流程图二；

图 5 为本公开实施例提供的半导体结构的制备方法中形成逻辑晶体管和存取晶体管的结构示意图；

图 6 为本公开实施例提供的半导体结构的制备方法中形成第一介质层的结构示意图；

图 7 为本公开实施例提供的半导体结构的制备方法中形成第一通孔的结构示意图；

图 8 为本公开实施例提供的半导体结构的制备方法中形成导电插塞的结构示意图；

图 9 为本公开实施例提供的半导体结构的制备方法中形成第一导电层的结构示意图；

图 10 为本公开实施例提供的半导体结构的制备方法中形成第一互连结构的结构示意图；

图 11 为本公开实施例提供的半导体结构的制备方法中形成第二介质层的结构示意图；

图 12 为本公开实施例提供的半导体结构的制备方法中形成磁性层的

结构示意图；

图 13 为本公开实施例提供的半导体结构的制备方法中形成磁性隧道结的结构示意图；

图 14 为本公开实施例提供的半导体结构的制备方法中形成第三介质层的结构示意图；

图 15 为本公开实施例提供的半导体结构的制备方法中形成第一硅通孔和第二硅通孔的结构示意图；

图 16 为本公开实施例提供的半导体结构的制备方法中形成第二导电层的结构示意图；

图 17 为本公开实施例提供的半导体结构的制备方法中形成第二互连结构的结构示意图。

附图标记：

10：基底；11：外围电路区；111：第一区域；112：第二区域；12：阵列区；13：有源区；14：隔离结构；

20：逻辑晶体管；21：栅氧化层；22：栅极；23：保护层；

30：存取晶体管；

40：第一介质层；41：第一通孔；42：导电插塞；

50：第一互连结构；51：第一互连层；52：第二互连层；53：第一导电层；

60：第二介质层；

70：磁性隧道结；71：磁性层；

80：第三介质层；81：第一硅通孔；82：第二硅通孔；

90：第二互连结构；91：第三互连层；92：第四互连层；93：第二导电层；

100：字线；

110：逻辑器件；120：磁性存储器件。

具体实施方式

相关技术中，磁性随机存储器（MRAM）受制备工艺的限制，很难提高其集成度，不利于半导体结构向集成化方向发展，基于上述的技术问题，

在公开本实施例中，利用制备动态随机存储器的工艺在外围电路区内同时制备出用于控制存储单元的逻辑器件和磁性存储器件，使得同一半导体结构同时具有两种存储结构，与单独制备两种存储结构的技术相比，可以简化制作步骤，降低制作成本；此外，通过制备动态随机存储器的工艺来制备磁性存储器件，可以提高磁性存储器件的集成度，便于半导体结构向集成化方向发展。

为了使本公开实施例的上述目的、特征和优点能够更加明显易懂，下面将结合本公开实施例中的附图，对本公开实施例中的技术方案进行清楚、完整地描述。显然，所描述的实施例仅仅是本公开的一部分实施例，而不是全部的实施例。基于本公开中的实施例，本领域普通技术人员在没有作出创造性劳动的前提下所获得的所有其它实施例，均属于本公开保护的范围。

如图 1 所示，本公开实施例提供的半导体结构的制备方法，包括如下的步骤：

步骤 S100：提供基底，基底包括相邻设置的外围电路区和具有存储单元的阵列区，外围电路区包括相邻设置的第一区域和第二区域。

示例性地，如图 2 所示，基底 10 包括相邻设置的外围电路区 11 和阵列区 12，比如，外围电路区 11 通常围绕阵列区 12 设置，阵列区 12 通常用于设置存储单元，以实现存储器的存储功能，其中，存储单元可以为动态随机存储器的器件，即，一个存储单元包括一个读取晶体管和一个电容器。

如图 3 所示，基底 10 内形成多个有源区 13 以及用于分隔各个有源区 13 的隔离结构 14，也就是说，有源区 13 既存在外围电路区 11 内，也存在阵列区 12 内。

隔离结构 14 的制备工艺可以为：先图形化基底 10，以在基底 10 内形成隔离沟槽，然后利用沉积工艺在隔离沟槽内沉积绝缘材质，以形成隔离结构 14，但并不以此为限。

其中，基底 10 可以由半导体材料制成，半导体材料可以为硅、锗、硅锗化合物以及硅碳化合物中的一种或者多种，隔离结构 14 的材质为绝缘材料，绝缘材料包括氧化硅、氮化硅、氮氧化硅或碳氮化硅中的任一种或其任一组合。

外围电路区 11 包括相邻设置的第一区域 111 和第二区域 112，其中，相邻设置可以理解为按一定的方向，第一区域 111 和第二区域 112 并排设置，也可以理解为，第一区域 111 围绕第二区域 112 设置，又或者是，第二区域 112 围绕第一区域 111。

步骤 S200：采用同一制备工艺在第一区域内形成逻辑器件和在第二区域内形成磁性存储器件，制备工艺为用于制备动态随机存储器的工艺，其中，逻辑器件与存储单元连接，以对存储单元进行控制，磁性存储器件包括存取晶体管以及与存取晶体管连接的磁性隧道结。

本实施例通过利用制备动态随机存储器的工艺在外围电路区内同时制备出用于控制存储单元的逻辑器件和磁性存储器件，使得同一半导体结构同时具有两种存储结构，与单独制备两种存储结构的技术相比，可以简化制作步骤，降低制作成本；此外，通过制备动态随机存储器的工艺来制备磁性存储器件，可以提高磁性存储器件的集成度，便于半导体结构向集成化方向发展。

在一些实施例中，如图 4 所示，采用同一制备工艺在第一区域内形成逻辑器件和在第二区域内形成磁性存储器件的步骤中包括如下的几个步骤：

步骤 S210：在第一区域内形成逻辑晶体管，以及在第二区域内形成存取晶体管。

其中，逻辑晶体管 20 和存取晶体管 30 是在同一工艺步骤中形成的，其结构如图 5 所示。

示例性地，可以利用离子掺杂工艺在有源区 13 内形成沟道区以及分别设置在沟道区两侧的源区和漏区，其中，源区和漏区的掺杂离子的类型相同，沟道区的掺杂离子的类型与源区的掺杂离子的类型不同。

之后，在基底 10 的第一区域 111 和第二区域 112 上形成层叠设置的栅氧化层 21 和栅极 22，栅极 22 在基底 10 上投影覆盖部分有源区 13，也就是，栅极 22 在基底 10 上的投影至少覆盖沟道区，以便于栅极 22 对沟道区施加电压。

在此步骤中，可以先利用沉积工艺在位于第一区域 111 和第二区域 112 的基底 10 上形成层叠设置的栅氧材料层和栅极材料层，栅氧材料层设置在基底 10 上，其中，栅氧材料层的材质可以包括氧化硅或者其他具有高介电常数的材质，比如，氧化铝；栅极材料层的材质包括多晶硅。

之后，在栅极材料层上形成导电材料层，其中，导电材料层的材质包括铜（Cu）、钨（W）、钛（Ti）、钽（Ta）、钴（Co）、氮化钛（TiN）、硅化钴（CoSi）和铝化钛（TiAl）中的一种或者任意组合。

最后，在导电材料层上形成掩膜层，对掩膜层进行图案化处理，以图案化后的掩膜层为掩膜，依次刻蚀导电材料层、栅氧材料层和栅极材料层，形成层叠设置的栅氧化层21和栅极22，以及形成在栅极22上的字线100，栅氧化层21位于基底10的上表面上。

待形成栅氧化层21、栅极22以及字线100之后，形成包裹在栅极22、栅氧化层21以及字线100的侧面的保护层23，比如，可以通过沉积工艺在有源区13上形成初始保护层，该初始保护层覆盖在栅氧化层21的侧面、栅极22的侧面以及字线100的侧面和顶面上，然后利用刻蚀气体或者刻蚀液去除位于字线100的顶面上的初始保护层，保留下来的初始保护层构成保护层23，通过保护层23的设置可以实现栅极22和字线100与其他器件之间的隔离，其中，保护层23的材质可以为氧化硅、氮化硅或者氮氧化硅构成的单层或者多层结构的绝缘材质。

在本实施例中，位于第一区域111内的有源区13、栅氧化层21、栅极22以及保护层23构成逻辑晶体管20，位于第二区域112内的有源区13、栅氧化层21、栅极22以及保护层23构成存取晶体管30，且逻辑晶体管20和存取晶体管30是在同一工艺步骤下制备的，可以起到简化制备工艺的优势。

步骤S220：在基底上形成覆盖逻辑晶体管和存取晶体管的第一介质层。

如图6所示，可以利用沉积工艺在基底10上第一介质层40，第一介质层40覆盖在逻辑晶体管20和存取晶体管30上，其中，第一介质层40的材质可以包括氧化硅或者氮化硅等绝缘材质。

步骤S230：在第一介质层内形成多个导电插塞，位于第一区域内的导电插塞用于连接第一互连层与逻辑晶体管，位于第二区域内的导电插塞用于连接第一互连层与存取晶体管。

示例性地，如图7所示，图形化第一介质层40，以在第一介质层40内形成间隔设置多个第一通孔41，每个第一通孔41暴露出有源区的源区或者漏区；比如，第一通孔41的个数为四个，从左往右，第一个第一通孔41用于暴露出位于第一区域111内的有源区13的源区，第二个第一通孔

41 用于暴露出位于第一区域 111 内的有源区 13 的漏区，且第一个第一通孔 41 和第二个第一通孔 41 均位于一个有源区 13 的上方，第三个第一通孔 41 用于暴露出位于第二区域 112 内的有源区 13 的源区，第四个第一通孔 41 用于暴露出位于第二区域 112 内的有源区 13 的漏区，且第三个第一通孔 41 和第四个第一通孔 41 均位于一个有源区 13 的上方。

之后，如图 8 所示，在每个第一通孔 41 沉积导电材料，以形成导电插塞 42，导电插塞 42 用于实现后续形成第一互连层和第二互连层分别与有源区 13 的连接。

步骤 S240：在位于第一区域和第二区域的基底上形成第一互连结构，第一互连结构包括第一互连层和第二互连层，第一互连层与逻辑晶体管连接，第二互连层与存取晶体管连接。

示例性地，如图 9 所示，利用沉积工艺在第一介质层 40 上形成第一导电层 53，其中，第一导电层 53 的材质可以包括金属钨、金属铝、金属铜或金属钛中的一种。

之后，如图 10 所示，图形化第一导电层 53，去除部分第一导电层 53，保留位于每个导电插塞 42 上方的第一导电层 53，被保留下来的第一导电层 53 在第一区域 111 内构成第一互连层 51，以及被保留下来的第一导电层 53 在第二区域 112 内构成第二互连层 52，第一互连层 51 和第二互连层 52 构成第一互连结构 50，其中，第一互连层 51 和第二互连层 52 分别与导电插塞 42 电性连接。

需要说明的是，本实施例中第一互连层 51 的个数为两个，其中，一个第一互连层 51 通过一个导电插塞 42 与位于第一区域 111 内的有源区 13 的源区电性连接，另一个第一互连层 51 通过一个导电插塞 42 与位于第二区域 112 内的有源区 13 的漏区电性连接，相应地，第二互连层 52 的个数为两个，其与位于第二区域 112 内的有源区 13 的连接方式与两个第一互连层 51 与位于第一区域 111 内的有源区 13 的连接方式相似，本实施例在此不再多加赘述。

在本实施例中，在平行于基底 10 的平面上，第一互连层 51 和第二互连层 52 的投影分别覆盖各自电性连接的导电插塞 42 的投影。

以第一个第一互连层 51 和与其电性连接的导电插塞 42 为例进行说明，第一互连层 51 在基底 10 上的投影面积大于导电插塞 42 在基底 10 上的投

影面积，如此设置，可以增加第一互连层 51 与导电插塞 42 的接触面积，降低上述两者的接触电阻，提高了半导体结构的性能。

如图 11 所示，为了实现第一互连层 51 与第二互连层 52，以及相邻的第一互连层 51 或者相相邻的第二互连层 52 之间的绝缘设置，第一互连层 51 与第二互连层 52 之间、相邻的第一互连层 51、以及相邻的第二互连层 52 之间设置有第二介质层 60。

步骤 S250：在第二互连层上形成磁性隧道结。

示例性地，如图 12 和图 13 所示，利用沉积工艺在第一互连结构 50 和第二介质层 60 上形成磁性层 71，然后对磁性层 71 进行图形化处理，去除部分磁性层 71，保留位于第二区域 112 上的第二互连层 52 上的磁性层 71，被保留下来的部分磁性层 71 构成磁性隧道结 70，其中，磁性隧道结 70 包括层叠设置的固定层、隧穿层以及自由层，在半导体结构正常工作时，自由层的磁化方向可以改变，而固定层的磁化方向保持不变，当自由层的磁化方向相对于固定层的磁化方向发生改变时，磁性存储器件的电阻值相应改变，对应于不同的存储信息。

需要说明的是，当磁性隧道结 70 与存取晶体管 30 的漏区连接时，相应地，磁性隧道结 70 形成在与漏区连接的导电插塞 42 上，当磁性隧道结 70 与存取晶体管 30 的源区连接时，相应地，磁性隧道结 70 形成在与源区连接的导电插塞 42 上。

在本实施例中，通过利用形成动态随机存储器的制备工艺，将磁性隧道结 70 形成在第一互连结构中第二互连层上，与相关技术中，磁性隧道结 70 形成在第四互连结构上的方案相比，可以提高单位面积内磁性存储器件的个数，进而提高了磁性存储器件的集成度。

步骤 S260：在第一互连层和磁性隧道结上方形成第二互连结构，第二互连结构包括第三互连层和第四互连层，第三互连层与第一互连层电性连接，第四互连层与磁性隧道结电性连接，其中，逻辑晶体管、第一互连层以及第三互连层构成逻辑器件，存取晶体管、第二互连层、磁性隧道结以及第四互连层构成磁性存储器件。

示例性地，如图 14 所示，利用沉积工艺在第一互连结构 50 和磁性隧道结 70 上形成第三介质层 80，第三介质层 80 的材质可以包括氧化硅和氮化硅。

如图 15 所示，在第三介质层 80 内形成间隔设置的第一硅通孔 81 和第二硅通孔 82，第一硅通孔 81 位于第一区域 111 上方，并与第一互连层 51 电性连接，第二硅通孔 82 位于第二区域 112 上方，并与磁性隧道结 70 电性连接。

以图 15 所示的方位为例，第一硅通孔 81 的个数为两个，两个第一硅通孔 81 与两个第一互连层 51 一一对应设置。

待形成第一硅通孔 81 和第二硅通孔 82 之后，如图 16 所示，在第三介质层 80 上形成第二导电层 93。

如图 17 所示，去除部分第二导电层 93，被保留下来的第二导电层 93 在第一区域 111 内形成第三互连层 91，以及被保留下来的第二导电层 93 在第二区域内形成第四互连层 92，第三互连层 91 和第四互连层 92 构成第二互连结构 90，其中，第三互连层 91 与第一硅通孔 81 电性连接，第四互连层 92 与第二硅通孔 82 电性连接，第四互连层 92 可以用作磁性存储器件 120 的位线结构。

需要说明的是，本实施例中的第三互连层 91 的个数为两个，与第一硅通孔 81 的个数相对应，以图 17 所示的方位为例，从左往右，第一个第三互连层 91 通过第一个第一硅通孔 81 和第一个第一互连层 51 连接，第二个第三互连层 91 也通过第二个第一硅通孔 81 与第二个第一互连层 51 连接，以避免信号传递出现串扰。

第三互连层 91 和第四互连层 92 的形成方式还可以有其他示例性实施例，比如，待形成第一硅通孔 81 和第二硅通孔 82 之后，在第三介质层 80 上形成绝缘层，图案化绝缘层，形成沟槽，沟槽暴露出第一硅通孔 81 的顶部和第二硅通孔 82 的顶部，在沟槽中沉积导电材料，与第一硅通孔 81 电性连接的导电材料构成第三互连层 91，与第二硅通孔 82 电性连接的导电材料构成第四互连层 92。绝缘层位于第三互连层 91 与第四互连层 92 之间，用于隔离第三互连层 91 与第四互连层 92，起到绝缘的作用。

在本实施例中，逻辑晶体管 20、第一互连层 51 以及第三互连层 91 构成逻辑器件 110，存取晶体管 30、第二互连层 52、磁性隧道结 70 以及第四互连层 92 构成磁性存储器件 120。

本实施例利用制备动态随机存储器的工艺在外围电路区内同时制备出用于控制存储单元的逻辑器件和磁性存储器件，使得同一半导体结构同时

具有两种存储结构，与单独制备两种存储结构的技术相比，可以简化制作步骤，降低制作成本；此外，通过制备动态随机存储器的工艺来制备磁性存储器件，可以提高磁性存储器件的集成度，便于半导体结构向集成化方向发展。

本公开实施例还提供了一种半导体结构，该半导体结构通过上述实施例中的半导体结构的制备方法制得的。

如图 17 所示，半导体结构包括基底 10、逻辑器件 110 和磁性存储器件 120，其中，基底 10 包括相邻设置的外围电路区 11 和具有存储单元的阵列区 12，外围电路区 11 包括相邻设置的第一区域 111 和第二区域 112，其中，第一区域 111 的面积与第二区域 112 的面积可以相同，也可以不同。

逻辑器件 110 设置在第一区域 111 内，并与设置在阵列区 12 内的存储单元连接，以对存储单元进行控制。

磁性存储器件 120 设置在第二区域 112 内，其中，磁性存储器件包括存取晶体管 30 以及与存取晶体管 30 连接的磁性隧道结 70。

在本实施例中，半导体结构中既具有动态随机存储器的存储单元，也具有磁性随机存储器的磁性隧道结，使得同一半导体结构具备两种不同形式的存储器件，可以提高半导体结构的多样性。

在一些实施例中，逻辑器件 110 包括逻辑晶体管 20、第一互连层 51 和第三互连层 91，第一互连层 51 和第三互连层 91 层叠设置在逻辑晶体管 20 上，其中，第一互连层 51 通过位于第一区域 111 上方的导电插塞 42 与逻辑晶体管 20 连接，比如，第一个第一互连层 51 通过位于第一区域 111 上方的第一个导电插塞 42 与逻辑晶体管 20 的源区连接，第二个第一互连层 51 通过位于第一区域 111 上方的第二个导电插塞 42 与逻辑晶体管 20 的漏区连接。

第三互连层 91 通过第一硅通孔 81 与第一互连层 51 连接，以实现第一互连层 51 和第三互连层 91 之间的电信号的传递，其中，第一硅通孔 81 的材质可以包括铜。

在一些实施例中，磁性存储器件 120 还包括第二互连层 52 和第四互连层 92，第二互连层 52 设置在存取晶体管 30 和磁性隧道结 70 之间，以使存取晶体管 30 和磁性隧道结 70 电性连接，也就是说，第二互连层 52 的上

表面与磁性隧道结 70 连接，第二互连层 52 的下表面与存取晶体管 30 电性连接。

第二互连层 52 的下表面与存取晶体管 30 可以直接连接，也可以间接连接，比如，第二互连层 52 与存取晶体管之间通过位于第二区域 112 上的导电插塞 42 连接。

第四互连层 92 设置在磁性隧道结 70 上，并与磁性隧道结 70 电性连接，比如，第四互连层 92 通过第二硅通孔 82 与磁性隧道结 70 连接，本实施例通过第二硅通孔 82、位于第二区域 112 上的导电插塞实现了磁性存储器件中各个部件之间的电性连接。

本说明书中各实施例或实施方式采用递进的方式描述，每个实施例重点说明的都是与其他实施例的不同之处，各个实施例之间相同相似部分相互参见即可。

在本说明书的描述中，参考术语“一个实施方式”、“一些实施方式”、“示意性实施方式”、“示例”、“具体示例”、或“一些示例”等的描述意指结合实施方式或示例描述的具体特征、结构、材料或者特点包含于本公开的至少一个实施方式或示例中。

在本说明书中，对上述术语的示意性表述不一定指的是相同的实施方式或示例。而且，描述的具体特征、结构、材料或者特点可以在任何的一个或多个实施方式或示例中以合适的方式结合。

最后应说明的是：以上各实施例仅用以说明本公开的技术方案，而非对其限制；尽管参照前述各实施例对本公开进行了详细的说明，本领域的普通技术人员应当理解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分或者全部技术特征进行等同替换；而这些修改或者替换，并不使相应技术方案的本质脱离本公开各实施例技术方案的范围。

权 利 要 求 书

1.一种半导体结构的制备方法，包括：

提供基底，所述基底包括相邻设置的外围电路区和具有存储单元的阵列区，所述外围电路区包括相邻设置的第一区域和第二区域；

采用同一制备工艺在所述第一区域内形成逻辑器件和在所述第二区域内形成磁性存储器件，所述制备工艺为用于制备动态随机存储器的工艺，其中，所述逻辑器件与所述存储单元连接，以对所述存储单元进行控制，所述磁性存储器件包括存取晶体管以及与所述存取晶体管连接的磁性隧道结。

2.根据权利要求 1 所述的半导体结构的制备方法，其中，采用同一制备工艺在所述第一区域内形成逻辑器件和在所述第二区域内形成磁性存储器件的步骤中包括：

在所述第一区域内形成逻辑晶体管，以及在所述第二区域内形成存取晶体管；

在位于所述第一区域和所述第二区域的基底上形成第一互连结构，所述第一互连结构包括第一互连层和第二互连层，所述第一互连层与所述逻辑晶体管连接，所述第二互连层与存取晶体管连接；

在所述第二互连层上形成磁性隧道结；

在所述第一互连层和所述磁性隧道结上方形成第二互连结构，所述第二互连结构包括第三互连层和第四互连层，所述第三互连层与所述第一互连层电性连接，所述第四互连层与所述磁性隧道结电性连接，其中，所述逻辑晶体管、所述第一互连层以及所述第三互连层构成所述逻辑器件，所述存取晶体管、所述第二互连层、所述磁性隧道结以及所述第四互连层构成磁性存储器件。

3.根据权利要求 2 所述的半导体结构的制备方法，其中，提供基底的步骤中，包括：

在所述基底内形成多个有源区以及用于分隔各个所述有源区的隔离结构；

在所述第一区域内形成逻辑晶体管，以及在所述第二区域内形成存取晶体管的步骤中，包括：

在所述基底的第一区域和所述第二区域上形成层叠设置的栅氧化层和栅极，所述栅极在所述基底上投影覆盖部分所述有源区；

形成包裹在所述栅极和所述栅氧化层的侧面的保护层，其中，位于所述第一区域内的有源区、栅氧化层、栅极以及保护层构成所述逻辑晶体管，位于第二区域内的有源区、栅氧化层、栅极以及保护层构成所述存取晶体管。

4.根据权利要求 3 所述的半导体结构的制备方法，其中，在所述第一区域内的基底内形成逻辑晶体管，以及在所述第二区域内形成存取晶体管的步骤之后，在位于所述第一区域和所述第二区域的基底上形成第一互连结构的步骤之前，所述制备方法还包括：

在所述基底上形成覆盖所述逻辑晶体管和所述存取晶体管的第一介质层；

在所述第一介质层内形成多个导电插塞，位于所述第一区域内的所述导电插塞用于连接所述第一互连层与逻辑晶体管，位于所述第二区域内的所述导电插塞用于连接所述第一互连层与存取晶体管。

5.根据权利要求 4 所述的半导体结构的制备方法，其中，在所述第一介质层内形成多个导电插塞的步骤中包括：

图形化所述第一介质层，以在所述第一介质层内形成间隔设置的多个第一通孔，每个所述第一通孔暴露出所述有源区的源区或者漏区；

在每个所述第一通孔内沉积导电材料，以形成所述导电插塞。

6.根据权利要求 4 或 5 所述的半导体结构的制备方法，其中，位于所述第一区域和第二区域的基底上形成第一互连结构的步骤中包括：

在所述第一介质层上形成第一导电层；

去除部分所述第一导电层，被保留下来的所述第一导电层在所述第一区域内构成第一互连层，以及被保留下来的所述第一导电层在所述第二区域内构成第二互连层，所述第一互连层和所述第二互连层分别与所述导电插塞电性连接。

7.根据权利要求 6 所述的半导体结构的制备方法，其中，在平行于所述基底的平面上，所述第一互连层和所述第二互连层的投影分别覆盖各自电性连接的所述导电插塞的投影。

8.根据权利要求 6 所述的半导体结构的制备方法，其中，在所述第二

互连层上形成磁性隧道结的步骤中包括：

在所述第一互连结构上形成磁性层；

去除部分所述磁性层，以保留位于所述第二区域上方的其中一个所述第二互连层上的磁性层，被保留下来的所述磁性层构成磁性隧道结。

9.根据权利要求 7 所述的半导体结构的制备方法，其中，在所述第二互连层上形成磁性隧道结的步骤之后，在所述第一互连层和所述磁性隧道结上方形成第二互连结构的步骤之前，所述制备方法还包括：

在所述第一互连结构和所述磁性隧道结上形成第三介质层；

在所述第三介质层内形成间隔设置的第一硅通孔和第二硅通孔，所述第一硅通孔位于所述第一区域上方，并与其中一个所述第一互连层电性连接，所述第二硅通孔位于所述第二区域上方，并与所述磁性隧道结电性连接。

10.根据权利要求 9 所述的半导体结构的制备方法，其中，在所述第一互连层和所述磁性隧道结上方形成第二互连结构的步骤中，包括：

在所述第三介质层上形成第二导电层；

去除部分所述第二导电层，被保留下来的所述第二导电层在所述第一区域内形成第三互连层，以及被保留下来的所述第二导电层在所述第二区域内形成第四互连层。

11.根据权利要求 3-5 任一项所述的半导体结构的制备方法，其中，在所述基底的第一区域和所述第二区域上形成层叠设置的栅氧化层和栅极的步骤，包括：

在所述基底的第一区域和所述第二区域上形成层叠设置的栅氧材料层和栅极材料层；

在所述栅极材料层上形成导电材料层；

图案化所述导电材料层、栅氧材料层和栅极材料层，形成层叠设置的栅氧化层和栅极，以及形成在所述栅极上的字线。

12.一种半导体结构，所述半导体结构通过如权利要求 1-11 任一项所述的半导体结构的制备方法制得，包括：

基底，所述基底包括相邻设置的外围电路区和具有存储单元的阵列区，所述外围电路区包括相邻设置的第一区域和第二区域；

逻辑器件，所述逻辑器件设置在所述第一区域内，并与所述存储单元

连接，以对所述存储单元进行控制；

磁性存储器件，所述磁性存储器件设置在所述第二区域内，其中，所述磁性存储器件包括存取晶体管以及与所述存取晶体管连接的磁性隧道结。

13.根据权利要求 12 所述的半导体结构，其中，所述逻辑器件包括逻辑晶体管、第一互连层和第三互连层，所述第一互连层和所述第三互连层层叠设置在所述逻辑晶体管上；

所述第一互连层通过位于第一区域上方的导电插塞与所述逻辑晶体管连接，所述第三互连层通过第一硅通孔与所述第一互连层连接。

14.根据权利要求 13 所述的半导体结构，其中，所述磁性存储器件还包括第二互连层和第四互连层，所述第二互连层设置在所述存取晶体管和所述磁性隧道结之间，以使所述存取晶体管和所述磁性隧道结电性连接；

所述第四互连层设置在所述磁性隧道结上，并与所述磁性隧道结电性连接。

15.根据权利要求 14 所述的半导体结构，其中，所述第二互连层通过位于第二区域上的导电插塞与所述存取晶体管连接，所述第四互连层通过第二硅通孔与所述磁性隧道结连接。

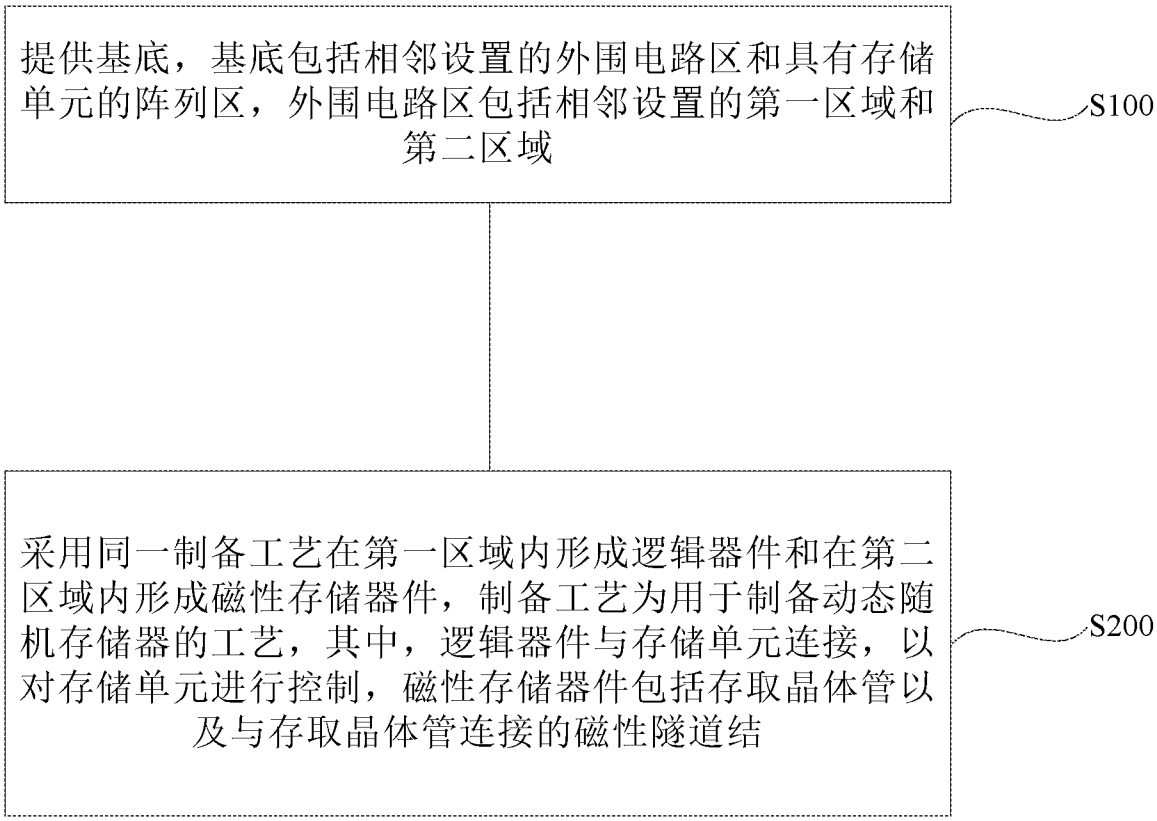

提供基底，基底包括相邻设置的外围电路区和具有存储单元的阵列区，外围电路区包括相邻设置的第一区域和第二区域
S100
采用同一制备工艺在第一区域内形成逻辑器件和在第二区域内形成磁性存储器件，制备工艺为用于制备动态随机存储器的工艺，其中，逻辑器件与存储单元连接，以对存储单元进行控制，磁性存储器件包括存取晶体管以及与存取晶体管连接的磁性隧道结
S200

图 1

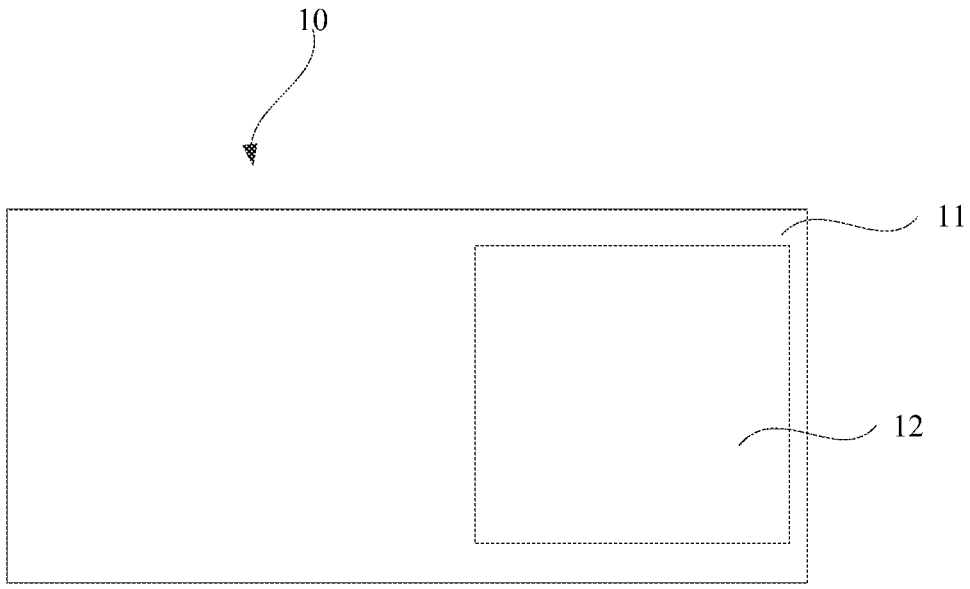

10
11
12

图 2

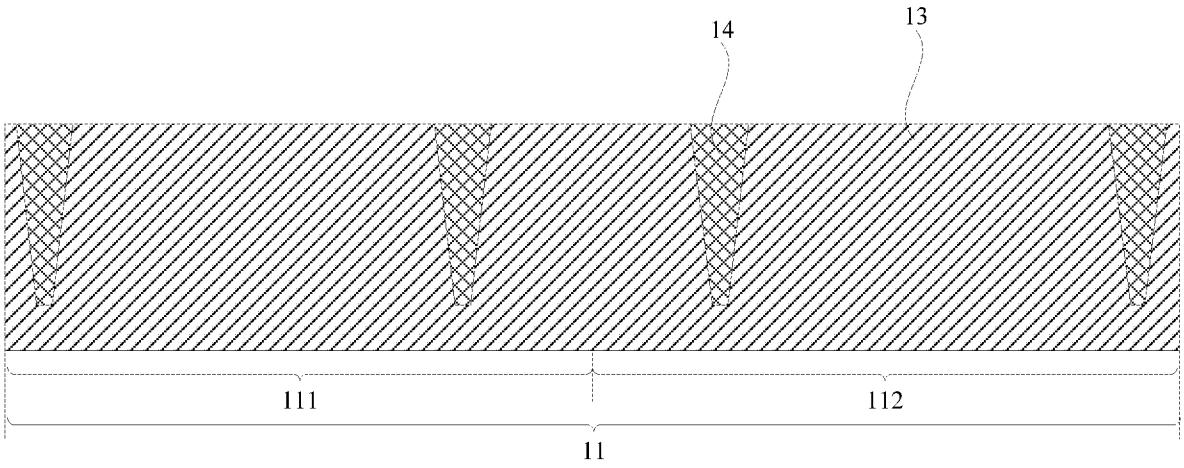

14
13
111
112
11

图 3

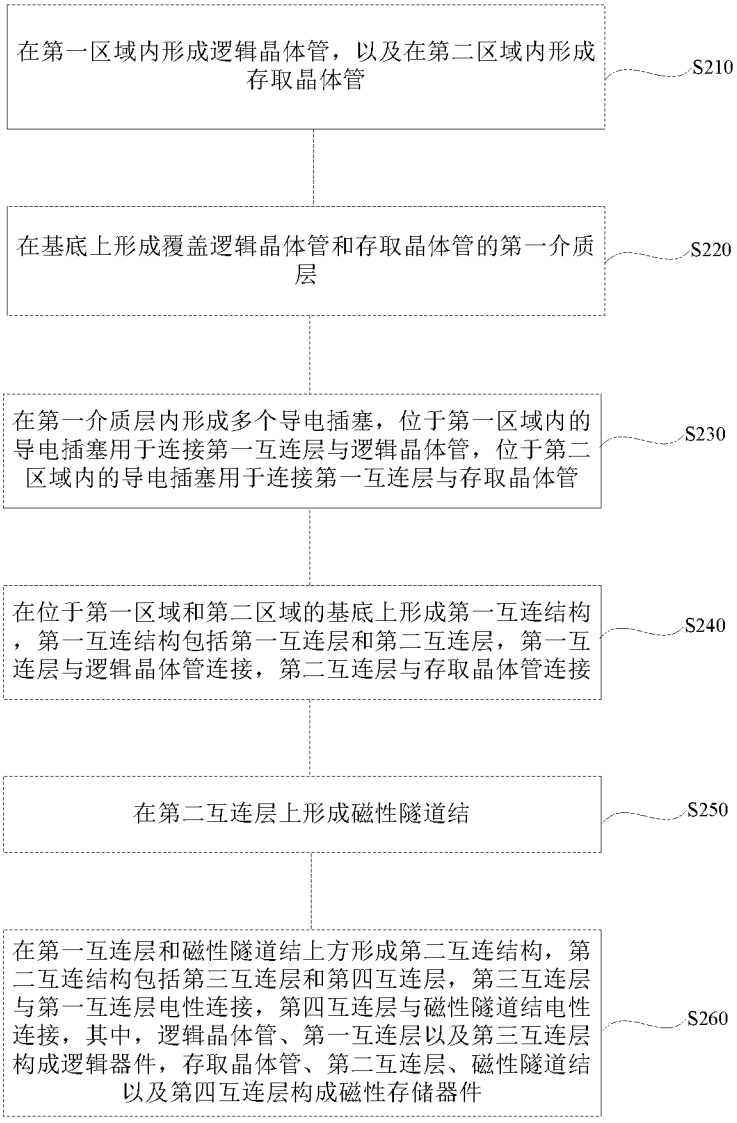

在第一区域内形成逻辑晶体管，以及在第二区域内形成存取晶体管
S210
在基底上形成覆盖逻辑晶体管和存取晶体管的第一介质层
S220
在第一介质层内形成多个导电插塞，位于第一区域内的导电插塞用于连接第一互连层与逻辑晶体管，位于第二区域内的导电插塞用于连接第一互连层与存取晶体管
S230
在位于第一区域和第二区域的基底上形成第一互连结构，第一互连结构包括第一互连层和第二互连层，第一互连层与逻辑晶体管连接，第二互连层与存取晶体管连接
S240
在第二互连层上形成磁性隧道结
S250
在第一互连层和磁性隧道结上方形成第二互连结构，第二互连结构包括第三互连层和第四互连层，第三互连层与第一互连层电性连接，第四互连层与磁性隧道结电性连接，其中，逻辑晶体管、第一互连层以及第三互连层构成逻辑器件，存取晶体管、第二互连层、磁性隧道结以及第四互连层构成磁性存储器件
S260

图 4

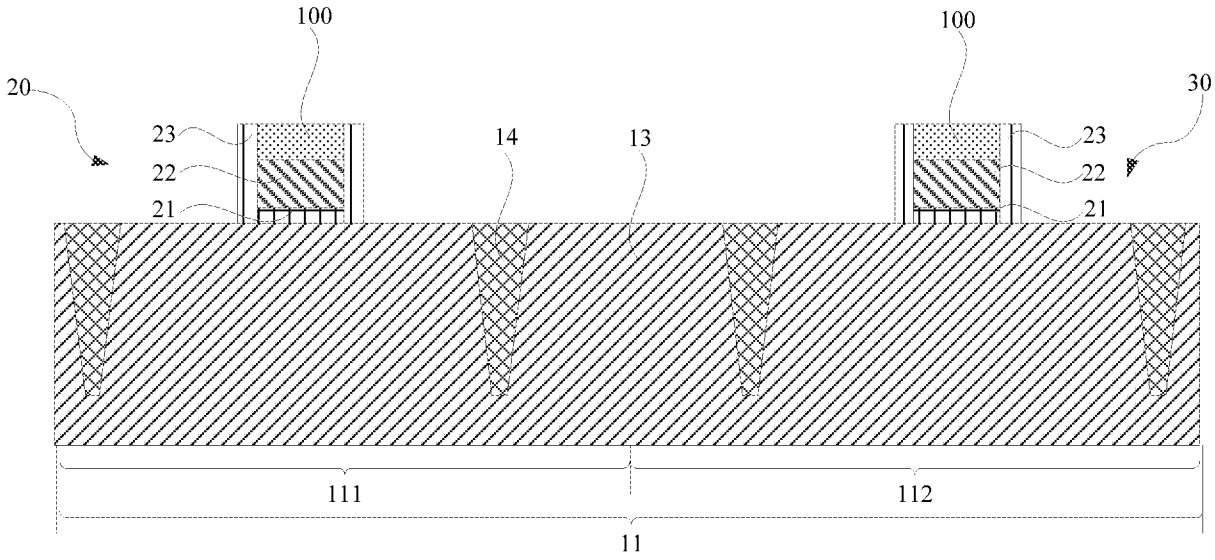

100
100
20
30
23
14
13
23
22
22
21
21
111
112
11

图 5

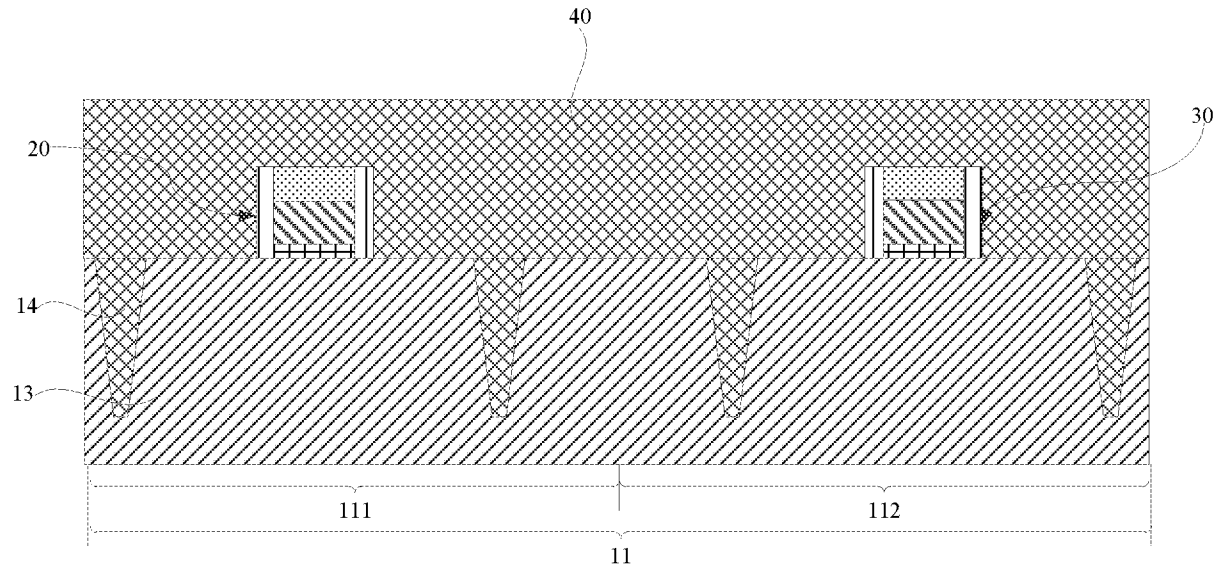

40
20
30
14
13
111
112
11

图 6

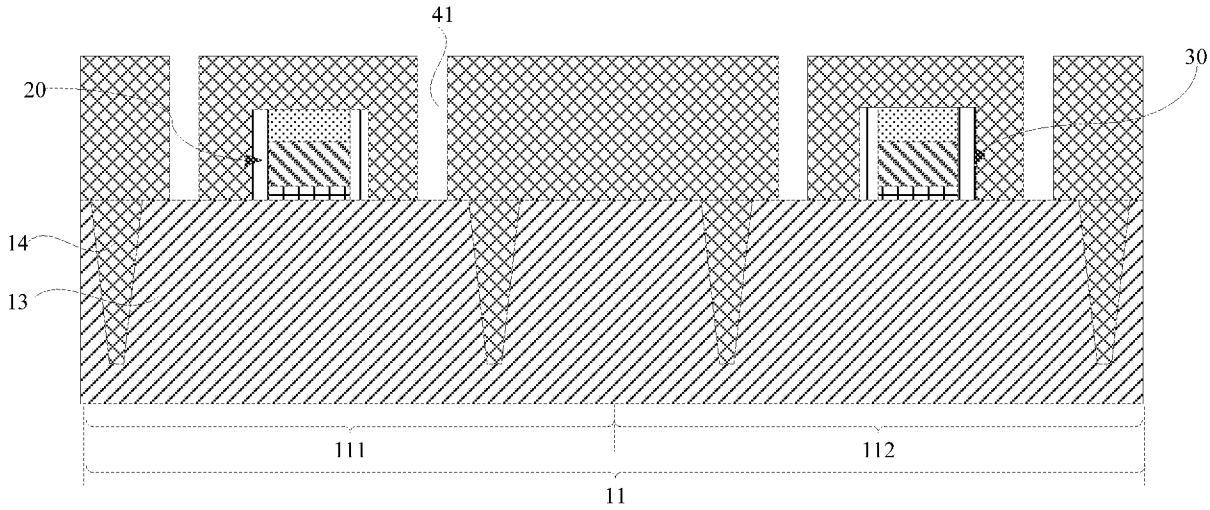

41
30
20
14
13
111
112
11

图 7

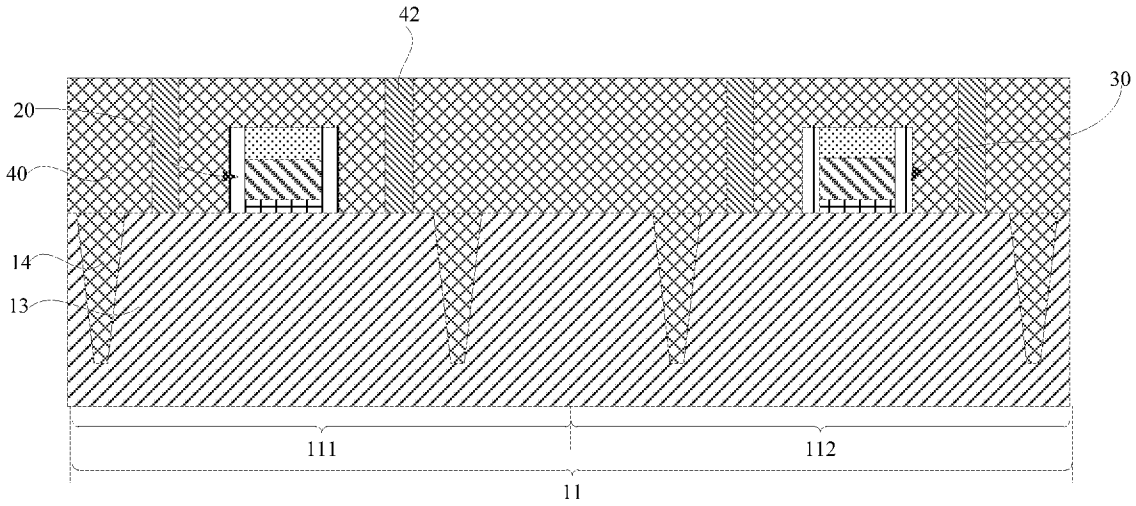

42
30
20
40
14
13
111
112
11

图 8

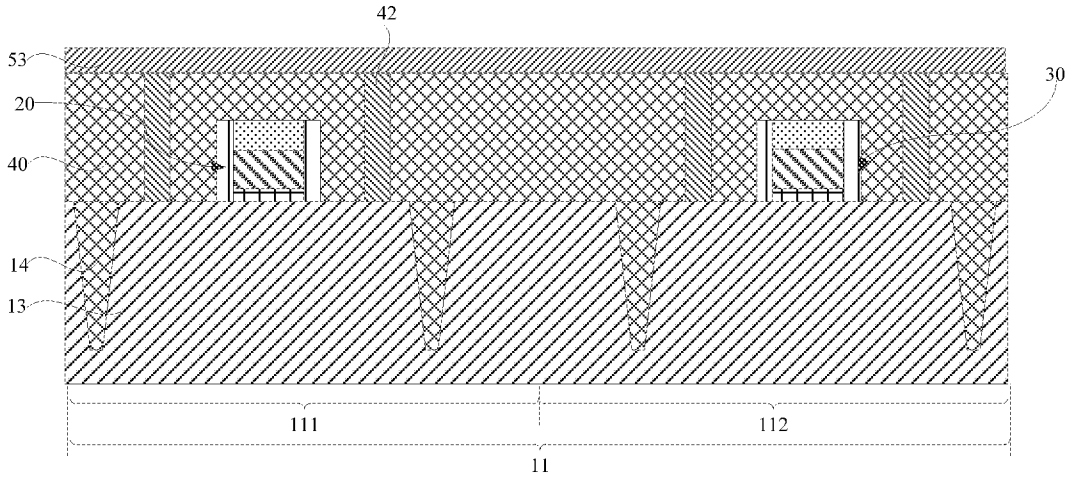

42
53
30
20
40
14
13
111
112
11

图 9

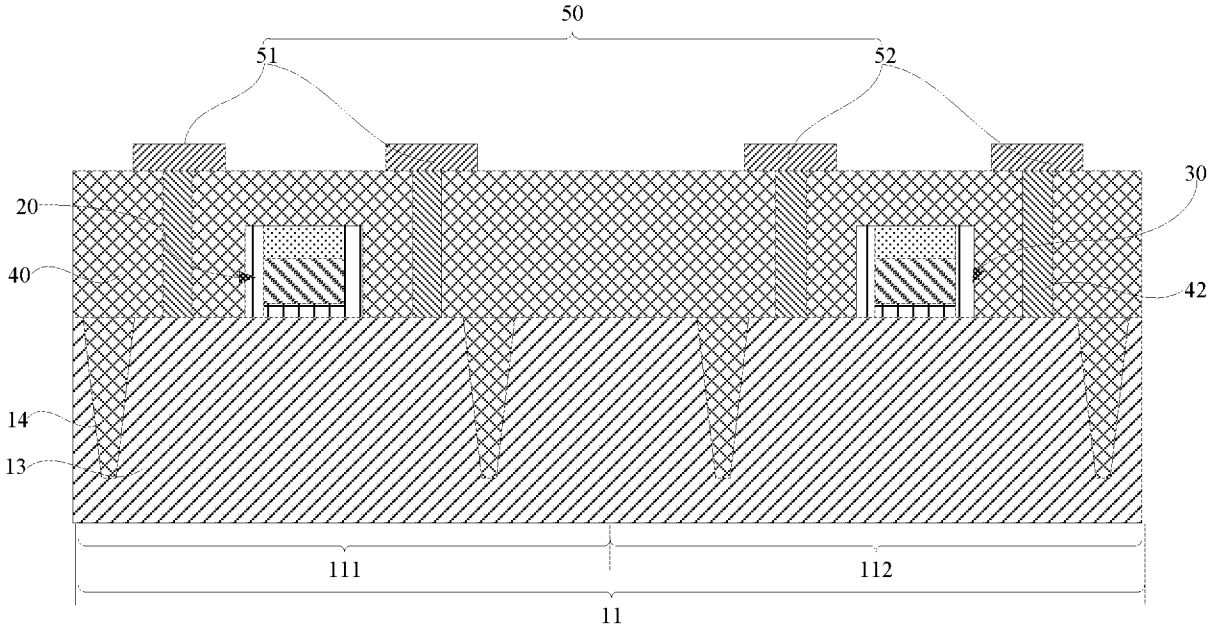

50
51
52
30
20
40
42
14
13
111
112
11

图 10

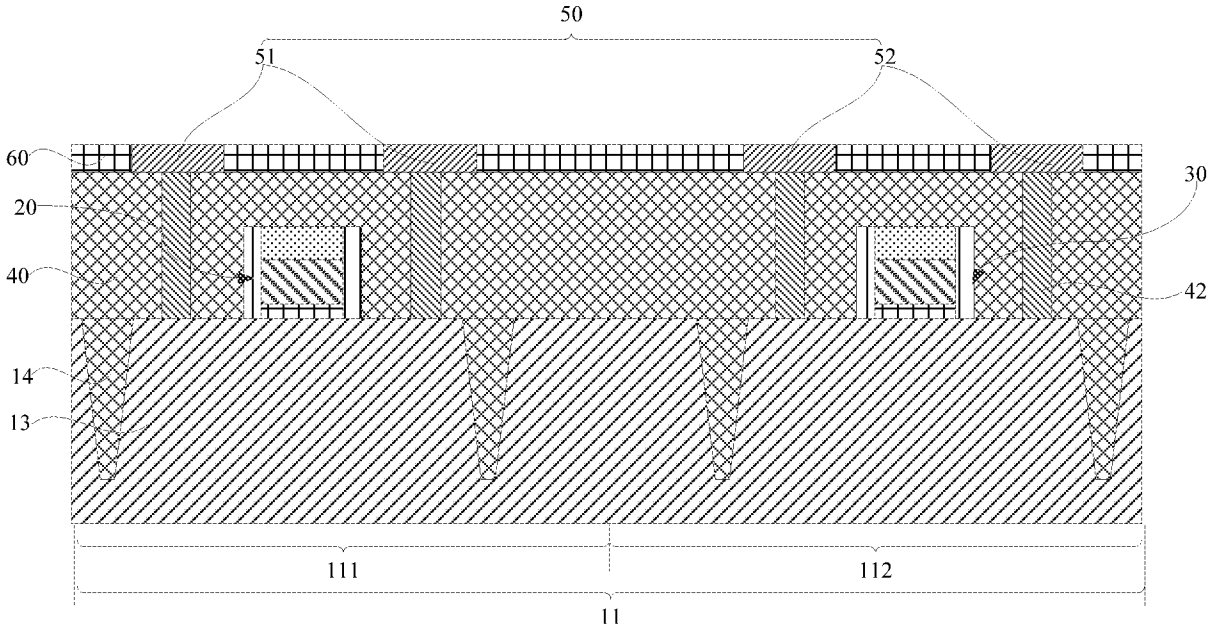

50
51
52
60
30
20
40
42
14
13
111
112
11

图 11

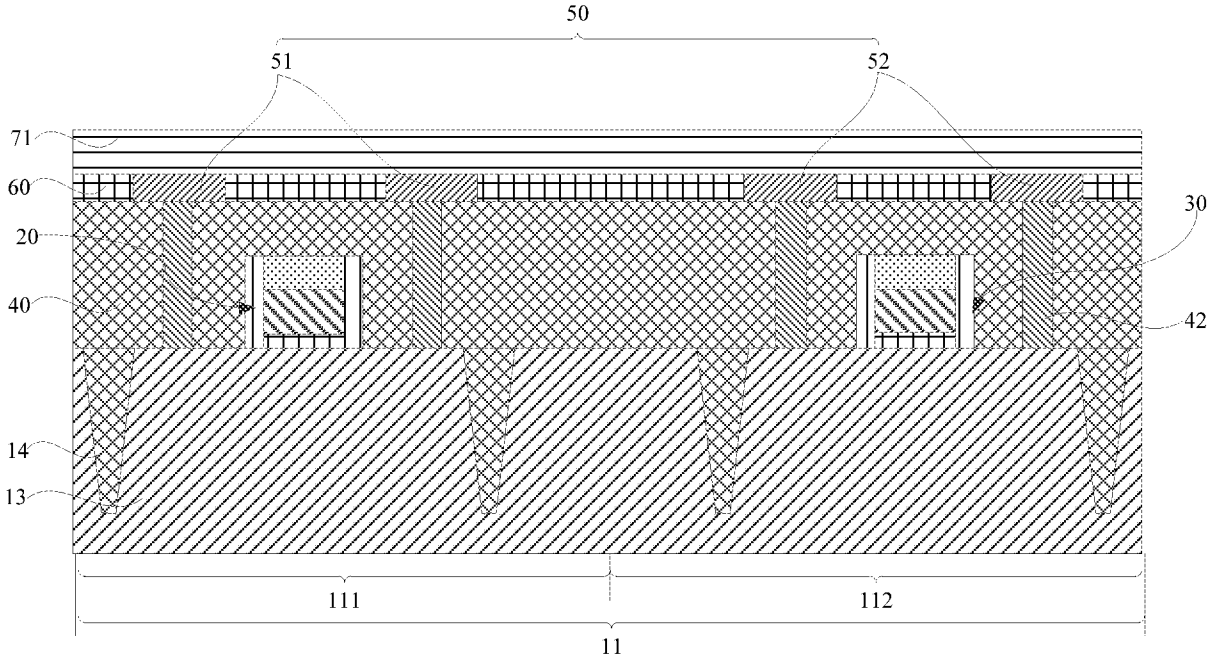

50
51
52
71
60
20
40
30
42
14
13
111
112
11

图 12

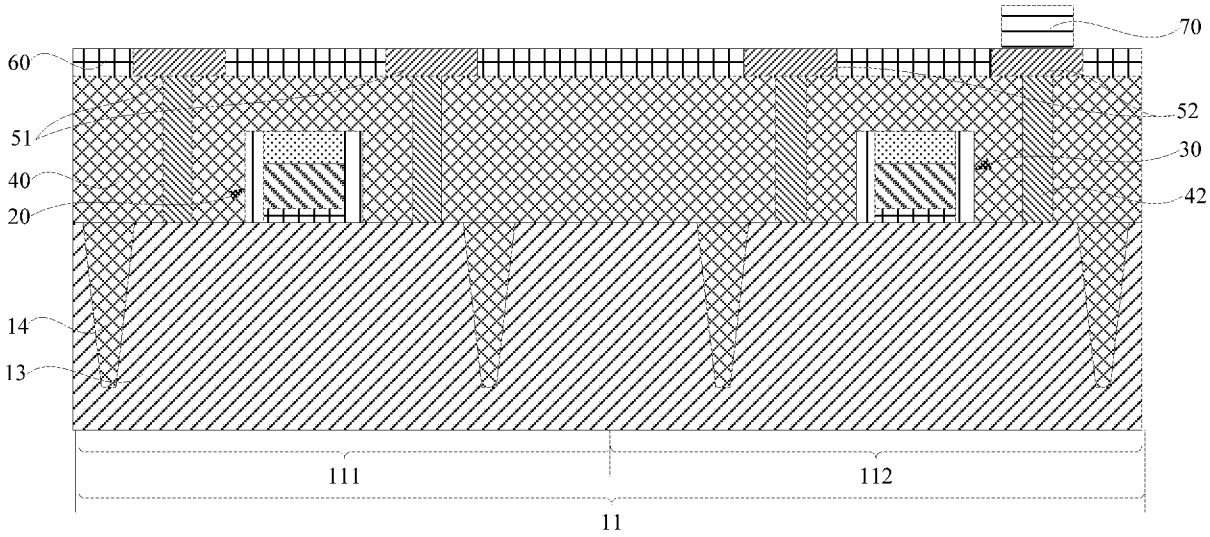

70
60
51
52
40
30
20
42
14
13
111
112
11

图 13

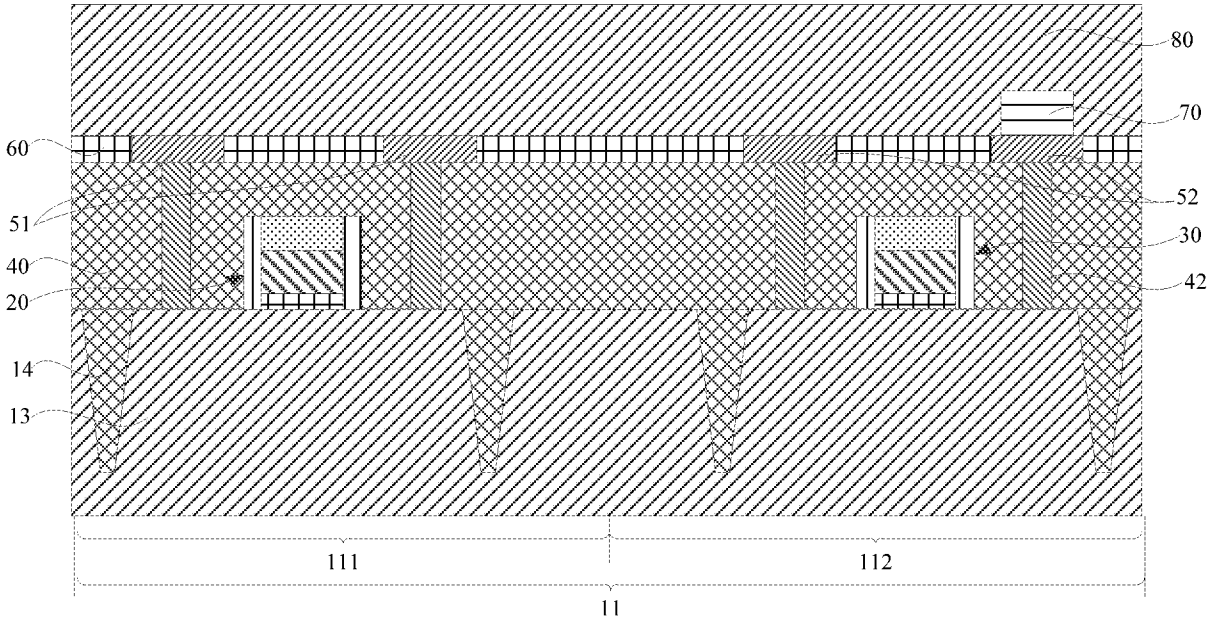

80
70
60
52
51
30
40
42
20
14
13
111
112
11

图 14

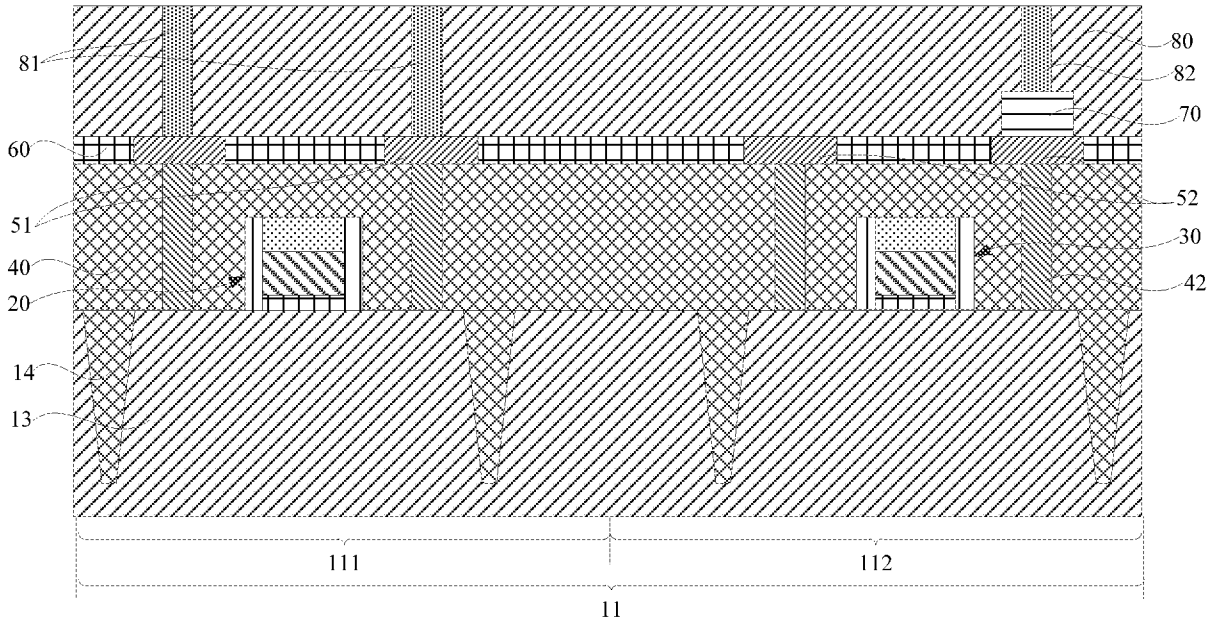

81
80
82
70
60
52
51
30
40
42
20
14
13
111
112
11

图 15

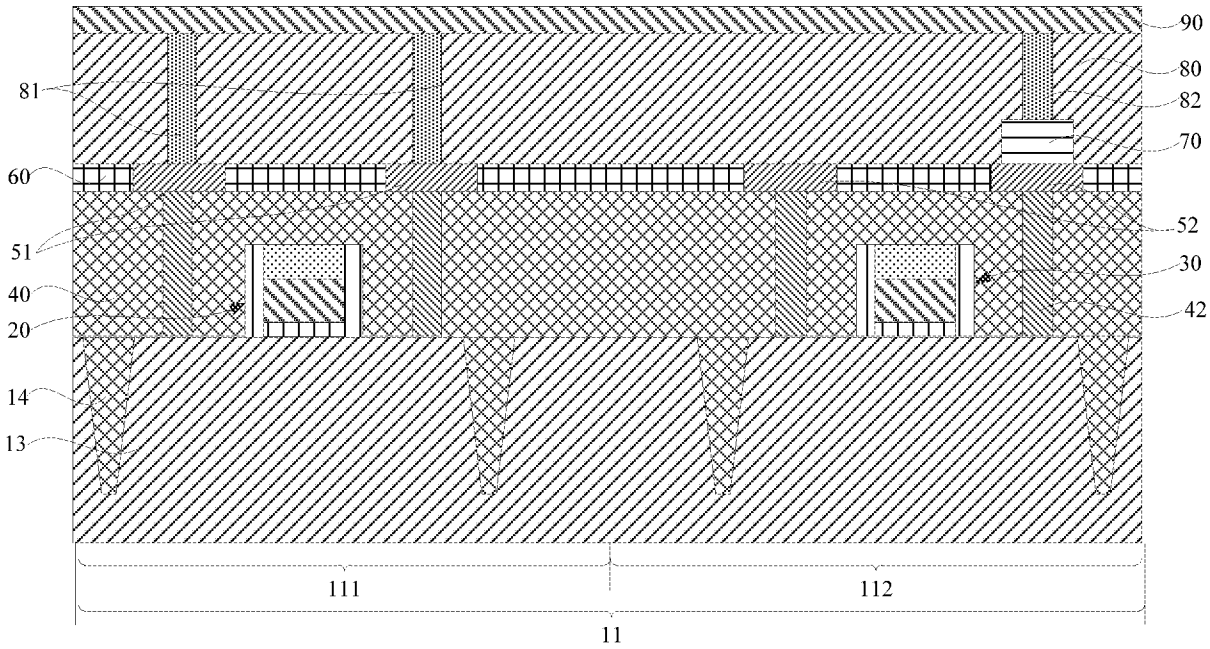

90
80
82
70
81
60
52
51
30
40
42
20
14
13
111
112
11

图 16

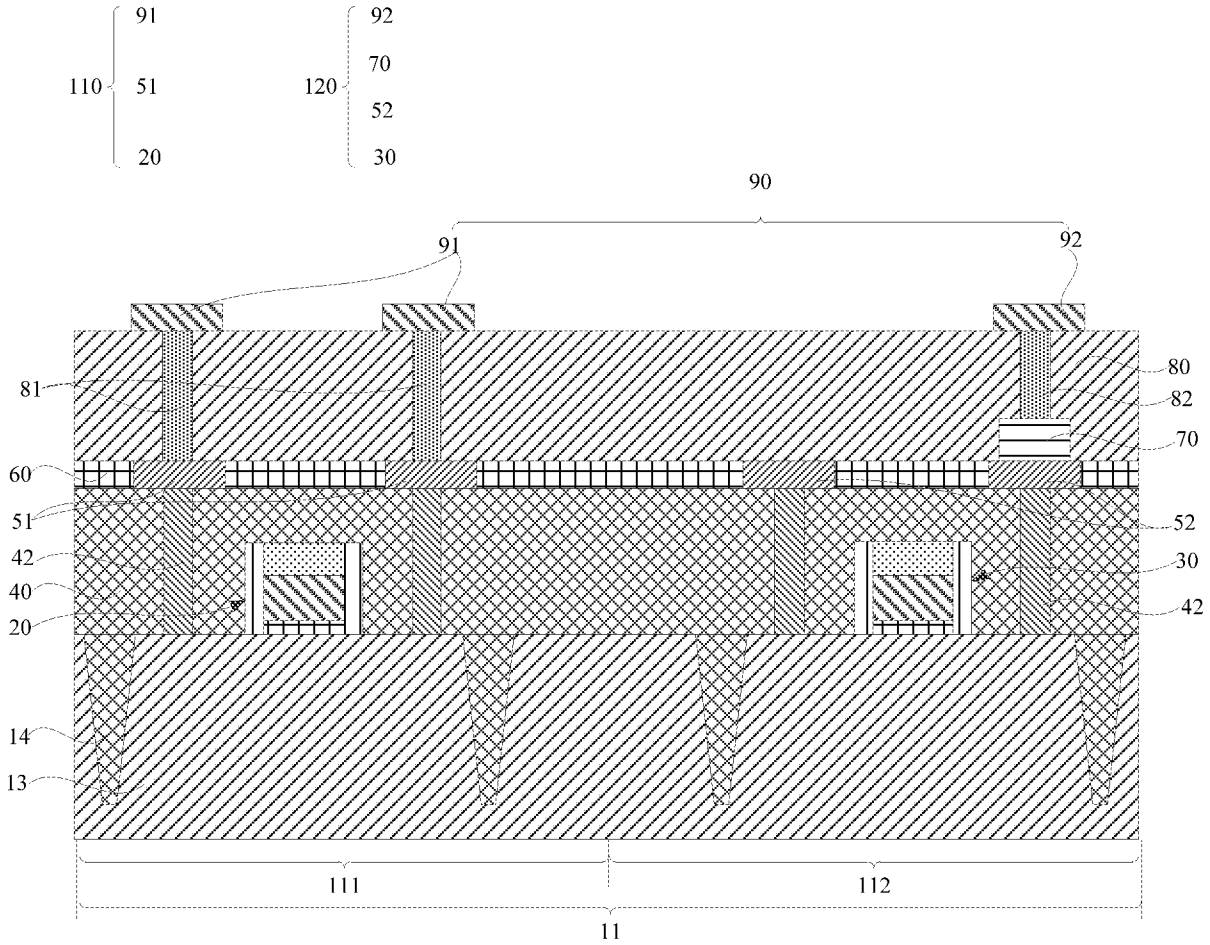

91
110
51
20
92
120
70
52
30
90
91
92
80
82
81
70
60
52
51
42
30
40
42
20
14
13
111
112
11

图 17

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2022/078090

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/22(2006.01)i; H01L 21/8229(2006.01)i; H01L 43/12(2006.01)i; H01L 43/08(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI; CNTXT; ENTXT; ENTXTC; DWPI: 外围电路, 周围电路, 逻辑电路, 驱动电路, 磁存储, 磁性存储, 晶体管, 隧道结, 互连, 插塞, periphery circuit, logic circuit, drive circuit, magnetism memory, magnetic memory, MRAM, transitor, tunnel junction, interlink, interconnect, plug

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 109003978 A (GIGADEVICE SEMICONDUCTOR (BEIJING) INC. et al.) 14 December 2018 (2018-12-14) description, paragraphs 0040-0061, and figures 2a-2l	1, 12, 13
A	CN 109003978 A (GIGADEVICE SEMICONDUCTOR (BEIJING) INC. et al.) 14 December 2018 (2018-12-14) description, paragraphs 0040-0061, and figures 2a-2l	2-11, 14, 15
Y	CN 108780841 A (INTEL CORP.) 09 November 2018 (2018-11-09) description, paragraphs 0030-0046, and figures 2A-2P	1, 12, 13
A	CN 109545957 A (SHANGHAI CIYU INFORMATION TECHNOLOGIES CO., LTD.) 29 March 2019 (2019-03-29) entire document	1-15
A	CN 109994601 A (SHANGHAI CIYU INFORMATION TECHNOLOGIES CO., LTD.) 09 July 2019 (2019-07-09) entire document	1-15
A	US 2012241880 A1 (NOMA, K. et al.) 27 September 2012 (2012-09-27) entire document	1-15

☑ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
23 July 2022	**02 August 2022**
Name and mailing address of the ISA/CN **China National Intellectual Property Administration (ISA/CN)** **No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088, China** Facsimile No. **(86-10)62019451**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2022/078090

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 108232009 A (SHANGHAI CIYU INFORMATION TECHNOLOGIES CO., LTD.) 29 June 2018 (2018-06-29) entire document	1-15

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2022/078090

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	109003978	A	14 December 2018	None			
CN	108780841	A	09 November 2018	KR	20180120151	A	05 November 2018
				TW	201743330	A	16 December 2017
				US	2019013353	A1	10 January 2019
				WO	2017155508	A1	14 September 2017
				EP	3427312	A1	16 January 2019
				EP	3427312	A4	30 October 2019
CN	109545957	A	29 March 2019	None			
CN	109994601	A	09 July 2019	None			
US	2012241880	A1	27 September 2012	JP	2012204401	A	22 October 2012
				US	2014027870	A1	30 January 2014
				US	8981441	B2	17 March 2015
				US	8574926	B2	05 November 2013
CN	108232009	A	29 June 2018	CN	108232009	B	20 April 2021

国际检索报告

国际申请号
PCT/CN2022/078090

A. 主题的分类

H01L 27/22(2006.01)i; H01L 21/8229(2006.01)i; H01L 43/12(2006.01)i; H01L 43/08(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNKI; CNTXT; ENTXT; ENTXTC; DWPI：外围电路，周围电路，逻辑电路，驱动电路，磁存储，磁性存储，晶体管，隧道结，互连，插塞，periphery circuit，logic circuit，drive circuit，magnetism memory，magnetic memory，MRAM，transitor，tunnel junction，interlink，interconnect，plug

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
Y	CN 109003978 A (北京兆易创新科技股份有限公司 等) 2018年12月14日 (2018-12-14) 说明书第0040段至0061段，图2a-21	1，12，13
A	CN 109003978 A (北京兆易创新科技股份有限公司 等) 2018年12月14日 (2018-12-14) 说明书第0040段至0061段，图2a-21	2-11，14，15
Y	CN 108780841 A (英特尔公司) 2018年11月9日 (2018-11-09) 说明书第0030段至0046段，图2A-2P	1，12，13
A	CN 109545957 A (上海磁宇信息科技有限公司) 2019年3月29日 (2019-03-29) 全文	1-15
A	CN 109994601 A (上海磁宇信息科技有限公司) 2019年7月9日 (2019-07-09) 全文	1-15
A	US 2012241880 A1 (NOMA 等) 2012年9月27日 (2012-09-27) 全文	1-15
A	CN 108232009 A (上海磁宇信息科技有限公司) 2018年6月29日 (2018-06-29) 全文	1-15

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2022年7月23日	2022年8月2日
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	受权官员 刘红 电话号码 86-010-62089538

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2022/078090

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	109003978	A	2018年12月14日	无			
CN	108780841	A	2018年11月9日	KR	20180120151	A	2018年11月5日
				TW	201743330	A	2017年12月16日
				US	2019013353	A1	2019年1月10日
				WO	2017155508	A1	2017年9月14日
				EP	3427312	A1	2019年1月16日
				EP	3427312	A4	2019年10月30日
CN	109545957	A	2019年3月29日	无			
CN	109994601	A	2019年7月9日	无			
US	2012241880	A1	2012年9月27日	JP	2012204401	A	2012年10月22日
				US	2014027870	A1	2014年1月30日
				US	8981441	B2	2015年3月17日
				US	8574926	B2	2013年11月5日
CN	108232009	A	2018年6月29日	CN	108232009	B	2021年4月20日