(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 118696378 A
(43)申请公布日 2024.09.24

(21)申请号 202180105433.1

(22)申请日 2021.12.14

(85)PCT国际申请进入国家阶段日
2024.08.13

(86)PCT国际申请的申请数据
PCT/JP2021/045965 2021.12.14

(87)PCT国际申请的公布数据
WO2023/112122 JA 2023.06.22

(71)申请人 新加坡优尼山帝斯电子私人有限公司

地址 新加坡179098柏龄大厦#23-05桥北路111号

(72)发明人 白田理一郎 作井康司 原田望

(74)专利代理机构 北京戈程知识产权代理有限公司 11314

专利代理师 程伟 王锦阳

(51)Int.Cl.
G11C 16/04(2006.01)
G11C 11/401(2006.01)
H10B 12/00(2023.01)

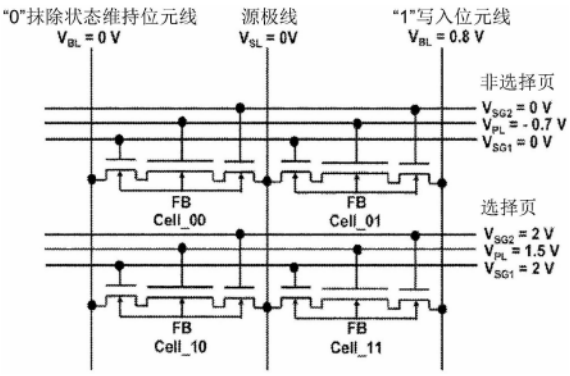
权利要求书2页 说明书18页 附图23页

(54)发明名称

使用半导体元件的内存装置

(57)摘要

内存装置具备由在基板上排列成列状的多个内存单元而构成的页,且进行:页写入操作,控制施加于前述页中所含的各内存单元的第一栅极导体层、第二栅极导体层、第三栅极导体层、第一杂质区域、和第二杂质区域的电压,而在通道半导体层的内部,保持通过撞击游离化现象所形成的空穴群;及页擦除操作,控制施加于前述第一栅极导体层、前述第二栅极导体层、前述第三栅极导体层、前述第一杂质区域、和前述第二杂质区域的电压,而从前述通道半导体层的内部移除前述空穴群。前述内存单元的前述第一杂质层与源极线连接,前述第二杂质层与位元线连接,前述第一栅极导体层与第一选择栅极线连接,前述第二栅极导体层与驱动控制线连接,前述第三栅极导体层与第二选择栅极线连接。前述位元线与感测放大电路连接。于页读取操作时,将要在至少一页选择的内存单元群的页数据读取至前述位元线。于前述内存装置的动作中,对于连接于前述页中的非选择的前述页的前述内存单元的前述驱动控制线,施加零伏特以下的电压。



CN 118696378 A

1.一种使用半导体元件的内存装置,通过在基板上朝行方向排列的多个内存单元而构成页,且由多个页朝列方向排列而构成内存区块,

前述各页中所含的各内存单元具有:

半导体基体,在基板上相对于前述基板朝垂直方向竖立或朝水平方向延伸;

第一杂质层和第二杂质层,位于前述半导体基体的两端;

第一栅极绝缘层,包围前述第一杂质层与前述第二杂质层之间的前述半导体基体的侧面,且与前述第一杂质层相接或靠近;

第二栅极绝缘层,包围前述半导体基体的侧面,且与前述第一栅极绝缘层相连地靠近;

第三栅极绝缘层,包围前述半导体基体的侧面,且与前述第二栅极绝缘层相连,而且与前述第二杂质层相接或靠近;

第一栅极导体层,覆盖前述第一栅极绝缘层;

第二栅极导体层,覆盖前述第二栅极绝缘层;

第三栅极导体层,覆盖前述第二栅极绝缘层;及

通道半导体层,使前述半导体基体被前述第一栅极绝缘层、前述第二栅极绝缘层、和前述第三栅极绝缘层覆盖而成;

前述内存单元的前述第一杂质层与源极线连接,前述第二杂质层与位元线连接,前述第一栅极导体层与第一选择栅极线连接,前述第二栅极导体层与驱动控制线连接,前述第三栅极导体层与第二选择栅极线连接,前述位元线连接于感测放大电路;

且前述内存装置执行:控制施加于前述第一栅极导体层、前述第二栅极导体层、前述第三栅极导体层、前述第一杂质层、和前述第二杂质层的电压,而在前述通道半导体层的内部,保持通过撞击游离化现象所形成的空穴群的操作;

将前述通道半导体层的电压设为比前述第一杂质层和前述第二杂质层的一方或两方的电压还要高的第一数据保持电压的页写入操作;

控制施加于前述第一杂质层、前述第二杂质层、前述第一栅极导体层、前述第二栅极导体层、和前述第三栅极导体层的电压,而从前述第一杂质层、前述第二杂质层的一方或两方移除前述空穴群,之后,通过前述第一栅极导体层、前述第二栅极导体层、前述第三栅极导体层、与前述通道半导体层的电容耦合,将前述通道半导体层的电压设为比前述第一数据保持电压还要低的第二数据保持电压的页擦除操作;及

将要在至少一页选择的内存单元群的页数据读取至前述位元线的页读取操作;

对于连接于前述页中的非选择的前述页的前述内存单元的前述驱动控制线,施加零伏特以下的电压。

2.根据权利要求1所述的使用半导体元件的内存装置,于前述页读取操作时,对于连接于所选择的前述页的前述内存单元的前述驱动控制线施加有接地电压或接地电压以上的电压。

3.根据权利要求1所述的使用半导体元件的内存装置,于前述页读取操作时执行再新操作,该再新操作在所选择的页的前述通道半导体层的内部通过撞击游离化现象形成前述空穴群,据此将所选择的前述页的前述通道半导体层的电压恢复为前述第一数据保持电压。

4.根据权利要求1所述的使用半导体元件的内存装置,于前述页写入操作时,使具有前

述第一栅极导体层的第一N通道MOS晶体管区域、和具有前述第三栅极导体层的第三N通道MOS晶体管区域在线形区域动作,且使具有前述第二栅极导体层的第二N通道MOS晶体管区域在饱和区域动作。

5.根据权利要求1所述的使用半导体元件的内存装置,其中,前述页擦除操作执行:

第一操作,在通过前述第一选择栅极线、前述第二选择栅极线、和前述板线与前述通道区域的电容耦合使前述通道区域的电压上升之后,使前述位元线和前述源极线下降,据此使第一杂质层和第二杂质层与通道半导体层的PN接合为正偏压,而射出前述空穴群;及

第二操作,通过前述第一选择栅极线、前述第二选择栅极线、和前述板线与前述通道区域的电容耦合,伴随着前述第一选择栅极线、前述第二选择栅极线、和前述板线的下降,降低前述通道半导体层的电压。

6.根据权利要求1所述的使用半导体元件的内存装置,其中,前述第一选择栅极线和前述第二选择栅极线连接着。

7.根据权利要求1所述的使用半导体元件的内存装置,其中,前述第一栅极导体层和前述第三栅极导体层与前述半导体基体之间的栅极电容的总和电容比前述第二栅极导体层与前述半导体基体之间的第二栅极电容还要小。

8.根据权利要求3所述的使用半导体元件的内存装置,其中,前述再新操作时的前述第一选择栅极线及前述第二选择栅极线和前述位元线的第一脉冲宽度比前述页读取操作时的前述字符线和前述位元线的第二脉冲宽度更长。

9.根据权利要求1所述的使用半导体元件的内存装置,其中,前述撞击游离化现象在前述第二栅极导体层、与前述第三栅极导体层之间的附近的前述通道半导体层的内部产生,且将前述空穴群保持于前述通道半导体层的内部。

10.根据权利要求1所述的使用半导体元件的内存装置,于至少二页被多重选择的页积和读取操作时,对于所选择的前述驱动控制线施加接地电压或接地电压以上的电压,对于非选择的前述驱动控制线施加负电压。

11.根据权利要求1所述的使用半导体元件的内存装置,对于连接于前述页中的非选择的前述页的前述内存单元的前述第一选择栅极线和前述第二选择栅极线施加要施加于前述驱动控制线的电压以上的电压。

使用半导体元件的内存装置

技术领域

[0001] 本发明是关于一种使用半导体元件的内存装置。

背景技术

[0002] 近年来,在LSI(Large Scale Integration,大型集成电路)技术开发上,一直在追求内存元件的高集成化和高性能化。

[0003] 在一般的平面型MOS(Metal Oxide semiconductor,金属氧化物半导体)晶体管中,通道(channel)朝沿着半导体基板的上表面的水平方向延伸。相对于此,SGT的通道是朝相对于半导体基板的上表面垂直的方向延伸(例如参照专利文献1、非专利文献1)。因此,相比于平面型MOS晶体管,SGT更可达成半导体装置的高密度化。使用此SGT作为选择晶体管,可进行连接有电容器的DRAM(Dynamic Random Access Memory,动态随机存取内存。例如参照非专利文献2)、连接有电阻可变元件的PCM(Phase Change Memory,相变化内存。例如参照非专利文献3)、RRAM(Resistive Random Access Memory,电阻式随机存取内存。例如参照非专利文献4)、及通过电流使自旋磁矩方向变化而使电阻变化的MRAM(Magneto-resistive Random Access Memory,磁阻式随机存取内存。例如参照非专利文献5)等的高集成化。此外,也有不具有电容器的由一个MOS晶体管所构成的DRAM内存单元(参照非专利文献7)等。本申请关于不具有电阻可变元件或电容器的可仅由MOS晶体管所构成的动态快闪内存(Dynamic flash memory)。

[0004] 图7的(a)部分至图7的(d)部分显示前述的不具有电容器的由一个MOS晶体管所构成的DRAM内存单元的写入操作,图8的(a)部分和图8的(b)部分显示操作上的问题点,图9的(a)部分至图9的(c)部分显示读取操作(例如参照非专利文献7至10)。图7的(a)部分显示“1”写入状态。在此,内存单元是形成于SOI基板100,且通过连接有源极线SL的源极N^+层103(以下将含有高浓度供体(donor)杂质的半导体区域称为“N^+层”)、连接有位元线BL的汲极N^+层104、连接有字符线WL的栅极导电层105、及MOS晶体管110的浮体(Floating Body)102而构成,不具有电容器,以一个MOS晶体管110构成了DRAM的内存单元。另外,在浮体102的正下方,连接有SOI基板的SiO_2层101。在进行以一个MOS晶体管110构成的内存单元的“1”写入之际,是使MOS晶体管110在饱和区域动作。也就是,在从源极N^+层103延伸的电子的通道107中具有夹止(pinch off)点108,不会到达连接有位元线的汲极N^+层104。如此,若将连接于汲极N^+层的位元线BL和连接于栅极导电层105的字符线WL都设为高电压,使栅极电压以汲极电压的约1/2左右使MOS晶体管110动作,则在汲极N^+层104附近的夹止点108中,电场强度变为最大。结果,从源极N^+层103朝向汲极N^+层104流动的加速后的电子会与Si的晶格撞击,且因为在此时所失去的运动能量而产生电子・空穴对(撞击游离化现象)。所产生的大部分的电子(未图示)会到达汲极N^+层104。此外,极小部分的极热的电子,会越过栅极氧化膜109而到达栅极导电层105。另外,同时产生的空穴106则将浮体102充电。此时,由于浮体102为P型Si,因此所产生的空穴有助于作为多数载子(carrier)的增量。浮体102是被所产生的空穴106布满,若浮体102的电压比源极N^+层103还要高Vb以上,则进一步产生的空穴会放电至源

极N^+层103。在此,Vb为源极N^+层103与P层的浮体102之间的PN接合的内建(built in)电压,约为0.7V。图7的(b)部分显示浮体102已被所产生的空穴106饱和充电的情形。

[0005] 接着,使用图7的(c)部分来说明内存单元110的“0”写入操作。对于共通的选择字符线WL,随机地存在有“1”写入的内存单元110和“0”写入的内存单元110。在图7的(c)部分中,显示了从“1”写入状态改写为“0”写入状态的情形。在“0”写入时,是设位元线BL的电压为负偏压,且设汲极N^+层104与P层的浮体102之间的PN接合为正偏压。结果,预先在先前的周期产生于浮体102的空穴106会流动至连接于位元线BL的汲极N^+层104。若写入操作结束,则会获得被所产生的空穴106布满的内存单元110(图7的(b)部分)、和所产生的空穴已被排出的内存单元110(图7的(c)部分)的二个内存单元的状态。被空穴106布满的内存单元110的浮体102的电位会比没有所产生的空穴的浮体102还要高。因此,“1”写入的内存单元110的阈值电压会比“0”写入的内存单元110的阈值电压还要低。其情形如图7的(d)部分所示。

[0006] 接着,使用图8的(a)部分和图8的(b)部分来说明此由一个MOS晶体管110所构成的内存单元的动作上的问题点。如图8的(a)部分所示,浮体的电容C_{FB}为连接有字符线的栅极与浮体之间的电容C_{WL}、连接有源极线的源极N^+层103与浮体102之间的PN接合的接合电容C_{SL}、连接有位元线的汲极N^+层104与浮体102之间的PN接合的接合电容C_{BL}的总和,表示为:

[0007] $$C_{FB}=C_{WL}+C_{BL}+C_{SL} \quad (2)$$

[0008] 此外,连接有字符线的栅极与浮体之间的电容耦合比β_{WL}表示为:

[0009] $$\beta_{WL}=C_{WL}/(C_{WL}+C_{BL}+C_{SL}) \quad (3)$$

[0010] 因此,若在读取时或写入时字符线电压V_{WL}振荡,则成为内存单元的存储节点(接点)的浮体102的电压也会受到其影响。其情形如图8的(b)部分所示。若在读取时或写入时,字符线电压V_{WL}从0V上升至V_{WLH},则浮体102的电压V_{FB}会因为与字符线的电容耦合而从字符线电压变化之前的初始状态的电压V_{FB1}的上升至V_{FB2}。其电压变化量ΔV_{FB}表示为:

[0011] $$\Delta V_{FB}=V_{FB2}-V_{FB1}$$

[0012] $$=\beta_{WL}\times V_{WLH} \quad (4)$$

[0013] 在此,于式(3)的β_{WL}中,C_{WL}的贡献率较大,例如$C_{WL}:C_{BL}:C_{SL}=8:1:1$。此时,$\beta_{WL}=0.8$。字符线若例如写入时为5V而于写入结束后恢复为0V,则会因为字符线WL与浮体102的电容耦合,使得浮体102受到达$5V\times\beta_{WL}=4V$的振荡噪声。因此,会有无法充分取得写入时的浮体102的“1”电位和“0”电位的电位差的差分边限的问题点。

[0014] 图9的(a)部分至图9的(c)部分显示读取操作。图9的(a)部分显示“1”写入状态,图9的(b)部分显示“0”写入状态。然而,实际上,即使通过“1”写入将Vb写入至浮体102,当字符线因为写入结束而返回0V时,浮体102即会降低为负偏压。在写入“0”之际,由于会成为更偏负的负偏压,因此如图9的(c)部分所示,在写入之际无法充分地增大“1”与“0”的电位差的差分边限,因此实际上处于难以进行不具有电容器的DRAM内存单元的制品化的状况。

[0015] 此外,在非专利文献8和非专利文献15中,记载了对于非选择字符线WL施加负电压-1.5V,而延长“1”写入的保持特性的方法。然而,也记载了如下的内容:由于在写入时,对于位元线BL施加1.8V,因此在栅极与汲极间被施加3.3V的电压,而会在连接于非选择WL的内存单元中,因为栅极引发汲极泄漏电流(GIDL电流)而产生“0”存储数据的破坏。图10显示由一个MOS晶体管所构成的2行×2列的DRAM内存单元Cell_00至Cell_11的内存单元区块的一部分。在该内存单元区块中,若开始写入操作,则被施加负电压的WL=-1.5V的非选择字

符线中的一条字符线会被选择,且被施加正电压的WL＝1.5V。另外,在对于内存单元Cell_11进行“1”写入之际,对于位元线施加正电压的BL＝1.8V。此时,在非选择内存单元Cell_01中,对于其栅极施加WL＝-1.5V,且对于其汲极施加BL＝1.8V。因此,在非选择内存单元Cell_01的栅极,会被施加属于其与汲极的电位差,也就是-3.3V。结果,在非选择内存单元Cell_01中,会产生栅极引发汲极泄漏电流(GIDL电流)。另外,当内存单元Cell_01的存储数据为“0”的情形下,该存储数据会被破坏。

[0016] 另外,在图10中,在对于内存单元Cell_10写入“0”数据之际,对于位元线施加负电压的BL＝-0.7V。由于对于非选择字符线施加了WL＝-1.5V,因此内存单元Cell_00的浮体会因为与非选择字符线的电容耦合而降低为负电压状态。因此,即使在内存单元Cell_00中存储有“1”数据,内存单元Cell_00的汲极与浮体之间的PN接合也不会成为正偏压,不会产生“1”数据的破坏。如此对于非选择字符线施加负电压,目的在于保护“1”数据,但其结果,会有产生栅极引发汲极泄漏电流(GIDL电流)且产生“0”数据的破坏的大问题。

[0017] 此外,也有在SOI(Silicon on Insulator,绝缘层覆硅)层使用二个MOS晶体管来形成一个内存单元而形成的内存元件(例如参照专利文献4、5,皆引用作为本说明书的揭示内容)。在这些元件中,是以区分二个MOS晶体管的浮体通道的作为源极或汲极的N^+层与绝缘层相接而形成。通过以此N^+层与绝缘层相接,二个MOS晶体管的浮体通道即电性分离。因此,蓄积有属于信号电荷的空穴群的分离的浮体通道的电压,会如前所述,因为对于各个MOS晶体管的栅极电极的脉冲电压施加,而与(4)式所示同样地大幅变化。据此,会有无法充分地增大写入之际的“1”与“0”的电位差的差分边限的问题。

[0018] [现有技术文献]

[0019] [专利文献]

[0020] 专利文献1:日本特开平2-188966号公报

[0021] 专利文献2:日本特开平3-171768号公报

[0022] 专利文献3:日本特许第3957774号公报

[0023] 专利文献4:US2008/0137394A1

[0024] 专利文献5:US2003/0111681A1。

[0025] [非专利文献]

[0026] 非专利文献1:Hiroshi Takato,Kazumasa Sunouchi,Naoko Okabe,Akihiro Nitayama,Katsuhiko Hieda,Fumio Horiguchi,and Fujio Masuoka:IEEE Transaction on Electron Devices,Vol.38,No.3,pp.573-578(1991)

[0027] 非专利文献2:H.Chung,H.Kim,H.Kim,K.Kim,S.Kim,K.Dong,J.Kim,Y.C.Oh,Y.Hwang,H.Hong,G.Jin,and C.Chung:“4F2 DRAM Cell with Vertical Pillar Transistor(VPT),”2011Proceeding of the European Solid-State Device Research Conference,(2011)

[0028] 非专利文献3:H.S.Philip Wong,S.Raoux,S.Kim,Jiale Liang,J.R.Reifenberg,B.Rajendran,M.Asheghi and K.E.Goodson:“Phase Change Memory,”Proceeding of IEEE,Vol.98,No 12,December,pp.2201-2227(2010)

[0029] 非专利文献4:T.Tsunoda,K.Kinoshita,H.Noshiro,Y.Yamazaki,T.Iizuka,Y.Ito,A.Takahashi,A.Okano,Y.Sato,T.Fukano,M.Aoki,and Y.Sugiyama:“Low Power

and High Speed Switching of Ti-doped NiO ReRAM under the Unipolar Voltage Source of less than 3V,"IEDM(2007)

[0030] 非专利文献5:W.Kang,L.Zhang,J.Klein,Y.Zhang,D.Ravelosona,and W.Zhao:"Reconfigurable Codesign of STT-MRAM Under Process Variations in Deeply Scaled Technology,"IEEE Transaction on Electron Devices,pp.1-9(2015)

[0031] 非专利文献6:M.G.Ertosum,K.Lim,C.Park,J.Oh,P.Kirsch,and K.C.Saraswat:"Novel Capacitorless Single-Transistor Charge-Trap DRAM(1T CT DRAM)Utilizing Electron,"IEEE Electron Device Letter,Vol.31,No.5,pp.405-407(2010)

[0032] 非专利文献7:J.Wan,L.Rojer,A.Zaslavsky,and S.Critoloveanu:"A Compact Capacitor-Less High-Speed DRAM Using Field Effect-Controlled Charge Regeneration,"Electron Device Letters,Vol.35,No.2,pp.179-181(2012)

[0033] 非专利文献8:T.Ohsawa,K.Fujita,T.Higashi,Y.Iwata,T.Kajiyama,Y.Asao,and K.Sunouchi:"Memory design using a one-transistor gain cell on SOI,"IEEE JSSC,vol.37,No.11,pp1510-1522(2002).

[0034] 非专利文献9:T.Shino,N.Kusunoki,T.Higashi,T.Ohsawa,K.Fujita,K.Hatsuda,N.Ikumi,F.Matsuoka,Y.Kajitani,R.Fukuda,Y.Watanabe,Y.Minami,A.Sakamoto,J.Nishimura,H.Nakaj ima,M.Morikado,K.Inoh,T.Hamamoto,A.Nitayama:"Floating Body RAM Technology and its Scalability to 32nm Node and Beyond,"IEEE IEDM(2006).

[0035] 非专利文献10:E.Yoshida:"A Capacitorless 1T-DRAM Technology Using Gate-Induced Drain-Leakage(GIDL)Current for Low-Power and High-Speed Embedded Memory,"IEEE IEDM(2006).

[0036] 非专利文献11:J.Y.Song,W.Y.Choi,J.H.Park,J.D.Lee,and B-G.Park:"Design Optimization of Gate-All-Around(GAA)MOSFETs,"IEEE Trans.Electron Devices,vol.5,no.3,pp.186-191,May 2006.

[0037] 非专利文献12:N.Loubet,et al.:"Stacked Nanosheet Gate-All-Around Transistor to Enable Scaling Beyond FinFET,"2017IEEE Symposium on VLSI Technology Digest of Technical Papers,T17-5,T230-T231,June 2017.

[0038] 非专利文献13:H.Jiang,N.Xu,B.Chen,L.Zeng1,Y.He,G.Du,X.Liu and X.Zhang:"Experimental investigation of self-heating effect(SHE)in multiple-fin SOI FinFETs,"Semicond.Sci.Technol.29(2014)115021(7pp).

[0039] 非专利文献14:E.Yoshida,and T.Tanaka:"A Capacitorless1T-DRAM Technology Using Gate-Induced Drain-Leakage(GIDL)Current for Low-Power and High-Speed Embedded Memory,"IEEE Transactions on Electron Devices,Vol.53,No.4,pp.692-69,Apr.2006.

[0040] 非专利文献15:大泽隆:"使用单一FET单元的SOIDRAM"应用物理第75卷第9号、页1131-1135 2006年。

发明内容

[0041] [发明所欲解决的课题]

[0042] 在无电容器的一个晶体管型的DRAM(增益单元)中,字符线和浮体的电容耦合较大,若在数据读取时、写入时等时候字符线的电位振荡时,会有直接被作为对于浮体传递的噪声的问题点。此外,在通过对于非选择字符线WL施加负电压-1.5V以延长“1”写入的保持特性的手法而连接于非选择WL的内存单元中,有因为栅极引发汲极泄漏电流(GIDL电流)而产生“0”存储数据的破坏的问题。结果,引起误读取、存储数据的误改写的问题,而难以达到无电容器的一个晶体管型的DRAM(增益单元)的实用化。

[0043] [用以解决问题的手段]

[0044] 为了解决上述的问题,本发明的内存装置为一种使用半导体元件的内存装置,通过在基板上朝行方向排列的多个内存单元而构成页,且由多个页朝列方向排列而构成内存区块,

[0045] 前述各页中所含的各内存单元具有:

[0046] 半导体基体,在基板上相对于前述基板朝垂直方向竖立或朝水平方向延伸;

[0047] 第一杂质层和第二杂质层,位于前述半导体基体的两端;

[0048] 第一栅极绝缘层,包围前述第一杂质层与前述第二杂质层之间的前述半导体基体的侧面,且与前述第一杂质层相接或靠近;

[0049] 第二栅极绝缘层,包围前述半导体基体的侧面,且与前述第一栅极绝缘层相连地靠近;

[0050] 第三栅极绝缘层,包围前述半导体基体的侧面,且与前述第二栅极绝缘层相连,而且与前述第二杂质层相接或靠近;

[0051] 第一栅极导体层,覆盖前述第一栅极绝缘层;

[0052] 第二栅极导体层,覆盖前述第二栅极绝缘层;

[0053] 第三栅极导体层,覆盖前述第二栅极绝缘层;及

[0054] 通道半导体层,使前述半导体基体被前述第一栅极绝缘层、前述第二栅极绝缘层、和前述第三栅极绝缘层覆盖而成;

[0055] 前述内存单元的前述第一杂质层与源极线连接,前述第二杂质层与位元线连接,前述第一栅极导体层与第一选择栅极线连接,前述第二栅极导体层与驱动控制线连接,前述第三栅极导体层与第二选择栅极线连接,前述位元线连接于感测放大电路;

[0056] 且前述内存装置执行:控制施加于前述第一栅极导体层、前述第二栅极导体层、前述第三栅极导体层、前述第一杂质层、和前述第二杂质层的电压,而在前述通道半导体层的内部,保持通过撞击游离化现象所形成的空穴群的操作;

[0057] 将前述通道半导体层的电压设为比前述第一杂质层和前述第二杂质层的一方或两方的电压还要高的第一数据保持电压的页写入操作;

[0058] 控制施加于前述第一杂质层、前述第二杂质层、前述第一栅极导体层、前述第二栅极导体层、和前述第三栅极导体层的电压,而从前述第一杂质层、前述第二杂质层的一方或两方移除前述空穴群,之后,通过前述第一栅极导体层、前述第二栅极导体层、前述第三栅极导体层、与前述通道半导体层的电容耦合,将前述通道半导体层的电压设为比前述第一数据保持电压还要低的第二数据保持电压的页擦除操作;及

[0059] 将要在至少一页选择的内存单元群的页数据读取至前述位元线的页读取操作;

[0060] 对于连接于前述页中的非选择的前述页的前述内存单元的前述驱动控制线,施加零伏特以下的电压(第一发明)。

[0061] 在上述的第一发明中,于前述页读取操作时,对于连接于所选择的前述页的前述内存单元的前述驱动控制线施加有接地电压或接地电压以上的电压(第二发明)。

[0062] 在上述的第一发明中,于前述页读取操作时执行再新(refresh)操作,该再新操作在所选择的页的前述通道半导体层的内部通过撞击游离化现象形成前述空穴群,据此将所选择的前述页的前述通道半导体层的电压恢复为前述第一数据保持电压(第三发明)。

[0063] 在上述的第一发明中,于前述页写入操作时,使具有前述第一栅极导体层的第一N通道MOS晶体管区域、和具有前述第三栅极导体层的第三N通道MOS晶体管区域在线形区域动作,且使具有前述第二栅极导体层的第二N通道MOS晶体管区域在饱和区域动作(第四发明)。

[0064] 在上述的第一发明中,前述页擦除操作执行:第一操作,在通过前述第一选择栅极线、前述第二选择栅极线、和前述板线与前述通道区域的电容耦合使前述通道区域的电压上升之后,使前述位元线和前述源极线下降,据此使第一杂质层和第二杂质层与通道半导体层的PN接合为正偏压,而射出前述空穴群;及

[0065] 第二操作,通过前述第一选择栅极线、前述第二选择栅极线、和前述板线与前述通道区域的电容耦合,伴随着前述第一选择栅极线、前述第二选择栅极线、和前述板线的下降,降低前述通道半导体层的电压(第五发明)。

[0066] 在上述的第一发明中,前述第一选择栅极线和前述第二选择栅极线连接着(第六发明)。

[0067] 在上述的第一发明中,前述第一栅极导体层和前述第三栅极导体层与前述半导体基体之间的栅极电容的总和电容比前述第二栅极导体层与前述半导体基体之间的第二栅极电容还要小(第七发明)。

[0068] 在上述的第三发明中,前述再新操作时的前述第一选择栅极线及前述第二选择栅极线和前述位元线的第一脉冲宽度比前述页读取操作时的前述字符线和前述位元线的第二脉冲宽度更长(第八发明)。

[0069] 在上述的第一发明中,前述撞击游离化现象在前述第二栅极导体层、与前述第三栅极导体层之间的附近的前述通道半导体层的内部产生,且将前述空穴群保持于前述通道半导体层的内部(第九发明)。

[0070] 在上述的第一发明中,于至少二页被多重选择的页积和读取操作时,对于所选择的前述驱动控制线施加接地电压或接地电压以上的电压,对于非选择的前述驱动控制线施加负电压(第十发明)。

[0071] 在上述的第一发明中,对于连接于前述页中的非选择的前述页的前述内存单元的前述第一选择栅极线和前述第二选择栅极线施加要施加于前述驱动控制线的电压以上的电压(第十一发明)。

附图说明

[0072] 图1是第一实施方式的半导体内存装置的结构图。

[0073] 图2是用以说明第一实施方式的半导体内存装置的擦除操作机制的图。

[0074] 图3是用以说明第一实施方式的半导体内存装置的写入操作机制的图。

[0075] 图4A是用以说明第一实施方式的半导体内存装置的读取操作机制的图。

[0076] 图4B是用以说明第一实施方式的半导体内存装置的读取操作时的第一、第二、第三栅极导体层的栅极电容的大小关系、及与其相关的操作的图。

[0077] 图5A是用以说明将第一实施方式的半导体内存装置的非选择页的板线PL设为零伏特以下的电压的操作机制的图。

[0078] 图5B是用以说明将第一实施方式的半导体内存装置的非选择页的板线PL设为零伏特以下的电压的2×2的内存阵列图。

[0079] 图6A是用以说明将第一实施方式的具有SGT的内存装置的非选择页的板线PL设为零伏特以下的电压的操作的电路区块图。

[0080] 图6B是用以说明将第一实施方式的具有SGT的内存装置的非选择页的板线PL设为零伏特以下的电压的操作的动作波形图。

[0081] 图6C是用以说明将第一实施方式的具有SGT的内存装置的非选择页的板线PL设为零伏特以下的电压的操作的电路区块图。

[0082] 图6D是用以说明将第一实施方式的具有SGT的内存装置的非选择页的板线PL设为零伏特以下的电压的操作的电路区块图。

[0083] 图6E是用以说明将第一实施方式的具有SGT的内存装置的非选择页的板线PL设为零伏特以下的电压的操作的动作波形图。

[0084] 图6F是用以说明将第一实施方式的具有SGT的内存装置的非选择页的板线PL设为零伏特以下的电压的操作的电路区块图。

[0085] 图6G是用以说明将第一实施方式的具有SGT的内存装置的非选择页的板线PL设为零伏特以下的电压的操作的电路区块图。

[0086] 图6H是用以说明将第一实施方式的具有SGT的内存装置的非选择页的板线PL设为零伏特以下的电压的操作的电路区块图。

[0087] 图6I是用以说明将第一实施方式的具有SGT的内存装置的非选择页的板线PL设为零伏特以下的电压的操作的电路区块图。

[0088] 图6J是用以说明将第一实施方式的具有SGT的内存装置的非选择页的板线PL设为零伏特以下的电压的操作的动作波形图。

[0089] 图6K是用以说明将第一实施方式的具有SGT的内存装置的非选择页的板线PL设为零伏特以下的电压的操作的电路区块图。

[0090] 图6L是第一实施方式的半导体内存装置的结构图。

[0091] 图7是用以说明熟知例的不具有电容器的DRAM内存单元的写入操作的图。

[0092] 图8是用以说明熟知例的不具有电容器的DRAM内存单元的动作上的问题点的图。

[0093] 图9是显示熟知例的不具有电容器的DRAM内存单元的读取操作的图。

[0094] 图10是显示熟知例的不具有电容器的DRAM内存单元的读取操作的图。

具体实施方式

[0095] 以下参照附图来说明本发明的实施方式的使用半导体元件的内存装置(以下称为

动态快闪内存)的实施方式。

[0096] (第一实施方式)

[0097] 使用图1至图5来说明本发明的第一实施方式的动态快闪内存单元的结构和操作机制。

[0098] 图1显示本发明的第一实施方式的动态快闪内存单元的结构。在基板1(权利要求书的“基板”的一例)上,具有硅半导体柱2(权利要求书的“半导体柱”的一例)(以下将硅半导体柱称为“Si柱”)。另外,Si柱2从下方起具有N^+层3a(权利要求书的“第一杂质层”的一例)、P层7(以下将含有受体杂质的半导体区域称为“P层”)、N^+层3b(权利要求书的“第二杂质层”的一例)。N^+层3a、3b间的P层7成为通道区域7a。从下方起,以包围绕Si柱2的下部的方式具有第一栅极绝缘层4a(权利要求书的“第一栅极绝缘层”的一例)、第二栅极绝缘层4b(权利要求书的“第二栅极绝缘层”的一例)、第三栅极绝缘层4c(权利要求书的“第三栅极绝缘层”的一例)。另外,以包围第一栅极绝缘层4a的方式具有第一栅极导体层5a(权利要求书的“第一栅极导体层”的一例),以包围第二栅极绝缘层4b的方式具有第二栅极导体层5b(权利要求书的“第二栅极导体层”的一例),以包围第三栅极绝缘层4c的方式具有第三栅极导体层5c(权利要求书的“第三栅极导体层”的一例)。另外,第一栅极导体层5a、第二栅极导体层5b通过绝缘层6a而分离,第二栅极导体层5b、第三栅极导体层5c通过绝缘层6b而分离。据此,形成由N^+层3a、3b、P层7、第一栅极绝缘层4a、第二栅极绝缘层4b、第三栅极绝缘层4c、第一栅极导体层5a、第二栅极导体层5b、第三栅极导体层5c所构成的动态快闪内存单元。

[0099] 另外,如图1所示,N^+层3a连接于源极线SL(权利要求书的“源极线”的一例)、N^+层3b连接于位元线BL(权利要求书的“位元线”的一例)、第一栅极导体层5a连接于第一选择栅极线SG1(权利要求书的“第一选择栅极线”的一例)、第二栅极导体层5b连接于板线PL(权利要求书的“板线”的一例)、第三栅极导体层5c连接于第二选择栅极线SG2(权利要求书的“第二选择栅极线”的一例)。

[0100] 另外,较优选为具有如下的结构:连接于第一选择栅极线SG1的第一栅极导体层5a和连接于板线PL的第二栅极导体层5b加总后的栅极电容比连接于第二选择栅极线SG2的第三栅极导体层5c的栅极电容还要大。

[0101] 此外,也可将第一栅极导体层5a、第二栅极导体层5b、第三栅极导体层5c的任一者或全部于俯视观看时分割为二个以上,且分别作为第一选择栅极线、板线、第二选择栅极线的导体电极,以同步或非同步方式使其动作。据此,也可进行动态快闪内存体动作。

[0102] 此外,除第二栅极导体层5b外,还可设有至少一个以上的与板线PL相连的栅极导体层。也可使各个栅极导体层作为板线的导体电极,以同步或非同步方式使其动作。据此,也可进行动态快闪内存动作。

[0103] 使用图2来说明擦除操作机制。N^+层3a、3b间的通道区域7a为与基板1电性分离而成为浮体。图2的(a)部分显示出,于擦除操作前,在先前的周期中通过撞击游离化所产生的空穴群10蓄积于通道区域7a的状态。另外,如图2的(b)部分所示,于擦除操作时,将源极线SL的电压和位元线BL的电压设为负电压V_{ERA}。在此,V_{ERA}例如为-1.5V。结果,与通道区域7a的初始电位的值无关,而使连接有源极线SL的作为源极的N^+层3a与通道区域7a的PN接合、和连接有位元线SL的作为汲极的N^+层3b与通道区域7a的PN接合成为正偏压。结果,在先前的周期中通过撞击游离化所产生的蓄积于通道区域7a的空穴群10被吸入至源极部的N^+层3a

和汲极部的N^+层3b,且通道区域7a的电位V_{FB}成为$V_{FB}=V_{ERA}+Vb$附近的电压。在此,Vb为PN接合的内建电压,约为0.7V。因此,$V_{ERA}=-1.5V$的情形下,通道区域7a的电位成为-0.8V。此值成为擦除状态的通道区域7a的电位状态。因此,若浮体的通道区域7a的电位成为负的电压,则动态快闪内存单元的N通道MOS晶体管区域的阈值电压会因为基板偏压效应而变高。因此,连接于第一选择栅极线SG1的第一栅极导体层5a、连接于板线PL的第二栅极导体层5b、连接于第二选择栅极线SG2的第三栅极导体层5c的阈值电压变高。据此,如图2的(c)部分所示,在以第一选择栅极线SG1和第二选择栅极线SG2的电压作为x轴的图形中,单元电流Icell成为零。此通道区域7a的擦除状态成为逻辑存储数据"0"。另外,上述的施加于位元线BL、源极线SL、第一选择栅极线SG1、板线PL、第二选择栅极线SG2的电压条件、和浮体的电位为用以进行擦除操作的一例,也可为可进行擦除操作的其它操作条件。

[0104] 图3显示动态快闪内存单元的写入操作。如图3的(a)部分所示,对于连接有源极线SL的N^+层3a输入例如0V,对于连接有位元线BL的N^+层3b输入例如1.2V,对于连接于第一选择栅极线SG1的第一栅极导体层5a、和连接于第二选择栅极线SG2的第三栅极导体层5c输入例如2V,对于连接于板线PL的第二栅极导体层5b输入例如1.5V。结果,如图3的(a)部分所示,在连接有第一选择栅极线SG1的第一栅极导体层5a、和连接于第二选择栅极线SG2的第三栅极导体层5c的内侧的通道区域7a,形成有环状的反转层12a、12c。结果,具有第一栅极导体层5a的第一N通道MOS晶体管区域(权利要求书的"第一N通道MOS晶体管区域"的一例)、和具有第三栅极导体层5c的第三N通道MOS晶体管区域(权利要求书的"第三N通道MOS晶体管区域"的一例)是例如在线性区域动作。另一方面,具有连接有板线PL的第二栅极导体层5b的第二N通道MOS晶体管区域(权利要求书的"第二N通道MOS晶体管区域"的一例)是例如在饱和区域动作。结果,在反转层12b存在有夹止点P。此时,在连接有第一选择栅极线SG1的第一栅极导体层5a的内侧、和连接有第二选择栅极线SG2的第三栅极导体层5c的内侧整面形成的反转层12a、12c是分别作为具有连接有板线PL的第二栅极导体层5b的第二N通道MOS晶体管区域的实质的源极、汲极而产生作用。

[0105] 结果,在串联连接的第二N通道MOS晶体管区域与第三N通道MOS晶体管区域之间的通道区域7a的第二交界区域,电场成为最大,在此区域产生撞击游离化现象。由于此区域是从具有连接有第二选择栅极线SG2的第三栅极导体层5c的第三N通道MOS晶体管区域观看到的源极侧的区域,因此将此现象称为源极侧撞击游离化现象。通过此源极侧撞击游离化现象,电子从连接有源极线SL的N^+层3a朝向连接有位元线BL的N^+层3b流动。被加速后的电子会撞击晶格Si原子,且通过其运动能量而产生电子·空穴对。所产生的电子的一部分虽会流动于第一栅极导体层5a、第二栅极导体层5b、和第三栅极导体层5c,但大部分会流动于连接有位元线BL的N^+层3b。此外,也可在"1"写入中,使用栅极引发汲极泄漏(GIDL:Gate Induced Drain Leakage)电流而产生电子·空穴对,且以所产生的空穴群布满浮体FB内(例如参照非专利文献10)。

[0106] 另外,如图3的(b)部分所示,所产生的空穴群10为通道区域7a的多数载子,将通道区域7a充电为正偏压。由于连接有源极线SL的N^+层3a为0V,因此通道区域7a被充电至连接有源极线SL的N^+层3a与通道区域7a之间的PN接合的内建电压Vb(约0.7V)附近。当通道区域7a被充电为正偏压时,第一N通道MOS晶体管区域、第二N通道MOS晶体管区域、和第三N通道MOS晶体管区域的阈值电压即会因为基板偏压效应而变低。据此,如图3的(c)部分所示,在

以第一选择栅极线SG1和第二选择栅极线SG2电压作为x轴的图形中,流动有设为y轴的单元电流Icell。兹将此通道区域7a的写入状态分配给逻辑存储数据“1”。

[0107] 另外,在写入操作时,也可替代上述的第二交界区域,而在第一N通道MOS晶体管区域与第二N通道MOS晶体管区域之间的通道区域7a的第一交界区域,以撞击游离化现象或GIDL电流产生电子·空穴对,且以所产生的空穴群10将通道区域7a充电。或者,也可在N^+层3a与通道区域7a之间的交界区域或N^+层3b与通道区域7a之间的交界区域,以撞击游离化现象或GIDL电流产生电子·空穴对,且以所产生的空穴群10将通道区域7a充电。另外,上述的对于位元线BL、源极线SL、第一选择栅极线SG1、板线PL、第二选择栅极线SG2施加的电压条件为用以进行写入操作的一例,也可为可进行写入操作的其它电压条件。

[0108] 使用图4A和图4B来说明动态快闪内存单元的读取操作。使用图4A的(a)部分至图4A的(c)部分来说明动态快闪内存单元的读取操作。如图4A的(a)部分所示,当通道区域7a充电至内建电压Vb(约0.7V)时,阈值电压即会因为基板偏压效应而降低。将此状态分配给逻辑存储数据“1”。如图4A的(b)部分所示,在进行写入之前选择的内存区块预先设为擦除状态“0”的情形下,通道区域7a的浮体电压V_{FB}成为V_{ERA}+Vb。通过写入操作,随机地存储写入状态“1”。结果,对于第一和第二选择栅极线SG1、SG2作成逻辑“0”和“1”的逻辑存储数据。如图4A的(c)部分所示,利用对于此第一和第二选择栅极线SG1、SG2的二个阈值电压的高低差,以感测放大器(sense amplifier)进行读取。

[0109] 使用图4B的(a)部分至图4B的(c)部分来说明动态快闪内存单元的读取操作时的第一栅极导体层5a、第二栅极导体层5b、第三栅极导体层5c的栅极电容的大小关系,及与其相关的操作。第二栅极导体层5b的栅极电容较理想是设计为比第一栅极导体层5a和第三栅极导体层5c合并后的栅极电容还要大。如图4B的(a)部分所示,将第一栅极导体层5a和第三栅极导体层5c加总后的垂直方向的长度,设为比板线PL所连接的第二栅极导体层5b的垂直方向的长度更短,且将板线PL所连接的第二栅极导体层5b的栅极电容设为比分别连接于第一选择栅极线SG1、第二选择栅极线SG2的第一栅极导体层5a和第三栅极导体层5c的合计栅极电容还要大。图4B的(b)部分显示动态快闪内存的一单元的等价电路。

[0110] 另外,图4B的(c)部分显示动态快闪内存的结合电容关系。在此,C_{SG1}为第一栅极导体层5a的电容,C_{PL}为第二栅极导体层5b的电容,C_{SG2}为第三栅极导体层5c的电容,C_{BL}是作为汲极的N^+层3b与通道区域7a之间的PN接合的电容,C_{SL}是作为源极的N^+层3a与通道区域7a之间的PN接合的电容。如图4B的(c)部分所示,若第一选择栅极线SG1和第二选择栅极线SG2的电压振荡,其动作会作为噪声而对于通道区域7a造成影响。此时的通道区域7a的电位变动ΔV_{FB}成为:

[0111] $$\Delta V_{FB} = (C_{SG1}+C_{SG1})/(C_{SG1}+C_{SG2}+C_{PL}+C_{BL}+C_{SL}) \times V_{ReadSG} \quad (1)$$。

[0112] 在此,V_{ReadSG}为第一选择栅极线SG1和第二选择栅极线SG2的读取时的振荡电位。从式(1)可得知,若相比于通道区域7a的整体的电容$(C_{SG1}+C_{SG2}+C_{PL}+C_{BL}+C_{SL})$而将$(C_{SG1}+C_{SG1})$的贡献率设为较小,则$\Delta V_{FB}$即变小。通过将第一选择栅极线SG1和第二选择栅极线SG2各自所连接的第一、第三栅极导体层5a、5c的合计的垂直方向的长度,设为比板线PL所连接的第二栅极导体层5b的垂直方向的长度更短,可将ΔV_{FB}设为更小而不会降低俯视观看时的内存单元的集成度。另外,上述的对于位元线BL、源极线SL、板线PL、第一选择栅极线SG1、第二选择栅极线SG2施加的电压条件和浮体的电位为用以进行读取操作的一例,也可为可进行读取

操作的其它操作条件。

[0113] 使用图5A、图5B来说明将动态快闪内存单元的非选择页的板线PL设为零伏特以下的电压的操作。图5A的(a)部分显示的虽是在“1”写入后将第一选择栅极线SG1、第二选择栅极线SG2、板线PL各自的施加电压V_{SG1}、V_{SG2}、V_{PL}例如设为0V的同电压的情形,但蓄积于通道区域7a的空穴群10是扩及通道区域7a整体。另一方面,图5A的(b)部分显示的虽是在“1”写入后将第一选择栅极线SG1、第二选择栅极线SG2、板线PL各自的施加电压V_{SG1}、V_{SG2}例如设为0V,且另外将V_{PL}设为例如-0.7V的情形,但蓄积于通道区域7a的空穴群10是集中在被板线PL所连接的第二栅极导体层5b所包围的通道区域7a。这是因为,比起施加0V的第一选择栅极线SG1和第二选择栅极线SG2的第一栅极导体层5a和第三栅极导体层5c,具有正电荷的空穴群10会更被施加负电压的-0.7V的板线PL所连接的第二栅极导体层5b所包围的通道区域7a吸引所致。结果,空穴群10会从作为源极的N^+层3a与通道区域7a之间的PN接合、和作为汲极的N^+层3b与通道区域7a之间的PN接合被屏蔽。据此,抑制在作为源极的N^+层3a与通道区域7a之间的PN接合、和作为汲极的N^+层3b与通道区域7a之间的PN接合中的空穴与电子的再结合。此外,在第一栅极导体层5a、第二栅极导体层5b和第三栅极导体层5c包围通道区域7a的区域中不存在反转层,完全不会发生反转层中的空穴和电子的再结合。此外,图5A的(c)部分显示的虽是在“1”写入后将第一选择栅极线SG1、第二选择栅极线SG2、板线PL各自的施加电压V_{SG1}、V_{SG2}例如设为0.2V,且另外将V_{PL}设为例如0V的情形,但可获得与图5A的(b)部分相同的功效。图5A的(c)部分无须如图5A的(b)部分将板线的施加电压设为负电压,具有设计上的优点。如此,如图5A的(b)部分或图5A的(c)部分所示,通过将非选择页的板线PL设为零伏特以下的电压,使蓄积于通道区域7a内的空穴群10的保持(Retention)特性飞跃性地提升,可提供一种一般的挥发性内存所未曾有过的保持特性优异的虚拟非挥发性内存。此外,图5A的(d)部分显示了在“1”写入后将第一选择栅极线SG1、第二选择栅极线SG2、板线PL各自的施加电压V_{SG1}、V_{SG2}设为正电压,例如0.2V,且另外将板线PL的施加电压V_{PL}设为例如0V,将源极线SL的施加电压V_{SL}和位元线BL的施加电压V_{BL}设为0.3V的情形。据此,相比于图5A的(c)部分的情形,可获得更为抑制空穴与电子的再结合的特性的提升功效。通过对于V_{SG1}和V_{SG2}提供正电压,使电子更加无法存在于通道区域7a内,而更进一步抑制空穴与电子的再结合。据此,即可达成蓄积于通道区域7a内的空穴群10的长时间的保持(Retention)。此外,源极线SL的施加电压V_{SL}较优选为在刚要进行写入与读取和擦除之前设为低电压,例如设为接地电压Vss=0V。另外,在写入与读取和擦除之后,源极线SL的施加电压V_{SL}和位元线BL的施加电压V_{BL}恢复为正电压。

[0114] 使用图5B来说明对于非选择页的板线PL施加负电压之际的页写入操作。在选择页中,对于维持“0”擦除数据的内存单元Cell_10的位元线BL施加例如V_{BL}=0V。此外,对于写入“1”数据的内存单元Cell_11的位元线BL施加例如V_{BL}=0.8V。另外,对于选择页的第一选择栅极线SG1和第二选择栅极线SG2施加例如V_{SG1}=2.0V和V_{SG2}=2.0V,对于板线PL施加例如V_{PL}=1.5V。结果,在内存单元Cell_11的通道区域7a内产生撞击游离化现象,且以所产生的空穴群10布满通道区域7a,进行内存单元Cell_11的“1”写入。此外,关于非选择页的内存单元Cell_01,也由于位元线BL为共通而因此施加了“1”写入的位元线BL的电压,V_{BL}=0.8V。另外,内存单元Cell_01的非选择线的板线PL的电压例如施加了V_{PL}=-0.7V。然而,在位元线BL与板线PL之间具有非选择页的第二选择栅极线SG2,其施加电压为V_{SG2}=0V,因此内存单元

Cell_01的位元线BL与板线PL之间的电场会被第二选择栅极线SG2完全屏蔽。结果,在非选择页的内存单元中,不会因产生GIDL电流而发生误写入内存单元的存储数据的干扰(Disturbance),可实现可靠性极高的内存装置。

[0115] 使用图6A至图6K来说明将本发明的第一实施方式的动态快闪内存的非选择页的板线PL设为负电压的情形。

[0116] 图6A显示3行×3列的内存单元C00至C22构成了内存单元区块的一部分。在此,虽显示3行×3列的内存单元C00至C22,但在实际的内存单元区块中,内存单元构成为大于3行×3列的行列。另外,在各内存单元中,连接有第一选择栅极线SG10至SG12、板线PL0至PL2、第二选择栅极线SG20至SG22、源极线SL、位元线BL0至BL2。对于其栅极输入转换信号FT的晶体管T0C至T2C构成了开关电路。此外,其栅极连接于位元线预充电信号FS的晶体管T0D至T2D的汲极是连接于位元线电源VB,其源极是连接于各位元线BL0至BL2。另外,各位元线BL0至BL2是经由属于开关电路的晶体管T0C至T2C而连接于对应的感测放大电路(权利要求书的“感测放大电路”的一例)SA0至SA2。第一选择栅极线SG10至SG12、板线PL0至PL2、第二选择栅极线SG20至SG22是连接于行译码器(row decoder)电路RDEC。感测放大电路SA0至SA2是经由其栅极连接于列选择线CSL0至CSL2的晶体管T0A至T2B而连接于一对互补的输出入线IO和/IO。另外,图6A显示了例如预先在内存单元区块整体进行图2所示的擦除操作,且于通道区域7a未蓄积有空穴群10的状态。

[0117] 图6B显示,在图6A的内存单元C00至C22中的内存单元C01、C21进行“1”写入,且在其通道区域7a蓄积有空穴群9的动作波形图。在开始页写入操作(权利要求书的“页写入操作”的一例)之前的第一时刻T1,对于所有第一和第二选择栅极线SG10至SG22施加有第一电压V1。在此,第一电压V1例如为接地电压(权利要求书的“接地电压”的一例)Vss的0V。此外,对于板线PL0至PL2施加属于负电压的例如-0.7V的第三电压V3。据此,蓄积于非选择页的内存单元的通道区域7a中的空穴群10主要存在于板线PL0至PL2侧。结果,抑制在位元线BL与通道区域7a和源极线SL与通道区域7a的PN接合中的空穴与电子的再结合。此外,通过对于板线PL0至PL2施加负电压,而不会有通道区域7a的反转层。因此,防止属于信号的空穴群10的减少。此外,对于位元线BL0至BL2和源极线SL施加了第一电压V1。

[0118] 在图6B的第二时刻T2中,若开始页写入操作,则选择页的第一选择栅极线SG11和第二选择栅极线SG21会从第一电压V1上升至第二电压V2。在此,第二电压V2例如为2.0V。此外,选择页的板线PL1从第三电压V3上升至第四电压V4。在此,第四电压V4例如为1.5V。此外,进行“1”写入的位元线BL0和BL2从第一电压V1上升至第五电压V5。在此,第五电压V5例如为0.8V。由于内存单元C01、C21已被预先进行擦除,因此第一N通道MOS晶体管区域和第三N通道MOS晶体管区域的阈值电压例如变高至1.2V。因此,第一N通道MOS晶体管区域和第三N通道MOS晶体管区域在线形区域动作,且第二N通道MOS晶体管区域在饱和区域动作。结果,在第二N通道MOS晶体管区域与第三N通道MOS晶体管区域之间产生源极侧撞击游离化,且如图6C的电路区块图所示,在内存单元C01、C21的通道区域7a蓄积有空穴群10。

[0119] 在内存单元C01、C21的通道区域7a的电压到达所希望的第一数据保持电压之后,在第三时刻T3中,选择页的第一选择栅极线SG11和第二选择栅极线SG21从第二电压V2下降至第一电压V1,选择页的板线PL1从第四电压V4下降至第三电压V3,进行“1”写入之后的位元线BL0至BL2从第五电压V5下降至第一电压V1,结束页写入操作。因此,第三时刻T3以后,

对于所有板线PL0至PL2施加属于负电压的例如-0.7V的第三电压V3。据此,蓄积于非选择页的内存单元的通道区域7a的空穴群10主要存在于板线PL0至PL2侧。结果,抑制在位元线BL与通道区域7a的PN接合、和源极线SL与通道区域7a的PN接合中的空穴与电子的再结合。此外,通过对于板线PL0至PL2施加负电压,而不会有通道区域7a的反转层的形成。因此,防止属于信号的空穴群10的减少。

[0120] 图6D显示在任意的时间点(timing)对于内存单元C00至C22中的内存单元C10、C01、C21、C02、C12随机地进行“1”写入,且在其通道区域7a蓄积有空穴群10的电路区块图。图6E显示读取图6D的内存单元的动作波形图。在开始页读取操作(权利要求书的“页读取操作”的一例)之前的第四时刻T4,对于第一选择栅极线SG11和第二选择栅极线SG21施加有第一电压V1。在此,第一电压V1为例如接地电压Vss的0V。此外,对于板线PL0至PL2施加属于负电压的例如-0.7V的第三电压V3。据此,蓄积于非选择页的内存单元的通道区域7a中的空穴群10主要存在于板线PL0至PL2侧。结果,抑制在位元线BL与通道区域7a的PN接合中的空穴与电子的再结合。此外,通过对于板线PL0至PL2施加负电压,而不会有通道区域7a的反转层的形成。因此,防止属于信号的空穴群10的减少。此外,对于位元线BL0至BL2和源极线SL施加有第一电压V1。

[0121] 在图6E的第五时刻T5,若开始页读取操作,则所有位元线BL0至BL2从第一电压V1被预备充电至第八电压V8。在此,第八电压V8例如为0.8V。另外,在第六时刻T6中,选择页的第一选择栅极线SG11和第二选择栅极线SG21从第一电压V1上升至第六电压V6。在此,第六电压V6例如为1.0V。此外,选择页的板线PL1从第三电压V3上升至第七电压V7。在此,第七电压V7例如为0.8V。结果,属于第一页的第一内存单元群C01、C11、C21(权利要求书的“内存单元群”的一例)中所存储的页数据(权利要求书的“页数据”的一例)被读取至位元线BL0至BL2。由于已对于内存单元C01和C21进行了“1”写入,因此内存单元电流如图6F所示流动,位元线BL0和BL2放电。另一方面,由于内存单元C11维持为“0”擦除,因此内存单元电流不流动。

[0122] 通过使内存单元电流如图6F所示流动于内存单元C01和C21,在通道区域7a的内部通过撞击游离化现象而再产生空穴群10。结果,可自动地进行使已进行所选择的页的“1”写入的通道区域7a的电压恢复为第一数据保持电压的再新操作(权利要求书的“再新操作”的一例)。另外,已读取至位元线BL0至BL2的页数据会被读取至感测放大电路SA0至SA2。

[0123] 另外,在图6E的第七时刻T7中,选择页的第一选择栅极线SG11和第二选择栅极线SG21从第六电压V6下降至第一电压V1,选择页的板线PL1从第七电压V7下降至第三电压V3,位元线BL0至BL2被重设为第一电压V1,结束页读取操作。因此,第七时刻T7以后,是对于所有板线PL0至PL2施加属于负电压的例如-0.7V的第三电压V3。据此,蓄积于非选择页的内存单元的通道区域7a中的空穴群10主要存在于板线PL0至PL2侧。结果,抑制在位元线BL与通道区域7a、和源极线SL与通道区域7a的PN接合中的空穴与电子的再结合。此外,通过对于板线PL0至PL2施加负电压,而不会有通道区域7a的反转层的形成。因此,防止属于信号的空穴群10的减少。

[0124] 另外,虽已说明了在将内存单元C01至C21读取至位元线BL0至BL2之际将位元线预备充电至第八电压V8的情形,但也可使用晶体管T0D至T2D作为位元线的负载晶体管,而使内存单元电流与负载晶体管的导通电流对抗,而静态地(static)将内存单元C01至C21读取

至位元线BL0至BL2。

[0125] 此外,在图6D中,也可进行至少二页被多重选择的页积和读取操作(权利要求书的“页积和读取操作”的一例)。于页积和读取操作时,在图6D中,例如3页被多重选择。另外,各个内存单元电流Icell在各位元线BL0至BL2中被相加。在该情形下,较优选为进行使内存单元电流与负载晶体管的导通电流对抗的静态读取。

[0126] 图6G显示了在3行×3列的内存单元C00至C22的区块中,在内存单元区块的终端共享第一选择栅极线和第二选择栅极线的选择栅极线SG0至SG2的例子。在此构成中,也可将本发明的第一实施方式的动态快闪内存单元的非选择页的板线PL设为负电压。

[0127] 图6H显示的例子,是在3行×3列的内存单元C00至C22的区块中,将源极线SL分离地配置在:源极线SL0,与板线PL0、第一选择栅极线SG10、第二选择栅极线SG20平行;源极线SL1,与板线PL1、第一选择栅极线SG11、第二选择栅极线SG21平行;及源极线SL2,与板线PL2、第一选择栅极线SG12、第二选择栅极线SG22平行。源极线SL0至SL2是连接于行译码器电路RDEC进行译码。在此构成中,也可将本发明的第一实施方式的动态快闪内存单元的非选择页的板线PL设为负电压。

[0128] 此外,使用图6I至图6K来说明将源极线SL0至SL2分离后的3行×3列的内存单元C00至C22的区块中的页擦除操作(权利要求书的“页擦除操作”的一例)。如图6J的动作波形图所示,在开始页擦除操作之前的第八时刻T8中,对于所有第一和第二选择栅极线SG10至SG22施加有第一电压V1。在此,第一电压V1例如为接地电压Vss的0V。此外,对于板线PL0至PL2施加属于负电压的例如-0.7V的第三电压V3。据此,蓄积于非选择页的内存单元的通道区域7a中的空穴群10主要存在于板线PL0至PL2侧。结果,抑制在位元线BL与通道区域7a、和源极线SL与通道区域7a的PN接合中的空穴与电子的再结合。此外,通过对于板线PL0至PL2施加负电压,而不会有通道区域7a的反转层。

[0129] 在图6J的第九时刻T9中,若开始页擦除操作,则位元线BL0至BL2和源极线SL1从第一电压V1分别上升至第十一电压V11和第十二电压V12。在此,第十一电压V11和第十二电压V12例如为2.0V。另外,在第十时刻T10中,选择页的第一选择栅极线SG11和第二选择栅极线SG21从第一电压V1上升至第九电压V9,板线PL1从第三电压V3上升至第十电压V10。在此,第九电压V9和第十电压V10例如为1.5V。由于在第九时刻T9中,位元线BL0至BL2和源极线SL1已分别上升至第十一电压V11和第十二电压V12,因此在第十时刻T10中,不会有伴随着选择页的第一选择栅极线SG11、第二选择栅极线SG21和板线PL1的上升的通道区域7a的反转层的形成。结果,属于浮体的通道区域7a的电压会因为第一选择栅极线SG11、第二选择栅极线SG2和板线PL1、与通道区域7a的电容耦合而上升。在第十一时刻T11中,若位元线BL0至BL2和源极线SL1降低至第一电压V1,则位元线BL和源极线SL与通道区域7a的PN接合成为正偏压。另外,如图6I所示,通道区域7a的空穴群10射出至“1”写入状态的内存单元C01和C21的位元线BL0与BL2和源极线SL1。

[0130] 在图6J的第十二时刻T12中,位元线BL0至BL2和源极线SL1分别上升至第十一电压V11和第十二电压V12。该上升是为了使在第一选择栅极线SG11、第二选择栅极线SG21和板线PL1下降之际不在通道区域7a形成反转层的对策。另外,在第十三时刻T13中,第一选择栅极线SG11和第二选择栅极线SG21从第九电压V9下降至第一电压V1,板线PL1从第十电压V10下降至第三电压V3。伴随此下降,会因为与属于浮体的通道区域7a的电容耦合而使通道区

域7a的电压降低。此外,在第十四时刻T14中,位元线BL0至BL2和源极线SL1分别从第十一电压V11和第十二电压V12下降至第一电压V1。在此下降中,也会因为与属于浮体的通道区域7a的电容耦合而使通道区域7a的电压降低。如此,不对于位元线BL和源极线SL施加负电压即能够进行射出通道区域7a的空穴群10的页擦除操作。

[0131] 如以上所述,页擦除操作是大致由二个操作所构成。第一操作(权利要求书的"第一操作"的一例)是在通过电容耦合使因为第一和第二选择栅极线SG1和SG2、板线PL的上升所致的通道区域7a的浮体的电压上升之后,使位元线BL和源极线SL下降,据此使PN接合为正偏压,而射出空穴群10的操作。此外,第二操作(权利要求书的"第二操作"的一例)是伴随着第一和第二选择栅极线SG1和SG2、板线PL的下降,以及与通道区域7a的电容耦合所致的降低操作。由于未对于位元线BL和源极线SL施加负电压,因此无须将内存单元区块设为P阱与N阱的二重阱结构。此外,无须将负电压输入于各周边电路,不仅电路设计变得容易,而且可大幅削减电路的布局面积和功率等,其优点极大。

[0132] 图6K显示了进行页擦除操作,且空穴群10不存在于内存单元C01、C11、C21的通道区域7a的情形。另外,即使在第十四时刻T14中结束页擦除操作,在其它内存单元(例如C10、C02、C12)中仍存储有"1"写入数据。因此,对于所有第一和第二选择栅极线SG10至SG22施加有第一电压V1。在此,第一电压V1例如为接地电压Vss的0V。此外,对于板线PL0至PL2施加属于负电压的例如-0.7V的第三电压V3。据此,蓄积于非选择页的内存单元的通道区域7a的空穴群10主要存在于板线PL0至PL2侧。结果,抑制在位元线BL与通道区域7a、源极线SL与通道区域7a的PN接合中的空穴与电子的再结合。此外,通过对于板线PL0至PL2施加负电压,而不会有通道区域7a的反转层。

[0133] 图6L显示了板线PL由至少二条板线PL1和PL2所构成的结构图。此种结构的情形下,也可进行本实施方式中所说明的动态快闪内存动作。

[0134] 在图1中,即使Si柱2的水平剖面形状为圆形、椭圆形、长方形,也可进行本实施方式中所说明的动态快闪内存动作。此外,也可在相同芯片(chip)上混合存在圆形、椭圆形、长方形的动态快闪内存单元。

[0135] 此外,在图1中以SGT为例说明了动态快闪内存元件,此SGT设置有包围着在基板上朝垂直方向竖立的Si柱2的侧面整体的第一栅极绝缘层4a、第二栅极绝缘层4b、和第三栅极绝缘层4c,且具有包围第一栅极绝缘层4a、第二栅极绝缘层4b、和第三栅极绝缘层4c的整体的第一栅极导体层5a、第二栅极导体层5b、和第三栅极导体层5c。如本实施方式的说明所示,本动态快闪内存元件若为符合可将通过撞击游离化现象所产生的空穴群10保持于通道区域7的条件的结构即可。据此,通道区域7a若为与基板1分离的浮体结构即可。据此,即使使用例如属于SGT之一的GAA(Gate All Around,全环绕栅极晶体管,例如参照非专利文献10)技术、纳米片(Nanosheet)技术(例如参照非专利文献11),将通道区域的半导体基体相对于基板1水平地形成,也可进行前述的动态快闪内存动作。此外,也可为使用了SOI(Silicon On Insulator)的元件结构(例如参照非专利文献7至10)。在此种元件结构中,通道区域的底部与SOI基板的绝缘层相接,而且以包围其它通道区域的方式被栅极绝缘层和元件分离绝缘层所包围。在此结构中,通道区域也成为浮体结构。如此,本实施方式所提供的动态快闪内存元件若符合通道区域为浮体结构的条件即可。此外,即使是将Fin晶体管(Fin Field-Effect Transistor,鳍式场效晶体管,例如参照非专利文献13)形成于SOI基

板上的结构,若通道区域为浮体结构,则也可进行本动态快闪内存的动作。

[0136] 此外,本说明书中和附图的式(1)至(4)是为了以定性的方式说明现象所使用的公式,现象不限定于这些公式。

[0137] 另外,上述的第一和第二选择栅极线SG1和SG2、位元线BL、源极线SL的重设电压虽记载为Vss,但也可分别设为不同的电压。

[0138] 在图6B和图6E的动作波形图中,虽具体地载明了位元线BL、第一和第二选择栅极线SG1和SG2、板线PL的电压,但若为通过内存单元电流而在通道区域7a内引起撞击游离化现象,且形成空穴群10的电压条件即可。

[0139] 另外,在本说明书中和权利要求书中提及“栅极绝缘层或栅极导体层等覆盖通道等”时的“覆盖”的意思,也包含如SGT或GAA般包围整体的情形、如Fin晶体管般残留一部分的方式包围的情形、还有如平面型晶体管般在平面的构件之上重叠的情形。

[0140] 在图1中,第一栅极导体层5a包围第一栅极绝缘层4a的整体。相对于此,第一栅极导体层5a也可设为俯视观看时包围第一栅极绝缘层4a的一部分的结构。也可将该第一栅极导体层5a分割为至少二个栅极导体层,且使其作为至少二条板线PL电极而动作。同样地,也可将第二栅极导体层5b分割为二个以上,且分别作为字符线WL的导体电极以同步或非同步的方式使其动作。据此,也可进行动态快闪内存动作。另外,将第一栅极导体层5a分割为二个以上时,由至少一个所分割的第一栅极导体层进行上述的第一栅极导体层5a的作用。此外,在所分割的第二栅极导体层5b中,也是由至少一个所分割的第二栅极导体层进行上述的第二栅极导体层5b的作用。

[0141] 在图6A至图6K中,虽已说明了由一个半导体基体所构成的一位元的动态快闪内存单元的再新操作,但关于由存储“1”和“0”互补的数据的二个半导体基体所构成的一位元的高速动态快闪内存单元的再新操作,本发明也具功效。

[0142] 在图6A至图6K中,虽已说明了由一个半导体基体所构成的一位元的动态快闪内存单元以单层的内存阵列进行再新操作,但关于层积有由一个半导体基体所构成的一位元的动态快闪内存单元而成的多层的内存阵列,本发明也具功效。

[0143] 此外,上述的对于位元线BL、源极线SL、第一和第二选择栅极线SG1和SG2、板线PL施加的电压条件和浮体的电压为用以进行擦除操作、写入操作、读取操作的基本操作的一例,若为可进行本发明的基本操作,则也可为其它电压条件。

[0144] 本实施方式提供下列特征。

[0145] (特征一)

[0146] 将本发明的第一实施方式的动态快闪内存单元的非选择页的板线PL设为零伏特以下的电压。对于所有板线PL施加例如负电压的-0.7V的第三电压V3。据此,蓄积于非选择页的内存单元的通道区域7a的空穴群10主要存在于板线PL侧。结果,抑制在位元线BL与通道区域7a、和源极线SL与通道区域7a的PN接合中的空穴与电子的再结合。此外,通过对于板线PL施加负电压,而不会有通道区域7a的反转层的形成。因此,防止属于信号的空穴群10的减少。结果,显著地改善蓄积于通道区域7a中的空穴群10的“1”写入的保持特性(Retention特性)。在非专利文献8和非专利文献15中,记载了将非选择字符线WL设为-1.5V,而延长“1”写入的保持特性的方法。然而,也记载了如下的内容:由于在写入时,对于位元线BL施加1.8V,因此在栅极与汲极间被施加3.3V的电压,而会在连接于非选择WL的内存单元中,因为

栅极引发汲极泄漏电流(GIDL电流)而产生“0”存储数据的破坏。在本发明中,即使对于非选择板线PL施加负电压,板线PL也未直接与位元线BL相接。此外,即使对于本发明的非选择页的第二选择栅极线SG2施加0V,且于写入时将位元线BL例如设为0.8V,也只是在栅极与汲极间被施加了仅0.8V的电压,因此不会产生栅极引发汲极泄漏电流。因此,可对于非选择页的板线PL施加负电压,且能够显著地延长“1”写入的保持特性,可提供可靠性高的内存装置。

[0147] (特征二)

[0148] 若注意本发明的第一实施方式的动态快闪内存单元的板线PL所连接的第二栅极导体层5b的作用,则在动态快闪内存单元进行写入、读取操作之际,第一和第二选择栅极线SG1和SG2的电压会上下振荡。此时,板线PL所担任的作用是减低第一和第二选择栅极线SG1和SG2、与通道区域7a之间的电容耦合比。结果,可显著地抑制字符线WL的电压上下振荡之际的通道区域7a的电压变化的影响。据此,可将显示逻辑“0”和“1”的第一和第二选择栅极线SG1和SG2的SGT晶体管的阈值电压差增大。此将关系到动态快闪内存单元的动作的差分边限的扩大。

[0149] (其它实施方式)

[0150] 另外,在本发明中,虽形成了Si柱,但也可为由Si以外的半导体材料所形成的半导体柱。此点在本发明的其它实施方式中也相同。

[0151] 此外,在图1中,即使是在使N^+层3a、3b、P层Si柱2各自的导电型的极性相反的结构中,也进行动态快闪内存动作。此时,在属于N型的Si柱2中,多数载子成为电子。因此,通过撞击游离化所产生的电子群被蓄积于通道区域7a中而设定“1”状态。

[0152] 此外,本发明可在不脱离本发明的广义的精神与范围的情况下,达成各种实施方式及变形。此外,上述的各实施方式是用以说明本发明的一实施例,并非限定本发明的范围。上述实施例及变形例可任意地组合。另外,即使任选而去除上述实施方式的构成要件的一部分,也属于本发明的技术思想的范围内。

[0153] [产业上的可利用性]

[0154] 依据本发明的使用半导体元件的内存装置,可获得高密度而且高性能的使用SGT的内存装置的动态快闪内存。

[0155] 附图标记说明

[0156]	10	动态快闪内存单元
[0157]	2	具有P型或i型(本征型)的导电型的Si柱
[0158]	3a,3b	N^+层
[0159]	7a	通道区域
[0160]	4a,4b	栅极绝缘层
[0161]	5a,5b	栅极导体层
[0162]	6	用以分离二层栅极导体层的绝缘层
[0163]	BL	位元线
[0164]	SL	源极线
[0165]	PL	板线
[0166]	SG1	第一选择栅极线
[0167]	SG2	第二选择栅极线

[0168]	FB	浮体
[0169]	C00至C22	内存单元
[0170]	SL	源极线
[0171]	BL0至BL2	位元线
[0172]	PL0至PL2	板线
[0173]	SG10至SG22	第一和第二选择栅极线
[0174]	SA0至SA2	感测放大电路
[0175]	T0A至T2D	MOS晶体管
[0176]	IO,/IO	输出入线
[0177]	CSL0至CSL2	列选择线
[0178]	110	不具有电容器的DRAM内存单元
[0179]	100	SOI基板
[0180]	101	基板的SiO_2膜
[0181]	102	浮体(Floating Body)
[0182]	103	源极N^+层
[0183]	104	汲极N^+层
[0184]	105	栅极导电层
[0185]	106	空穴
[0186]	107	反转层、电子的通道
[0187]	108	夹止点
[0188]	109	栅极氧化膜。

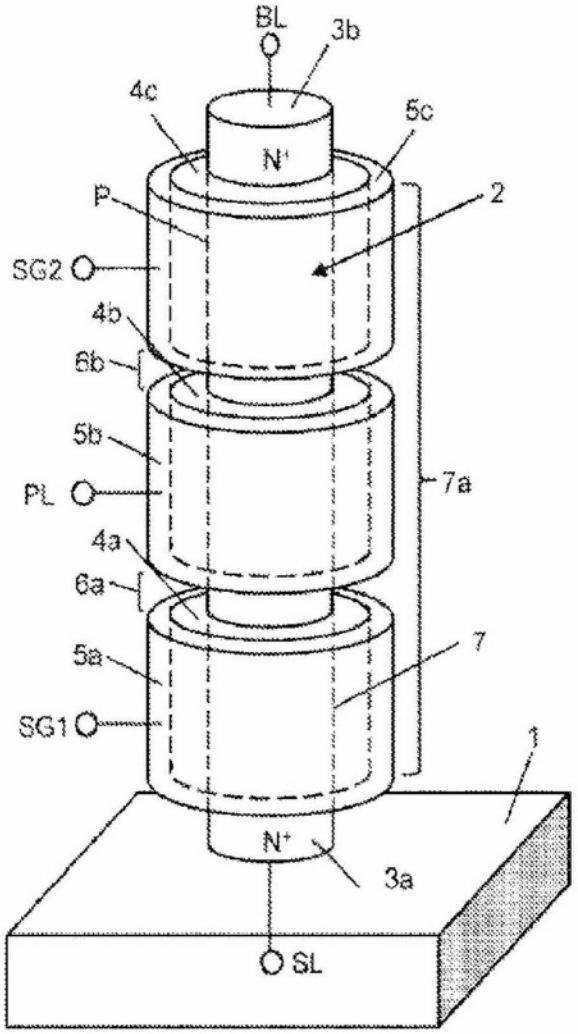


图1

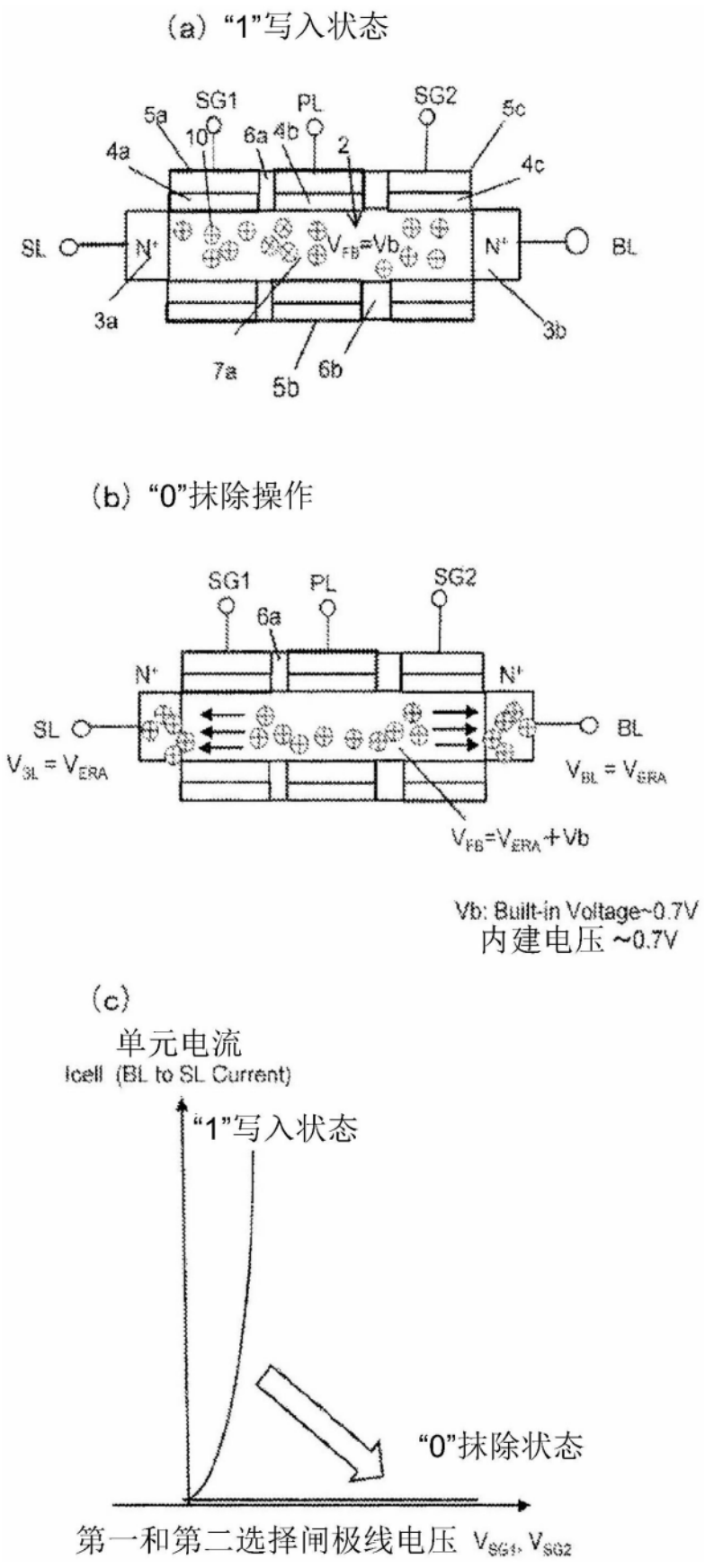

(a) "1"写入状态
SG1
PL
SG2
5a
10
6a
4b
2
5c
4a
4c
SL
N+
V_{FB}=Vb
N+
BL
3a
3b
7a
5b
6b
(b) "0"抹除操作
SG1
PL
SG2
6a
N+
N+
SL
BL
V_{SL} = V_{ERA}
V_{BL} = V_{ERA}
V_{FB}=V_{ERA}+Vb
Vb: Built-in Voltage~0.7V
内建电压 ~0.7V
(c)
单元电流
Icell (BL to SL Current)
"1"写入状态
"0"抹除状态
第一和第二选择闸极线电压 V_{SG1}, V_{SG2}

图2

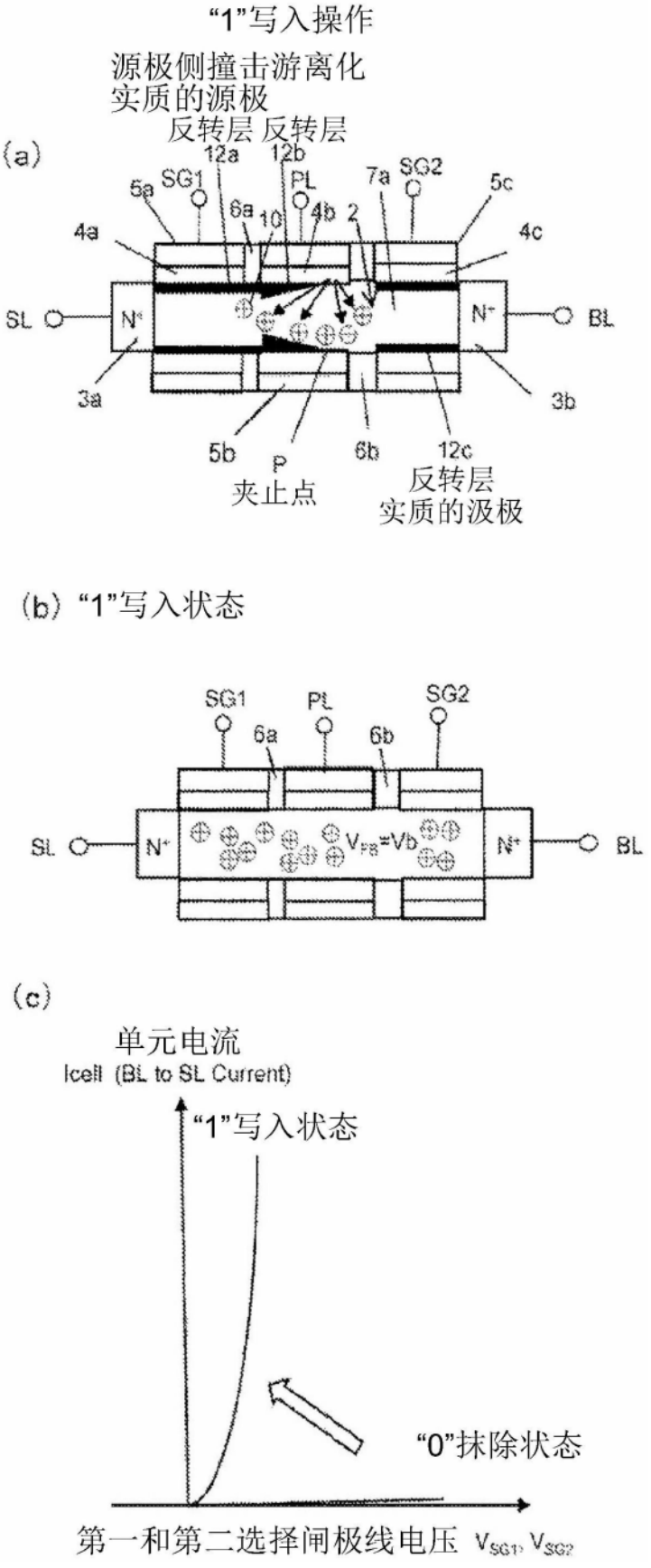

"1"写入操作
源极侧撞击游离化
实质的源极
反转层 反转层
(a)
12a
12b
SG1
PL
SG2
5a
7a
5c
6a
10
4b
2
4a
4c
SL
N+
N+
BL
3a
3b
5b
P
6b
12c
夹止点
反转层
实质的汲极
(b) "1"写入状态
SG1
PL
SG2
6a
6b
SL
N+
N+
BL
V_{FB}=Vb
(c)
单元电流
Icell (BL to SL Current)
"1"写入状态
"0"抹除状态
第一和第二选择闸极线电压 V_{SG1}, V_{SG2}

图3

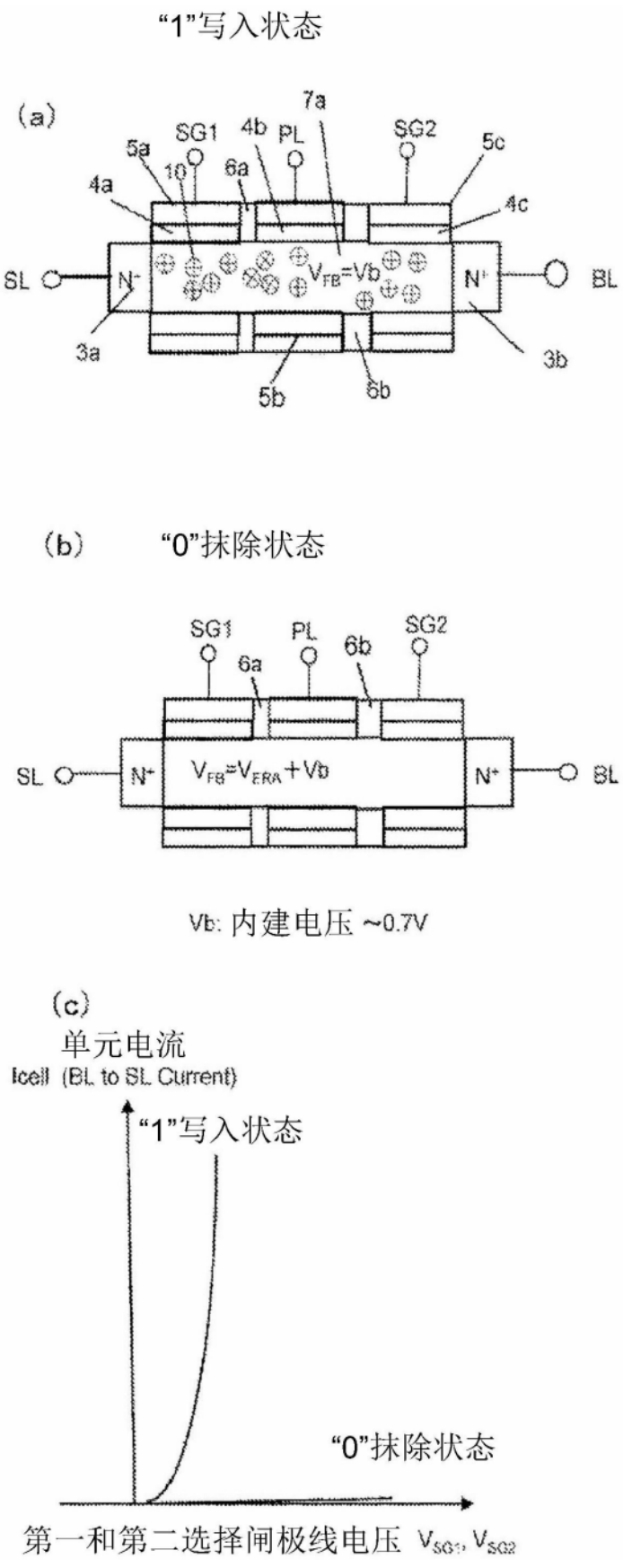

"1"写入状态
(a)
SG1
4b
PL
7a
SG2
5a
10
6a
5c
4a
4c
SL
N-
V_{FB}=Vb
N+
BL
3a
3b
5b
6b
(b)
"0"抹除状态
SG1
PL
6b
SG2
6a
SL
N+
V_{FB}=V_{ERA}+Vb
N+
BL
Vb: 内建电压 ~0.7V
(c)
单元电流
Icell (BL to SL Current)
"1"写入状态
"0"抹除状态
第一和第二选择闸极线电压 V_{SG1}, V_{SG2}

图4A

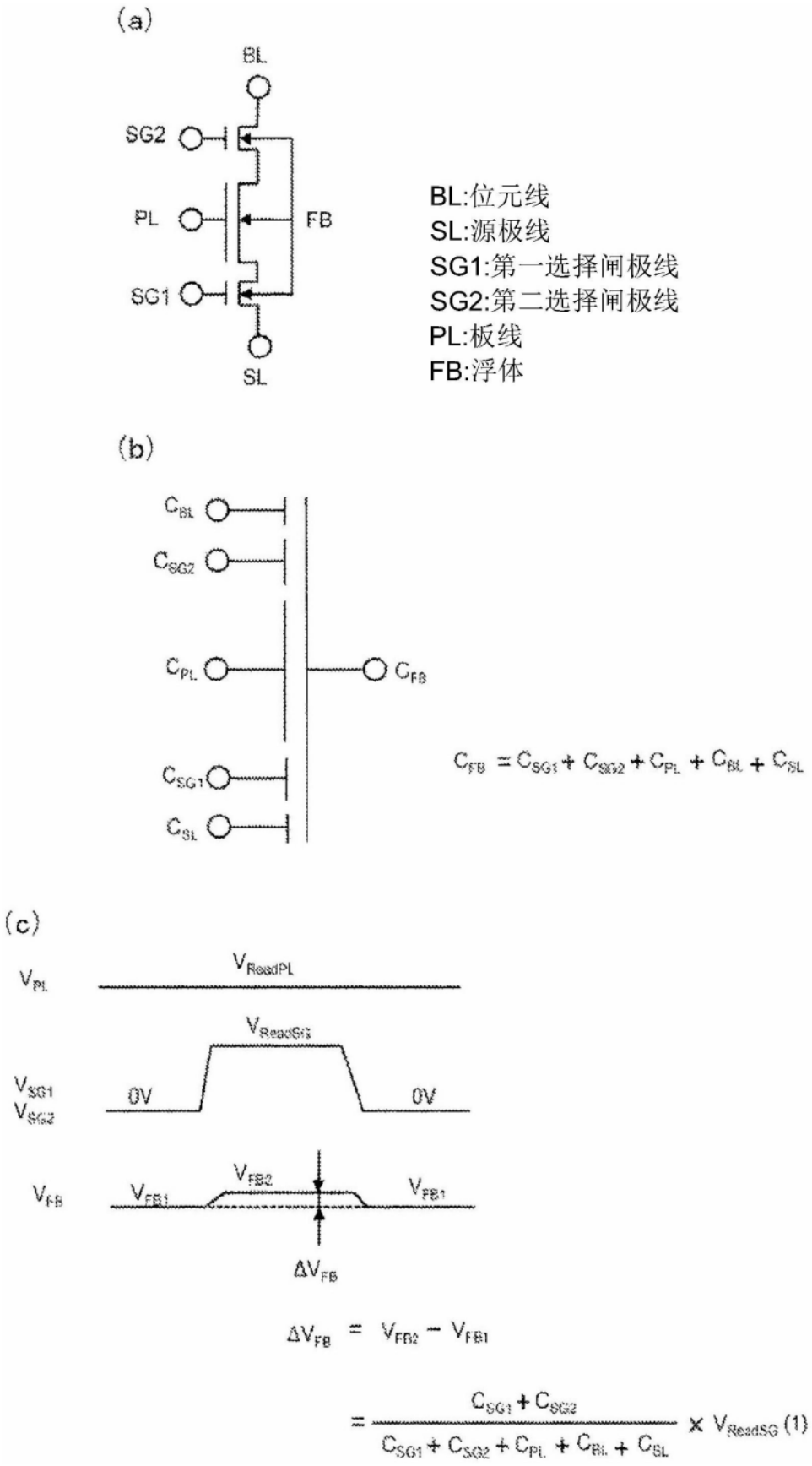
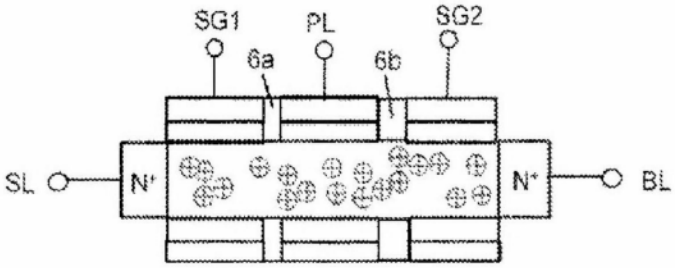

(a)
BL
SG2
PL
FB
SG1
SL
BL:位元线
SL:源极线
SG1:第一选择闸极线
SG2:第二选择闸极线
PL:板线
FB:浮体
(b)
C_{BL}
C_{SG2}
C_{PL}
C_{FB}
C_{SG1}
C_{SL}
$C_{FB} = C_{SG1} + C_{SG2} + C_{PL} + C_{BL} + C_{SL}$
(c)
V_{PL}
V_{ReadPL}
V_{ReadSG}
V_{SG1}
V_{SG2}
0V
0V
V_{FB}
V_{FB2}
V_{FB1}
V_{FB1}
ΔV_{FB}
$\Delta V_{FB} = V_{FB2} - V_{FB1}$
$= \frac{C_{SG1} + C_{SG2}}{C_{SG1} + C_{SG2} + C_{PL} + C_{BL} + C_{SL}} \times V_{ReadSG}$ (1)

图4B

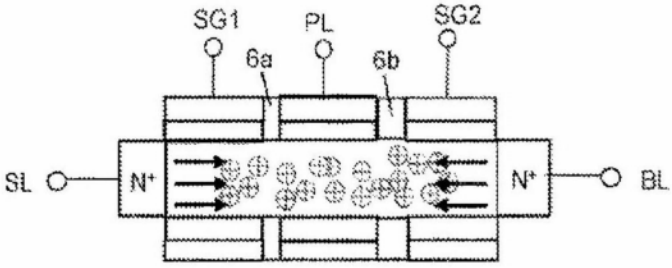
“1”写入状态

(a) $V_{SG1} = V_{SG2} = V_{PL} = 0V$, $V_{SL} = V_{BL} = 0V$



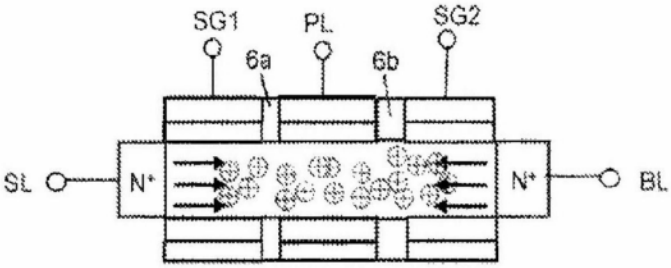
(b) $V_{SG1} = V_{SG2} = 0V$, $V_{PL} = -0.7V$

$V_{SL} = V_{BL} = 0V$



(c) $V_{SG1} = V_{SG2} = 0.2V$, $V_{PL} = 0V$

$V_{SL} = V_{BL} = 0V$



(d) $V_{SG1} = V_{SG2} = 0.2V$, $V_{PL} = 0V$, $V_{SL} = V_{BL} = 0.3V$

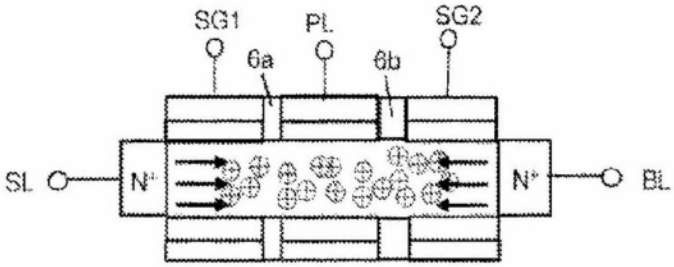


图5A

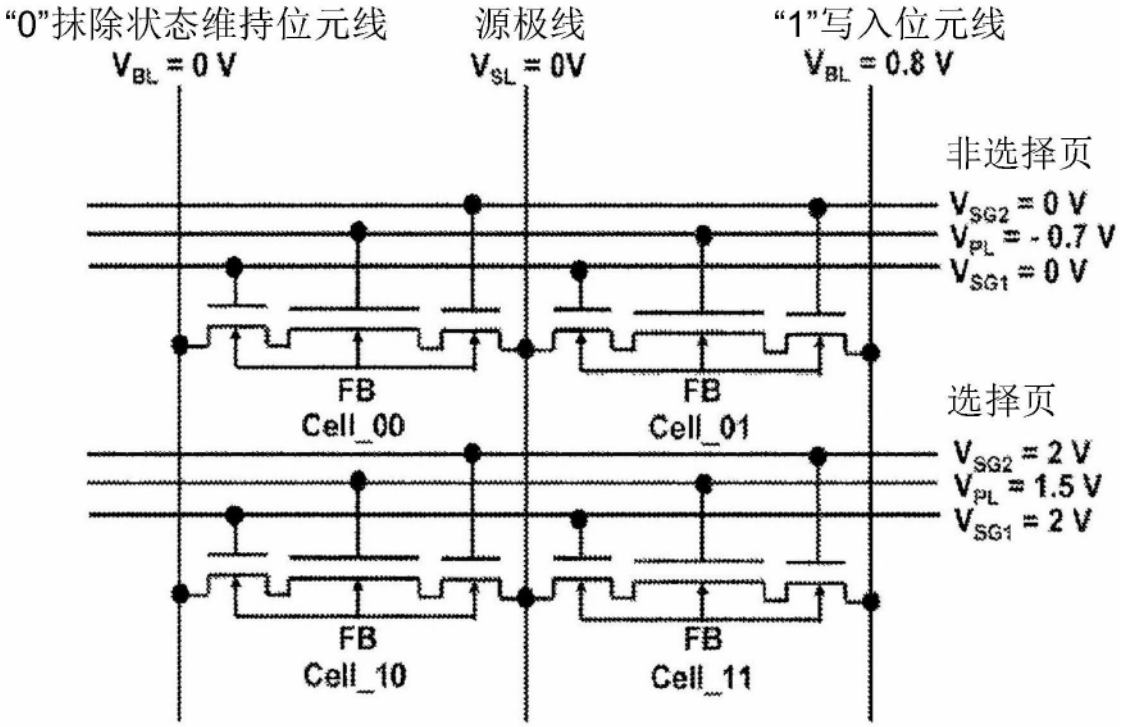

“0”抹除状态维持位元线
V_{BL} = 0 V
源极线
V_{SL} = 0V
“1”写入位元线
V_{BL} = 0.8 V
非选择页
V_{SG2} = 0 V
V_{PL} = - 0.7 V
V_{SG1} = 0 V
FB
Cell_00
FB
Cell_01
选择页
V_{SG2} = 2 V
V_{PL} = 1.5 V
V_{SG1} = 2 V
FB
Cell_10
FB
Cell_11

图5B

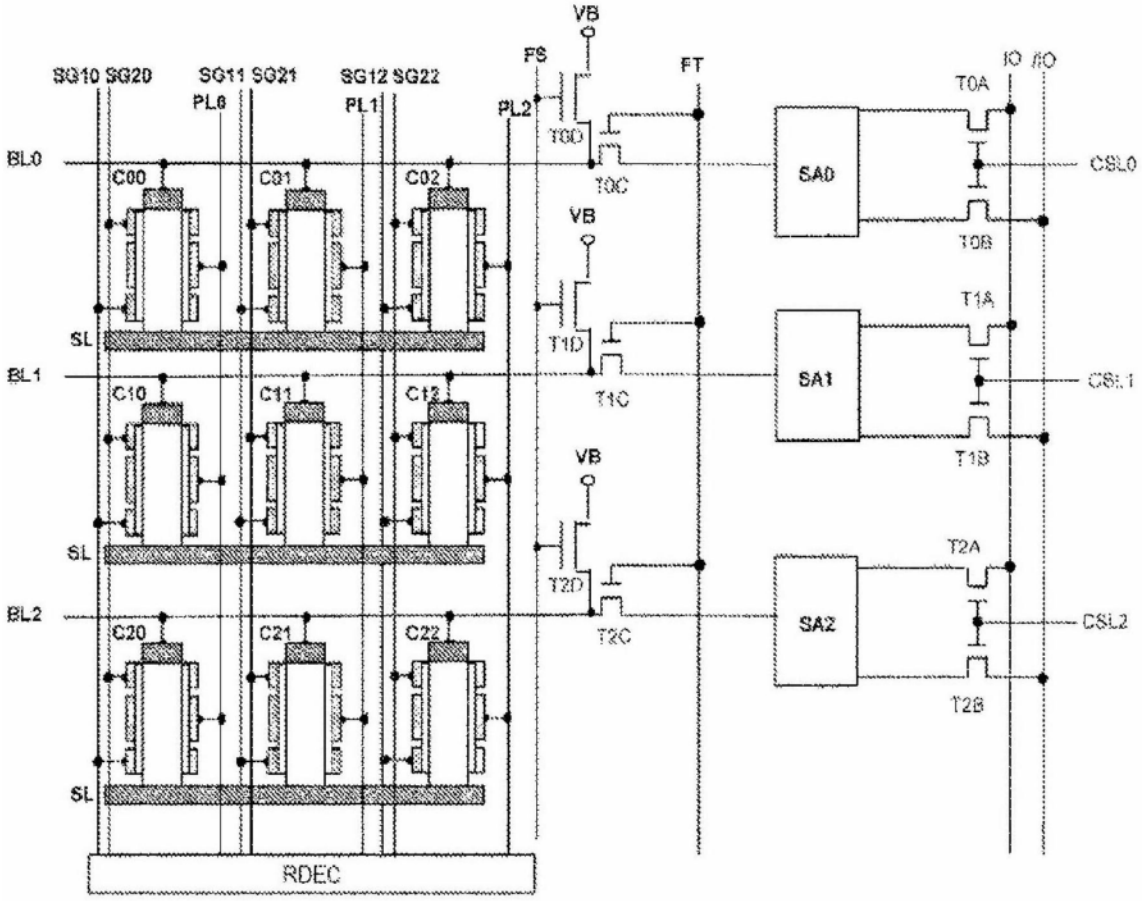

VB
FS
FT
IO
/IO
SG10 SG20
SG11 SG21
SG12 SG22
PL0
PL1
PL2
T0A
T0D
T0C
T0B
BL0
C00
C01
C02
SA0
CSL0
VB
T1A
T1D
T1C
T1B
SL
BL1
C10
C11
C12
SA1
CSL1
VB
T2A
T2D
T2C
T2B
SL
BL2
C20
C21
C22
SA2
CSL2
SL
RDEC

图6A

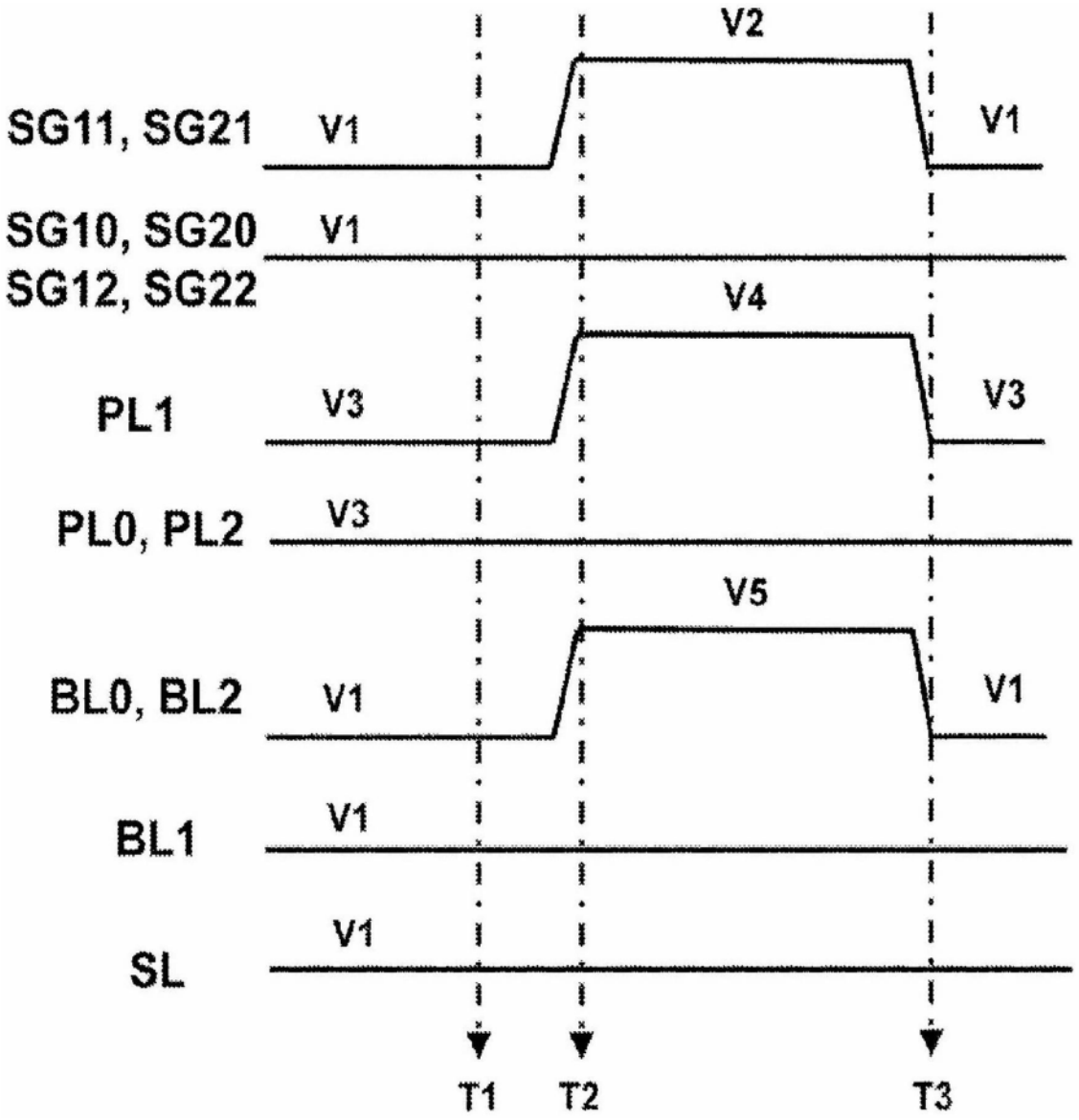

SG11, SG21
SG10, SG20
SG12, SG22
PL1
PL0, PL2
BL0, BL2
BL1
SL
V1
V2
V3
V4
V5
T1
T2
T3

图6B

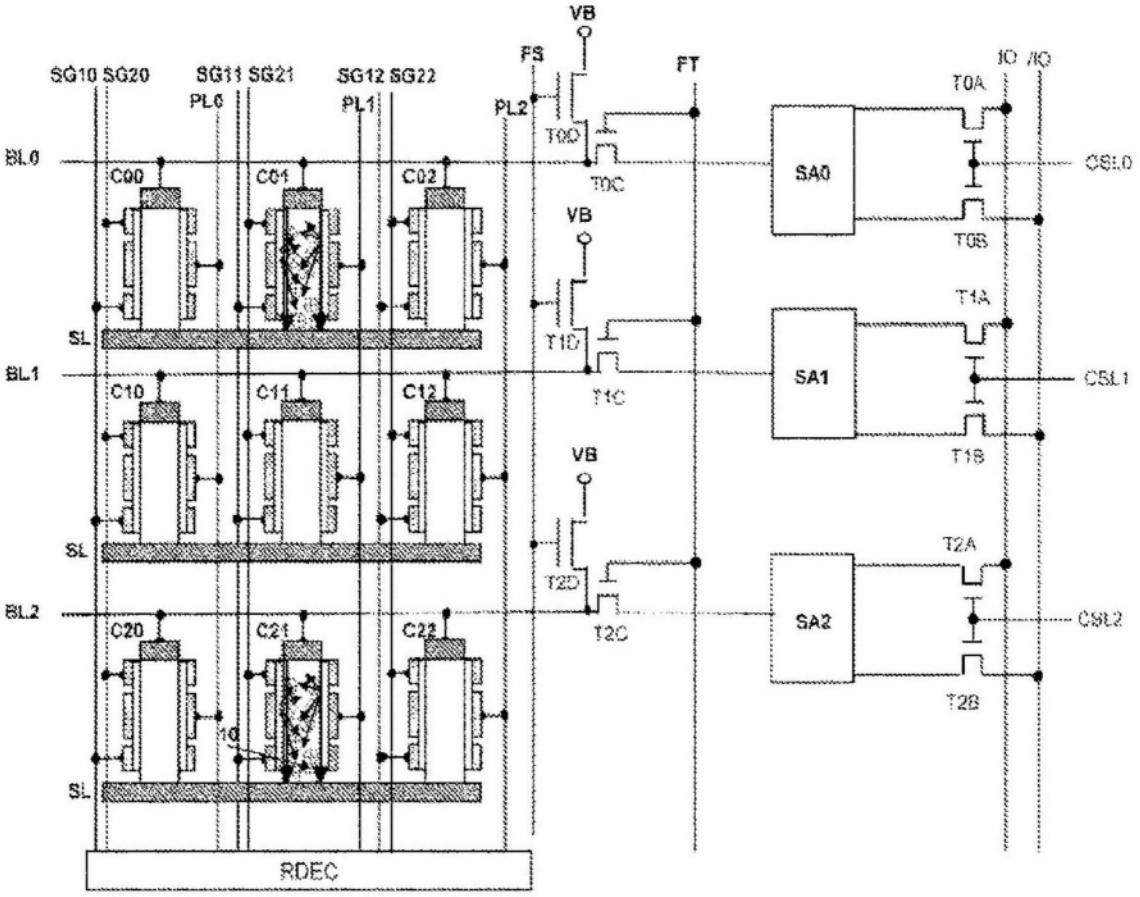

VB
FS
FT
IO /IO
SG10 SG20
SG11 SG21
SG12 SG22
PL0
PL1
PL2
T0A
T0D
T0C
T0B
BL0
C00
C01
C02
SA0
CSL0
VB
T1A
T1D
T1C
T1B
SL
BL1
C10
C11
C12
SA1
CSL1
VB
T2A
T2D
T2C
T2B
BL2
C20
C21
C22
SA2
CSL2
SL
RDEC

图6C

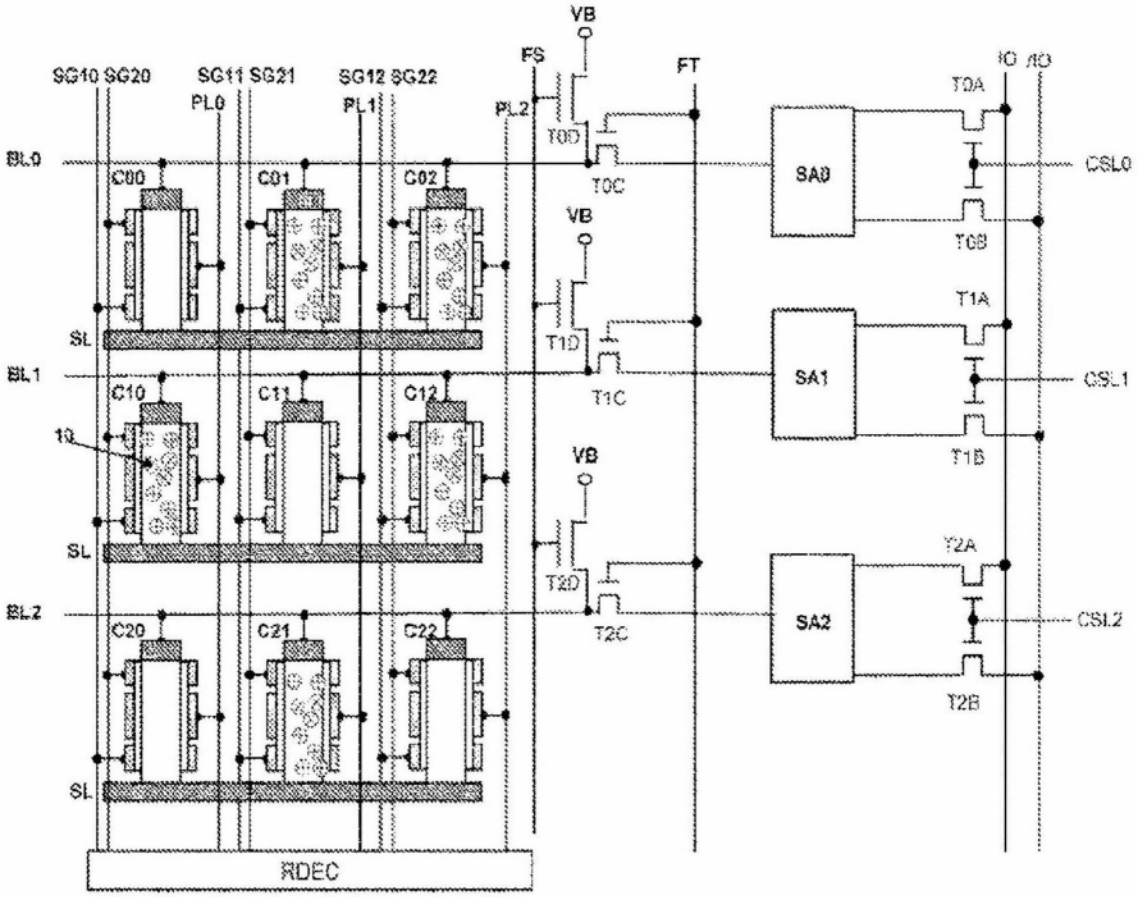

VB
FS
FT
SG10 SG20
SG11 SG21
SG12 SG22
PL0
PL1
PL2
T0D
T0C
T0A
T0B
IO /IO
CSL0
BL0
C00
C01
C02
SA0
VB
T1D
T1C
T1A
T1B
CSL1
BL1
C10
C11
C12
SA1
SL
VB
T2D
T2C
T2A
T2B
CSL2
BL2
C20
C21
C22
SA2
SL
RDEC

图6D

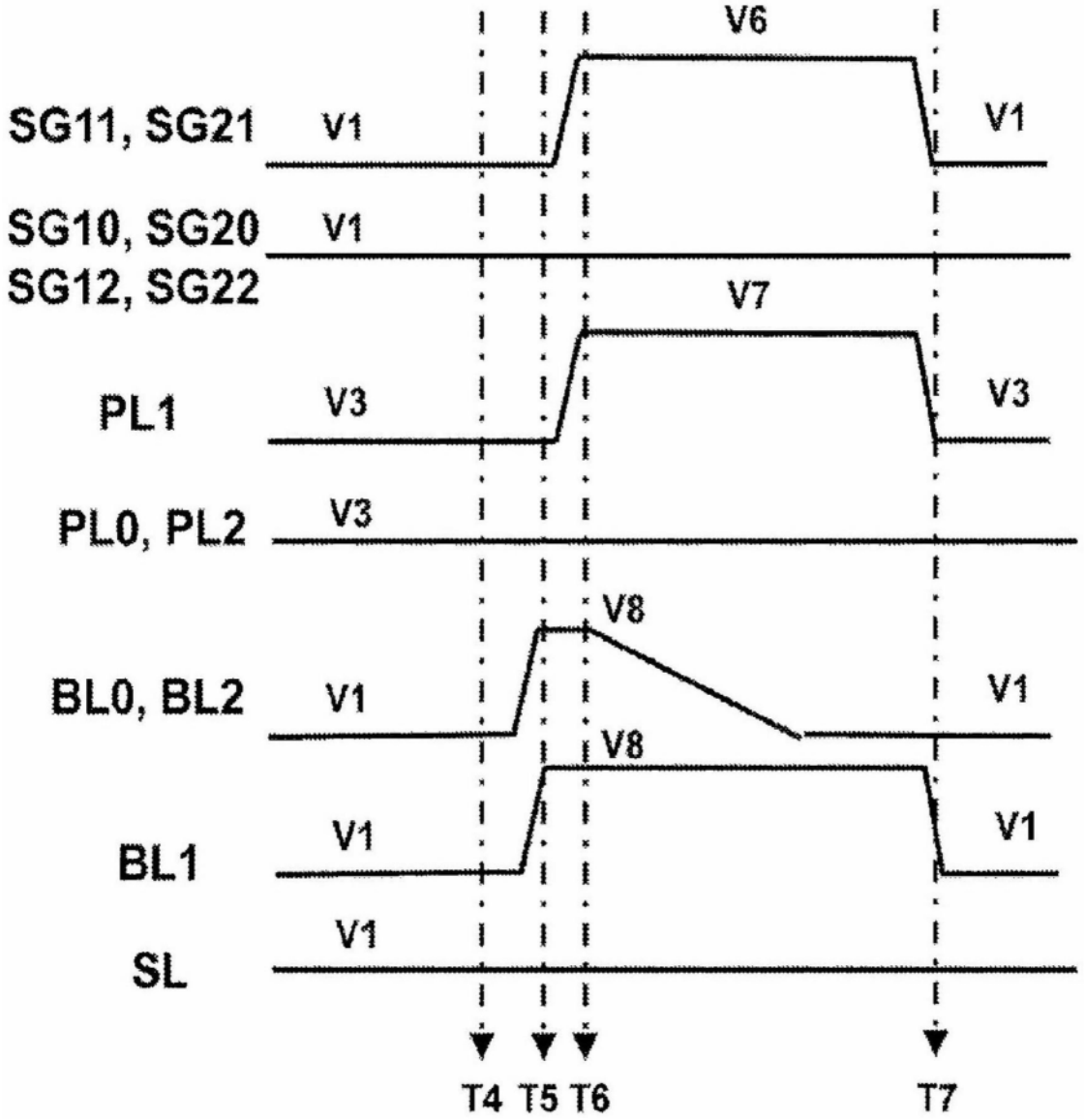

V6
SG11, SG21
V1
V1
SG10, SG20
V1
SG12, SG22
V7
PL1
V3
V3
PL0, PL2
V3
V8
BL0, BL2
V1
V1
V8
BL1
V1
V1
SL
V1
T4 T5 T6
T7

图6E

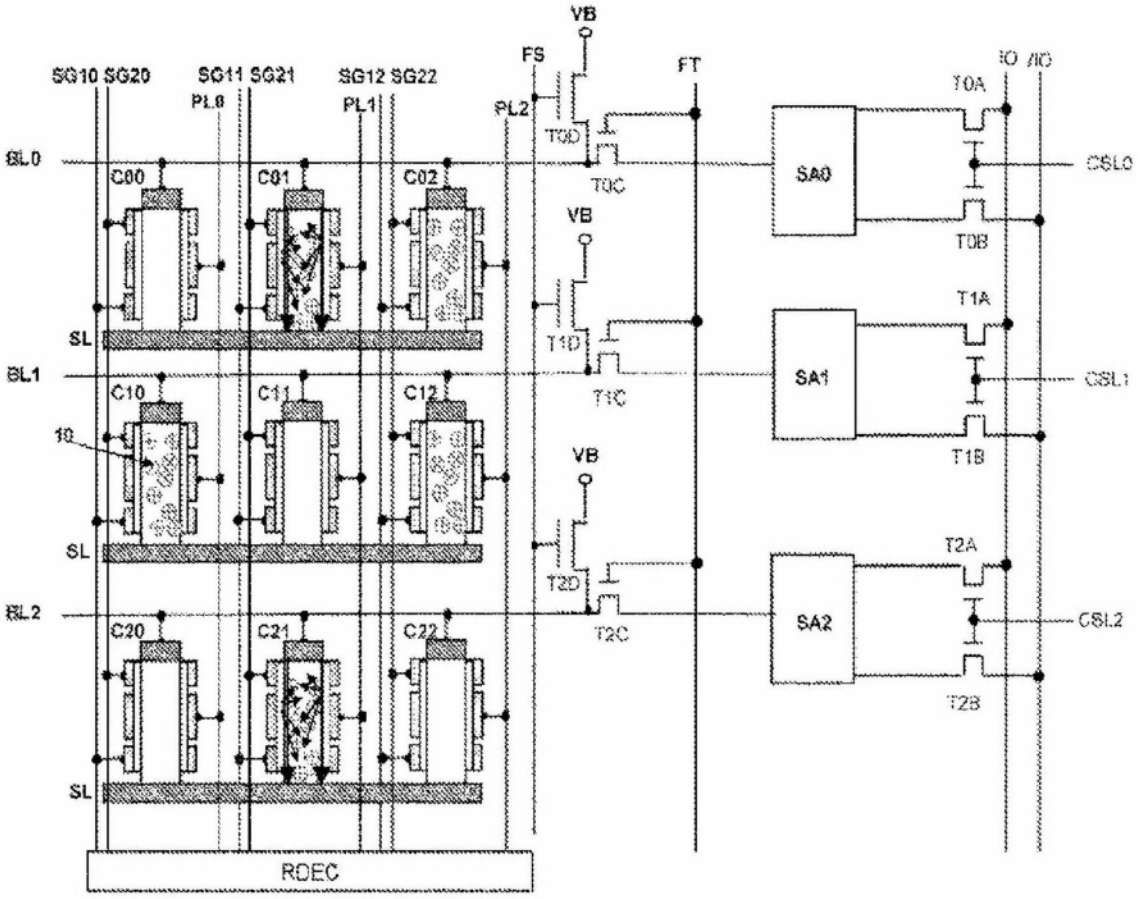

VB
FS
FT
SG10 SG20
SG11 SG21
SG12 SG22
PL0
PL1
PL2
IO /IO
T0A
T0D
T0C
T0B
CSL0
SA0
BL0
C00
C01
C02
SL
VB
T1D
T1A
CSL1
SA1
BL1
C10
C11
C12
10
T1C
T1B
VB
T2A
T2D
CSL2
SA2
BL2
C20
C21
C22
T2C
T2B
SL
RDEC

图6F

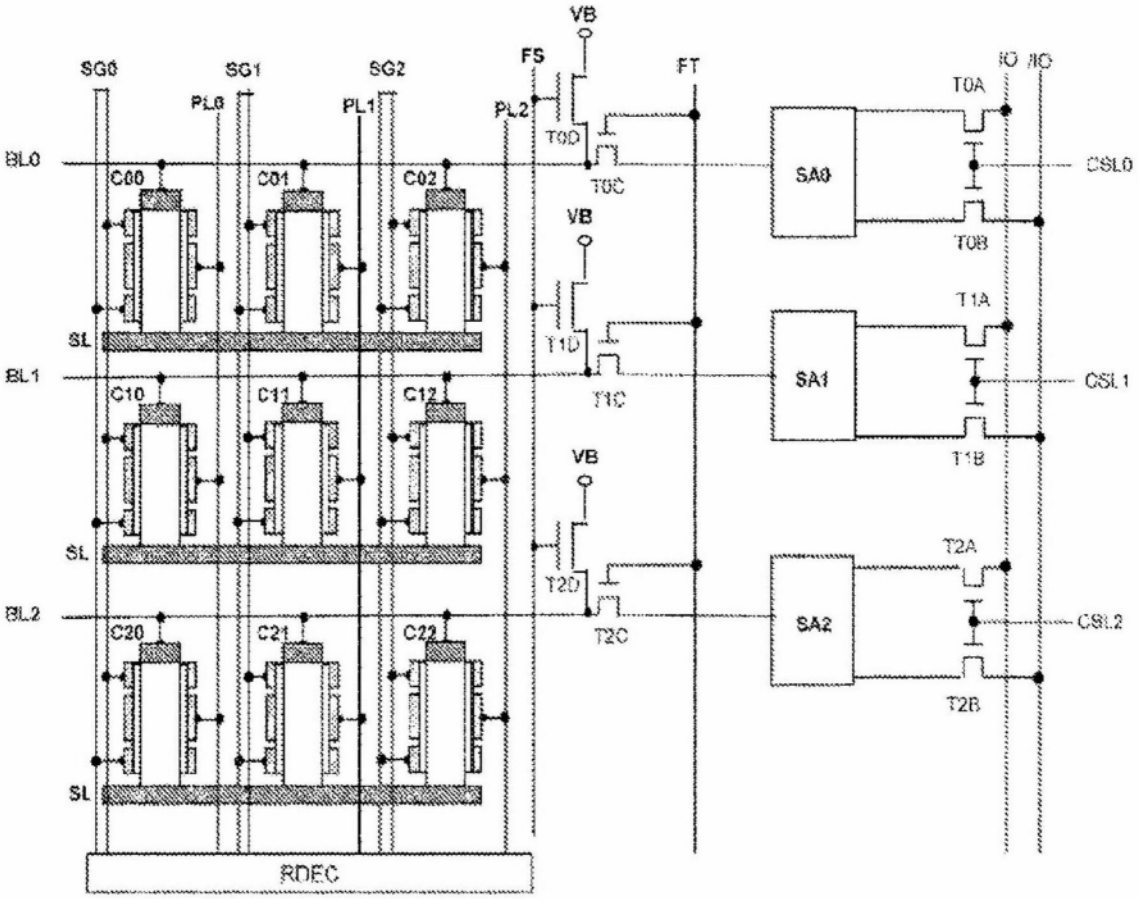

VB
FS
FT
SG0
SG1
SG2
PL0
PL1
PL2
IO
/IO
T0A
T0D
T0C
T0B
BL0
C00
C01
C02
SA0
CSL0
VB
T1A
T1D
T1C
T1B
SL
BL1
C10
C11
C12
SA1
CSL1
VB
T2A
T2D
T2C
T2B
SL
BL2
C20
C21
C22
SA2
CSL2
SL
RDEC

图6G

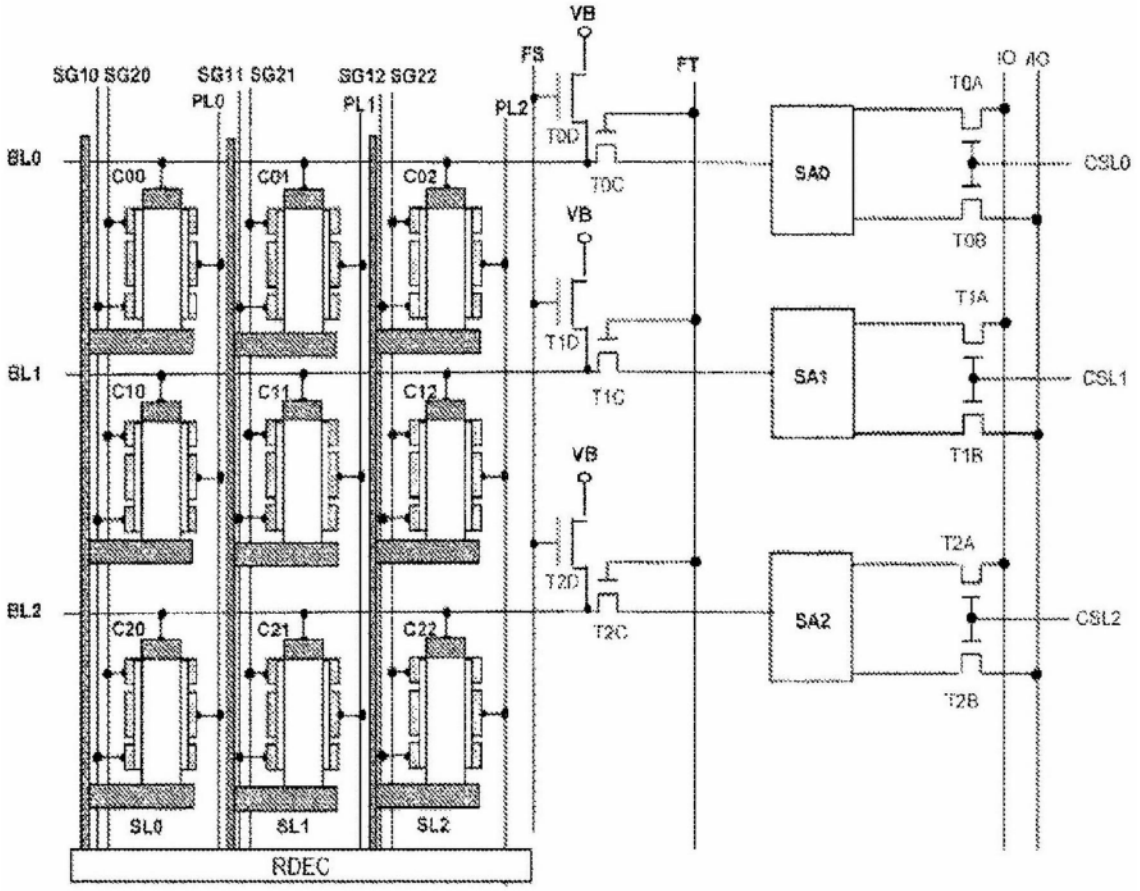

VB
FS
FT
IO
/IO
SG10 SG20
SG11 SG21
SG12 SG22
PL0
PL1
PL2
T0A
T0D
T0C
T0B
BL0
C00
C01
C02
SA0
CSL0
VB
T1A
T1D
T1C
T1B
BL1
C10
C11
C12
SA1
CSL1
VB
T2A
T2D
T2C
T2B
BL2
C20
C21
C22
SA2
CSL2
SL0
SL1
SL2
RDEC

图6H

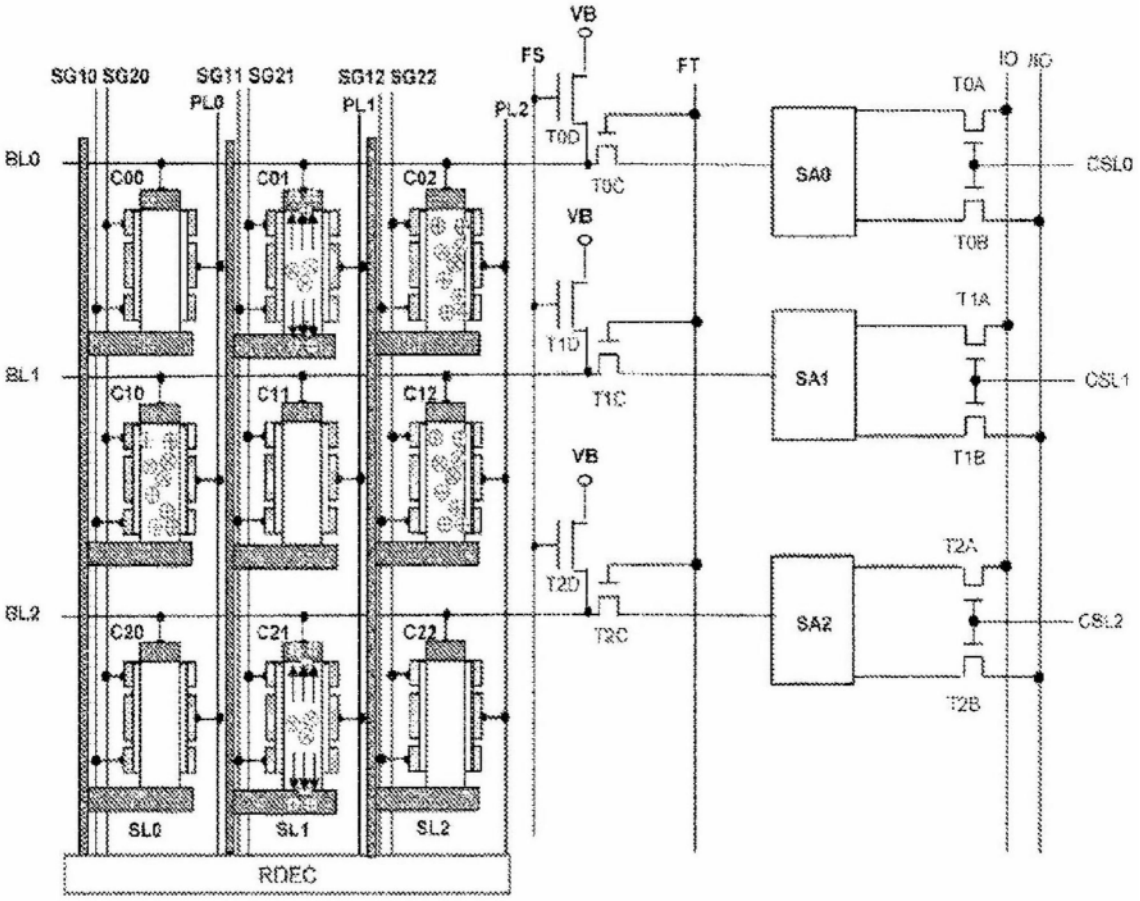

SG10 SG20
SG11 SG21
SG12 SG22
PL0
PL1
PL2
FS
VB
FT
IO
/IO
T0A
T0B
T0C
T0D
T1A
T1B
T1C
T1D
T2A
T2B
T2C
T2D
BL0
BL1
BL2
C00
C01
C02
C10
C11
C12
C20
C21
C22
SA0
SA1
SA2
CSL0
CSL1
CSL2
SL0
SL1
SL2
RDEC

图6I

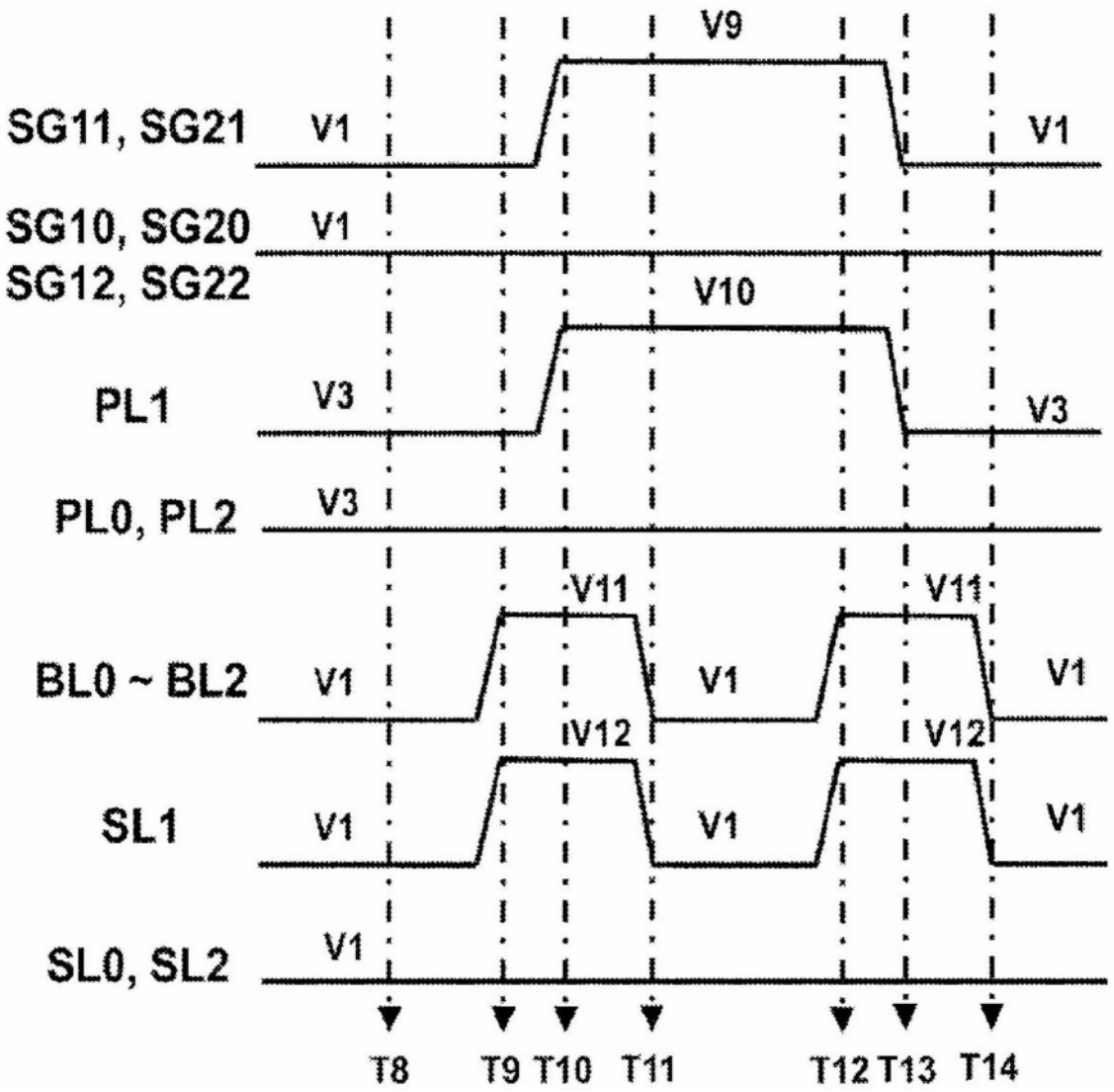

V9
SG11, SG21
V1
V1
SG10, SG20
V1
SG12, SG22
V10
PL1
V3
V3
PL0, PL2
V3
V11
V11
BL0 ~ BL2
V1
V1
V1
V12
V12
SL1
V1
V1
V1
SL0, SL2
V1
T8
T9
T10
T11
T12
T13
T14

图6J

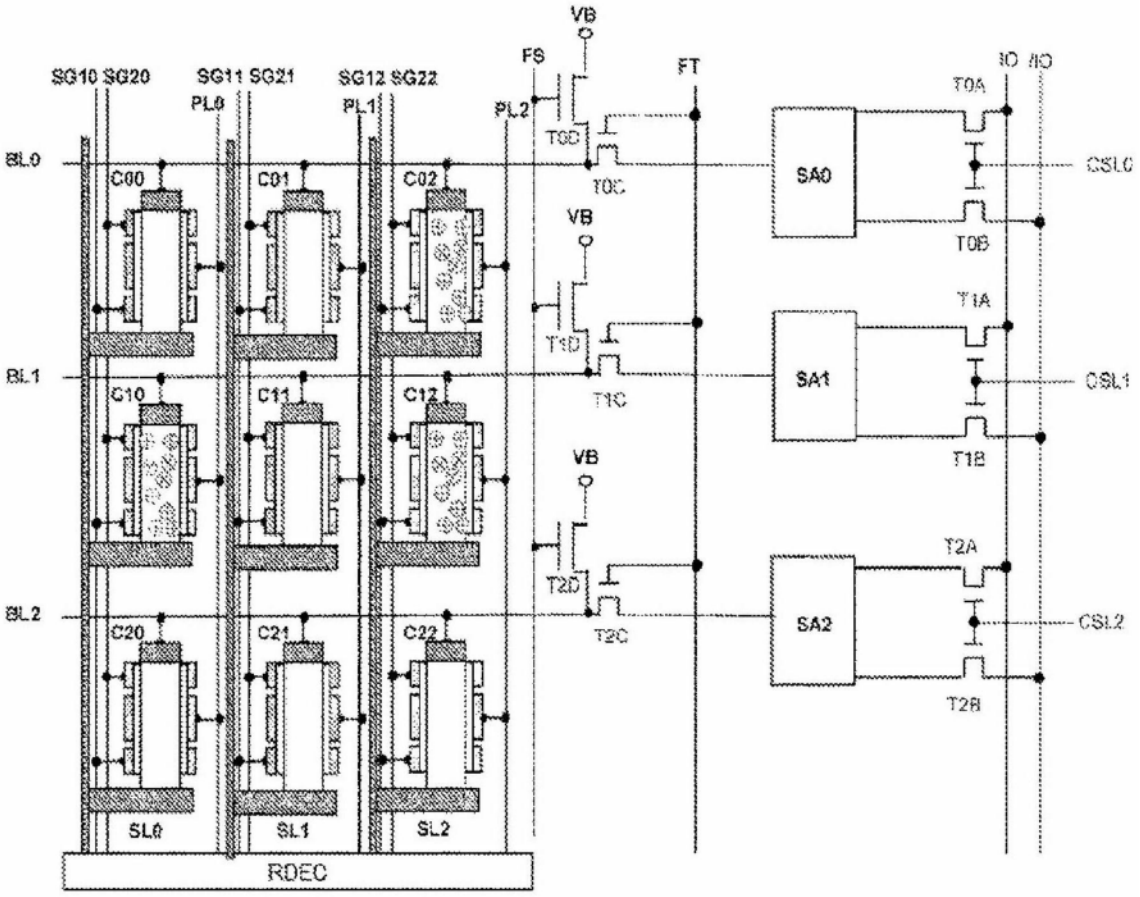

SG10 SG20
SG11 SG21
SG12 SG22
PL0
PL1
PL2
FS
VB
FT
IO /IO
T0A
T0B
T0C
T0D
T1A
T1B
T1C
T1D
T2A
T2B
T2C
T2D
BL0
BL1
BL2
C00
C01
C02
C10
C11
C12
C20
C21
C22
SA0
SA1
SA2
CSL0
CSL1
CSL2
SL0
SL1
SL2
RDEC

图6K

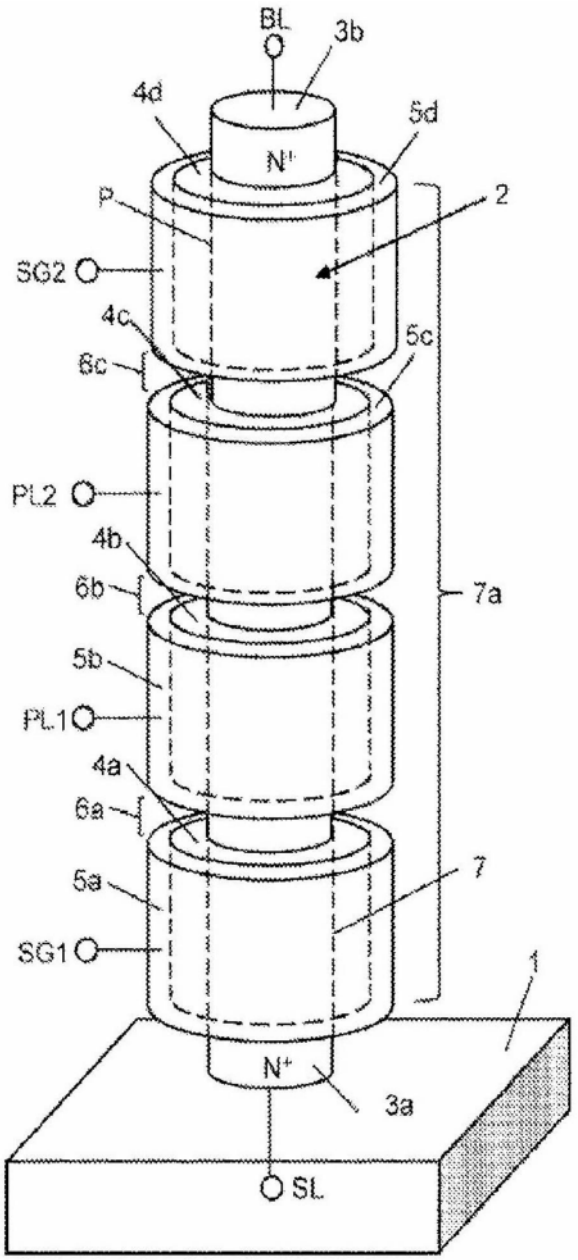

BL
3b
4d
5d
N+
P
2
SG2
4c
5c
6c
PL2
4b
6b
7a
5b
PL1
4a
6a
7
5a
SG1
1
N+
3a
SL

图6L

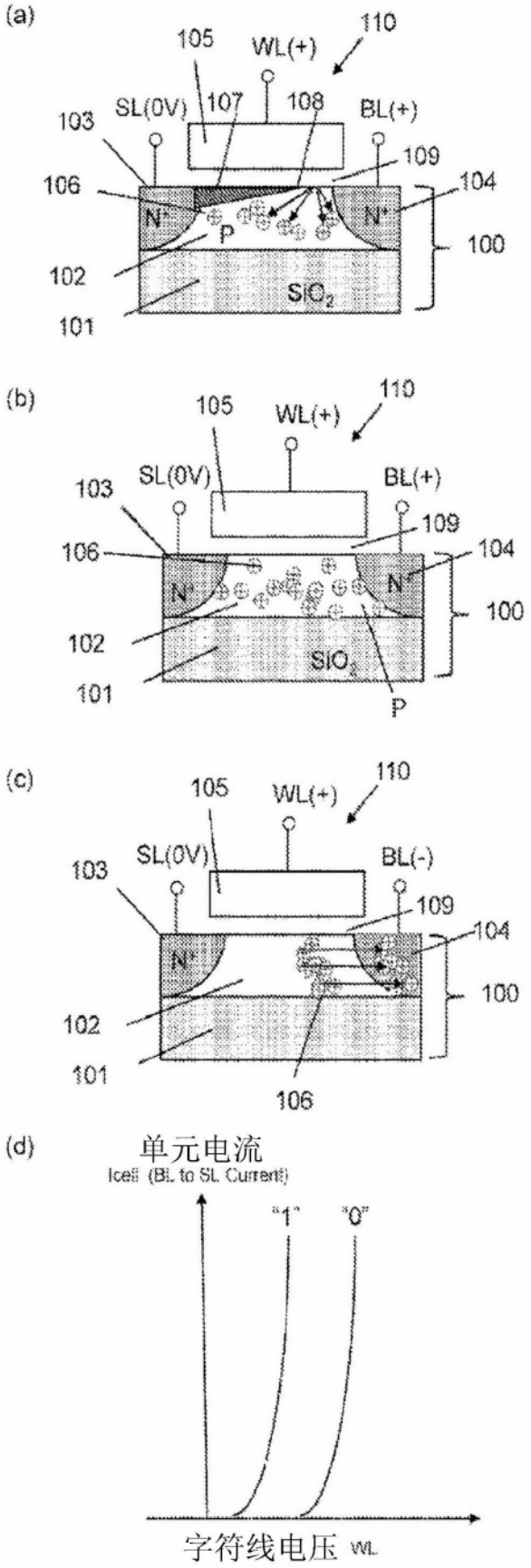
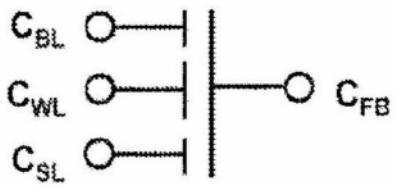

(a)
105
WL(+)
110
SL(0V)
107
108
BL(+)
103
109
106
104
N+
P
N+
100
102
SiO2
101
(b)
105
WL(+)
110
SL(0V)
BL(+)
103
109
106
104
N+
N+
100
102
SiO2
101
P
(c)
105
WL(+)
110
SL(0V)
BL(-)
103
109
104
N+
100
102
101
106
(d)
单元电流
Icell (BL to SL Current)
"1"
"0"
字符线电压 WL

图7

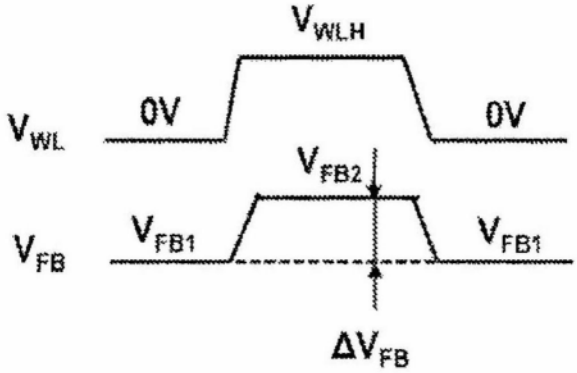
(a)



$$C_{FB} = C_{WL} + C_{BL} + C_{SL} \quad (2)$$

$$\beta_{WL} = \frac{C_{WL}}{C_{WL} + C_{BL} + C_{SL}} \quad (3)$$

(b)



$$\Delta V_{FB} = V_{FB2} - V_{FB1}$$

$$= \beta_{WL} \times V_{WLH} \quad (4)$$

图8

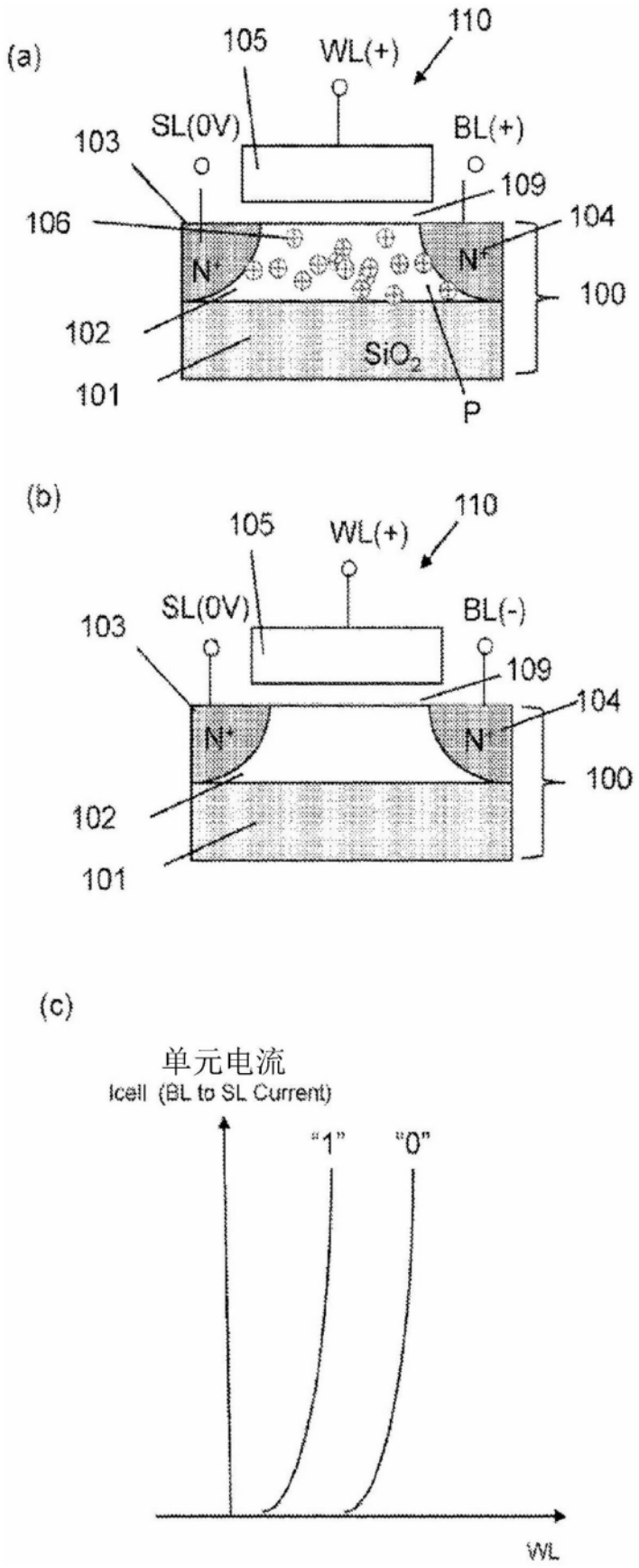

(a)
105
WL(+)
110
SL(0V)
BL(+)
103
109
106
104
N+
N+
100
102
SiO2
101
P
(b)
105
WL(+)
110
SL(0V)
BL(-)
103
109
104
N+
N+
100
102
101
(c)
单元电流
Icell (BL to SL Current)
"1"
"0"
WL

图9

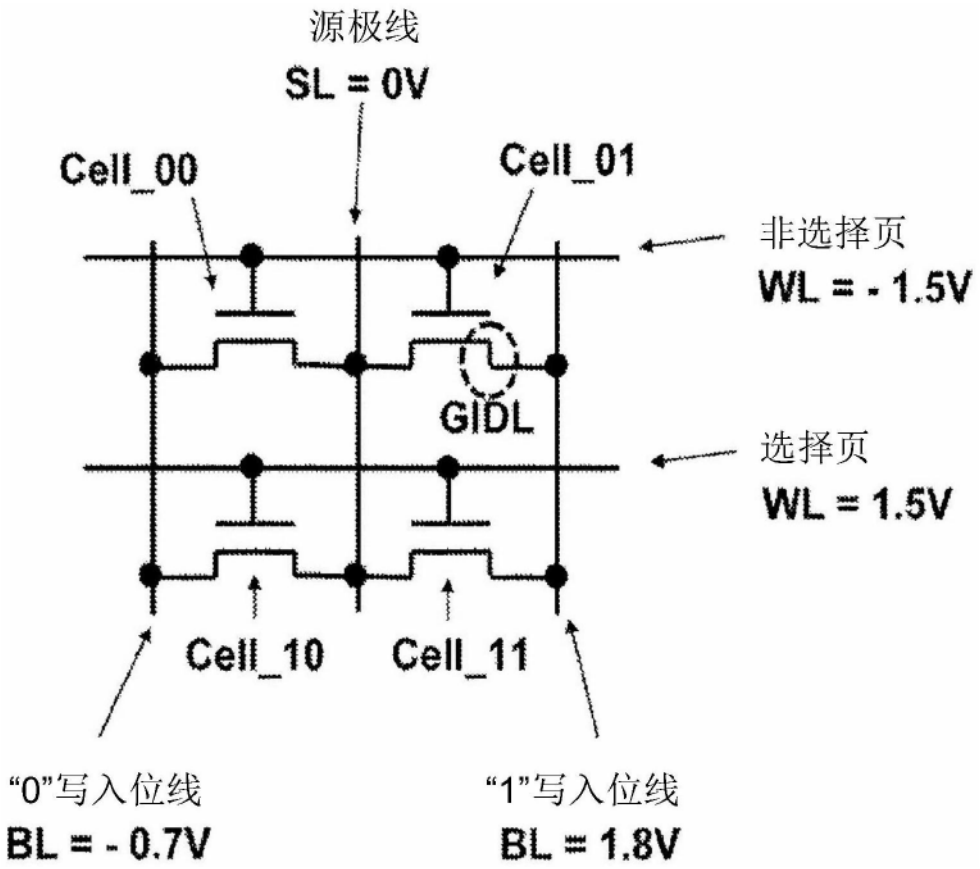

源极线
SL = 0V
Cell_00
Cell_01
非选择页
WL = - 1.5V
GIDL
选择页
WL = 1.5V
Cell_10
Cell_11
“0”写入位线
BL = - 0.7V
“1”写入位线
BL = 1.8V

图10