

公告本

申請日期: 101.12.12	案號: 88116930
類別: G01R31/58	

(以上各欄由本局填註)

發明專利說明書

455689

一、發明名稱	中文	積體電路裝置之測試方法
	英文	
二、發明人	姓名 (中文)	1. 鄭秋雄 2. 傅信祈 3. 林正鏗
	姓名 (英文)	1. 2. 3.
	國籍	1. 中華民國 2. 中華民國 3. 中華民國
	住、居所	1. 新竹市大學路90號3樓之4 2. 新竹科學工業園區研發一路13號2樓 3. 新竹科學工業園區研發一路13號2樓
三、申請人	姓名 (名稱) (中文)	1. 環國科技股份有限公司
	姓名 (名稱) (英文)	1.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 新竹科學工業園區研發一路13號2樓
	代表人 姓名 (中文)	1. 鄭秋雄
	代表人 姓名 (英文)	1.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

五、發明說明 (1)

1. 發明領域

本發明是關於一種積體電路裝置之測試方法，特別是指利用薄膜探針進行測試之方法。

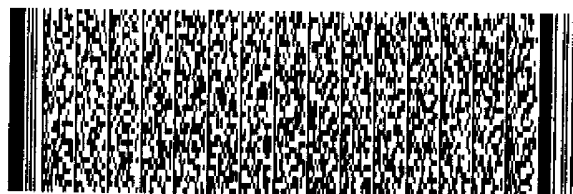
2. 發明背景

封裝一顆無法工作的晶粒對於封裝材料及工時無疑是一種浪費，特別是對於多晶片模組 (Multi-chip Module; MCM) 而言，其影響尤其嚴重，原因是因為多晶片模組包括了數個半導體晶粒，若其中的一顆晶粒壞掉，這個多晶片模組便可能報廢，這意謂著其他好的晶粒被浪費。

半導體業者已警覺到這個問題，其解決之道係提高良晶片 (Known Good Die; KGD) 的可靠度，所謂的良晶片是指經過許多電性測試的半導體晶粒，以確保其良率至一定程度，而對於多晶片模組而言，良晶片的可靠度尤其重要，藉由提高良晶片之可靠度，預先篩選出壞的晶粒以中斷其後續之封裝製程，可以降低半導體封裝的成本。

在習知技術中，一種測試半導體晶粒的方法係以探針 (probe) 直接與半導體晶粒表面的電路接點接觸。然而這種方式的成本較高，並且晶粒上的電路接點可能由於與探針之間的接觸而造成損害。

再者，隨著積體電路裝置高度的集積化，單位面積的電路接點之密度亦將大幅的增加，相鄰電路接點間的距離則愈來愈小，若使用植針式 (bed-of-nail) 的測試設備，



五、發明說明(2)

不僅其製作較為複雜困難，其成本也較為昂貴。

因此，有必要提出一種較佳的改良方式，以改善習知技術的缺失。

3. 發明目的與概述

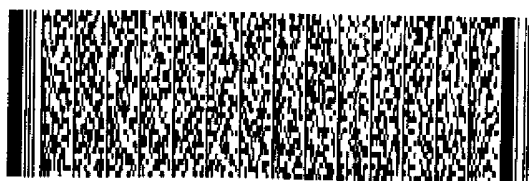
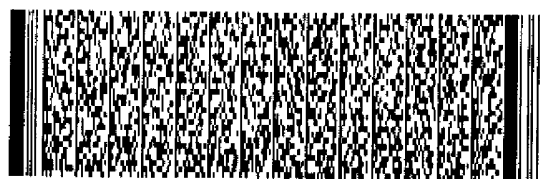
本發明之主要目的即在提出一種積體電路裝置之測試方法，能夠在封裝晶粒之前，預先篩選不良之晶粒，以避免封裝材料及工時被浪費，降低成本之損失，

本發明之另一目的亦在提出一種積體電路裝置之測試方法，能夠提高良品片之可靠度，增加多晶片模組的良率。

本發明之再一目的更在提出一種積體電路裝置之測試方法，能夠以較為低廉的測試治具，為未封裝之晶粒進行測試。

根據本發明，一種積體電路裝置之測試方法係提供一測試座承載待測之積體電路裝置，測試座內具有一薄膜，其表面形成許多導電凸塊，導電凸塊經由線路連接至位於薄膜邊緣的導電端子。將待測之積體電路裝置放入測試座，使積體電路裝置之電路接點與導電凸塊電連接之後，接著提供測試信號由導電端子經導電凸塊傳送至受測之積體電路裝置，以測試積體電路裝置各項功能與電性參數是否正常。

底下配合圖式及詳細說明，當更能瞭解本創作之特徵及內容。



五、發明說明 (3)

4 · 圖式簡單說明

4 · 1 圖式說明

第一圖為一半導體晶粒之外觀示意圖。

第二圖顯示本發明用來承載半導體晶粒之測試座外觀。

第三圖為第二圖所示裝置之立體分解圖。

第四圖顯示第三圖所示裝置之薄膜之外觀示意圖。

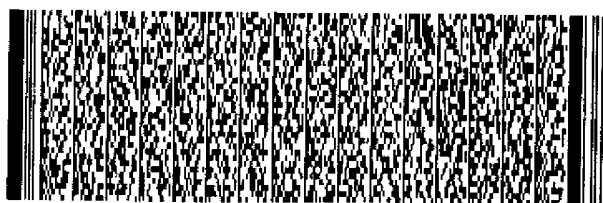
第五圖為本發明之動作示意圖。

第六圖顯示晶粒與薄膜電連接之示意圖。

第七圖為測試座對應一測試基座之示意圖。

4 · 2 圖號說明

1 0	晶粒	1 2	電路接點
2 0	基座	2 0 2	開口
1 0 4	凹口	2 0 6	螺孔
2 0 8	間隙	2 1	薄膜
2 1 2	凸塊	2 1 4	線路
2 1 6	導電端子	2 2	壓合座
2 2 2	槽體	2 2 4	凹口
2 2 6	定位孔	2 2 8	穿孔
2 4	底板	2 4 2	橡膠墊
2 6	結合銷	2 6 2	螺柱
2 8	伸縮彈簧	3 0	基座
3 2	導電端子		



五、發明說明 (4)

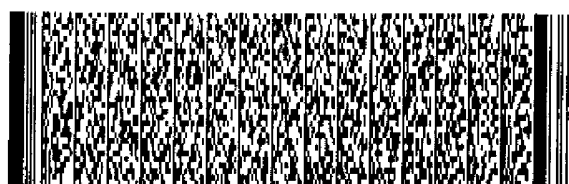
5 · 詳細說明

第一圖首先提供一半導體晶粒之外觀示意圖，在半導體晶粒 10 表面具有許多的電路接點 12 提供信號輸入輸出，意即測試半導體晶粒 10 必須藉由電路接點 12 送入測試訊號。

在本發明中提供了一測試座承載半導體晶粒 10，此測試座之外觀圖及立體分解圖係如第二圖及第三圖所示，其包括一壓合座 22 與一底座 20，二者藉由二結合銷 26 而結合，結合銷 26 向下延設一螺柱 262，其穿過底座 20 上之穿孔 228 而鎖固於底座 20 二端之螺孔 206，結合銷 26 套設有伸縮彈簧 28，伸縮彈簧 28 一端抵住壓合座 22，使壓合座 22 與底座 20 結合。

底座 20 具有一開口 202，開口 202 之一側壁具有一凹口 204。一薄膜 21 位於底板 24 表面與開口 202 之底端蓋合而形成一凹槽，薄膜 21 係用來作為測試訊號之傳輸界面，其結構請併參第四圖所示，在薄膜 21 表面形成有數個導電凸塊 212，其藉由線路 214 連接至薄膜 21 周邊之導電端子 216。其中，底板 24 係用以提供薄膜 21 一支撐作用，其對應凸塊 212 設置橡膠墊 242，以便使凸塊 212 與待測之晶粒 10 的電路接點 12 獲得良好的接觸。並且薄膜 21 上的導電端子 216 的一部份露出底座 20。

壓合座 22 於中央部位向下形成一面開口之槽體 22



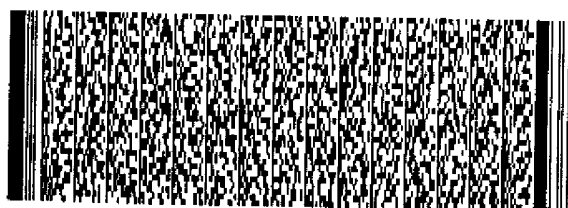
五、發明說明 (5)

2 對應開口 2 0 2，槽體 2 2 2 底面具有一凹口 2 2 4 對應凹口 2 0 4，其二側各穿設一定位孔 2 2 6。

在為晶粒 1 0 進行測試作業時，係將第一圖所示裝置之壓合座 2 2 向上移動至如第五圖所示，使槽體 2 2 2 與凹口 2 0 4 之間具有一適當的間隙 2 0 8，藉由一真空吸嘴 A 吸附晶粒 1 0 背面，由間隙 2 0 8 沿著凹口 2 2 4 將晶粒 1 0 放入底座 2 0。然後使壓合座 2 2 降下，使槽體 2 2 2 底面對晶粒 1 0 施壓，使晶粒 1 0 之電路接點 1 2 與薄膜 2 1 上的凸塊 2 1 2 緊密的接觸，成為如第六圖所示之狀態。為了確定電路接點 1 2 與凸塊 2 1 2 是否準確的接觸，可以藉由定位孔 2 2 6 瞭解晶粒 1 0 的位置，若有偏差，即可藉由凹口 2 2 4 作適當的調整。

其中，若是待測晶粒面積小於吸嘴的面積，則可以先以一具有較大面積且形成有穿孔的薄板覆蓋晶粒表面，然後利用真空吸嘴透過薄板上的穿孔將晶粒吸附起來，再放入底座 2 0，以槽體 2 2 2 底面對此薄板與晶粒施壓，使晶粒之電路接點與薄膜 2 1 上的凸塊 2 1 2 接觸。

晶粒 1 0 與凸塊 2 1 2 電連接後，便開始輸入測試信號進行測試，露出底座 2 0 底端的導電端子 2 1 6 被作為外部測試信號進入測試座的輸出入接點，其中的一種方式係如第七圖所示，將測試座放入測試基座 (socket) 3 0 進行測試，由測試基座連接之測試電路提供測試信號，其中，基座 3 0 可以是目前業界用在預燒板 (burn-in board) 或測試機台所使用的測試基座，其內部具有數導電



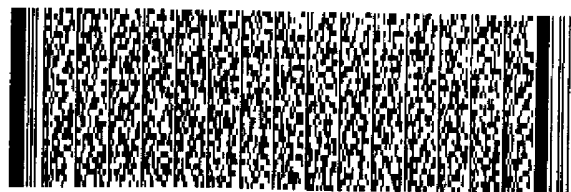
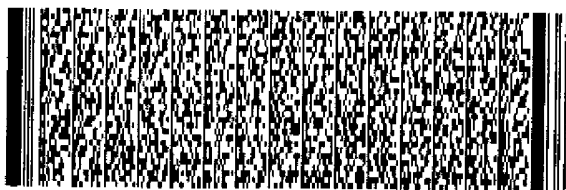
五、發明說明(6)

端子 3 2 與薄膜 2 1 之導電端子 2 1 6 電連接，換言之，第一圖所示之裝置可以適用在現行的測試機台進行測試，並不需另外製作特別規格的測試設備。並且對於不同種類的晶粒，或者是多晶粒模組 (Multi-Chip Module; MCM) 而言，只需要置換相對應之薄膜 1 1 即可適用，應用範圍相當的廣泛，而增加的額外成本則較習知技術低。

再者，由於薄膜 2 1 上的凸塊面積非常小，其配置能夠配合半導體晶粒之電路接點密集化的趨勢，且薄膜 2 1 內層更可製作電路以增加其他功能。

雖然前述實施例系以未經封裝的半導體晶粒作為說明，然而對於某些完成封裝的半導體裝置而言，例如球柵陣列構裝 (Ball Grid Array; BGA)，本發明亦可適用，其步驟與測試晶粒 1 0 的步驟大致相同，只是換成使球柵陣列構裝之錫球與薄膜 2 1 之凸塊 2 1 2 電連接而已。

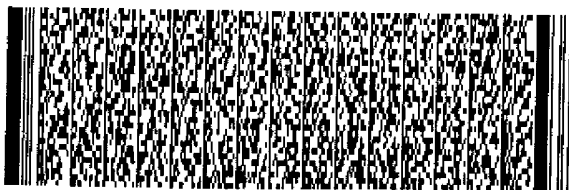
以上所述係藉由實施例說明本創作之特點，其目的在使熟習該技術者能瞭解本創作之內容並據以實施，而非限定本創作之專利範圍，故，凡其他未脫離本創作所揭示之精神所完成之等效修飾或修改，仍應包含在以下所述之申請專利範圍中。



四、中文發明摘要 (發明之名稱：積體電路裝置之測試方法)

一種積體電路裝置之測試方法，其係提供一測試座承載待測之積體電路裝置，測試座內具有一薄膜，其表面形成許多導電凸塊，導電凸塊經由線路連接至位於薄膜邊緣的導電端子，將待測之積體電路裝置放入測試座，使積體電路裝置之電路接點與導電凸塊電連接之後，接著提供測試信號由導電端子經導電凸塊傳送至受測之積體電路裝置，以測試積體電路裝置各項功能與電性參數是否正常。本發明可適用於封裝前之晶粒，或者球柵陣列構裝，用以避免不良晶粒被封裝，造成封裝材料及工時的浪費，減少成本之損失。

英文發明摘要 (發明之名稱：)



六、申請專利範圍

1. 一種積體電路裝置之測試方法，該積體電路裝置具有許多電路接點，該測試方法包括下列步驟：

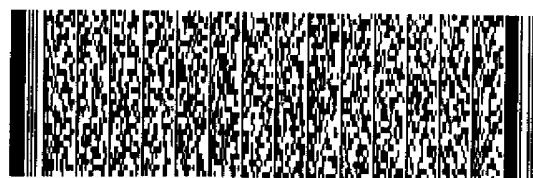
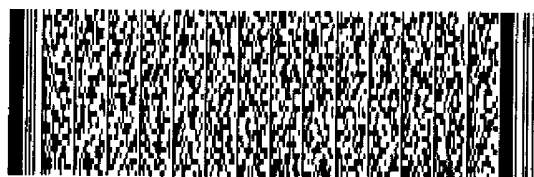
提供一測試座，該測試座包括一壓合座及一底座，該壓合座約中央部位形成一面開口之槽體，該槽體底面具有一凹口，該底座中央具有一開口供與該壓合座之該槽體結合，一表面具有薄膜之底板蓋合該底座之該開口底端，該薄膜表面具有許多導電凸塊，其邊緣具有許多第一導電端子經由線路與該導電凸塊電連接；

將該積體電路裝置放入該底座，並使該壓合座之槽體沿該開口下壓，使該積體電路裝置之該許多電路接點與該薄膜之該許多導電凸塊接觸；以及經由該薄膜邊緣之該第一導電端子傳送測試訊號至該積體電路裝置。

2. 如申請專利範圍第1項所述之測試方法，其中係使用一真空吸嘴將該積體電路裝置放入該基座。

3. 如申請專利範圍第1項所述之測試方法，其中該槽體底面於該凹口之二側更設有定位孔，而該測試方法更包括由該定位孔瞭解該積體電路裝置於該薄膜上的位置，以便由該凹口調整該積體電路裝置，使該積體電路裝置之該許多電路接點與該導電凸塊準確的接觸。

4. 如申請專利範圍第1項所述之測試方法，其中係使該底座放入一測試基座，該測試基座具有許多第二導電端子對應該薄膜之該第一導電端子，藉由二者接觸以傳輸



六、申請專利範圍

測試訊號至該積體電路裝置。

5．一種半導體晶粒之測試方法，用以測試封裝前之半導體晶粒，該晶粒具有許多電路接點，該測試方法包括下列步驟：

提供一測試座，該測試座包括一壓合座及一底座，該壓合座約中央部位形成一面開口之槽體，該槽體底面具有一凹口，該底座中央具有一開口供與該壓合座之該槽體結合，一表面具有薄膜之底板蓋合該底座之該開口底端，該薄膜表面具有許多導電凸塊，其邊緣具有許多第一導電端子經由線路與該導電凸塊電連接；

將該晶粒放入該底座，並使該壓合座之槽體沿該開口下壓，使該晶粒之該許多電路接點與該薄膜之該許多導電凸塊電連接；以及

經由該薄膜邊緣之該第一導電端子傳送測試訊號至該晶粒。

6．如申請專利範圍第5項所述之測試方法，其中係使用一真空吸嘴將該晶粒放入該基座。

7．如申請專利範圍第5項所述之測試方法，其中該槽體底面於該第一凹口之二側更設有定位孔，而該測試方法更包括由該定位孔瞭解該晶粒於該薄膜上的位置，以便由該第一凹口調整該晶粒，使該晶粒之該許多電路接點與該導電凸塊準確的電連接。

8．如申請專利範圍第5項所述之測試方法，其中係



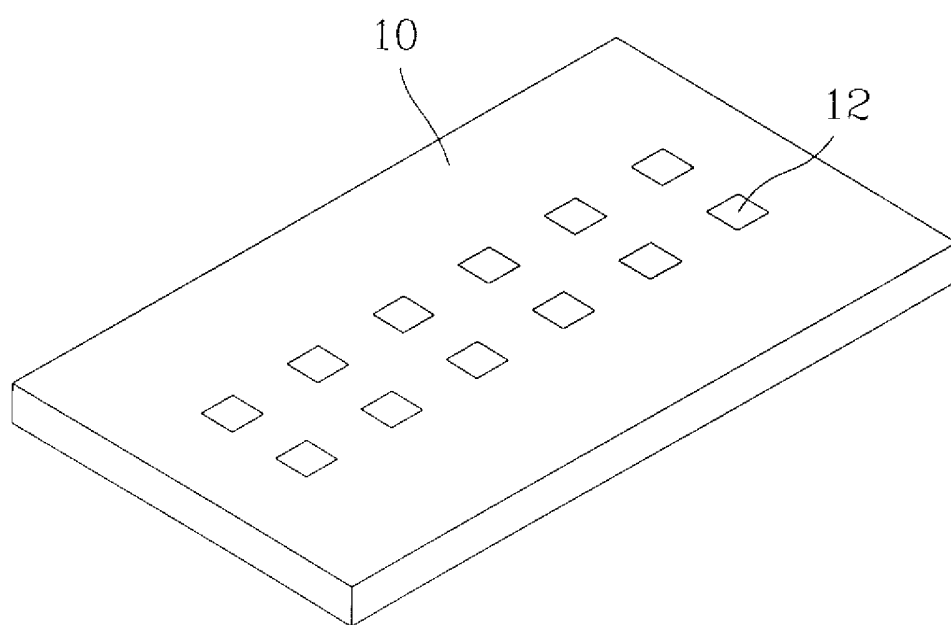
六、申請專利範圍

使該底座放入一測試基座，該測試基座具有許多第二導電端子對應該薄膜之該第一導電端子，藉由二者接觸以傳輸測試訊號至該晶粒。



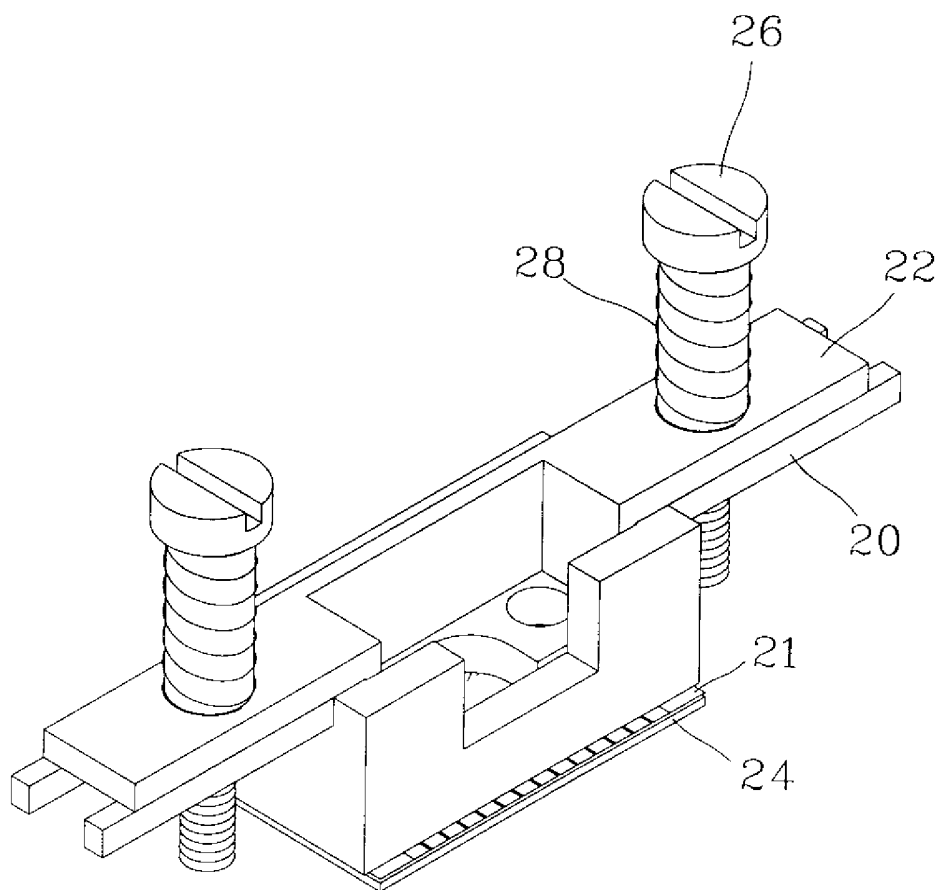
455689

88116930

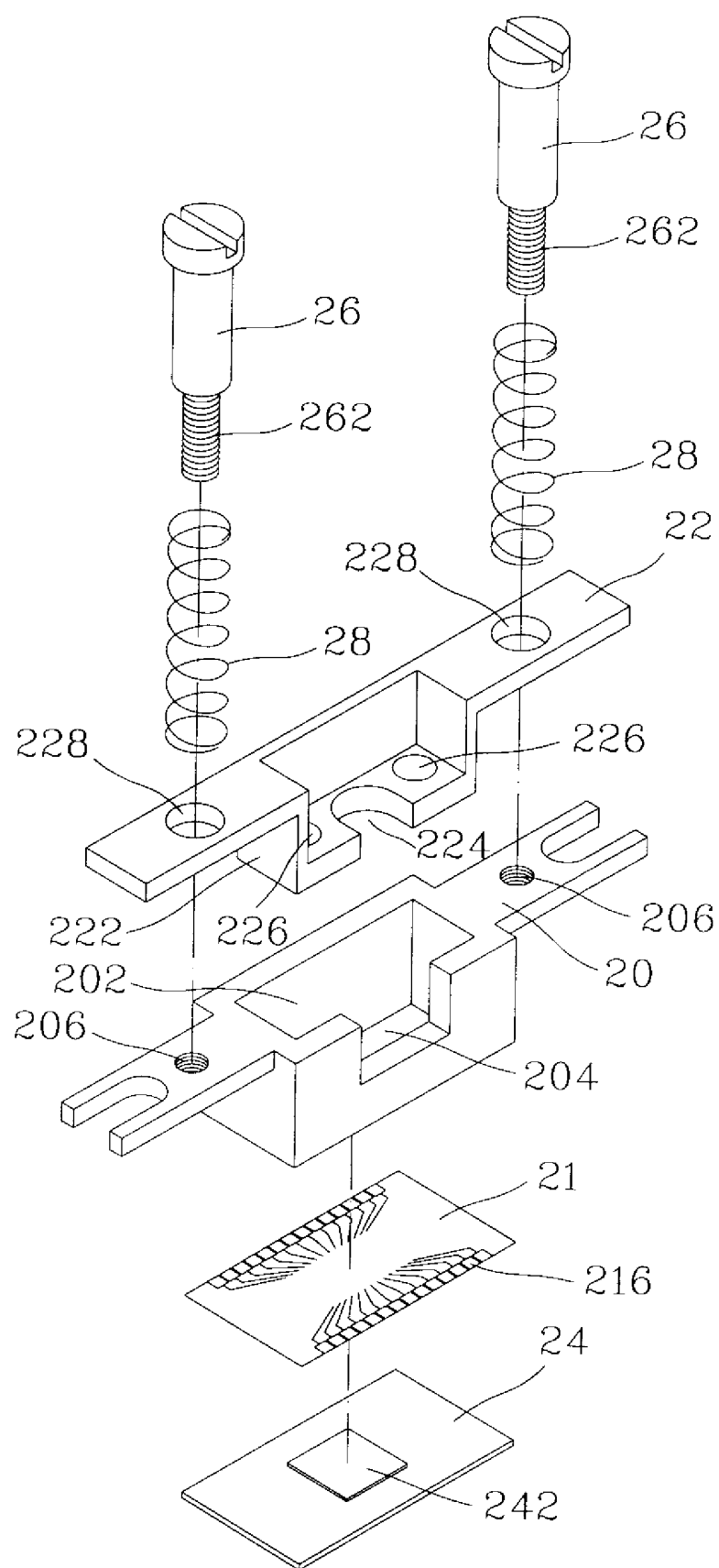


第一圖

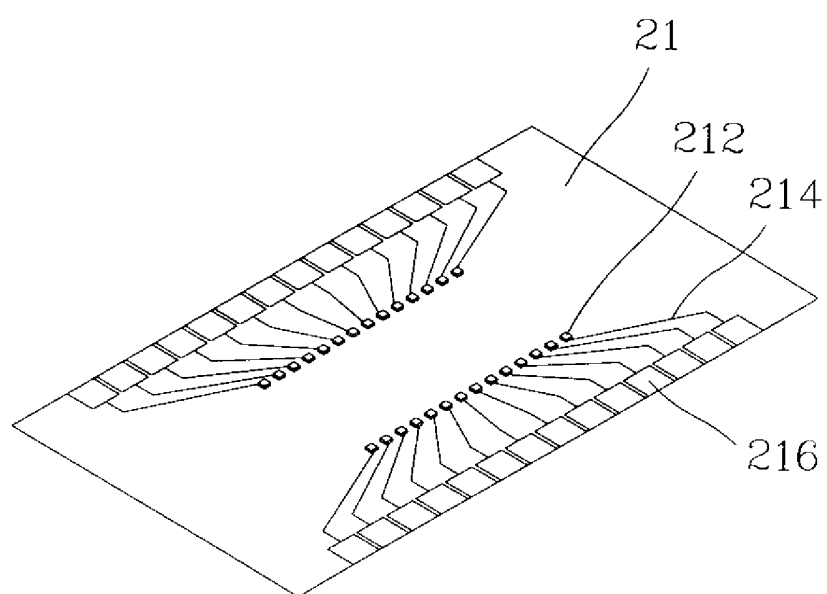
455689



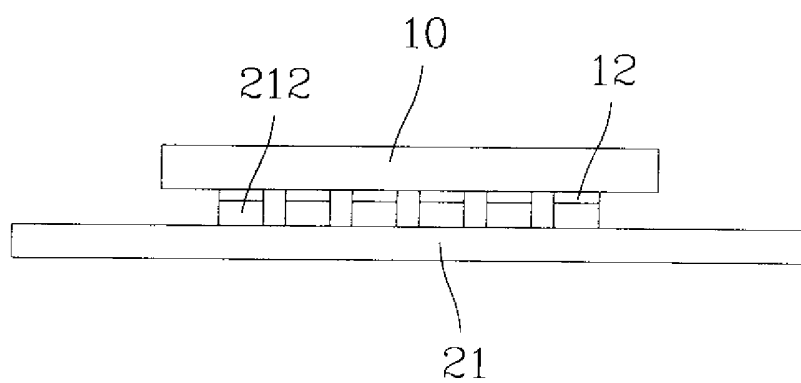
第二圖



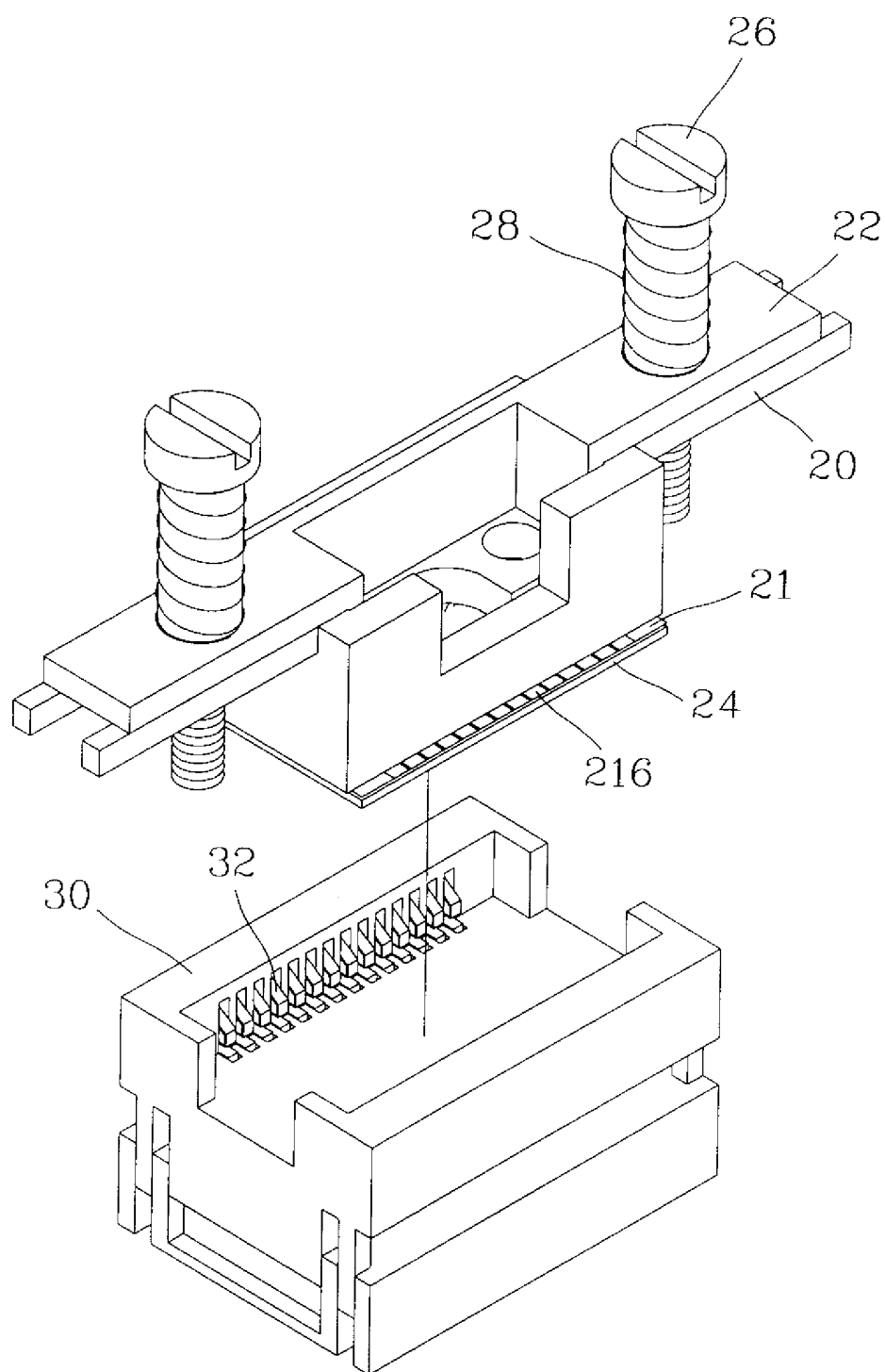
第三圖



第四圖



第六圖



第七圖

四、中文發明摘要 (發明之名稱：積體電路裝置之測試方法)

一種積體電路裝置之測試方法，其係提供一測試座承載待測之積體電路裝置，測試座內具有一薄膜，其表面形成許多導電凸塊，導電凸塊經由線路連接至位於薄膜邊緣的導電端子，將待測之積體電路裝置放入測試座，使積體電路裝置之電路接點與導電凸塊電連接之後，接著提供測試信號由導電端子經導電凸塊傳送至受測之積體電路裝置，以測試積體電路裝置各項功能與電性參數是否正常。本發明可適用於封裝前之晶粒，或者球柵陣列構裝，用以避免不良晶粒被封裝，造成封裝材料及工時的浪費，減少成本之損失。

英文發明摘要 (發明之名稱：)

