



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201633532 A

(43) 公開日：中華民國 105 (2016) 年 09 月 16 日

(21) 申請案號：104137794

(22) 申請日：中華民國 104 (2015) 年 11 月 17 日

(51) Int. Cl. : H01L29/20 (2006.01)

H01L29/423 (2006.01)

H01L29/778 (2006.01)

H01L29/66 (2006.01)

(30) 優先權：2014/12/10 日本

2014-249833

(71) 申請人：瑞薩電子股份有限公司 (日本) RENESAS ELECTRONICS CORPORATION (JP)
日本

(72) 發明人：三宅慎一 MIYAKE, SHINICHI (JP)；中山達峰 NAKAYAMA, TATSUO (JP)

(74) 代理人：周良謀；周良吉

申請實體審查：無 申請專利範圍項數：15 項 圖式數：49 共 95 頁

(54) 名稱

半導體裝置及半導體裝置之製造方法

SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

(57) 摘要

本發明使半導體裝置的特性提高。本發明之半導體裝置包含：形成於基板 S 的上方的緩衝層 BU、通道層 CH 與障壁層 BA，以及在貫通障壁層 BA 並到達通道層 CH 的中間部位的開口部 OA1 內隔著閘極絕緣膜 GI 配置的閘極電極 GE。該半導體裝置以如下方式構成：使形成通道的開口部 OA2 的兩側的區域 ASB 的二維電子氣體的濃度，比區域 ASB 的端部與源極電極 SE 或汲極電極 DE 之間的區域 AF 的二維電子氣體的濃度更低。像這樣，藉由使區域 ASB 的二維電子氣體 2DEG 的濃度降低，便可防止分極電荷 PC 提升傳導帶的功效降低。藉此，便可防止閾值電位下降，並可達到提高常閉運作性之目的。

A semiconductor device includes a buffer layer, a channel layer, a barrier layer, and a gate electrode over a substrate, the gate electrode being disposed in a first opening with a gate insulating film in between, the first opening running up to the middle of the channel layer through the barrier layer. The concentration of two-dimensional electron gas in a first region on either side of a second opening that will have a channel is controlled to be lower than the concentration of two-dimensional electron gas in a second region between an end of the first region and a source or drain electrode. The concentration of the two-dimensional electron gas in the first region is thus decreased, thereby the conduction band-raising effect of polarization charge is prevented from being reduced. This prevents a decrease in threshold potential, and thus improves normally-off operability.

指定代表圖：

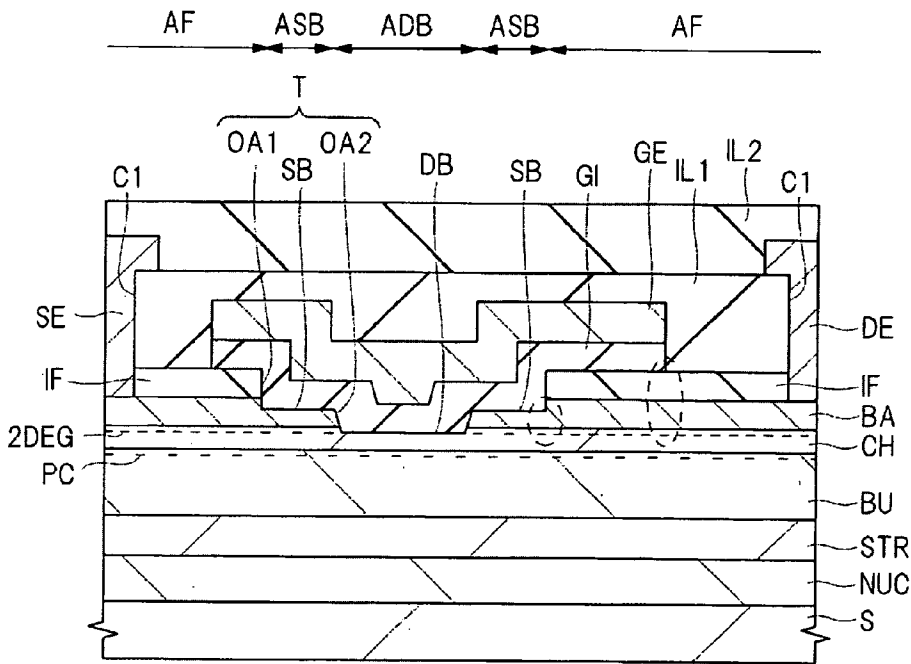


圖 1

符號簡單說明：

2DEG . . . 二維電子
氣體

ADB . . . 區域

AF . . . 區域

ASB . . . 區域

BA . . . 障壁層

BU . . . 緩衝層

C1 . . . 接觸孔

CH . . . 通道層

DB . . . 深底部

DE . . . 汲極電極

GE . . . 閘極電極

GI . . . 閘極絕緣膜

IF . . . 絕緣膜

IL1 . . . 層間絕緣膜

IL2 . . . 層間絕緣膜

NUC . . . 核生成層

OA1 . . . 開口部

OA2 . . . 開口部

PC . . . 分極電荷

S . . . 基板

SB . . . 淺底部

SE . . . 源極電極

STR . . . 應力緩和
層

T . . . 溝槽



申請日: 104.11.17

201633532

【發明摘要】

IPC分類: H01L 29/20 (2006.1)
 H01L 29/423 (2006.1)
 H01L 29/778 (2006.1)
 H01L 29/66 (2006.1)

【中文發明名稱】 半導體裝置及半導體裝置之製造方法

【英文發明名稱】 SEMICONDUCTOR DEVICE AND METHOD OF

MANUFACTURING SEMICONDUCTOR DEVICE

【中文】

本發明使半導體裝置的特性提高。本發明之半導體裝置包含：形成於基板S的上方的緩衝層BU、通道層CH與障壁層BA，以及在貫通障壁層BA並到達通道層CH的中間部位的開口部OA1內隔著閘極絕緣膜GI配置的閘極電極GE。該半導體裝置以如下方式構成：使形成通道的開口部OA2的兩側的區域ASB的二維電子氣體的濃度，比區域ASB的端部與源極電極SE或汲極電極DE之間的區域AF的二維電子氣體的濃度更低。像這樣，藉由使區域ASB的二維電子氣體2DEG的濃度降低，便可防止分極電荷PC提升傳導帶的功效降低。藉此，便可防止閾值電位下降，並可達到提高常閉運作性之目的。

【英文】

A semiconductor device includes a buffer layer, a channel layer, a barrier layer, and a gate electrode over a substrate, the gate electrode being disposed in a first opening with a gate insulating film in between, the first opening running up to the middle of the channel layer through the barrier layer. The concentration of two-dimensional electron gas in a first region on either side of a second opening that will have a channel is controlled to be lower than the concentration of two-dimensional

electron gas in a second region between an end of the first region and a source or drain electrode. The concentration of the two-dimensional electron gas in the first region is thus decreased, thereby the conduction band-raising effect of polarization charge is prevented from being reduced. This prevents a decrease in threshold potential, and thus improves normally-off operability.

【指定代表圖】 圖1

【代表圖之符號簡單說明】

2DEG：二維電子氣體

ADB：區域

AF：區域

ASB：區域

BA：障壁層

BU：緩衝層

C1：接觸孔

CH：通道層

DB：深底部

DE：汲極電極

GE：閘極電極

GI：閘極絕緣膜

IF：絕緣膜

IL1：層間絕緣膜

IL2：層間絕緣膜

NUC：核生成層

OA1：開口部

OA2：開口部

PC：分極電荷

S：基板

SB：淺底部

SE：源極電極

STR：應力緩和層

T：溝槽

【特徵化學式】

無

【發明說明書】

【中文發明名稱】 半導體裝置及半導體裝置之製造方法

【英文發明名稱】 SEMICONDUCTOR DEVICE AND METHOD OF
MANUFACTURING SEMICONDUCTOR DEVICE

【技術領域】**【0001】**

本發明係關於一種半導體裝置以及半導體裝置的製造方法，例如，可適當應用於使用了氮化物半導體的半導體裝置。

【先前技術】**【0002】**

近年來，使用了具有比矽（Si）更大的能帶間隙的III-V族的化合物的半導體裝置受到矚目。其中，使用了氮化鎵（GaN）的MISFET，具有：（1）絕緣破壞電場較大、（2）電子飽和速度較大、（3）熱傳導率較大、（4）可在AlGaN與GaN之間形成良好的異質接合，以及（5）為無毒且安全性較高的材料等的優點。

【0003】

例如，專利文獻1（日本特開2012-156164號公報）揭示了一種具有第1凹陷部、比第1凹陷部更淺的第2凹陷部以及閘極部的異質接合型的半導體裝置。

〔先前技術文獻〕

〔專利文獻〕

【0004】

〔專利文獻1〕日本特開2012-156164號公報

【發明內容】**【0005】**

〔發明所欲解決的問題〕

本發明人，從事上述的使用了氮化物半導體的半導體裝置的研究開發，針對提高其特性，專心致力檢討。在其過程中，確認到：關於使用了氮化物半導體的半導體裝置的特性，當爲了使導通電阻下降，而使障壁層的Al濃度上升時，閾值會降低。

【0006】

其他的問題與新穎性特徵，根據本說明書的記載以及所附圖式應可明瞭。

〔解決問題的手段〕

【0007】

在本案所揭示的實施態樣之中，若簡單說明代表性態樣的概要內容，則如下所述。

【0008】

本案所揭示的其中一個實施態樣的半導體裝置，包含在基板的上方依序形成的第1氮化物半導體層、第2氮化物半導體層與第3氮化物半導體層，以及在第1開口部內隔著閘極絕緣膜配置的閘極電極。第1開口部，貫通第3氮化物半導體層，並到達第2氮化物半導體層的中間部位，在第1開口部的兩側，配置了第1區

域。然後，第1電極側的第1區域的二維電子氣體的濃度，比第1電極側的第1區域的端部與第1電極之間的第2區域的二維電子氣體的濃度更低。

【0009】

本案所揭示的其中一個實施態樣的半導體裝置的製造方法，包含在基板的上方依序形成第1氮化物半導體層、第2氮化物半導體層以及第3氮化物半導體層的步驟。然後，包含形成溝槽的步驟，該溝槽具有：貫通第1區域的第3氮化物半導體層，並到達第2氮化物半導體層的中間部位的第1開口部，以及到達第2區域的第3氮化物半導體層的中間部位的第2開口部。然後，包含在溝槽內隔著閘極絕緣膜形成閘極電極的步驟。

〔發明的功效〕

【0010】

若根據本案所揭示的以下的代表性實施態樣的半導體裝置，便可使半導體裝置的特性提高。

【0011】

若根據本案所揭示的以下的代表性實施態樣的半導體裝置的製造方法，便可製造出特性良好的半導體裝置。

【圖式簡單說明】

【0012】

〔圖1〕係表示實施態樣1的半導體裝置的構造的剖面圖。

〔圖2〕係表示實施態樣1的半導體裝置的構造的俯視圖。

〔圖3〕係表示實施態樣1的半導體裝置的構造的俯視圖。

〔圖4〕係表示實施態樣1的半導體裝置的製造步驟的剖面圖。

〔圖5〕係表示實施態樣1的半導體裝置的製造步驟的剖面圖，且係表示圖4接下來的製造步驟的剖面圖。

〔圖6〕係表示實施態樣1的半導體裝置的製造步驟的剖面圖，且係表示圖5接下來的製造步驟的剖面圖。

〔圖7〕係表示實施態樣1的半導體裝置的製造步驟的剖面圖，且係表示圖6接下來的製造步驟的剖面圖。

〔圖8〕係表示實施態樣1的半導體裝置的製造步驟的剖面圖，且係表示圖7接下來的製造步驟的剖面圖。

〔圖9〕係表示實施態樣1的半導體裝置的製造步驟的剖面圖，且係表示圖8接下來的製造步驟的剖面圖。

〔圖10〕係表示實施態樣1的半導體裝置的製造步驟的剖面圖，且係表示圖9接下來的製造步驟的剖面圖。

〔圖11〕係表示實施態樣1的半導體裝置的製造步驟的剖面圖，且係表示圖10接下來的製造步驟的剖面圖。

〔圖12〕係表示實施態樣1的半導體裝置的製造步驟的剖面圖，且係表示圖11接下來的製造步驟的剖面圖。

〔圖13〕係表示障壁層的Al濃度與閾值的關係圖。

〔圖14〕係表示 N_s 與閾值的關係圖。

〔圖15〕係通道的形成區域附近的能帶圖。

〔圖16〕係表示當使用了高Al濃度的障壁層時閾值下降的情況的示意圖。

〔圖17〕係表示緩衝層與障壁層的Al濃度的差和障壁層的膜厚的關係圖。

〔圖18〕係表示實施態樣1的應用例1的半導體裝置的構造的剖面圖。

〔圖19〕(a)係比較例的半導體裝置的剖面圖以及溝部的能帶圖，(b)係實施態樣1的應用例2的半導體裝置的剖面圖以及溝部的能帶圖。

〔圖20〕係表示實施態樣2的半導體裝置的構造的剖面圖。

〔圖21〕係表示障壁層的Al濃度與 N_s 的關係圖。

〔圖22〕係表示實施態樣2的半導體裝置的製造步驟的剖面圖。

〔圖23〕係表示實施態樣2的半導體裝置的製造步驟的剖面圖，且係表示圖22接下來的製造步驟的剖面圖。

〔圖24〕係表示實施態樣2的半導體裝置的製造步驟的剖面圖，且係表示圖23接下來的製造步驟的剖面圖。

〔圖25〕係表示實施態樣2的半導體裝置的製造步驟的剖面圖，且係表示圖24接下來的製造步驟的剖面圖。

〔圖26〕係表示實施態樣2的半導體裝置的製造步驟的剖面圖，且係表示圖25接下來的製造步驟的剖面圖。

〔圖27〕係表示實施態樣2的半導體裝置的製造步驟的剖面圖，且係表示圖26接下來的製造步驟的剖面圖。

〔圖28〕係表示實施態樣2的半導體裝置的製造步驟的剖面圖，且係表示圖27接下來的製造步驟的剖面圖。

〔圖29〕係表示實施態樣3的半導體裝置的構造的剖面圖。

〔圖30〕係表示實施態樣3的半導體裝置的製造步驟的剖面圖。

〔圖31〕係表示實施態樣3的半導體裝置的製造步驟的剖面圖，且係表示圖30接下來的製造步驟的剖面圖。

〔圖32〕係表示實施態樣3的半導體裝置的製造步驟的剖面圖，且係表示圖31接下來的製造步驟的剖面圖。

〔圖33〕係表示實施態樣3的半導體裝置的製造步驟的剖面圖，且係表示圖32接下來的製造步驟的剖面圖。

〔圖34〕係表示實施態樣3的半導體裝置的製造步驟的剖面圖，且係表示圖33接下來的製造步驟的剖面圖。

〔圖35〕係表示實施態樣3的半導體裝置的製造步驟的剖面圖，且係表示圖34接下來的製造步驟的剖面圖。

〔圖36〕係表示實施態樣4的應用例A的半導體裝置的構造的剖面圖。

〔圖37〕係表示實施態樣4的應用例B的半導體裝置的構造的剖面圖。

〔圖38〕係表示實施態樣4的應用例C的半導體裝置的構造的剖面圖。

〔圖39〕係表示實施態樣4的應用例C的半導體裝置的另一構造的剖面圖。

〔圖40〕係表示實施態樣4的應用例D的半導體裝置的構造的剖面圖。

〔圖41〕係表示實施態樣4的應用例D的半導體裝置的另一構造的剖面圖。

〔圖42〕係表示實施態樣4的應用例E的半導體裝置的構造的剖面圖。

〔圖43〕係表示實施態樣4的應用例E的半導體裝置的另一構造的剖面圖。

〔圖44〕係表示實施態樣5的半導體裝置的構造的剖面圖。

〔圖45〕係表示實施態樣5的半導體裝置的製造步驟的剖面圖。

〔圖46〕係表示實施態樣5的半導體裝置的製造步驟的剖面圖，且係表示圖45接下來的製造步驟的剖面圖。

〔圖47〕係表示實施態樣5的半導體裝置的製造步驟的剖面圖，且係表示圖46接下來的製造步驟的剖面圖。

〔圖48〕係表示實施態樣5的半導體裝置的製造步驟的剖面圖，且係表示圖47接下來的製造步驟的剖面圖。

〔圖49〕係表示實施態樣6的半導體裝置的構造的剖面圖。

【實施方式】

【0013】

在以下的實施態樣中，於便宜作法上有其必要時，會分割成複數個段落或實施態樣進行說明，惟除了特別明示的情況之外，該等內容並非互無相關，而係具有其中一方為另一方的部分或全部的變化實施例、應用實施例、詳細說明、補充說明等的關係。另外，在以下的實施態樣中，當提及要件的數目等（包含個數、數值、數量、範圍等）時，除了特別明示的情況以及在原理上明顯限定於特定數值的情況等之外，並非僅限於該特定的數值，在該特定的數值以上或以下均可。

【0014】

再者，在以下的實施態樣中，其構成要件（亦包含要件步驟等），除了特別明示的情況以及認為在原理上明顯為必須的情況等之外，並非必定為必要構件。同樣地，在以下的實施態樣中，當提及構成要件等的形狀、位置關係等時，除了特別明示的情況以及認為在原理上明顯並非如此的情況等之外，亦包含實質上與該形狀等近似或類似的態樣等。此點，針對上述數目等（包含個數、數值、數量、範圍等）也是同樣。

【0015】

以下，根據圖式詳細說明實施態樣。另外，在用來說明實施態樣的全部圖式中，對具有相同功能的構件會附上相同或相關的符號，其重複說明省略。另外，當存在複數個類似的構件（部位）時，有時會對統稱的符號追加記號以表示個別或特定的部位。另外，在以下的實施態樣中，除了特別有其必要時以外，相同或同樣的部分的說明原則上不重複。

【0016】

另外，在實施態樣所使用的圖式中，即使是剖面圖，為了使圖式更容易檢視，有時也會省略影線。另外，即使是俯視圖，為了使圖式更容易檢視，有時也會附上影線。

【0017】

另外，在剖面圖以及俯視圖中，各部位的大小並未與實際裝置對應，為了使圖式容易理解，有時會將特定的部位顯示成相對較大。另外，即使在剖面圖與俯視圖對應的情況下，為了使圖式容易理解，有時會將特定的部位顯示成相對較大。

【0018】

（實施態樣1）

以下，一邊參照圖式一邊針對本實施態樣的半導體裝置詳細進行說明。

【0019】

〔構造說明〕

圖1，係表示本實施態樣的半導體裝置的構造的剖面圖。圖1所示之本實施態樣的半導體裝置（半導體元件），係使用了氮化物半導體的MIS（Metal Insulator Semiconductor，金屬絕緣體半導體）型的電場效應電晶體（FET，Field Effect

Transistor)。該半導體裝置，可作為高電子移動率電晶體（HEMT，High Electron Mobility Transistor）型的功率電晶體使用。本實施態樣的半導體裝置，係所謂的凹陷閘極型的半導體裝置。

【0020】

在本實施態樣的半導體裝置中，在基板S上，依序形成了核生成層NUC、應力緩和層STR、緩衝層BU、通道層（亦稱為電子傳遞層）CH以及障壁層BA。另外，在障壁層BA上，形成了絕緣膜IF。

【0021】

閘極電極GE，在由開口部OA1以及開口部OA2所構成的溝槽T的內部以及絕緣膜IF上隔著閘極絕緣膜GI形成。該溝槽T，具有淺底部（淺溝部）SB與深底部（深溝部）DB。淺底部SB，形成於深底部DB的兩側。另外，亦可以包圍深底部DB的方式形成淺底部SB（參照圖2）。若以另一種說法，閘極電極GE，係形成於開口部OA2以及淺底部SB（後述的區域ASB）上。

【0022】

另外，開口部OA1，貫通絕緣膜IF，到達障壁層BA的中間部位（參照圖6）。開口部OA1的底面（亦稱為底部），與淺底部SB對應。該淺底部SB，位於障壁層BA中。換言之，障壁層BA從淺底部SB露出。另外，若以另一種說法，則係在淺底部SB下殘留著障壁層BA。另外，開口部OA2，貫通絕緣膜IF以及障壁層BA，到達通道層CH的中間部位（參照圖7）。開口部OA2的底面（亦稱為底部），與深底部DB對應。該深底部DB，位於通道層CH中。換言之，通道層CH從深底部DB露出。上述淺底部SB的形成區域為區域ASB，上述深底部DB的形成區域

為區域ADB。另外，並未形成溝槽T的區域（障壁層BA並未受到蝕刻的區域）為區域AF。

【0023】

在此，於通道層CH與障壁層BA的界面附近的通道層CH側，產生了二維電子氣體2DEG。另外，當對閘極電極GE施加正電位（閾值電位）時，會在閘極絕緣膜GI與通道層CH的界面附近形成通道。上述二維電子氣體2DEG以如下機制形成。構成通道層CH或障壁層BA的氮化物半導體（在此為氮化鎵系的半導體），各自的禁帶寬度（band gap）或電子親和力並不相同。因此，會在該等半導體的接合面產生方阱位勢。電子累積在該方阱位勢內，會使通道層CH與障壁層BA的界面附近產生二維電子氣體2DEG（參照圖1）。

【0024】

然後，形成於通道層CH與障壁層BA的界面附近的二維電子氣體2DEG，被形成了閘極電極GE的開口部OA2斷開。因此，在本實施態樣的半導體裝置中，可在並未對閘極電極GE施加正電位（閾值電位）的狀態下維持切斷狀態，並在對閘極電極GE施加正電位（閾值電位）的狀態下維持導通狀態。如是，便可實行常閉運作。

【0025】

另外，藉由在通道層CH之下設置緩衝層BU，在通道層CH與緩衝層BU的界面附近的緩衝層BU側會產生分極電荷（負的固定電荷）PC。藉由該分極電荷PC，便可提升傳導帶，並使閾值電位往正側上升（參照圖15）。藉此，便可達到提高常閉運作性之目的。

【0026】

另外，在閘極電極GE的一側（在圖1中為左側）的障壁層BA上，設置了源極電極SE。另外，在閘極電極GE的另一側（在圖1中為右側）的障壁層BA上，設置了汲極電極DE。源極電極SE以及汲極電極DE，配置在形成於層間絕緣膜IL1中的接觸孔C1內以及其上部。另外，源極電極SE以及汲極電極DE，被層間絕緣膜IL2所覆蓋。

【0027】

在此，在本實施態樣中，由於係設置成使薄障壁層BA殘留在深底部DB（開口部OA2，通道被引發的區域，通道區域）的兩側之淺底部SB的構造，故淺底部SB的下方的二維電子氣體2DEG的濃度會降低。像這樣，藉由使淺底部SB的下方的二維電子氣體2DEG的濃度降低，便可防止分極電荷PC提升傳導帶的功效降低。藉此，便可防止閾值電位降低，進而達到提高常閉運作性之目的。

【0028】

另外，藉由設置淺底部SB，便可個別地調整形成了淺底部SB的區域ASB與並未形成溝槽T的區域AF的二維電子氣體2DEG的濃度。因此，例如，可藉由增加障壁層的Al濃度等，使區域AF的二維電子氣體2DEG高濃度化，進而降低導通電阻（運行電阻）。

【0029】

另外，針對該等功效，進一步詳細說明（參照圖13～圖17）。

【0030】

另外，在淺底部SB中，當對閘極電極GE施加閾值電位時，通道會被引發。藉此，便可降低導通電阻。

【0031】

另外，藉由設置淺底部SB，閘極電極GE的下方的電場集中部位會分散成2個部位（參照圖1的虛線所包圍的圓形部分）。藉此，電場集中情況有所緩和，閘極耐壓提高。

【0032】

一邊參照圖1～圖3，一邊更進一步詳細說明本實施態樣的半導體裝置。圖2以及圖3，係表示本實施態樣的半導體裝置的構造的俯視圖。圖2，係閘極電極附近的俯視圖，圖3，係配置複數個閘極電極時的布局的一例。例如，圖1對應圖3的A-A部位。

【0033】

如圖2所示的，從閘極電極GE之上觀察的平面形狀（以下稱爲「平面形狀」），係在Y方向上具有長邊的矩形形狀（四角形狀）。如前所述的，閘極電極GE，係隔著閘極絕緣膜GI配置在溝槽（開口部OA1、OA2）T的內部以及絕緣膜IF上（參照圖1）。該開口部OA2，配置在閘極電極GE的形成區域（亦稱爲閘極電極形成區域）內，且配置在閘極電極GE的中央部位，其平面形狀係在Y方向上具有長邊的矩形形狀。另外，開口部OA1，配置在閘極電極GE的形成區域內，且以包圍開口部OA2的形成區域的方式配置，其平面形狀係在Y方向上具有長邊的矩形形狀。

【0034】

另外，在閘極電極GE的一側，設置了源極電極SE。源極電極SE的平面形狀，例如，係在Y方向上具有長邊的矩形形狀。另外，在閘極電極GE的另一側，設置了汲極電極DE。汲極電極DE的平面形狀，例如，係在Y方向上具有長邊的矩形形狀。

【0035】

上述閘極電極GE、源極電極SE以及汲極電極DE的布局並無限制，該等電極，例如，以圖3的方式配置。閘極電極GE、源極電極SE以及汲極電極DE，配置在沿著X方向具有長邊的矩形形狀的活性區域AC上。該活性區域AC，被元件分離區域ISO所包圍、區劃。

【0036】

如前所述的，源極電極SE與汲極電極DE，例如，係在Y方向上具有長邊的矩形形狀。源極電極SE與汲極電極DE，交替地在X方向上並排配置。然後，在源極電極SE與汲極電極DE之間配置了閘極電極GE。例如，複數個閘極電極GE的一側的端部（圖中上側），與在X方向上延伸的閘極線GL連接。另外，複數個閘極電極GE的另一側端部（圖中下側），亦與在X方向上延伸的閘極線GL連接。另外，亦可省略2條閘極線GL之中的任一條，而使閘極電極GE以及閘極線GL的整體形狀形成梳齒狀。另外，複數個源極電極SE，透過栓塞（連接部）PG與在X方向上延伸的源極線SL連接。另外，複數個汲極電極DE，透過栓塞（連接部）PG與在X方向上延伸的汲極線DL連接。另外，在圖1中，省略了比層間絕緣膜IL2更上層的例如栓塞PG、源極線SL以及汲極線DL等的圖式。

【0037】

基板S，例如，可使用由矽（Si）所構成的半導體基板。基板S，除了上述的矽之外，亦可使用由GaN等的氮化物半導體所構成的基板，或是使用由AlN、SiC或藍寶石等所構成的基板。

【0038】

核生成層NUC，係爲了生成形成於上部之膜層成長用的結晶核而形成者。另外，係爲了防止形成於上部之膜層的構成元素（例如Ga等）從形成於上部之膜層擴散到基板S，使基板S變質而形成者。核生成層NUC，例如，可使用氮化鋁（AlN）層。另外，當使用GaN基板等作爲基板S時，可省略核生成層NUC。

【0039】

應力緩和層STR，係爲了緩和作用於基板S的應力，以防止基板S發生翹曲或裂痕而形成者。應力緩和層STR，例如，可使用將氮化鎵（GaN）層與氮化鋁（AlN）層的堆疊膜（AlN/GaN膜），反覆堆疊的超晶格構造體。

【0040】

緩衝層BU，如前所述的，係爲了使通道的正下方分極，並提升傳導帶而形成者。緩衝層BU，例如，可使用AlGaN層。對該緩衝層BU，並未實行刻意的雜質摻雜。緩衝層BU，除了AlGaN層之外，亦可使用InAlN層等。

【0041】

通道層CH，例如，可使用GaN層。通道層CH的材料，除了GaN之外，亦可使用AlN、InN等。另外，亦可使用該等氮化物半導體的混合晶體。另外，在本實施態樣中，係使用無摻雜的通道層CH，惟亦可因應用途摻雜適當的雜質。摻雜雜質，可使用n型雜質或p型雜質。

【0042】

另外，通道層CH，必須使用電子親和力比緩衝層BU或障壁層BA更大的氮化物半導體。

【0043】

障壁層BA，例如，可使用AlGa_zN層。在此，當使用AlGa_zN層作為緩衝層BU以及障壁層BA時，障壁層BA的Al濃度比較大。例如，當將緩衝層BU表示成Al_xGa_{1-x}N，並將障壁層BA表示成Al_zGa_{1-z}N時，Al濃度(x, z)的關係為x < z。緩衝層BU的電子親和力比障壁層BA更大。障壁層BA的材料，除了AlGa_zN層之外，亦可使用InAlN層等。另外，亦可使用堆疊了Al濃度不同的膜層的多層構造的障壁層BA。另外，障壁層BA的材料，可使用Ga_zN層、AlN層、InN層等，或是該等膜層的混合晶體（例如Ga_zN/AlN/InN等）。

【0044】

絕緣膜IF，例如，可使用氮化矽膜。另外，亦可使用氮化矽膜以外的絕緣膜（例如氧化矽膜或氮氧化矽膜等）。

【0045】

閘極絕緣膜GI，可使用氧化鋁（Al₂O₃）膜。閘極絕緣膜GI，亦可使用氧化鋁膜以外的絕緣膜。另外，亦可設置成數種絕緣膜的堆疊構造。

【0046】

閘極電極GE，可使用氮化鈦（TiN）膜。閘極電極GE，亦可使用氮化鈦膜以外的導電性膜。例如，亦可使用摻雜了硼（B）或磷（P）等的雜質的多晶矽膜。另外，亦可使用由Ti、Al、Ni、Au等所構成的金屬或是該等金屬與Si的化合物膜（金屬矽化物膜）。另外，亦可使用由Ti、Al、Ni、Au等所構成的金屬膜的氮化物。

【0047】

層間絕緣膜IL1，例如，可使用氧化矽膜。另外，亦可使用氧化矽膜以外的絕緣膜。另外，亦可設置成數種絕緣膜的堆疊構造。

【0048】

源極電極SE以及汲極電極DE，各自係由接觸孔C1內以及其上的導電性膜所構成。源極電極SE以及汲極電極DE，可使用TiN膜與其上的Al膜的堆疊膜。源極電極SE以及汲極電極DE的材料，只要是與接觸孔C1的底部的氮化物半導體層（障壁層BA）歐姆接觸的材料即可。構成源極電極SE以及汲極電極DE的材料，亦可使用由Ti、Al、Mo（鉬）、Nb（鈮）、V（鈎）等所構成的金屬膜。另外，亦可使用該等金屬的混合物（合金），或是該等金屬與Si的化合物膜（金屬矽化物膜），或是該等金屬的氮化物等。另外，亦可使用該等材料的堆疊膜。

【0049】

源極電極SE或汲極電極DE上的層間絕緣膜IL2，例如，可使用氧化矽膜。

【0050】

〔製法說明〕

接著，一邊參照圖4～圖12，一邊說明本實施態樣的半導體裝置的製造方法，以使該半導體裝置的構造更明確。圖4～圖12，係表示本實施態樣的半導體裝置的製造步驟的剖面圖。

【0051】

如圖4所示的，在基板S上，依序形成核生成層NUC、應力緩和層STR以及緩衝層BU。基板S，例如，使用露出（111）面的由矽（Si）所構成的半導體基板，在其上部，例如，使用有機金屬氣相沉積（MOCVD，Metal Organic Chemical Vapor Deposition）法等，以異質磊晶成長方式形成膜厚200nm左右的氮化鋁（AlN）層，作為核生成層NUC。

【0052】

另外，基板S，除了上述的矽之外，亦可使用由SiC或藍寶石等所構成的基板。再者，通常，核生成層NUC以及該核生成層NUC之後的氮化物半導體層（III-V族的化合物半導體層），全部以III族元素面成長（亦即，在本案的情況下，為鎵面成長或鋁面成長）形成。

【0053】

接著，在核生成層NUC上，形成將氮化鎵（GaN）層與氮化鋁（AlN）層的堆疊膜（AlN/GaN膜）反覆堆疊的超晶格構造體，作為應力緩和層STR。例如，使用有機金屬氣相沉積法等，以異質磊晶成長方式，交替地形成膜厚20nm左右的氮化鎵（GaN）層與膜厚5nm左右的氮化鋁（AlN）層。例如，將上述的堆疊膜形成40層。

【0054】

接著，在應力緩和層STR上，例如，使用有機金屬氣相成長法等，以異質磊晶成長方式，形成膜厚0.5 μ m以上的AlGaIn層，作為緩衝層BU。AlGaIn層的Al濃度（Al組成比），例如為0%~10%。另外，當表示成A~B時，係表示在A以上且在B以下的意思。

【0055】

接著，在緩衝層BU上，形成通道層CH。例如，在緩衝層BU上，使用有機金屬氣相沉積法等，使氮化鎵（GaIn）層異質磊晶成長。該通道層CH的膜厚，例如為10nm~100nm左右。

【0056】

接著，在通道層CH上，例如，使用有機金屬氣相沉積法等，以異質磊晶成長方式，形成膜厚5nm~20nm的AlGaIn層，作為障壁層BA。AlGaIn層的Al濃度，

例如為20%~40%，使障壁層BA的AlGaIn層的Al濃度，比緩衝層BU的AlGaIn層的Al濃度更大。

【0057】

如是，形成緩衝層BU、通道層CH以及障壁層BA的堆疊體。在該堆疊體之中，於通道層CH與障壁層BA的界面附近，產生了二維電子氣體（2DEG）。

【0058】

接著，如圖5所示的，在障壁層BA上，使用CVD法等，堆積例如膜厚50nm~200nm左右的氮化矽膜，作為絕緣膜IF。

【0059】

接著，利用微影處理，將在元件分離區域開口的光阻膜（圖中未顯示）形成於絕緣膜IF上。接著，以該光阻膜為遮罩，導入氮離子，藉此形成元件分離區域（圖中未顯示，參照圖3）。像這樣，藉由導入氮（N）或硼（B）等的離子物種，使結晶狀態產生變化，進而高電阻化。之後，將光阻膜除去。

【0060】

接著，如圖6~圖8所示的，形成由開口部（亦稱為凹陷部）OA1以及開口部OA2所構成的溝槽T。

【0061】

例如，如圖6所示的，在絕緣膜IF上，形成光阻膜PR1，並利用微影處理，將閘極電極形成區域（區域ASB以及區域ADB）的光阻膜PR1除去。換言之，在絕緣膜IF上，形成於閘極電極形成區域具有開口部的光阻膜PR1。

【0062】

接著，以該光阻膜PR1為遮罩，對絕緣膜IF以及障壁層BA進行乾蝕刻，藉此形成貫通絕緣膜IF並到達障壁層BA的中間部位的開口部OA1。當使用氮化矽膜作為絕緣膜IF時，蝕刻氣體，例如，係使用含有SF₆等的氟系氣體的乾蝕刻氣體。另外，障壁層BA的蝕刻氣體，例如，係使用含有BCl₃等的氯系氣體的乾蝕刻氣體。蝕刻所除去的障壁層BA的厚度為T1。該厚度T1，對應開口部OA1的底面與障壁層BA的表面的高低差。殘留於開口部OA1的底面的障壁層BA的厚度為T2。之後，將光阻膜PR1除去。

【0063】

接著，如圖7所示的，在絕緣膜IF以及障壁層BA上，形成光阻膜PR2，並利用微影處理，將區域ADB的光阻膜PR2除去。換言之，在絕緣膜IF以及障壁層BA上，形成於區域ADB具有開口部的光阻膜PR2。

【0064】

接著，以該光阻膜PR2為遮罩，對障壁層BA以及通道層CH進行乾蝕刻，藉此形成貫通絕緣膜IF以及障壁層BA並到達通道層CH的中間部位的開口部OA2。蝕刻氣體，例如，係使用含有BCl₃等的氯系氣體的乾蝕刻氣體。蝕刻所除去的障壁層BA以及通道層CH的厚度的和為T3。該厚度T3，對應開口部OA1的底面與開口部OA2的底面的高低差。之後，將光阻膜PR2除去。

【0065】

藉此，便可如圖8所示的，形成具有淺底部SB與深底部DB的溝槽T。淺底部SB，與開口部OA1的底面對應，深底部DB，與開口部OA2的底面對應。如前所述的，開口部OA1，以包圍開口部OA2的方式形成（參照圖2）。例如，淺底部SB的寬度，為0.2 μ m~5 μ m左右。

【0066】

接著，如圖9以及圖10所示的，在包含溝槽T內的絕緣膜IF上，隔著閘極絕緣膜GI形成閘極電極GE。例如，如圖9所示的，在包含溝槽T內的絕緣膜IF上，使用ALD（Atomic Layer Deposition，原子層沉積）法等，堆積膜厚50nm左右的氧化鋁膜，作為閘極絕緣膜GI。

【0067】

閘極絕緣膜GI，除了氧化鋁膜之外，亦可使用氧化矽膜，或是介電常數比氧化矽膜更高的高介電常數膜。高介電常數膜，亦可使用SiN膜（氮化矽），或是HfO₂膜（氧化鈦膜）、鋁酸鈦膜、HfON膜（氮氧化鈦膜）、HfSiO膜（矽氧化鈦膜）、HfSiON膜（氮氧化矽鈦膜）、HfAlO膜等鈦系絕緣膜。

【0068】

接著，例如，在閘極絕緣膜GI上，例如，使用濺鍍法等堆積膜厚200nm左右的TiN（氮化鈦）膜，作為構成閘極電極GE的導電性膜。接著，如圖10所示的，使用微影技術，在閘極電極形成區域形成光阻膜PR3，以該光阻膜PR3為遮罩，對TiN膜進行蝕刻，藉此形成閘極電極GE。在進行該蝕刻時，亦可對TiN膜的下層的閘極絕緣膜GI也進行蝕刻。例如，在對TiN膜進行加工時，係使用含有Cl₂等氟系氣體的乾蝕刻氣體進行乾蝕刻，在對氧化鋁膜進行加工時，係使用含有BCl₃等氟系氣體的乾蝕刻氣體進行乾蝕刻。

【0069】

另外，在進行該蝕刻時，係將閘極電極GE，形成往一側（在圖10中為右側，汲極電極DE側）伸出的形狀。該伸出部，稱為場板電極部。該場板電極部，係

從汲極電極DE側的溝槽T的端部往汲極電極DE側延伸的閘極電極GE的一部分的區域。之後，將光阻膜PR3除去。

【0070】

接著，如圖11所示的，在包含閘極電極GE之上的絕緣膜IF上，例如，使用CVD法等堆積2000nm左右的氧化矽膜，作為層間絕緣膜IL1。接著，使用微影技術以及蝕刻技術，在層間絕緣膜IL1以及絕緣膜IF中，形成接觸孔C1。接觸孔C1，分別形成於源極電極形成區域以及汲極電極形成區域。例如，在層間絕緣膜IL1上，形成分別在源極電極連接區域以及汲極電極連接區域具有開口部的光阻膜（圖中未顯示）。接著，以該光阻膜為遮罩，對層間絕緣膜IL1以及絕緣膜IF進行蝕刻，藉此形成接觸孔C1。之後，將光阻膜除去。障壁層BA從上述步驟所形成之接觸孔C1的底面露出。

【0071】

接著，如圖12所示的，在閘極電極GE的兩側的障壁層BA上，形成源極電極SE以及汲極電極DE。例如，在包含接觸孔C1內的層間絕緣膜IL1上形成導電性膜。例如，使用濺鍍法等形成由氮化鈦（TiN）膜與其上部的鋁（Al）膜所構成的堆疊膜（Al/TiN），作為導電性膜。氮化鈦膜，例如，膜厚為50nm左右，鋁膜，例如，膜厚為1000nm左右。

【0072】

接著，使用微影技術，在源極電極SE以及汲極電極DE的形成區域形成光阻膜（圖中未顯示），以該光阻膜（圖中未顯示）為遮罩，對導電性膜（Al/TiN）進行蝕刻。藉由該步驟，形成源極電極SE以及汲極電極DE。

【0073】

接著，在包含源極電極SE以及汲極電極DE之上的層間絕緣膜IL1上，例如，使用CVD法等堆積氧化矽膜，作為層間絕緣膜IL2。以後的步驟的圖式省略，之後，例如，形成栓塞（PG）或配線（源極線SL或汲極線DL等），並在最上層的配線上，形成保護膜（亦稱為絕緣膜、覆蓋膜、表面保護膜）。

【0074】

藉由以上的步驟，便可形成本實施態樣的半導體裝置。另外，上述步驟，僅為一例，亦可利用上述步驟以外的步驟，製造出本實施態樣的半導體裝置。例如，開口部OA1與開口部OA2，無論哪個先形成都可以。另外，在蝕刻步驟中，可使用乾蝕刻，亦可使用濕蝕刻。

【0075】

在此，在本實施態樣中，由於係設置成在深底部DB的兩側的淺底部SB殘留薄障壁層BA的構造，故可防止閾值電位降低，並可達到提高常閉運作性之目的。

【0076】

若根據本發明人的檢討，確認出：在淺底部SB的形成區域（區域ASB）並未使障壁層變薄的比較例的半導體裝置（參照後述的圖16）中，當為了降低導通電阻，而使障壁層的Al濃度從22%上升到30%時，閾值會降低。圖13，係表示障壁層的Al濃度與閾值的關係圖。針對各裝置之間的障壁層的Al濃度差為10%的比較例的半導體裝置調查IV特性。圖式的橫軸，為閘極電壓 V_g [a.u.]，縱軸，為汲極電流 I_d [a.u.]。圖14，係表示 N_s 與閾值的關係圖。如後所述的，藉由調整緩衝層（AlGaIn）與障壁層（AlGaIn）的Al濃度差或是障壁層（AlGaIn）的膜厚，便可調整 N_s （片載子密度）。圖式的橫軸，為 N_s [cm^{-2}]，縱軸，為閾值 V_t [a.u.]。

【0077】

如圖13所示的，比較障壁層的Al濃度差為10%的各裝置之間的特性，當Al濃度高時，閾值便降低。另外，如圖14所示的，隨著 N_s 的上升，閾值便下降。

【0078】

吾人認為這是因為，使障壁層的Al濃度上升，二維電子氣體便高濃度化，故通道下的分極電荷的功效會減弱的關係。圖15，係通道的形成區域附近的能帶圖。圖16，係表示當使用高Al濃度的障壁層時閾值的降低情況的示意圖。

【0079】

例如，如圖15所示的，在通道被引發的閘極絕緣膜（ Al_2O_3 ）之下，在通道層（GaN）與緩衝層（AlGaN）的界面附近的緩衝層側，會產生分極電荷。藉由該分極電荷，便可提升傳導帶，並使閾值電位往正側上升。

【0080】

然而，如圖16所示的，在淺底部SB的形成區域（區域ASB）並未使障壁層變薄的比較例的半導體裝置，當使用高Al濃度的障壁層而使二維電子氣體2DEG高濃度化時，分極電荷PC的相對濃度（密度）會降低，分極電荷PC的功效會減弱。因此，吾人認為閾值會降低。

【0081】

相對於此，在本實施態樣中，由於在淺底部SB僅堆疊了薄障壁層BA，故可使淺底部SB的二維電子氣體的濃度降低（參照圖1）。

【0082】

換言之，由於淺底部SB（區域ASB）的障壁層BA的膜厚，比並未形成溝槽T的區域（區域AF）的障壁層BA的膜厚更小（更薄），淺底部SB（區域ASB）

的二維電子氣體2DEG的濃度，比並未形成溝槽T的區域（區域AF）的二維電子氣體2DEG的濃度更小。因此，可緩和淺底部SB的二維電子氣體2DEG對分極電荷PC的影響。

【0083】

圖17，係表示緩衝層與障壁層的Al濃度的差和障壁層的膜厚的關係圖。圖式的橫軸，係緩衝層（AlGa_N）與障壁層（AlGa_N）的Al濃度的差〔%〕，縱軸，係障壁層（AlGa_N）的膜厚〔nm〕。針對 N_s 〔 cm^{-2} 〕為 $1\text{E}13/\text{cm}^2$ 、 $5\text{E}12/\text{cm}^2$ 以及 $0/\text{cm}^2$ 的情況，調查緩衝層（AlGa_N）與障壁層（AlGa_N）的Al濃度的差和障壁層（AlGa_N）的膜厚的關係。

【0084】

淺底部SB（區域ASB）的障壁層BA的膜厚宜因應所欲設定的 N_s ，進而形成不妨礙緩衝層的分極電荷的功効的濃度。例如，當欲將淺底部SB（區域ASB）的 N_s ，設定在 $0\sim 5\text{E}12/\text{cm}^2$ 的範圍內時，只要從圖17適當選擇緩衝層（AlGa_N）與障壁層（AlGa_N）的Al濃度的差和障壁層（AlGa_N）的膜厚的組合即可。

【0085】

在此，障壁層的膜厚，宜在2nm以上。另外，只要淺底部SB（區域ASB）的寬度在 $0.2\mu\text{m}$ 以上，便可避免分極電荷的功効的降低。另外，在並未形成溝槽T的區域（區域AF）中，宜以 N_s 形成 $5\text{E}12/\text{cm}^2$ 以上的濃度的方式進行設定。例如，只要以形成所期望之 N_s 的方式，根據圖17適當設定緩衝層（AlGa_N）與障壁層（AlGa_N）的Al濃度的差和障壁層（AlGa_N）的膜厚，便可達到降低導通電阻之目的。

【0086】

像這樣，藉由設置淺底部SB，便可個別地調整淺底部SB與並未形成溝槽T的區域（區域AF）的二維電子氣體2DEG的濃度。藉此，便可將並未形成溝槽T的區域（區域AF）的二維電子氣體2DEG設置成高濃度，進而降低導通電阻。

【0087】

例如，當在淺底部SB（區域ASB）中，存在Al濃度25%且膜厚6nm左右的障壁層（AlGa_N）時，二維電子氣體2DEG的濃度為 $2E12/cm^2$ 左右，為不會導致閾值降低的濃度。另外，當在並未形成溝槽T的區域（障壁層BA並未受到蝕刻的區域）中，存在Al濃度25%且膜厚17nm左右的障壁層（AlGa_N）時，二維電子氣體2DEG的濃度為 $7E12/cm^2$ 左右，可使汲極－閘極間以及源極－閘極間的運行電阻充分地降低。

【0088】

（應用例1）

在圖1所示的半導體裝置中，對緩衝層，並未實行刻意的雜質摻雜，然而，例如，亦可使緩衝層中含有p型雜質。

【0089】

圖18，係表示本實施態樣的應用例1的半導體裝置的構造的剖面圖。另外，由於除了緩衝層PBU的構造以外，其他部分均與圖1的半導體裝置的態樣相同，故關於同樣的構造以及其製造步驟的說明省略。

【0090】

在本應用例1的半導體裝置中，緩衝層BU，例如，係使用p型的AlGa_N層。p型雜質，例如，可使用Mg等。該等緩衝層PBU，可與實施態樣1同樣使用有機金屬氣相沉積法等方法形成。

【0091】

像這樣，在使用p型的AlGa_N作為緩衝層PBU的情況下，亦可使淺底部SB的形成區域的二維電子氣體2DEG的濃度比並未形成溝槽T的區域（區域AF）的二維電子氣體2DEG的濃度更小，進而獲得提高閾值的功效。

【0092】

（應用例2）

在圖1所示之半導體裝置中，係使用了緩衝層，惟亦可省略緩衝層。

【0093】

由於本實施態樣的應用例2的半導體裝置，除了省略緩衝層BU以外，其他部分均與圖1的半導體裝置的態樣相同，故關於同樣的構造以及其製造步驟的說明省略。

【0094】

在本應用例2的半導體裝置中，省略緩衝層BU，例如，在應力緩和層STR上，形成通道層CH。

【0095】

圖19的（a），係比較例的半導體裝置的剖面圖以及凹陷溝槽低部（B-B'部位）的能帶圖，其顯示出傳導帶的能量位準。（b），係本應用例2的半導體裝置的剖面圖以及凹陷溝槽低部（B-B'部位）的能帶圖。

【0096】

如圖19所示的，即使在並未使用緩衝層的情況下，比起並未設置淺底部SB，而在淺底部SB的形成區域中並未使障壁層變薄的比較例的半導體裝置（a）而言，在本應用例2的半導體裝置（b）中，仍可藉由使鄰接溝部的二維電子氣體

的濃度降低而抑制通道的位勢下降。藉此，便可防止閾值電位下降，進而達到提高常閉運作性之目的。

【0097】

(實施態樣2)

在本實施態樣中，障壁層係由Al濃度不同的2層所構成。另外，由於除了障壁層的構造以外，其他部分均與實施態樣1的半導體裝置相同，故關於對應的構造以及其製造步驟，其詳細說明省略。

【0098】

以下，一邊參照圖式一邊針對本實施態樣的半導體裝置詳細進行說明。

【0099】

[構造說明]

圖20，係表示本實施態樣的半導體裝置的構造的剖面圖。圖20所示之本實施態樣的半導體裝置(半導體元件)，係使用了氮化物半導體的MIS型的電場效應電晶體。該半導體裝置，可作為高電子移動度電晶體型的功率電晶體使用。本實施態樣的半導體裝置，係所謂的凹陷閘極型的半導體裝置。

【0100】

在本實施態樣的半導體裝置中，與實施態樣1(圖1)同樣，在基板S上，依序形成了核生成層NUC、應力緩和層STR、緩衝層BU、通道層CH以及障壁層BA。另外，在障壁層BA上，形成了絕緣膜IF。

【0101】

在此，在本實施態樣中，障壁層BA，係由位於通道層CH側（下側）的低Al障壁層BA1與位於絕緣膜IF側（上側）的高Al障壁層BA2這2層所構成。低Al障壁層BA1，係Al濃度（Al組成比）比高Al障壁層BA2更低的膜層。

【0102】

閘極電極GE，在由開口部OA1以及開口部OA2所構成的溝槽T的內部以及絕緣膜IF上隔著閘極絕緣膜GI形成。該溝槽T，具有淺底部SB與深底部DB。淺底部SB，形成於深底部DB的兩側。另外，亦可以包圍深底部DB的方式形成淺底部SB（參照圖2）。

【0103】

另外，開口部OA1，貫通絕緣膜IF，到達高Al障壁層BA2的底面（換言之，低Al障壁層BA1的表面）（參照圖23）。開口部OA1的底面，與淺底部SB對應。低Al障壁層BA1的表面從淺底部SB露出。另外，若以另一種說法，則係在淺底部SB之下殘留著低Al障壁層BA1。

【0104】

另外，開口部OA2，貫通絕緣膜IF以及障壁層BA（低Al障壁層BA1、高Al障壁層BA2），到達通道層CH的中間部位（參照圖24）。開口部OA2的底面，與深底部DB對應。該深底部DB，位於通道層CH中。換言之，通道層CH從深底部DB露出。上述淺底部SB的形成區域為區域ASB，上述深底部DB的形成區域為區域ADB。另外，並未形成溝槽T的區域（障壁層BA並未受到蝕刻的區域）為區域AF。

【0105】

然後，在本實施態樣中，形成於通道層CH與障壁層BA的界面附近的二維電子氣體2DEG，亦被形成了閘極電極GE的開口部OA2斷開。因此，在本實施態樣的半導體裝置中，可在並未對閘極電極GE施加正電位（閾值電位）的狀態下維持切斷狀態，並在對閘極電極GE施加正電位（閾值電位）的狀態下維持導通狀態。像這樣，便可實行常閉運作。

【0106】

另外，藉由在通道層CH之下設置緩衝層BU，在通道層CH與緩衝層BU的界面附近的緩衝層BU側會產生分極電荷（負的固定電荷）PC。藉由該分極電荷PC，便可提升傳導帶，並使閾值電位往正側上升（參照圖15）。藉此，便可達到提高常閉運作性之目的。

【0107】

另外，在閘極電極GE的一側（在圖20中為左側）的障壁層BA上，設置了源極電極SE。另外，在閘極電極GE的另一側（在圖20中為右側）的障壁層BA上，設置了汲極電極DE。源極電極SE以及汲極電極DE，配置在形成於層間絕緣膜IL1中的接觸孔C1內以及其上部。另外，源極電極SE以及汲極電極DE，被層間絕緣膜IL2所覆蓋。

【0108】

由於在本實施態樣中，亦設置成使低Al障壁層BA1殘留在深底部DB的兩側的淺底部SB的構造，故如在實施態樣1所詳細說明的，淺底部SB的下方的二維電子氣體2DEG的濃度降低。像這樣，藉由使淺底部SB的下方的二維電子氣體2DEG的濃度降低，便可防止分極電荷PC提升傳導帶的功效降低。藉此，便可防止閾值電位下降，進而達到提高常閉運作性之目的。

【0109】

另外，藉由設置淺底部SB，便可個別地調整淺底部SB與並未形成溝槽T的區域（區域AF）的二維電子氣體2DEG的濃度。具體而言，由於在溝槽（淺底部SB）T的兩側存在高Al障壁層BA2，故可使二維電子氣體2DEG高濃度化。藉此，便可降低導通電阻。

【0110】

另外，在淺底部SB中，當對閘極電極GE施加閾值電位時，通道會被引發。藉此，便可降低導通電阻。

【0111】

另外，藉由設置淺底部SB，閘極電極GE的下方的電場集中部位分散成2個部位（參照圖1的虛線所包圍的圓形部分）。藉此，電場集中情況有所緩和，閘極耐壓提高。

【0112】

然後，再者，在本實施態樣中，由於將障壁層BA設置成2層構造，故可對每一層調整Al的濃度，進而使加工餘裕增大。

【0113】

圖21，係表示障壁層的Al濃度與Ns的關係圖。針對障壁層（AlGa_N）的Al濃度為15%~40%的情況下的Ns進行調查。緩衝層，使用Al濃度為5%的AlGa_N。圖式的橫軸為AlGa_N障壁層的膜厚〔nm〕，縱軸為Ns〔cm⁻²〕。1.5E+13係表示1.5×10¹³。

【0114】

如圖21所示的，在高Al濃度的薄膜區域，膜厚的 N_s 感度非常高。亦即，當使用Al濃度為40%的障壁層（AlGa_N）時，在0~10nm的膜厚的範圍內， N_s 急遽地上升。因此，藉由將障壁層BA設置成多層構造，並設置低Al障壁層BA1，便可增加障壁層BA的總膜厚。藉此，便可大幅確保形成溝槽T時的加工餘裕。

【0115】

例如，當使用單層的高Al障壁層BA2作為障壁層BA時，在淺底部SB中，為了減少二維電子氣體2DEG，必須使高Al障壁層BA2以非常薄的方式殘留。例如，當使用單層的Al濃度為30%的AlGa_N層作為障壁層BA時，在淺底部SB中，必須將AlGa_N層蝕刻到6nm左右的膜厚。因此，高精度的蝕刻控制有其必要。再者，如用圖21所說明的，由於在高Al濃度的薄膜區域， N_s 感度非常高，故膜厚的差異對二維電子氣體2DEG的濃度會造成很大的影響。因此，使殘留膜厚很薄且均勻地進行蝕刻的高精度蝕刻控制有其必要。

【0116】

相對於此，在本實施態樣中，由於將障壁層BA設置成多層構造，故藉由以低Al障壁層BA1構成下層，便可增加在淺底部SB所殘留之低Al障壁層BA1的膜厚，另外，亦可減少膜厚的差異所導致的二維電子氣體2DEG的濃度差異。

【0117】

本實施態樣的半導體裝置的各部位的平面布局，例如，可設置成與實施態樣1（參照圖2、圖3）同樣的布局。

【0118】

另外，本實施態樣的半導體裝置的各部位的構成材料，可使用與實施態樣1同樣的材料。另外，本實施態樣的半導體裝置的障壁層BA（低Al障壁層BA1、

高Al障壁層BA2)，例如，可使用AlGa_{1-x}N層。例如，高Al障壁層BA2的Al濃度為25%~50%，膜厚為2nm~20nm左右。另外，低Al障壁層BA1的Al濃度為10%~25%，膜厚為5nm~50nm左右。各個膜厚的上限以產生點缺陷等原因而決定為臨界膜厚。然後，當使用Al濃度15%、膜厚22nm的AlGa_{1-x}N作為低Al障壁層BA1時，二維電子氣體2DEG的濃度，為 $2.5E12/cm^2$ 左右。例如，在本實施態樣的半導體裝置中，上述二維電子氣體2DEG的濃度，為不會導致閾值降低的濃度。另外，在並未形成溝槽T的區域（障壁層BA並未受到蝕刻的區域），由於高Al障壁層BA2（Al濃度40%、膜厚9nm）的關係，障壁層BA1以及障壁層BA2所產生的二維電子氣體約為 $1E13/cm^2$ 左右，故可使汲極-閘極間以及源極-閘極間的運行電阻充分地降低。另外，當使用低Al障壁層BA1與高Al障壁層BA2的堆疊膜作為障壁層BA，且將緩衝層BU表示為Al_xGa_{1-x}N，將障壁層BA1表示為Al_yGa_{1-y}N，將障壁層BA2表示為Al_zGa_{1-z}N時，Al濃度（x、y、z）的關係為 $x < y < z$ 。另外，障壁層BA的材料，除了AlGa_{1-x}N層之外，亦可使用InAlN層等。在使用InAlN層的情況下，亦只要使用低Al障壁層BA1與高Al障壁層BA2的堆疊膜作為障壁層BA即可。

【0119】

〔製法說明〕

接著，一邊參照圖22~圖28，一邊說明本實施態樣的半導體裝置的製造方法，以使該半導體裝置的構造更明確。圖22~圖28，係表示本實施態樣的半導體裝置的製造步驟的剖面圖。

【0120】

如圖22所示的，在基板S上，依序形成核生成層NUC、應力緩和層STR、緩衝層BU、通道層CH、障壁層BA1、BA2以及絕緣膜IF。核生成層NUC、應力緩和層STR、緩衝層BU以及通道層CH，可使用在實施態樣1所說明的材料，並與實施態樣1以同樣的方式形成。接著，在通道層CH上，形成由低Al障壁層BA1與高Al障壁層BA2所構成的障壁層BA。例如，在通道層CH上，使用有機金屬氣相沉積法等，以異質磊晶成長方式，形成Al濃度10%~25%且膜厚5nm~50nm的AlGaN層，作為低Al障壁層BA1。然後，於低Al障壁層BA1，使用有機金屬氣相沉積法等，以異質磊晶成長方式，形成Al濃度25%~50%且膜厚2nm~20nm的AlGaN層，作為高Al障壁層BA2。Al濃度，可藉由改變有機金屬氣相沉積法所使用的Al原料氣體的流量進行調整。接著，與實施態樣1同樣，在障壁層BA上，形成氮化矽膜作為絕緣膜IF，然後，形成元件分離區域(圖中未顯示，參照圖3)。

【0121】

接著，如圖23~圖25所示的，形成由開口部OA1以及開口部OA2所構成的溝槽T。

【0122】

例如，如圖23所示的，在絕緣膜IF上，形成光阻膜PR1，並利用微影處理，將閘極電極形成區域(區域ASB以及區域ADB)的光阻膜PR1除去。

【0123】

接著，以該光阻膜PR1為遮罩，對絕緣膜IF以及高Al障壁層BA2進行乾蝕刻，形成貫通絕緣膜IF以及高Al障壁層BA2，並露出低Al障壁層BA1的表面的開口部OA1。若以另一種說法，則係將厚度T1的高Al障壁層BA2蝕刻除去。蝕刻氣體，可使用與實施態樣1同樣的氣體。此時，在開口部OA1的底面，殘留著厚

度T2的低Al障壁層BA1。另外，亦可在蝕刻高Al障壁層BA2之後，更進一步蝕刻到低Al障壁層BA1的中間部位。之後，將光阻膜PR1除去。

【0124】

接著，如圖24所示的，在絕緣膜IF以及低Al障壁層BA1上，形成光阻膜PR2，並利用微影處理，將區域ADB的光阻膜PR2除去。換言之，在絕緣膜IF以及低Al障壁層BA1上，形成於區域ADB具有開口部的光阻膜PR2。

【0125】

● 接著，以該光阻膜PR2為遮罩，對低Al障壁層BA1以及通道層CH進行乾蝕刻，藉此形成貫通絕緣膜IF以及障壁層BA（低Al障壁層BA1、高Al障壁層BA2）並到達通道層CH的中間部位的開口部OA2。蝕刻氣體，可使用與實施態樣1同樣的氣體。蝕刻所除去的障壁層BA以及通道層CH的厚度的和為T3。該厚度T3，對應開口部OA1的底面與開口部OA2的底面的高低差。之後，將光阻膜PR2除去。

【0126】

● 藉此，如圖25所示的，便可形成具有淺底部SB與深底部DB的溝槽T。淺底部SB，與開口部OA1的底面對應，深底部DB，與開口部OA2的底面對應。如前所述的，開口部OA1，以包圍開口部OA2的方式形成（參照圖2）。

【0127】

接著，如圖26以及圖27所示的，在包含溝槽T內的絕緣膜IF上，隔著閘極絕緣膜GI形成閘極電極GE。閘極絕緣膜GI以及閘極電極GE，可與實施態樣以同樣的方式形成。例如，如圖26所示的，堆疊閘極絕緣膜GI的材料以及閘極電極GE的材料，如圖27所示的，以光阻膜PR3為遮罩，對該等材料進行蝕刻。之後，將光阻膜PR3除去。

【0128】

接著，如圖28所示的，在包含閘極電極GE之上的絕緣膜IF上，形成層間絕緣膜IL1，然後，形成源極電極SE以及汲極電極DE。接著，在包含源極電極SE以及汲極電極DE之上的層間絕緣膜IL1上，形成層間絕緣膜IL2。層間絕緣膜IL1、源極電極SE、汲極電極DE以及層間絕緣膜IL2，可使用在實施態樣1所說明的材料，並與實施態樣1以同樣的方式形成。之後，亦可如在實施態樣1所說明的，形成栓塞（PG）或配線（源極線SL或汲極線DL等），並在最上層的配線上，形成保護膜。

【0129】

藉由以上的步驟，便可形成本實施態樣的半導體裝置。另外，上述步驟，僅為一例，亦可利用上述步驟以外的步驟，製造出本實施態樣的半導體裝置。

【0130】

另外，在本實施態樣中，係將障壁層BA設置成2層構造，惟亦可將障壁層BA設置成3層以上的構造。此時，宜從緩衝層BU側開始依序使Al濃度變大。

【0131】

（實施態樣3）

以下，一邊參照圖式一邊針對本實施態樣的半導體裝置詳細進行說明。

【0132】

〔構造說明〕

圖29，係表示本實施態樣的半導體裝置的構造的剖面圖。圖29所示之本實施態樣的半導體裝置（半導體元件），係使用了氮化物半導體的MIS型的電場效

應電晶體。該半導體裝置，可作為高電子移動度電晶體型的功率電晶體使用。
本實施態樣的半導體裝置，係所謂的凹陷閘極型的半導體裝置。

【0133】

在本實施態樣的半導體裝置中，與實施態樣1（圖1）同樣，在基板S上，依序形成了核生成層NUC、應力緩和層STR、緩衝層BU以及通道層CH。另外，在通道層CH上，形成障壁層BA1，並在障壁層BA1上，形成絕緣膜IF。

【0134】

在此，在本實施態樣中，於障壁層BA1，設置了開口部OA2，於絕緣膜IF，設置了開口部OA1。然後，在開口部OA2的兩側的障壁層BA1上，形成了障壁層BA2。障壁層BA2，電子親和力比障壁層BA1更大。例如，開口部OA1，在閘極電極GE的形成區域內，以包圍開口部OA2的形成區域的方式配置（參照圖2）。

【0135】

另外，開口部OA1，貫通絕緣膜IF，到達障壁層BA2的表面（參照圖33）。開口部OA1的底面，與障壁層BA2的表面對應。另外，開口部OA2，貫通絕緣膜IF以及障壁層BA1、BA2，到達通道層CH的中間部位（參照圖34）。開口部OA2的底面，位於通道層CH中。換言之，通道層CH從開口部OA2的底面露出。在此，開口部OA2的形成區域為區域ADB，開口部OA1的端部與開口部OA2的端部之間的區域為區域ABA2。另外，並未形成溝槽T的區域為區域AF。另外，區域ABA2，與障壁層BA2的形成區域對應。

【0136】

閘極電極GE，在由開口部OA1以及開口部OA2所構成的溝槽T的內部以及絕緣膜IF上隔著閘極絕緣膜GI形成。

【0137】

然後，在本實施態樣中，形成於通道層CH與障壁層BA1的界面附近的二維電子氣體2DEG，亦被形成了閘極電極GE的開口部OA2斷開。因此，在本實施態樣的半導體裝置中，可在並未對閘極電極GE施加正電位（閾值電位）的狀態下維持切斷狀態，並在對閘極電極GE施加正電位（閾值電位）的狀態下維持導通狀態。像這樣，便可實行常閉運作。

【0138】

另外，藉由在通道層CH之下設置緩衝層BU，在通道層CH與緩衝層BU的界面附近的緩衝層BU側會產生分極電荷（負的固定電荷）PC。藉由該分極電荷PC，便可提升傳導帶，並使閾值電位往正側上升（參照圖15）。藉此，便可達到提高常閉運作性之目的。

【0139】

另外，在閘極電極GE的一側（在圖29中為左側）的障壁層BA1上，設置了源極電極SE。另外，在閘極電極GE的另一側（在圖29中為右側）的障壁層BA上，設置了汲極電極DE。源極電極SE以及汲極電極DE，配置在形成於層間絕緣膜IL1中的接觸孔C1內以及其上部。另外，源極電極SE以及汲極電極DE，被層間絕緣膜IL2所覆蓋。

【0140】

由於在本實施態樣中，構成在開口部OA2的兩側的區域（區域ABA2），在障壁層BA1上，配置電子親和力比障壁層BA1更大的障壁層BA2的構造，故可降低該區域（區域ABA2）的二維電子氣體2DEG的濃度。亦即，電子親和力較大的障壁層BA2減弱下層的障壁層BA1的壓電極化功效，降低二維電子氣體2DEG

的濃度。像這樣，藉由使開口部OA2的兩側的區域的二維電子氣體2DEG的濃度降低，便可防止分極電荷PC提升傳導帶的功效的降低。藉此，便可防止閾值電位下降，進而達到提高常閉運作性之目的。

【0141】

另外，藉由設置障壁層BA2，便可個別地調整開口部OA2的兩側的區域（區域ABA2）與開口部OA1的兩側的區域（區域AF）的二維電子氣體2DEG的濃度。具體而言，由於在開口部OA1的兩側的區域（區域AF）並未形成障壁層BA2，故其二維電子氣體2DEG濃度比區域ABA2更高。藉此，便可降低導通電阻。

【0142】

另外，在開口部OA2的兩側的區域（區域ABA2），當對閘極電極GE施加閾值電位時，通道會被引發。藉此，便可降低導通電阻。

【0143】

另外，藉由設置深度不同的2個開口部（OA1、OA2），閘極電極GE的下方的電場集中部位分散成2個部位（參照圖29的虛線所包圍的圓形部分）。藉此，電場集中有所緩和，閘極耐壓提高。

【0144】

另外，本實施態樣的半導體裝置的障壁層BA1，例如，可使用AlGaN層，障壁層BA2，例如，可使用GaN層。例如，當緩衝層BU使用Al濃度為5%的AlGaN層，通道層CH使用GaN層，障壁層BA1使用Al濃度為30%且膜厚為12nm左右的AlGaN層時，開口部OA1的兩側的區域（區域AF）的二維電子氣體2DEG的濃度為 $8E12/cm^2$ 左右。像這樣，便可使汲極－閘極間以及源極－閘極間的運行電阻充分地降低。另外，在形成GaN層作為障壁層BA2的區域（區域ABA2）中，二

維電子氣體的濃度降低，例如，其濃度為 $1E12/cm^2 \sim 5E12/cm^2$ 左右。此為不會導致閾值降低的濃度。

【0145】

另外，在本實施態樣中，如在後述的製法說明中所明確可知的，由於在開口部OA2的兩側的區域（區域ABA2），並未直接蝕刻障壁層BA1，故可抑制二維電子氣體的差異，而輕易獲得所期望的二維電子氣體的濃度。

【0146】

本實施態樣的半導體裝置的各部位的平面布局，例如，可設置成與實施態樣1（參照圖2、圖3）同樣的布局。

【0147】

另外，本實施態樣的半導體裝置的各部位的構成材料，可使用與實施態樣1同樣的材料。

【0148】

〔製法說明〕

接著，一邊參照圖30～圖35，一邊說明本實施態樣的半導體裝置的製造方法，使該半導體裝置的構造更明確。圖30～圖35，係表示本實施態樣的半導體裝置的製造步驟的剖面圖。

【0149】

如圖30所示的，在基板S上，依序形成核生成層NUC、應力緩和層STR、緩衝層BU、通道層CH、障壁層BA1以及障壁層BA2。核生成層NUC、應力緩和層STR、緩衝層BU以及通道層CH，可使用在實施態樣1所說明的材料，並與實施態樣1以同樣的方式形成。接著，在通道層CH上，依序形成障壁層BA1以及障壁

層BA2。例如，在通道層CH上，使用有機金屬氣相沉積法等，以異質磊晶成長方式，形成Al濃度25%~40%且膜厚5nm~30nm的AlGaIn層，作為障壁層BA1。然後，在障壁層BA1上，使用有機金屬氣相沉積法等，以異質磊晶成長方式，形成膜厚5nm~20nm的GaIn層，作為障壁層BA2，例如，設置成開口部OA1的兩側的區域(區域AF)的二維電子氣體2DEG的濃度為 $5E12/cm^2 \sim 1E13/cm^2$ 左右，且形成了GaIn層的區域(區域ABA2)的二維電子氣體2DEG的濃度為 $1E12/cm^2 \sim 5E12/cm^2$ 左右。

● **【0150】**

接著，如圖31所示的，在障壁層BA2上，形成光阻膜PR41，並利用微影處理，使光阻膜PR41殘留在區域ADB以及區域ABA2。接著，以該光阻膜PR41為遮罩，對障壁層BA2進行乾蝕刻，藉此使障壁層BA2殘留在區域ADB以及區域ABA2。蝕刻氣體，可使用與在實施態樣1中所說明的GaIn層的蝕刻氣體同樣的氣體。之後，將光阻膜PR41除去。

【0151】

● 接著，如圖32所示的，在障壁層BA1以及障壁層BA2上，例如，以與實施態樣1同樣的方式形成氮化矽膜，作為絕緣膜IF。另外，之後，與實施態樣1同樣，形成元件分離區域(圖中未顯示，參照圖3)。

【0152】

接著，如圖33以及圖34所示的，形成開口部OA1以及開口部OA2。例如，開口部OA1，以包圍開口部OA2的方式形成(參照圖2)。如圖33所示的，在絕緣膜IF上，形成光阻膜PR42，並利用微影處理，將區域ABA2以及區域ADB的光阻膜PR42除去。

【0153】

接著，以該光阻膜PR42為遮罩，對絕緣膜IF進行乾蝕刻，藉此形成開口部OA1。障壁層BA2在開口部OA1的底面露出。蝕刻氣體，可使用與實施態樣1同樣的氣體。之後，將光阻膜PR42除去。另外，若因為遮罩偏移或蝕刻尺寸誤差等原因，而在障壁層BA2上殘留寬度 $0.1\mu\text{m}$ 左右的絕緣膜IF，也沒有關係，另外，障壁層BA1上的絕緣膜IF亦可受到寬度 $0.1\mu\text{m}$ 左右的蝕刻。

【0154】

接著，如圖34所示的，在絕緣膜IF以及障壁層BA2上，形成光阻膜PR43，並利用微影處理，將區域ADB的光阻膜PR43除去。接著，以該光阻膜PR43為遮罩，對障壁層BA2、障壁層BA1以及通道層CH進行乾蝕刻，藉此形成貫通障壁層BA2以及障壁層BA1並到達通道層CH的中間部位的開口部OA2。蝕刻氣體，可使用與在實施態樣1中所說明的GaN層或AlGaN層的蝕刻氣體同樣的氣體。之後，將光阻膜PR43除去。例如，障壁層BA2的寬度為 $0.2\mu\text{m}\sim 5\mu\text{m}$ 左右。

【0155】

接著，在包含開口部OA1以及開口部OA2的內部的絕緣膜IF上，形成閘極絕緣膜GI以及閘極電極GE。閘極絕緣膜GI以及閘極電極GE，可與實施態樣以同樣的方式形成。例如，如圖35所示的，堆疊閘極絕緣膜GI的材料以及閘極電極GE的材料，並蝕刻該等材料（參照圖29）。

【0156】

接著，如圖29所示的，在包含閘極電極GE之上的絕緣膜IF上，形成層間絕緣膜IL1，然後，形成源極電極SE以及汲極電極DE。接著，在包含源極電極SE以及汲極電極DE之上的層間絕緣膜IL1上，形成層間絕緣膜IL2。層間絕緣膜

IL1、源極電極SE、汲極電極DE以及層間絕緣膜IL2，可使用在實施態樣1所說明的材料，並與實施態樣1以同樣的方式形成。之後，亦可如在實施態樣1所說明的，形成栓塞(PG)或配線(源極線SL或汲極線DL等)，並在最上層的配線上，形成保護膜。

【0157】

藉由以上的步驟，便可形成本實施態樣的半導體裝置。另外，上述步驟，僅為一例，亦可利用上述步驟以外的步驟，製造出本實施態樣的半導體裝置。

【0158】

(實施態樣4)

在本實施態樣中，針對上述實施態樣的應用例進行說明。

【0159】

(應用例A)

圖36，係表示本實施態樣的應用例A的半導體裝置的構造的剖面圖。如圖36所示的，在實施態樣2(圖20)的半導體裝置中，亦可使用含有p型雜質的緩衝層PBU。另外，由於除了緩衝層PBU的構造以外，其他部分均與實施態樣2(圖20)的半導體裝置的情況相同，故關於同樣的構造以及其製造步驟的說明省略。

【0160】

像這樣，含有p型雜質的緩衝層PBU，例如，在使用p型AlGa_N或p型Ga_N的情況下，區域ASB的二維電子氣體2DEG的濃度，亦比區域AF的二維電子氣體2DEG的濃度更小，故可使提高閾值的功效增強。

【0161】

另外，圖式雖省略，惟在實施態樣2（圖20）的半導體裝置中，亦可省略緩衝層BU，或是將p型GaN層當作緩衝層PBU使用。像這樣，即使在並未使用緩衝層的情況下，藉由使區域ASB的二維電子氣體2DEG的濃度，比區域AF的二維電子氣體2DEG的濃度更小，仍可抑制通道的位勢下降（參照實施態樣1的應用例2）。藉此，便可防止閾值電位下降，進而達到提高常閉運作性之目的。

【0162】

（應用例B）

圖37，係表示本實施態樣的應用例B的半導體裝置的構造的剖面圖。如圖37所示的，在實施態樣3（圖29）的半導體裝置中，亦可使用含有p型雜質的緩衝層PBU。另外，由於除了緩衝層PBU的構造以外，其他部分均與實施態樣3（圖29）的半導體裝置的情況相同，故關於同樣的構造以及其製造步驟的說明省略。

【0163】

像這樣，含有p型雜質的緩衝層PBU，例如，在使用p型AlGaIn或p型GaN的情況下，區域ASB的二維電子氣體2DEG的濃度，亦比區域AF的二維電子氣體2DEG的濃度更小，故可使提高閾值的功效增強。

【0164】

另外，圖式雖省略，惟在實施態樣3（圖29）的半導體裝置中，亦可省略緩衝層BU，或是將p型GaN層當作緩衝層PBU使用。像這樣，即是在並未使用緩衝層的情況下，藉由使區域ASB的二維電子氣體2DEG的濃度，比區域AF的二維電子氣體2DEG的濃度更小，仍可抑制通道的位勢下降（參照實施態樣1的應用例2）。藉此，便可防止閾值電位下降，進而達到提高常閉運作性之目的。

【0165】

(應用例C)

在圖1所示的半導體裝置中，係在障壁層BA上形成了絕緣膜IF，惟亦可省略該絕緣膜IF。圖38，係表示本實施態樣的應用例C的半導體裝置的構造的剖面圖。

【0166】

本應用例的半導體裝置，由於除了省略絕緣膜IF以外，其他部分均與圖1的半導體裝置的態樣相同，故關於同樣的構造以及其製造步驟的說明省略。

【0167】

像這樣，即使省略絕緣膜IF，仍可獲得與圖1的半導體裝置幾乎相同的功效。另外，由於即使省略絕緣膜IF，仍會因為淺底部SB與障壁層BA的表面而形成高低差，故會如在實施態樣1中所詳細說明的，電場集中有所緩和，閘極耐壓提高(參照圖1)。

【0168】

圖39，係表示本實施態樣的應用例C的半導體裝置的另一構造的剖面圖。如圖39所示的，亦可更換圖38所示的半導體裝置的緩衝層BU，而使用p型的緩衝層PBU。像這樣，在使用p型的AlGaN緩衝層的情況下，便可獲得與實施態樣1的應用例1等相同的提高閾值的功效。

【0169】

(應用例D)

在圖20所示之半導體裝置中，係在障壁層BA2上形成了絕緣膜IF，惟亦可省略該絕緣膜IF。圖40，係表示本實施態樣的應用例D的半導體裝置的構造的剖面圖。

【0170】

本應用例的半導體裝置，由於除了省略絕緣膜IF以外，其他部分均與圖20的半導體裝置的態樣相同，故關於同樣的構造以及其製造步驟的說明省略。

【0171】

像這樣，即使省略絕緣膜IF，仍可獲得與圖20的半導體裝置幾乎相同的功效。另外，由於即使省略絕緣膜IF，仍會因為淺底部SB與障壁層BA的表面而形成高低差，故會如在實施態樣1中所詳細說明的，電場集中有所緩和，閘極耐壓提高。

【0172】

圖41，係表示本實施態樣的應用例D的半導體裝置的另一構造的剖面圖。如圖41所示的，亦可更換圖40所示的半導體裝置的緩衝層BU，而使用p型的緩衝層PBU。像這樣，在使用p型的緩衝層的情況下，便可如在實施態樣1的應用例1等所說明的，使提高閾值的功效增強。

【0173】

(應用例E)

在圖29所示之半導體裝置中，係在障壁層BA1上形成了絕緣膜IF，惟亦可省略該絕緣膜IF。圖42，係表示本實施態樣的應用例E的半導體裝置的構造的剖面圖。

【0174】

本應用例的半導體裝置，由於除了省略絕緣膜IF以外，其他部分均與圖29的半導體裝置的態樣相同，故關於同樣的構造以及其製造步驟的說明省略。

【0175】

像這樣，即使省略絕緣膜IF，仍可獲得與圖29的半導體裝置幾乎相同的功效。另外，由於即使省略絕緣膜IF，障壁層BA2的表面與障壁層BA1的表面仍會形成高低差，故電場集中有所緩和，閘極耐壓提高。

【0176】

圖43，係表示本實施態樣的應用例E的半導體裝置的另一構造的剖面圖。如圖43所示的，亦可更換圖42所示之半導體裝置的緩衝層BU，而使用p型的緩衝層PBU。像這樣，在使用p型的緩衝層的情況下，便可如在實施態樣1的應用例1等所說明的，使提高閾值的功效增強。

【0177】**(實施態樣5)**

在實施態樣1(圖1、圖6)中，絕緣膜IF的側面以及從障壁層BA的表面算起厚度T1的部分的側面，會從開口部OA1的側面(側壁)露出，惟亦可使絕緣膜IF的側面往源極電極SE或汲極電極DE側後退。另外，由於除了絕緣膜IF的側面的位置以外，其他部分均與實施態樣1的半導體裝置相同，故關於對應的構造以及其製造步驟，其詳細說明省略。

【0178】

以下，一邊參照圖式一邊針對本實施態樣的半導體裝置詳細進行說明。

【0179】**[構造說明]**

圖44，係表示本實施態樣的半導體裝置的構造的剖面圖。圖44所示之本實施態樣的半導體裝置(半導體元件)，係使用了氮化物半導體的MIS型的電場效

應電晶體。該半導體裝置，可作為高電子移動度電晶體型的功率電晶體使用。
本實施態樣的半導體裝置，係所謂的凹陷閘極型的半導體裝置。

【0180】

在本實施態樣的半導體裝置中，與實施態樣1（圖1）同樣，在基板S上，依序形成了核生成層NUC、應力緩和層STR、緩衝層BU、通道層CH以及障壁層BA。另外，在障壁層BA上形成了絕緣膜IF。

【0181】

閘極電極GE，在開口部OAIF、開口部OA1以及開口部OA2的內部以及絕緣膜IF上隔著閘極絕緣膜GI形成。例如，開口部OA1，以包圍開口部OA2的形成區域的方式配置（參照圖2），開口部OAIF，以包圍開口部OA1的形成區域的方式配置。

【0182】

另外，開口部OAIF，貫通絕緣膜IF，並到達障壁層BA的表面（參照圖45）。另外，開口部OA1，貫通絕緣膜IF，並到達障壁層BA的中間部位（參照圖46）。開口部OA1的底面，與淺底部SB對應。該淺底部SB，位於障壁層BA中。換言之，障壁層BA從淺底部SB露出。另外，若以另一種說法，則係在淺底部SB下殘留著障壁層BA。另外，開口部OA2，貫通絕緣膜IF以及障壁層BA，到達通道層CH的中間部位（參照圖47）。開口部OA2的底面，與深底部DB對應。該深底部DB，位於通道層CH中。換言之，通道層CH從深底部DB露出。上述淺底部SB的形成區域為區域ASB，上述深底部DB的形成區域為區域ADB。另外，並未形成溝槽T的區域（障壁層BA並未受到蝕刻的區域）為區域AF。另外，障壁層BA的表面

的露出區域（開口部OA1F與開口部OA1之間的區域）為區域AR。該障壁層BA的表面的露出區域，與絕緣膜IF的後退面對應。

【0183】

然後，在本實施態樣中，形成於通道層CH與障壁層BA的界面附近的二維電子氣體2DEG，亦被形成了閘極電極GE的開口部OA2斷開。因此，在本實施態樣的半導體裝置中，可在並未對閘極電極GE施加正電位（閾值電位）的狀態下維持切斷狀態，並在對閘極電極GE施加正電位（閾值電位）的狀態下維持導通狀態。像這樣，便可實行常閉運作。

【0184】

另外，藉由在通道層CH之下設置緩衝層BU，在通道層CH與緩衝層BU的界面附近的緩衝層BU側會產生分極電荷（負的固定電荷）PC。藉由該分極電荷PC，便可提升傳導帶，並使閾值電位往正側上升（參照圖15）。藉此，便可達到提高常閉運作性之目的。

【0185】

另外，在閘極電極GE的一側（在圖44中為左側）的障壁層BA上，設置了源極電極SE。另外，在閘極電極GE的另一側（在圖44中為右側）的障壁層BA上，設置了汲極電極DE。源極電極SE以及汲極電極DE，配置在形成於層間絕緣膜IL1中的接觸孔C1內以及其上部。另外，源極電極SE以及汲極電極DE，被層間絕緣膜IL2所覆蓋。

【0186】

由於在本實施態樣中，亦與實施態樣1的情況同樣，係設置成在深底部DB的兩側的淺底部SB殘留薄障壁層BA的構造，故淺底部SB的下方的二維電子氣體

2DEG的濃度會降低。像這樣，藉由使淺底部SB的下方的二維電子氣體2DEG的濃度降低，便可防止分極電荷PC提升傳導帶的功效降低。藉此，便可防止閾值電位下降，進而達到提高常閉運作性之目的。

【0187】

另外，藉由設置淺底部SB，便可個別地調整形成了淺底部SB的區域ASB與並未形成溝槽T的區域AF的二維電子氣體2DEG的濃度。因此，例如，可藉由增加障壁層的Al濃度等，使區域AF的二維電子氣體2DEG高濃度化，進而降低導通電阻。

【0188】

另外，在淺底部SB中，當對閘極電極GE施加閾值電位時，通道會被引發。藉此，便可降低導通電阻。

【0189】

另外，藉由設置淺底部SB，閘極電極GE的下方的電場集中部位會分散，而且，會使絕緣膜IF的側面往源極電極SE或汲極電極DE側後退，藉此電場集中部位便分散成3個部位（參照圖44的虛線所包圍的圓形部分）。因此，電場集中有所緩和，閘極耐壓提高。

【0190】

〔製法說明〕

接著，一邊參照圖45～圖48，一邊說明本實施態樣的半導體裝置的製造方法，使該半導體裝置的構造更明確。圖45～圖48，係表示本實施態樣的半導體裝置的製造步驟的剖面圖。

【0191】

如圖45所示的，在基板S上，依序形成核生成層NUC、應力緩和層STR、緩衝層BU、通道層CH、障壁層BA以及絕緣膜IF。該等膜層，可使用在實施態樣1所說明的材料，並與實施態樣1以同樣的方式形成。另外，之後，形成元件分離區域（圖中未顯示，參照圖3）。

【0192】

接著，依序形成開口部OAIF、開口部OA2以及開口部OA1（參照圖45～圖47）。例如，在絕緣膜IF上，形成光阻膜PRF，並利用微影處理，將閘極電極形成區域（區域ASB、區域ADB以及區域AR）的光阻膜PRF除去。接著，以該光阻膜PRF為遮罩，對絕緣膜IF進行乾蝕刻，藉此形成貫通絕緣膜IF，並使障壁層BA的表面露出的開口部OAIF。蝕刻氣體，可使用與在實施態樣1中所說明的絕緣膜IF的蝕刻氣體同樣的氣體。之後，將光阻膜PRF除去。

【0193】

接著，如圖46所示的，在絕緣膜IF以及障壁層BA上，形成光阻膜PR1，並利用微影處理，將區域ADB以及區域ASB的光阻膜PR1除去。接著，以該光阻膜PR1為遮罩，從障壁層BA的表面將厚度T1的部分蝕刻除去。蝕刻氣體，可使用與實施態樣1同樣的氣體。此時，在開口部OA1的底面，殘留厚度T2的障壁層BA。之後，將光阻膜PR1除去。

【0194】

接著，如圖47所示的，在絕緣膜IF以及障壁層BA上，形成光阻膜PR2，並利用微影處理，將區域ADB的光阻膜PR2除去。

【0195】

接著，以該光阻膜PR2為遮罩，對障壁層BA以及通道層CH進行乾蝕刻，藉此形成貫通障壁層BA並到達通道層CH的中間部位的開口部OA2。蝕刻氣體，可使用與實施態樣1同樣的氣體。蝕刻所除去的障壁層BA以及通道層CH的厚度的和為T3。該厚度T3，對應開口部OA1的底面與開口部OA2的底面的高低差。之後，將光阻膜PR2除去。

【0196】

藉此，便可如圖48所示的，形成開口部OAIF、開口部OA2以及開口部OA1。開口部OAIF的底面，與障壁層BA的表面對應，開口部OA1的底面，與淺底部SB對應，開口部OA2的底面，與深底部DB對應。另外，如前所述的，開口部OAIF，以包圍開口部OA1的方式形成，開口部OA1，以包圍開口部OA2的方式形成。

【0197】

接著，如圖44所示的，在包含開口部OAIF、開口部OA2以及開口部OA1內的絕緣膜IF上，隔著閘極絕緣膜GI形成閘極電極GE。閘極絕緣膜GI以及閘極電極GE，可使用在實施態樣1所說明的材料，並與實施態樣1以同樣的方式形成。

【0198】

接著，在包含閘極電極GE之上的絕緣膜IF上，形成層間絕緣膜IL1，然後，形成源極電極SE以及汲極電極DE。接著，在包含源極電極SE以及汲極電極DE之上的層間絕緣膜IL1上，形成層間絕緣膜IL2。層間絕緣膜IL1、源極電極SE、汲極電極DE以及層間絕緣膜IL2，可使用在實施態樣1所說明的材料，並與實施態樣1以同樣的方式形成。之後，亦可如在實施態樣1所說明的，形成栓塞（PG）或配線（源極線SL或汲極線DL等），並在最上層的配線上，形成保護膜。

【0199】

藉由以上的步驟，便可形成本實施態樣的半導體裝置。另外，上述步驟，僅為一例，亦可利用上述步驟以外的步驟，製造出本實施態樣的半導體裝置。

【0200】

另外，在本實施態樣中，亦可使絕緣膜IF往汲極電極DE側後退。

【0201】

(實施態樣6)

圖49，係表示本實施態樣的半導體裝置的構造的剖面圖。如圖49所示的，亦可在開口部OA2的兩側的區域（與實施態樣1的區域ASB對應的區域），設置低Al障壁層BA1，並在開口部OA1的兩側的區域（與實施態樣1的區域AF對應的區域），設置高Al障壁層BA2。另外，對於與實施態樣1相同的構造部位，會附上相同的符號，並省略其說明。

【0202】

設置成該等構造，亦可使低Al障壁層BA1的下方的二維電子氣體2DEG的濃度，比高Al障壁層BA2的下方的二維電子氣體2DEG的濃度更低。因此，如在實施態樣1等所詳細說明的，可防止閾值電位下降，進而達到提高常閉運作性之目的。

【0203】

以上，係根據實施態樣具體說明本發明人之發明，惟本發明並非僅限於上述實施態樣，在不超出其發明精神的範圍內可作出各種變更，自不待言。例如，亦可將上述實施態樣5所說明的緩衝層，如在實施態樣1的應用例1所說明的設置成p型。另外，亦可將上述實施態樣5所說明的緩衝層，如在實施態樣1的應用例

2所說明的，將其省略。此外，在各實施態樣所說明的各部位的構造或製造步驟中可作出各種的組合。

〔附註1〕

一種半導體裝置的製造方法，其特徵為包含：(a)在基板的上方形成第1氮化物半導體層的步驟；(b)在該第1氮化物半導體層上形成第2氮化物半導體層的步驟；(c)在該第2氮化物半導體層上形成第3氮化物半導體層的步驟；(d)形成具有貫通第1區域的該第3氮化物半導體層並到達該第2氮化物半導體層的中間部位的第1開口部以及到達第2區域的該第3氮化物半導體層的中間部位的第2開口部的溝槽的步驟；(e)在該溝槽內隔著閘極絕緣膜形成閘極電極的步驟；以及(f)在該閘極電極的一側的該第3氮化物半導體層的上方形成第1電極，並在該閘極電極的另一側的該第3氮化物半導體層的上方形成第2電極的步驟；該第2氮化物半導體層的電子親和力，比該第1氮化物半導體層與該第3氮化物半導體層的電子親和力更大；該第1氮化物半導體層的電子親和力，比該第3氮化物半導體層的電子親和力更大。

〔附註2〕

如附註1所記載的半導體裝置的製造方法，其中，該第1氮化物半導體層含有p型雜質。

〔附註3〕

如附註1所記載的半導體裝置的製造方法，其中，在該(c)步驟與該(d)步驟之間，具有在該第3氮化物半導體層上形成絕緣膜的步驟。

〔附註4〕

如附註3所記載的半導體裝置的製造方法，其中，該（d）步驟，係形成該第1開口部、該第2開口部以及貫通該絕緣膜並包圍該第2開口部的第3開口部的步驟；該（e）步驟，係在包含該第1開口部、該第2開口部以及該第3開口部內的該絕緣膜上，隔著閘極絕緣膜形成閘極電極的步驟。

〔附註5〕

如附註1所記載的半導體裝置的製造方法，其中，該（c）步驟包含：（c1）在該第2氮化物半導體層上形成第1膜的步驟；以及（c2）在該第1膜上形成第2膜的步驟；該（d）步驟，係形成具有貫通該第1區域的該第1膜與該第2膜並到達該第2氮化物半導體層的中間部位的第1開口部以及貫通該第2區域的該第2膜並到達該第1膜的第2開口部的溝槽的步驟。

〔附註6〕

如附註5所記載的半導體裝置的製造方法，其中，該第1膜以及該第2膜，各自含有Al，該第1膜的Al組成比，比該第2膜的Al組成比更低。

〔附註7〕

一種半導體裝置的製造方法，其特徵為包含：（a）在基板的上方形成第1氮化物半導體層的步驟；（b）在該第1氮化物半導體層上形成第2氮化物半導體層的步驟；（c）在該第2氮化物半導體層上形成第3氮化物半導體層的步驟；（d）形成貫通第1區域的該第3氮化物半導體層，並到達該第2氮化物半導體層的中間部位的第1開口部的步驟；（e）在該第1開口部內隔著閘極絕緣膜形成閘極電極的步驟；以及（f）在該閘極電極的一側的該第3氮化物半導體層的上方形成第1電極，並在該閘極電極的另一側的該第3氮化物半導體層的上方形成第2電極的步驟；該（c）步驟包含：（c1）在該第2氮化物半導體層上形成第1膜的步驟；

以及 (c2) 在該第1膜上形成第2膜的步驟；在該 (d) 步驟之前，包含使該第2膜殘留在該第1開口部的兩側的第2區域的步驟；該第2氮化物半導體層的電子親和力，比該第1氮化物半導體層與該第3氮化物半導體層的電子親和力更大；該第1氮化物半導體層的電子親和力，比該第3氮化物半導體層的電子親和力更大；該第1膜含有Al；該第2膜的Al組成比，比該第1膜的Al組成比更低。

〔附註8〕

一種半導體裝置，其特徵為包含：第1氮化物半導體層，其形成於基板的上方；第2氮化物半導體層，其形成於該第1氮化物半導體層上；第3氮化物半導體層，其形成於該第2氮化物半導體層上；第1開口部，其貫通該第3氮化物半導體層，並到達該第2氮化物半導體層的中間部位；閘極電極，其在該第1開口部內隔著閘極絕緣膜配置；以及第1電極與第2電極，其分別形成於該閘極電極的兩側的該第3氮化物半導體層的上方；該第2氮化物半導體層的電子親和力，比該第1氮化物半導體層與該第3氮化物半導體層的電子親和力更大；該第1氮化物半導體層的電子親和力，比該第3氮化物半導體層的電子親和力更大；第1區域配置在該第1開口部的兩側；該第1區域的該第3氮化物半導體層的膜厚，比該第1電極側的該第1區域的端部與該第1電極之間的第2區域的該第3氮化物半導體層的膜厚更薄。

〔附註9〕

一種半導體裝置，其特徵為包含：第1氮化物半導體層，其形成於基板的上方；第2氮化物半導體層，其形成於該第1氮化物半導體層上；第1開口部，其貫通該第2氮化物半導體層，並到達該第1氮化物半導體層的中間部位；閘極電極，其在該第1開口部內隔著閘極絕緣膜配置；以及第1電極與第2電極，其分別形成

於該閘極電極的兩側的該第2氮化物半導體層的上方；該第1氮化物半導體層的電子親和力，比該第2氮化物半導體層的電子親和力更大；第1區域配置在該第1開口部的兩側；該第1區域的該第2氮化物半導體層的膜厚，比該第1電極側的該第1區域的端部與該第1電極之間的第2區域的該第2氮化物半導體層的膜厚更薄。

【符號說明】

● 【0204】

2DEG：二維電子氣體

ABA2：區域

AC：活性區域

ADB：區域

AF：區域

AR：區域

● ASB：區域

BA：障壁層

BA1：障壁層

BA2：障壁層

BU：緩衝層

Cl：接觸孔

CH：通道層

DB：深底部

DE：汲極電極
DL：汲極線
GE：閘極電極
GI：閘極絕緣膜
GL：閘極線
IF：絕緣膜
IL1：層間絕緣膜
IL2：層間絕緣膜
ISO：元件分離區域
NUC：核生成層
OA1：開口部
OA2：開口部
OAIF：開口部
PBU：緩衝層
PC：分極電荷
PG：栓塞
PR1：光阻膜
PR2：光阻膜
PR3：光阻膜
PR41：光阻膜
PR42：光阻膜
PR43：光阻膜

PRF：光阻膜

S：基板

SB：淺底部

SE：源極電極

SL：源極線

STR：應力緩和層

T：溝槽

T1：厚度

T2：厚度

T3：厚度

Vg：閘極電壓

Id：汲極電流

Ns：片載子密度

Vt：閾值

X：方向

Y：方向

A-A：部位

B-B'：部位

【發明申請專利範圍】**【第1項】**

一種半導體裝置，其特徵為包含：

第1氮化物半導體層，其形成於基板的上方；

第2氮化物半導體層，其形成於該第1氮化物半導體層上；

第3氮化物半導體層，其形成於該第2氮化物半導體層上；

第1開口部，其貫通該第3氮化物半導體層，並到達該第2氮化物半導體層的中間部位；

閘極電極，其隔著閘極絕緣膜配置在該第1開口部內；以及

第1電極與第2電極，其分別形成於該閘極電極的兩側之該第3氮化物半導體層的上方；

該第2氮化物半導體層的電子親和力，比該第1氮化物半導體層與該第3氮化物半導體層的電子親和力更大；

該第1氮化物半導體層的電子親和力，比該第3氮化物半導體層的電子親和力更大；

在該第1開口部的兩側配置了第1區域；

該第1電極側的該第1區域的二維電子氣體的濃度，比該第1電極側的該第1區域的端部與該第1電極之間的第2區域的二維電子氣體的濃度更低。

【第2項】

如申請專利範圍第1項之半導體裝置，其中，

該第2電極側的該第1區域之二維電子氣體的濃度，比該第2電極側的該第1區域之端部與該第2電極之間的該第2區域的二維電子氣體的濃度更低。

【第3項】

如申請專利範圍第1項之半導體裝置，其中，
該閘極電極，形成於該第1開口部以及該第1區域上。

【第4項】

如申請專利範圍第1項之半導體裝置，其中，
該第1電極為源極電極。

【第5項】

如申請專利範圍第1項之半導體裝置，其中，
該第1電極為汲極電極。

【第6項】

如申請專利範圍第1項之半導體裝置，其中，
該第1區域的該第3氮化物半導體層之膜厚，比該第2區域的該第3氮化物半導體層之膜厚更薄。

【第7項】

如申請專利範圍第6項之半導體裝置，其中，
該閘極電極，隔著該閘極絕緣膜配置在溝槽內；
該溝槽具有：該第1開口部，以及到達該第3氮化物半導體層的中間部位的
第2開口部；
該溝槽的底部具有：與該第1開口部的底部對應的第1底部，以及位於該第1
底部的兩側並與該第2開口部的底部對應之第2底部；
該第1區域，為該第2底部的形成區域。

【第8項】

如申請專利範圍第1項之半導體裝置，其中，
該第1氮化物半導體層含有p型雜質。

【第9項】

如申請專利範圍第1項之半導體裝置，其中，
具有形成於該第2區域的該第3氮化物半導體層上之絕緣膜。

【第10項】

如申請專利範圍第7項之半導體裝置，其中，
具有形成於該第2區域的該第3氮化物半導體層上之絕緣膜；
該絕緣膜具有第3開口部；
該第3開口部的端部，位於比該第2開口部的端部更靠近該第1電極側或該第2電極側之處。

【第11項】

如申請專利範圍第1項之半導體裝置，其中，
該第3氮化物半導體層具有：形成於該第2氮化物半導體層上的第1膜，以及
形成於該第1膜上的第2膜；

該第1區域的該第3氮化物半導體層，係由該第1膜所構成；

該第2區域的該第3氮化物半導體層，具有該第1膜以及該第2膜。

【第12項】

如申請專利範圍第11項之半導體裝置，其中，

該第1膜以及該第2膜，各自含有Al；

該第1膜的Al組成比，比該第2膜的Al組成比更低。

【第13項】

如申請專利範圍第1項之半導體裝置，其中，

該第3氮化物半導體層，含有Al；

該第1區域的該第3氮化物半導體層的Al組成比，比該第2區域的該第3氮化物半導體層的Al組成比更低。

【第14項】

如申請專利範圍第項1之半導體裝置，其中，

該第3氮化物半導體層具有：形成於該第2氮化物半導體層上的第1膜，以及形成於該第1膜上的第2膜；

該第1區域的該第3氮化物半導體層具有：該第1膜，以及該第2膜；

該第2區域的該第3氮化物半導體層，係僅由該第1膜所構成；

該第1膜含有Al；

該第2膜的Al組成比，比該第1膜的Al組成比更低。

【第15項】

一種半導體裝置的製造方法，其特徵為包含：

(a) 在基板的上方形成第1氮化物半導體層的步驟；

(b) 在該第1氮化物半導體層上形成第2氮化物半導體層的步驟；

(c) 在該第2氮化物半導體層上形成第3氮化物半導體層的步驟；

(d) 形成具有貫通第1區域的該第3氮化物半導體層並到達該第2氮化物半導體層的中間部位的第1開口部、與到達第2區域的該第3氮化物半導體層的中間部位的第2開口部之溝槽的步驟；

(e) 在該溝槽內隔著閘極絕緣膜形成閘極電極的步驟；以及

(f) 在該閘極電極的一側之該第3氮化物半導體層的上方形成第1電極，並在該閘極電極的另一側之該第3氮化物半導體層的上方形成第2電極的步驟；

該第2氮化物半導體層的電子親和力，比該第1氮化物半導體層與該第3氮化物半導體層的電子親和力更大；

該第1氮化物半導體層的電子親和力，比該第3氮化物半導體層的電子親和力更大。

【發明圖式】

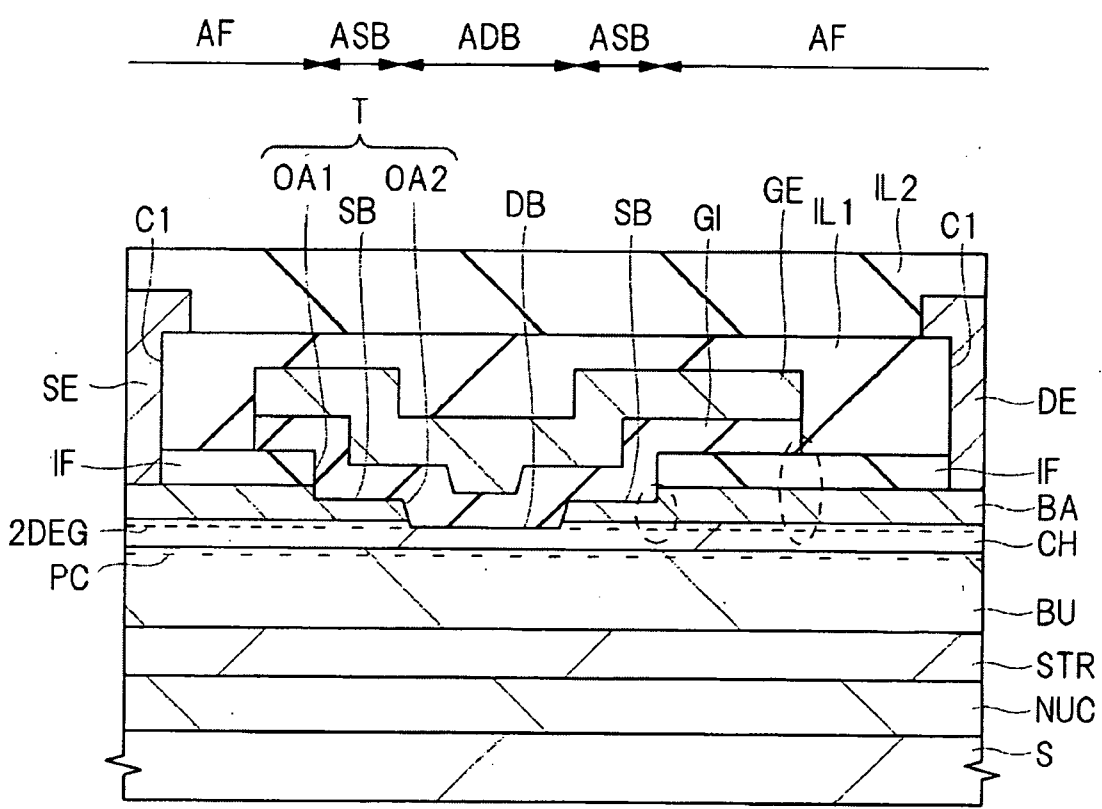


圖 1

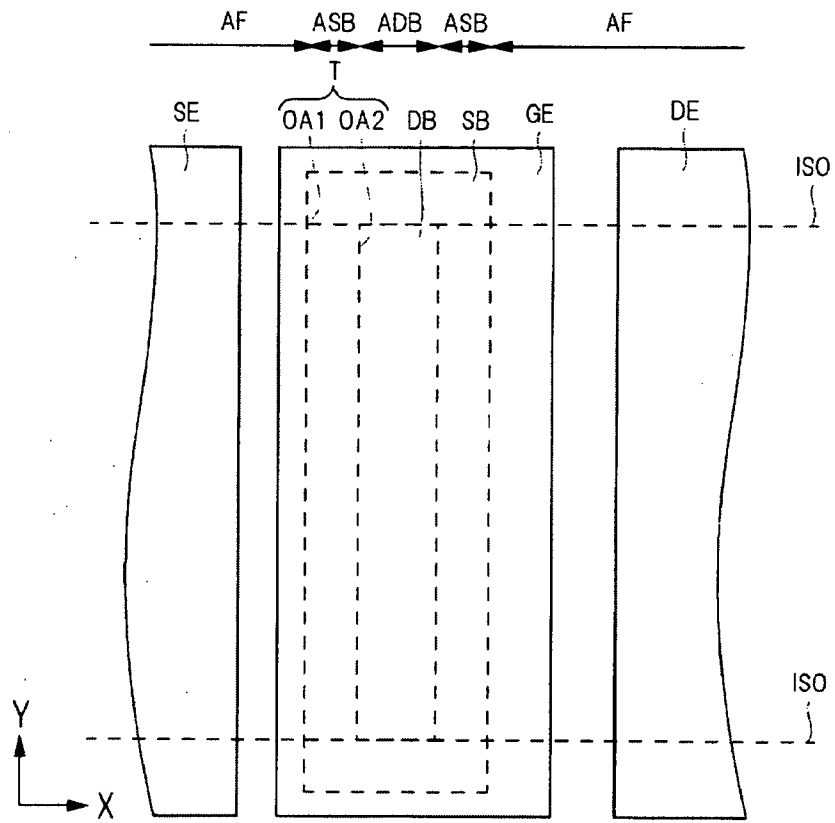


圖 2

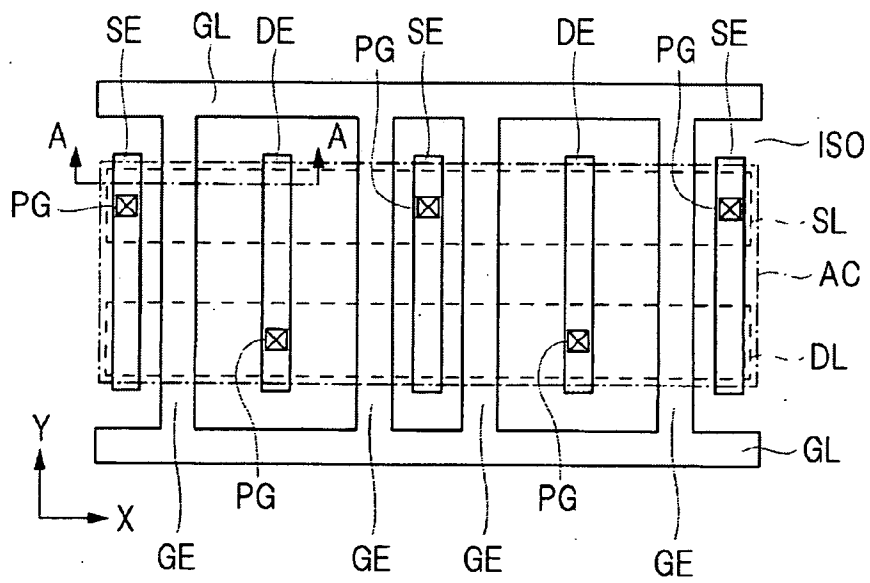


圖 3

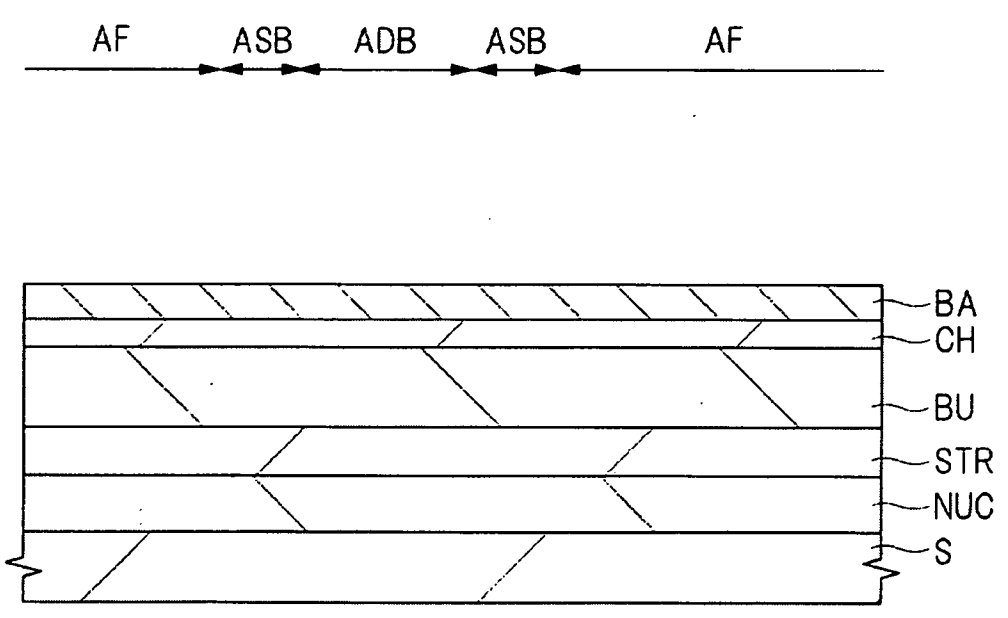


圖 4

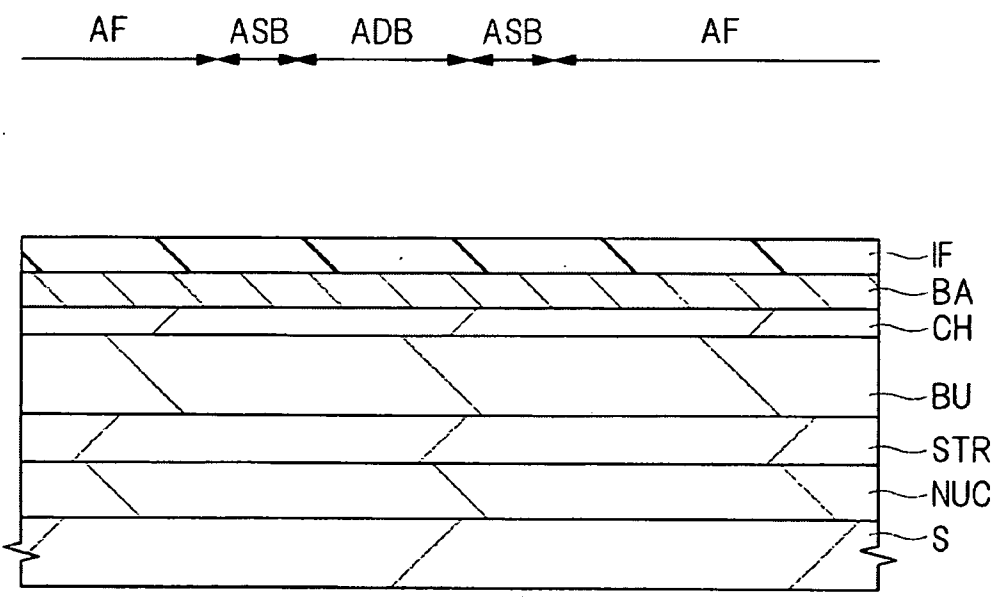


圖 5

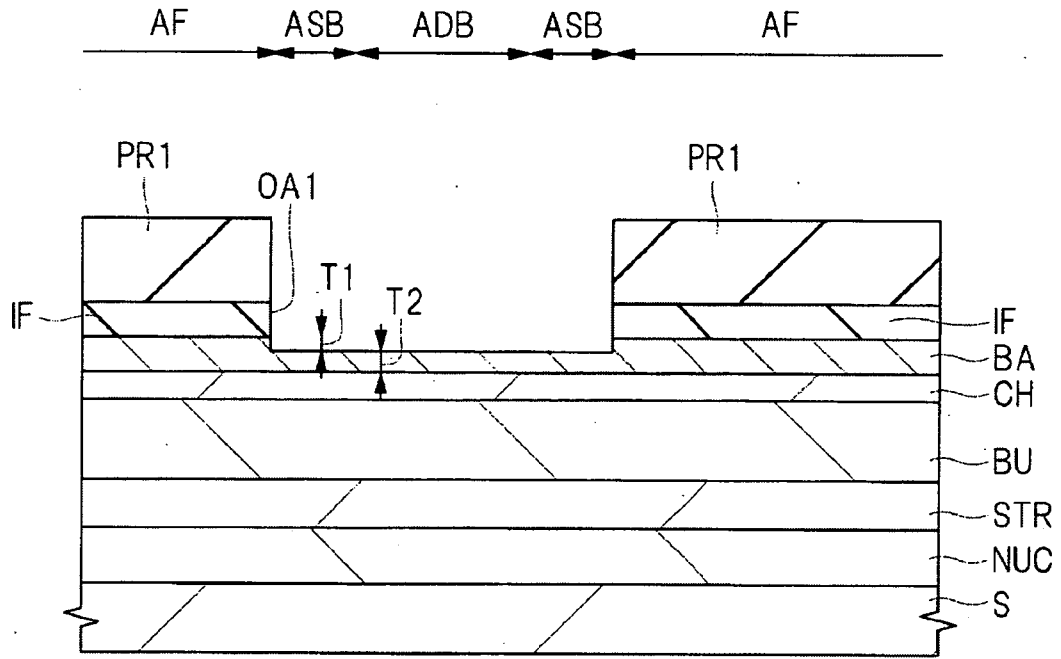


圖 6

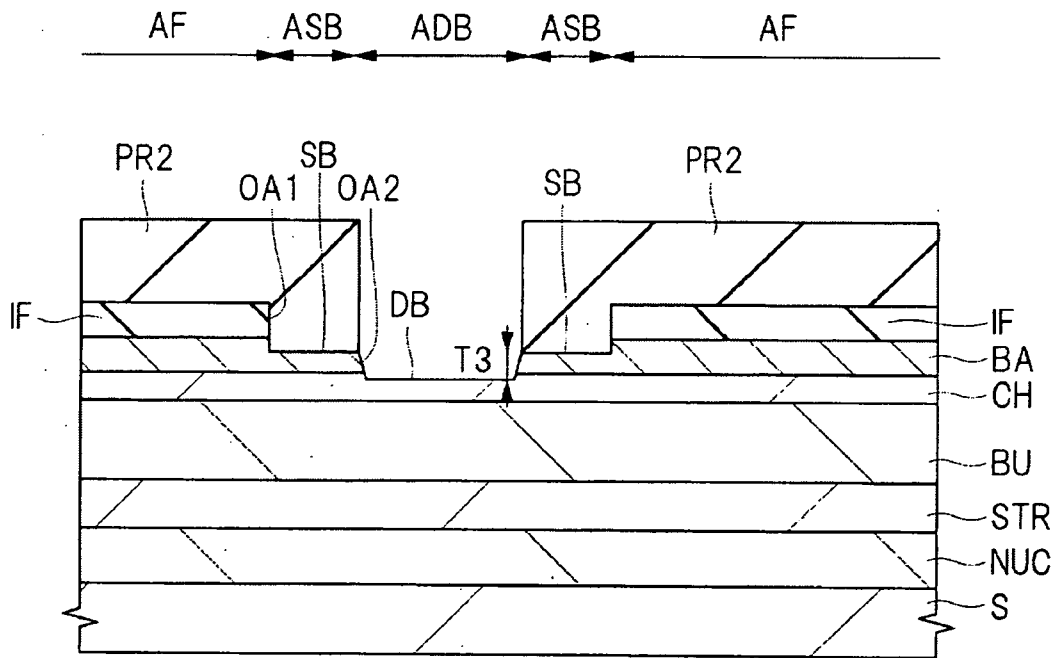


圖 7

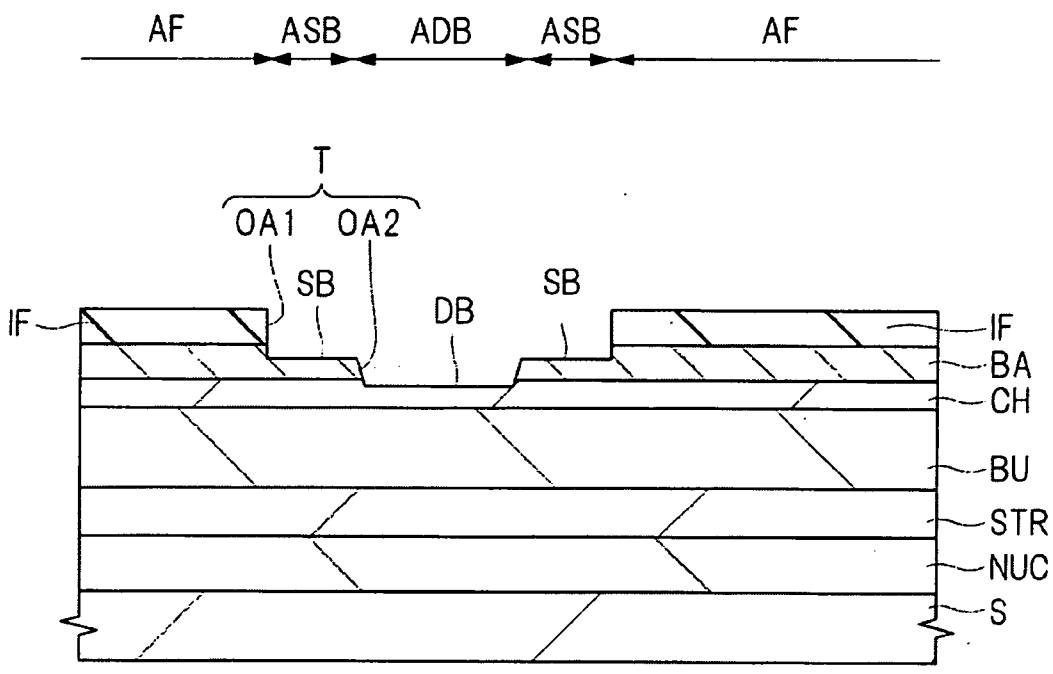


圖 8

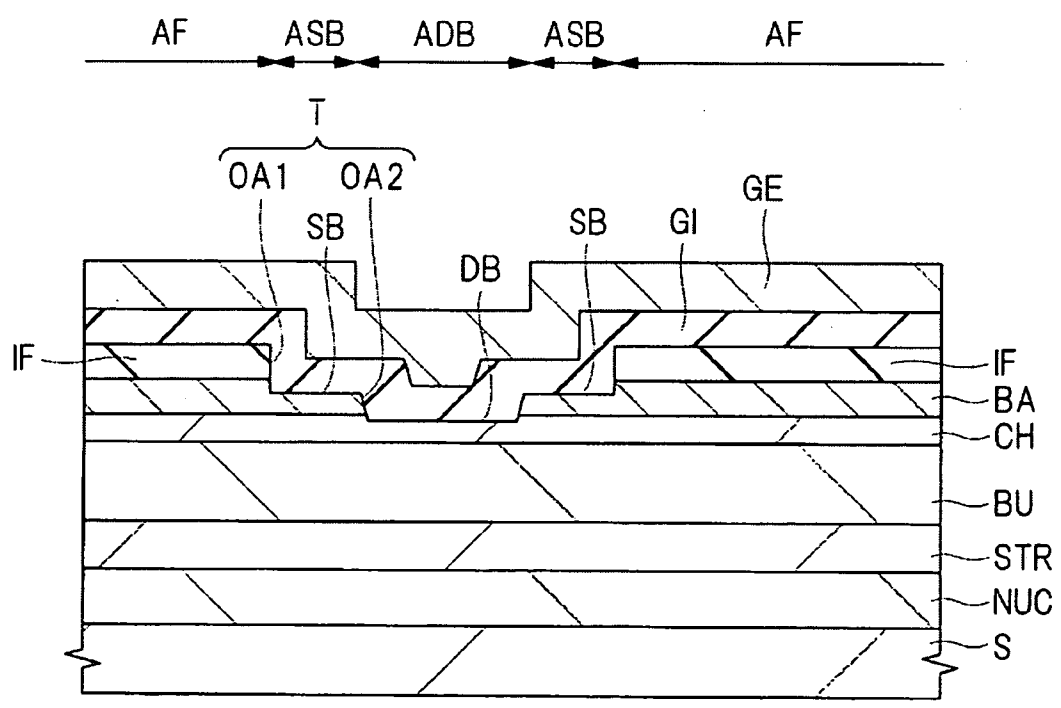


圖 9

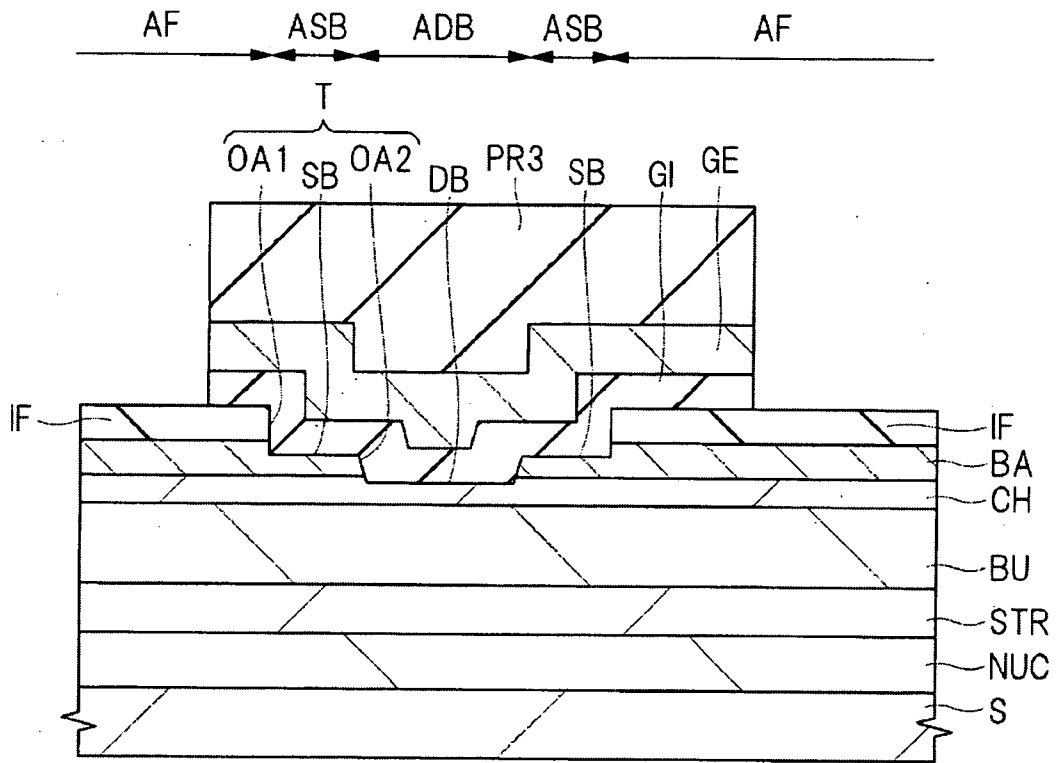


圖 10

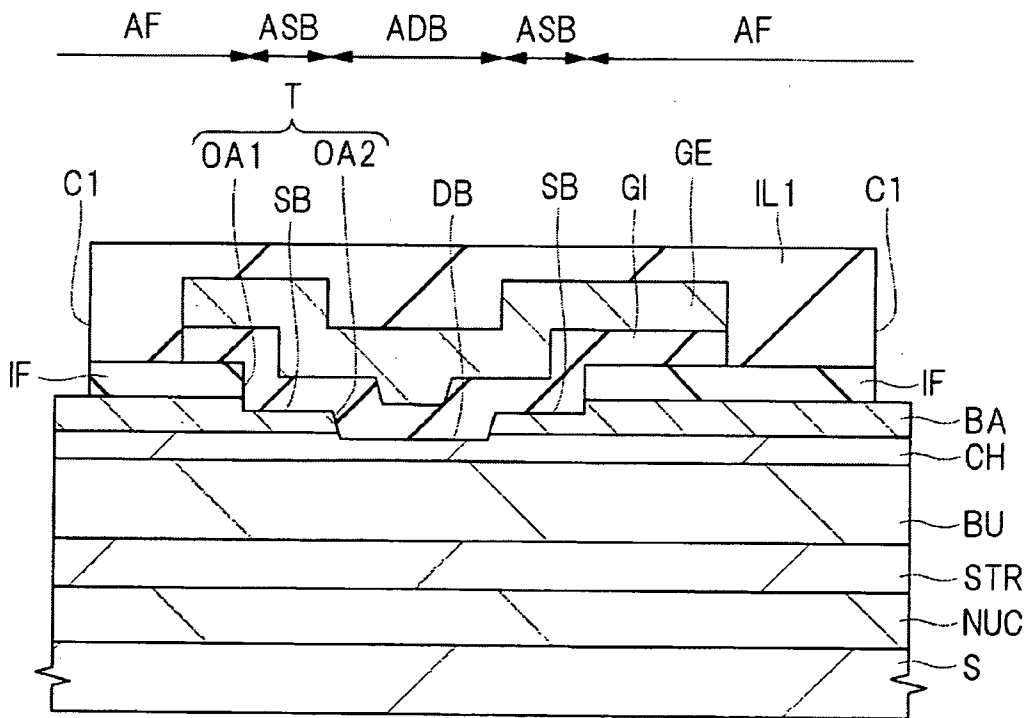


圖 11

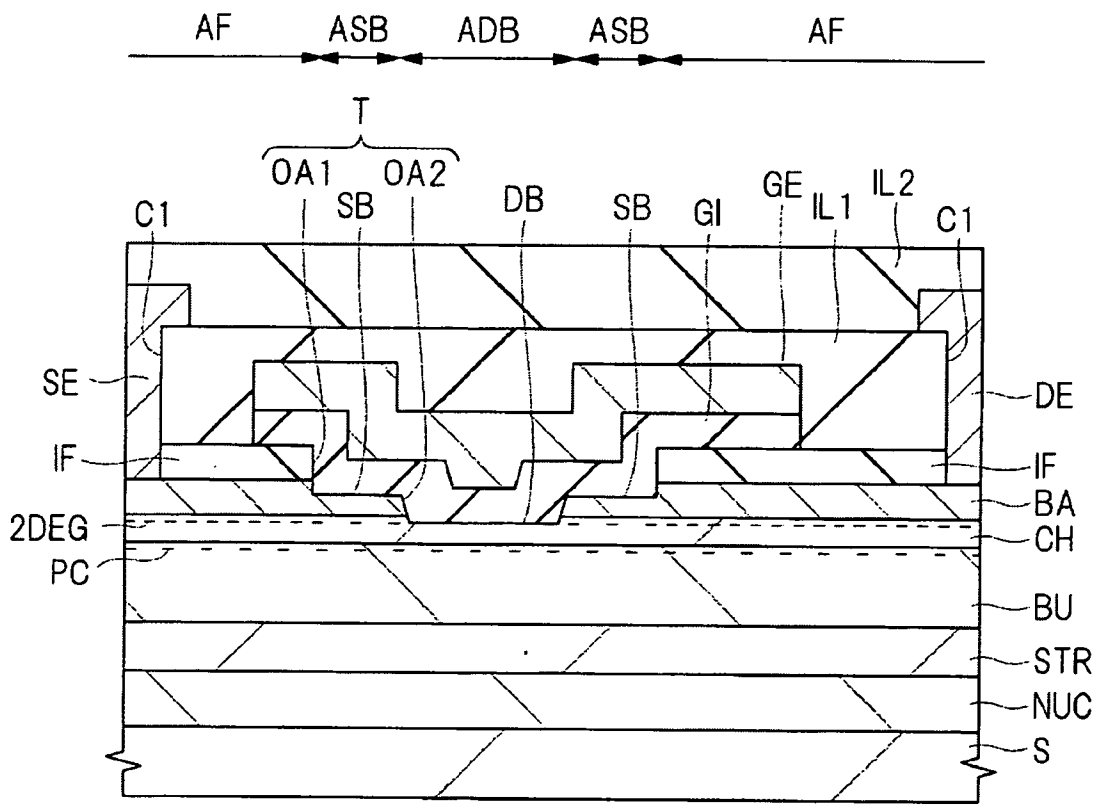


圖 12

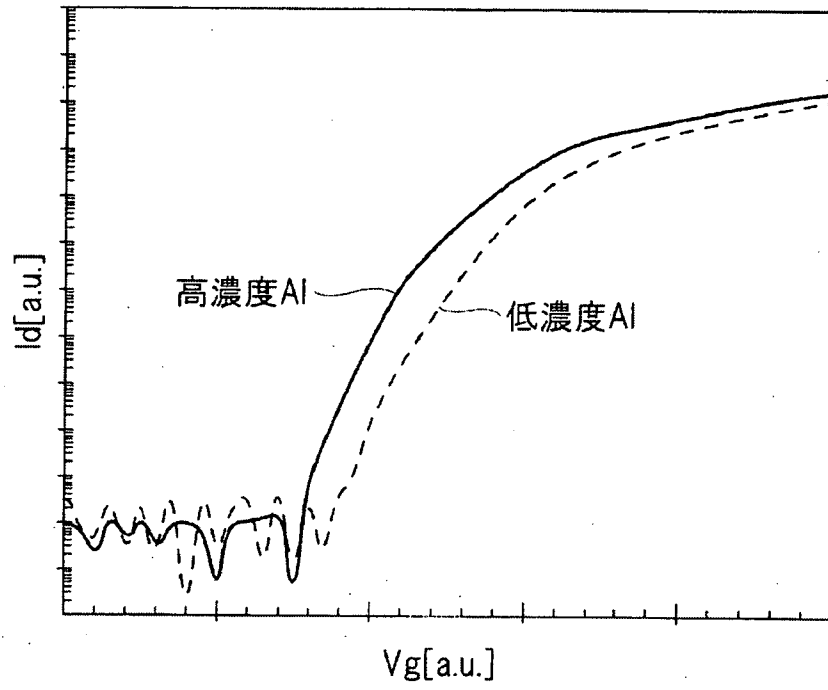


圖 13

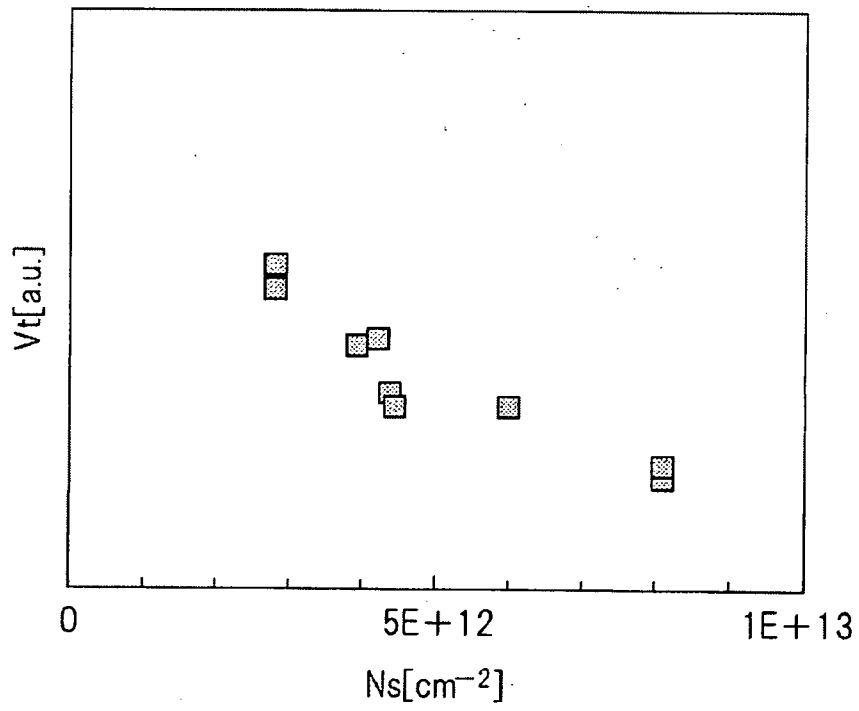


圖 14

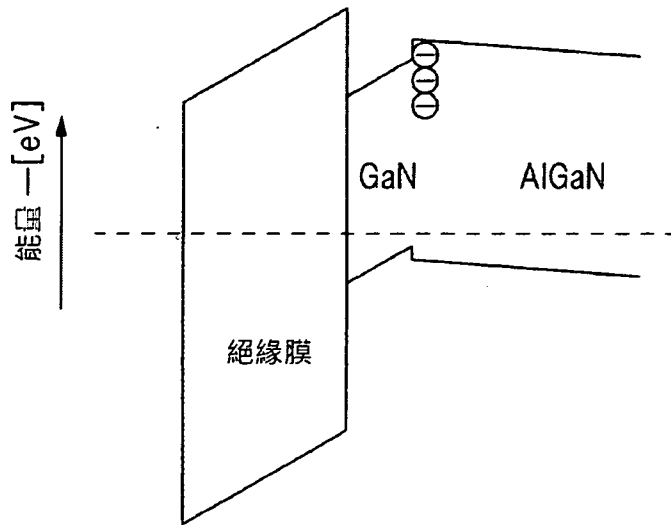


圖 15

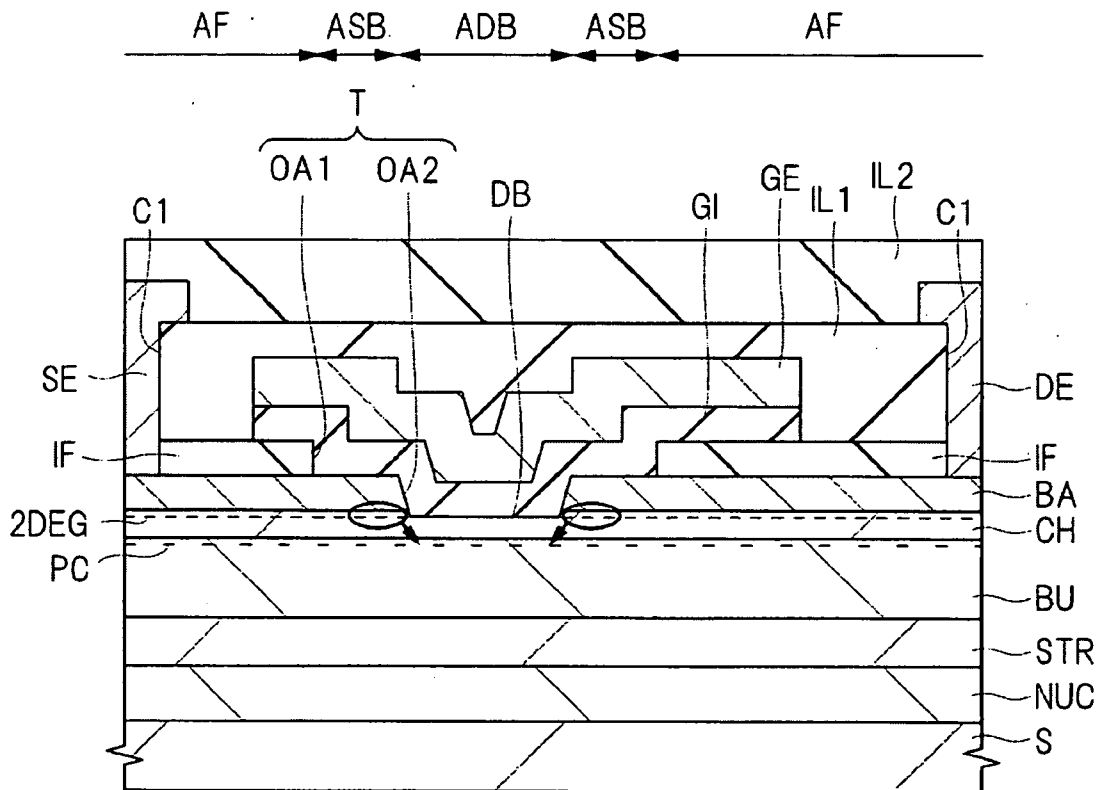


圖 16

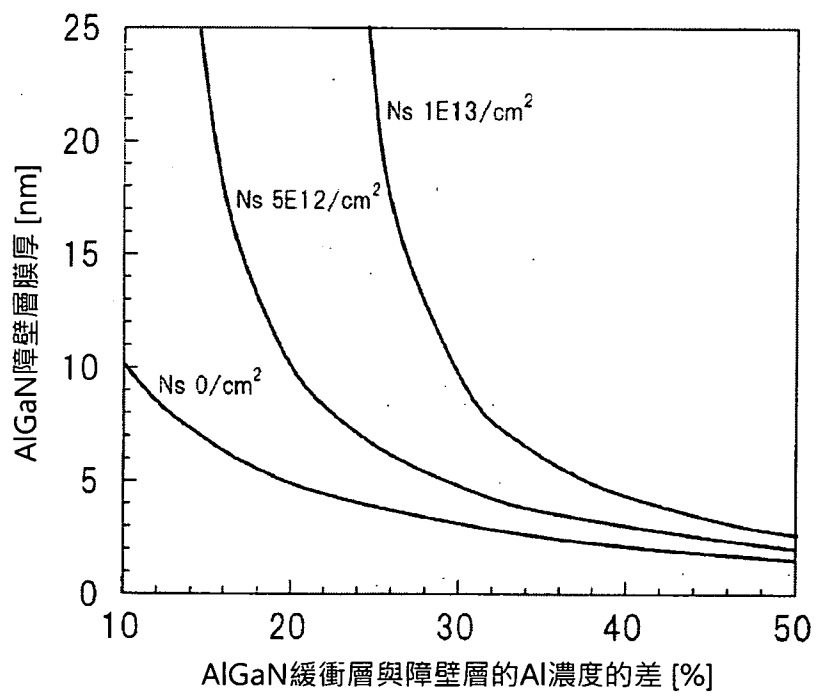


圖 17

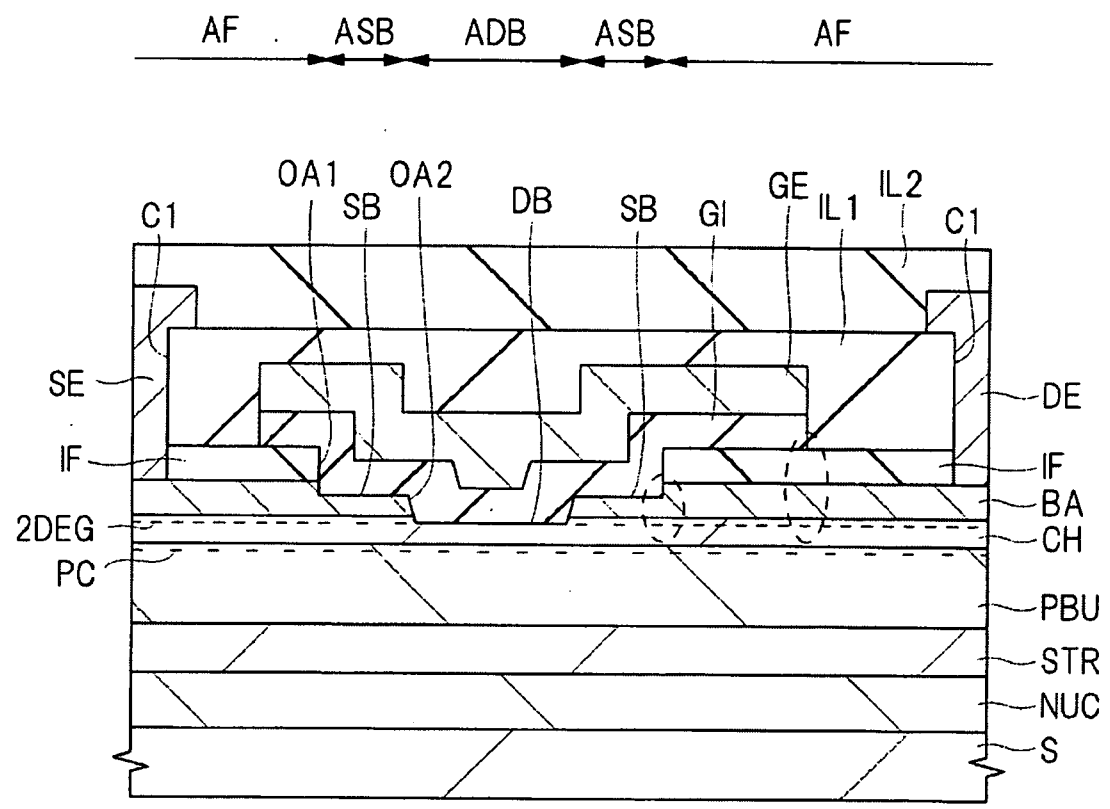
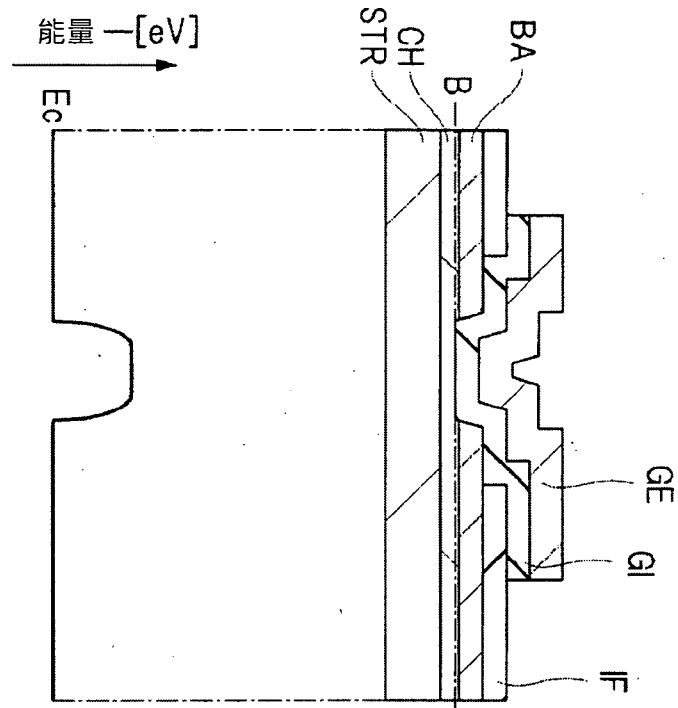
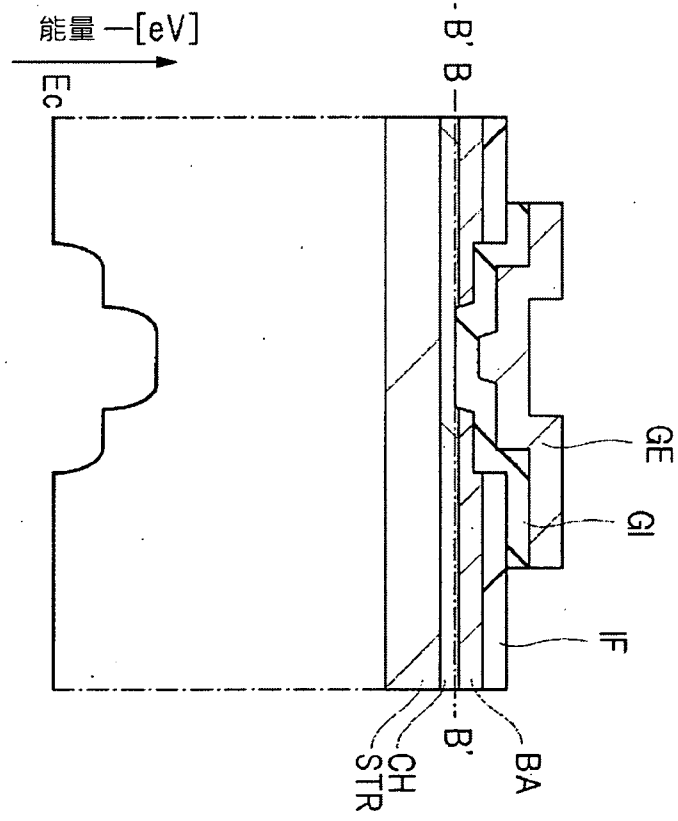


圖 18



(a)



(b)

圖 19

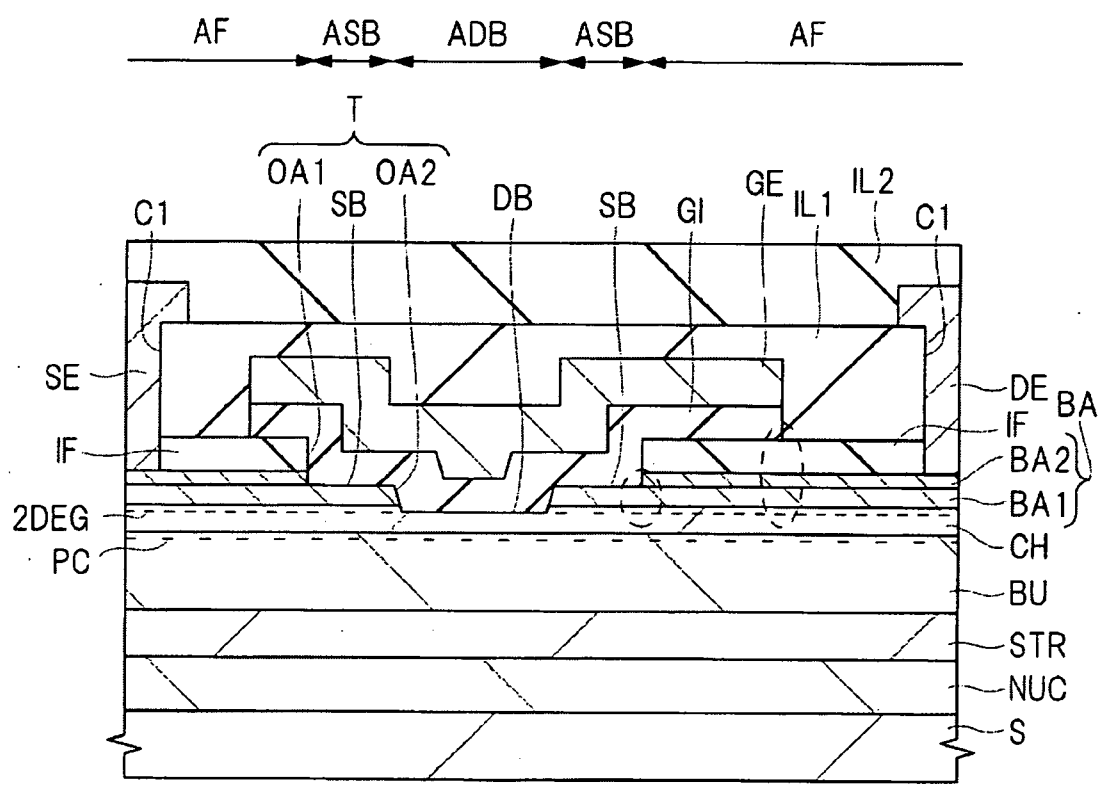


圖 20

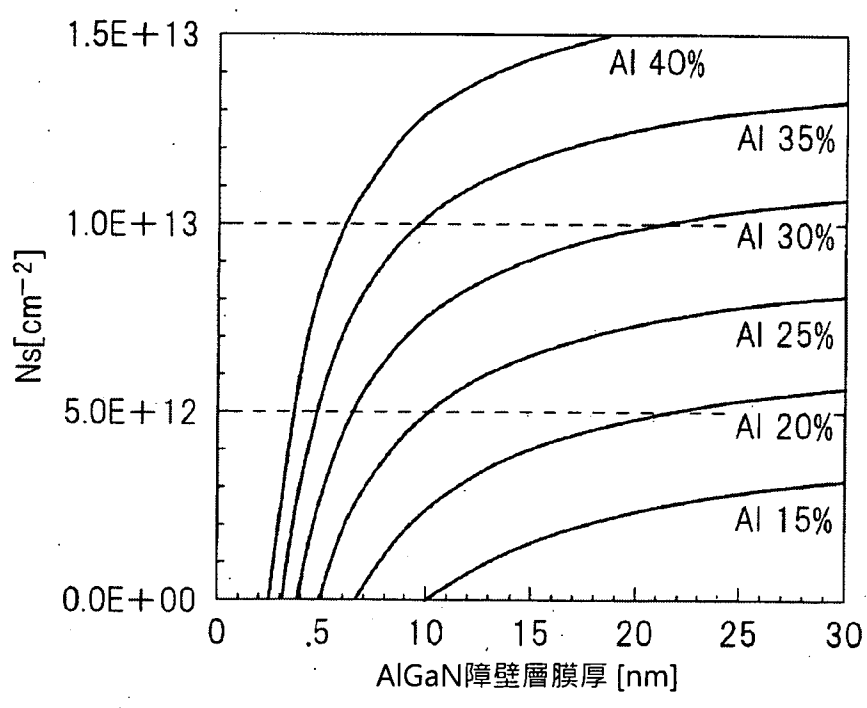


圖 21

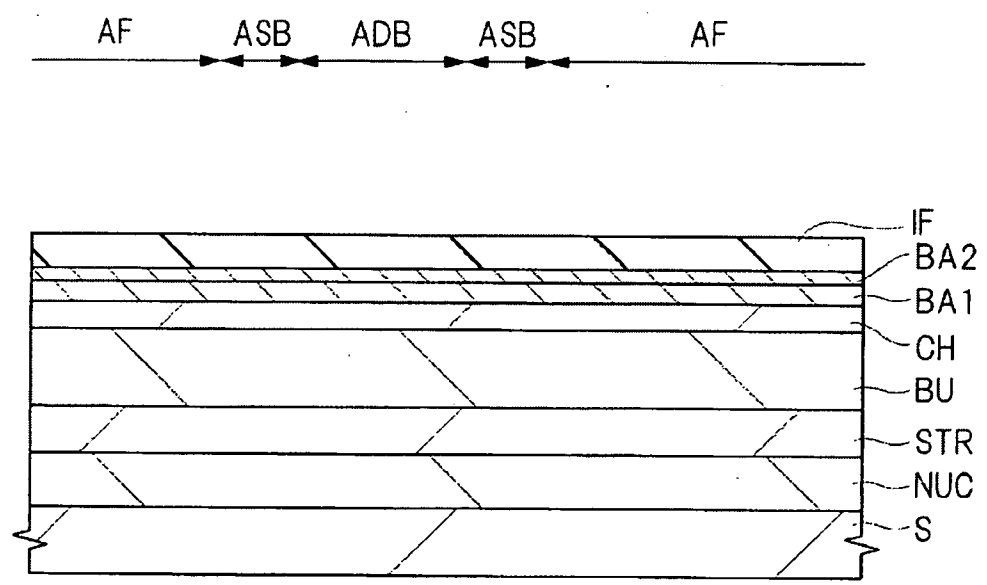


圖 22

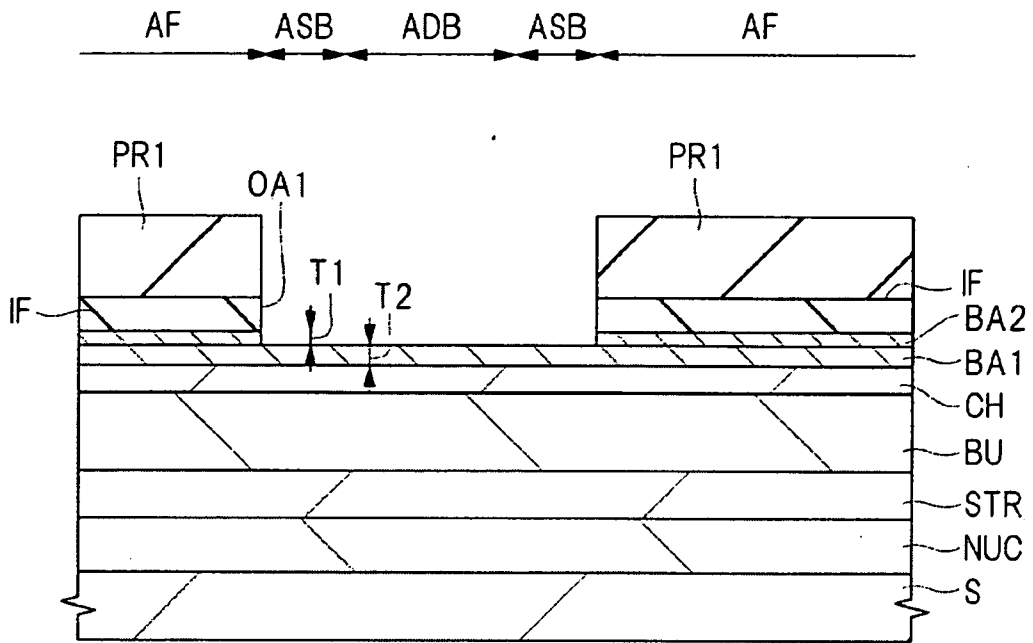


圖 23

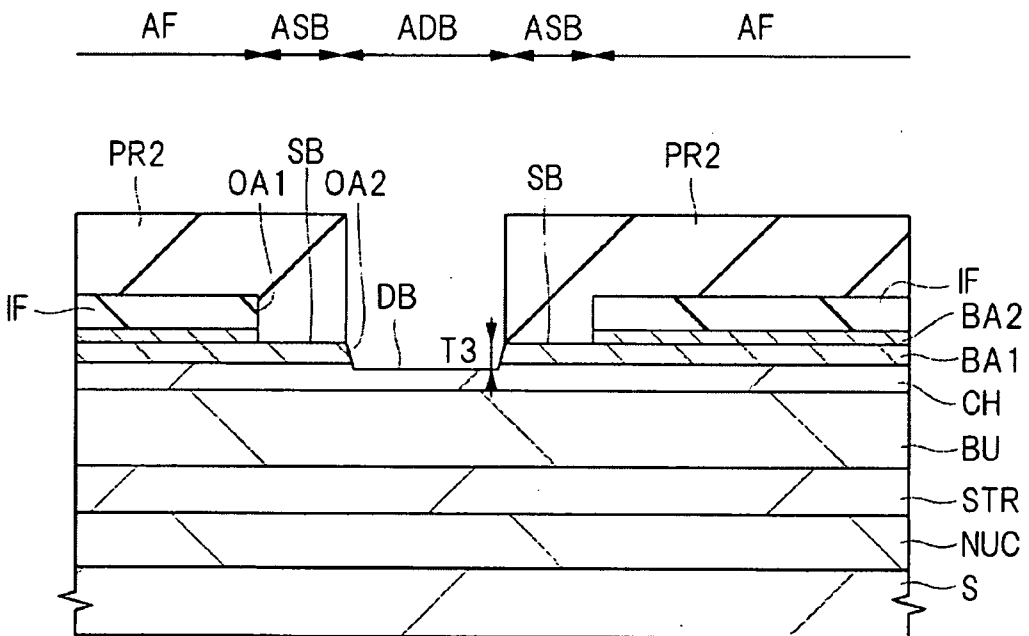


圖 24

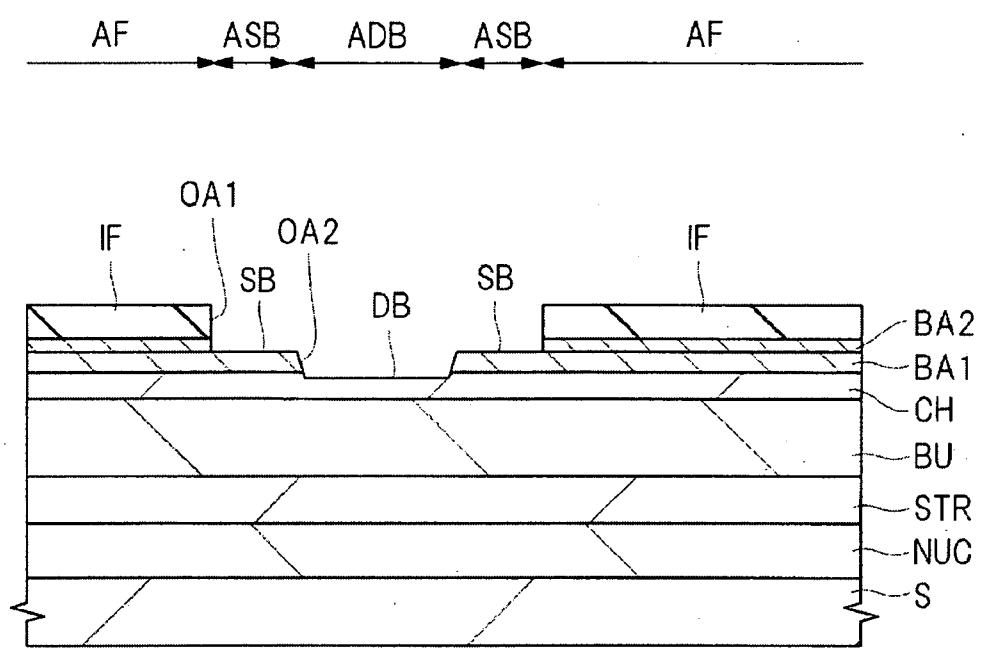


圖 25

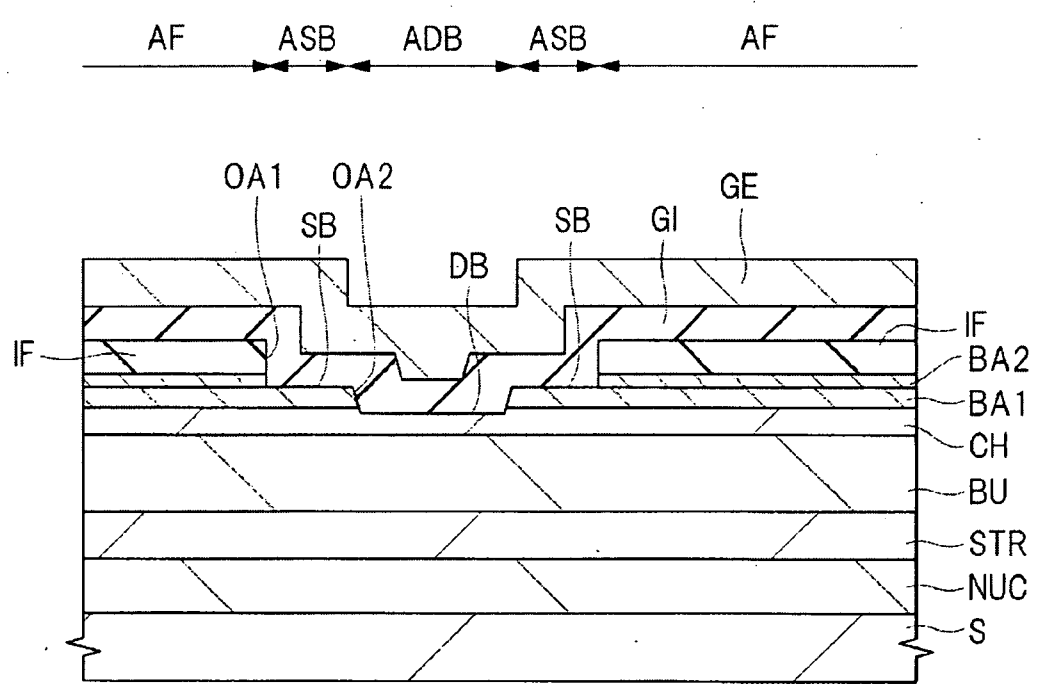


圖 26

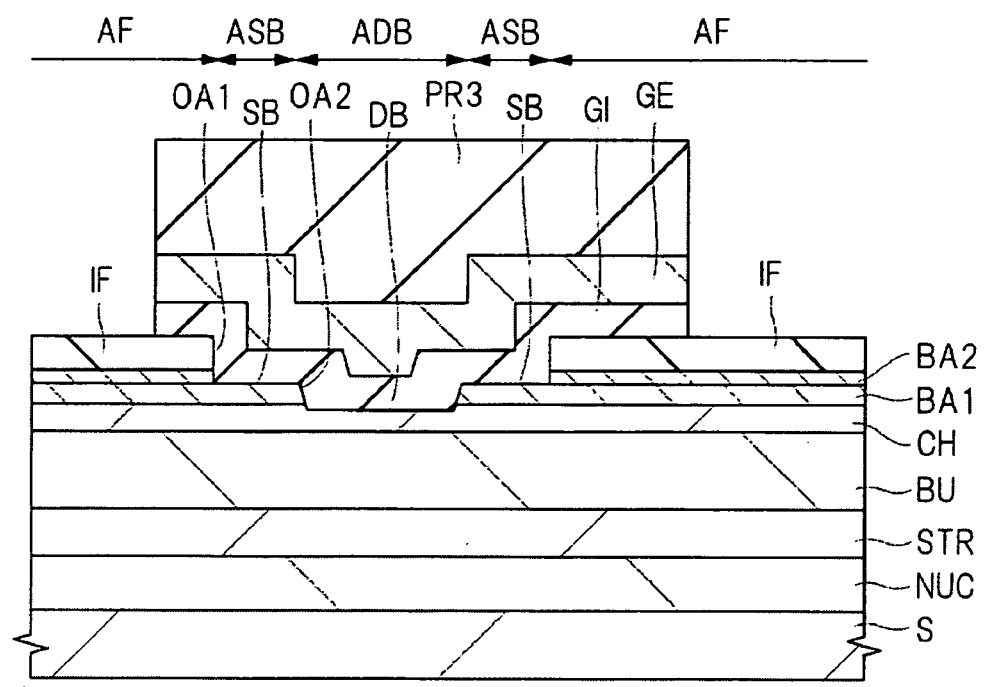


圖 27

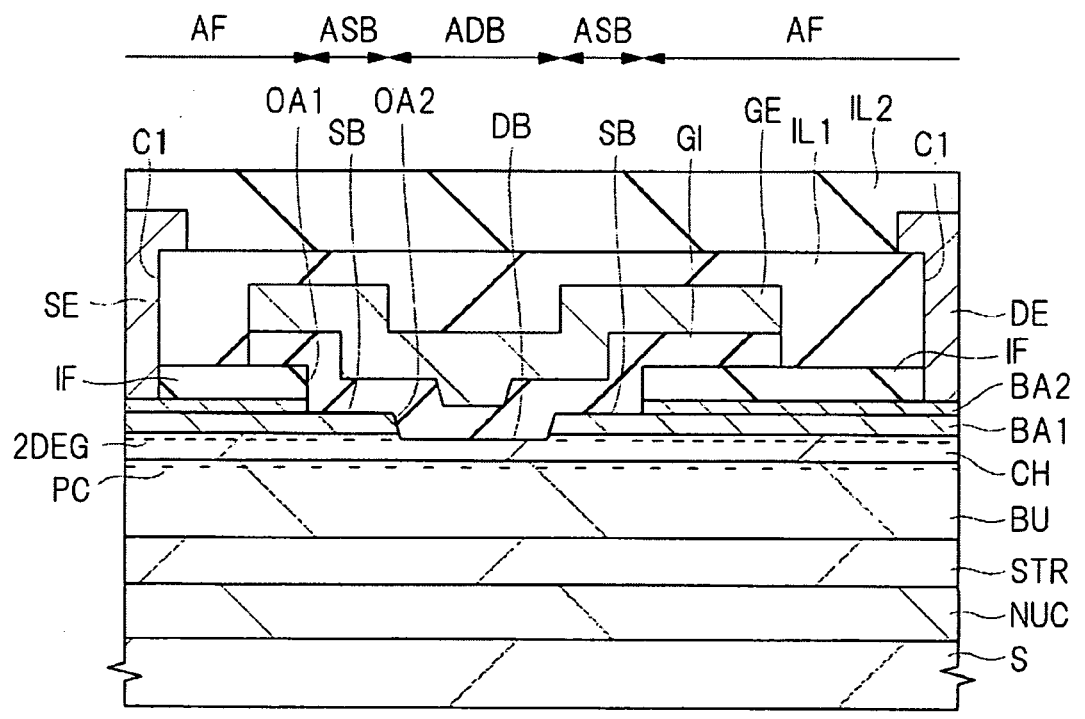


圖 28

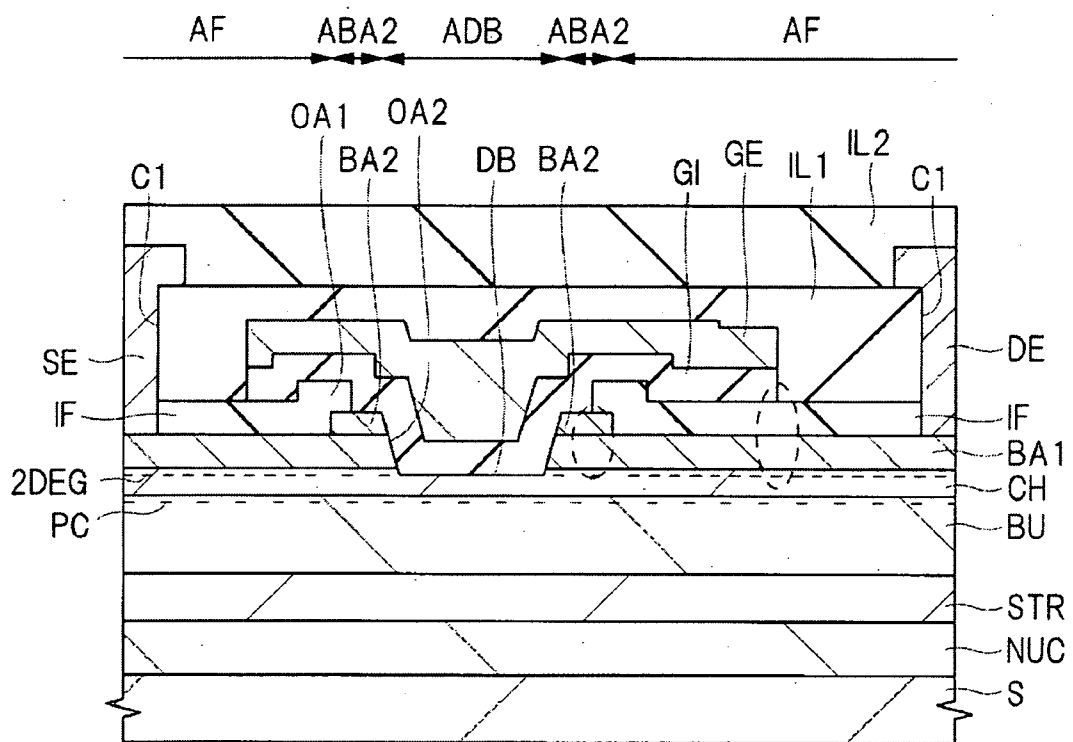


圖 29

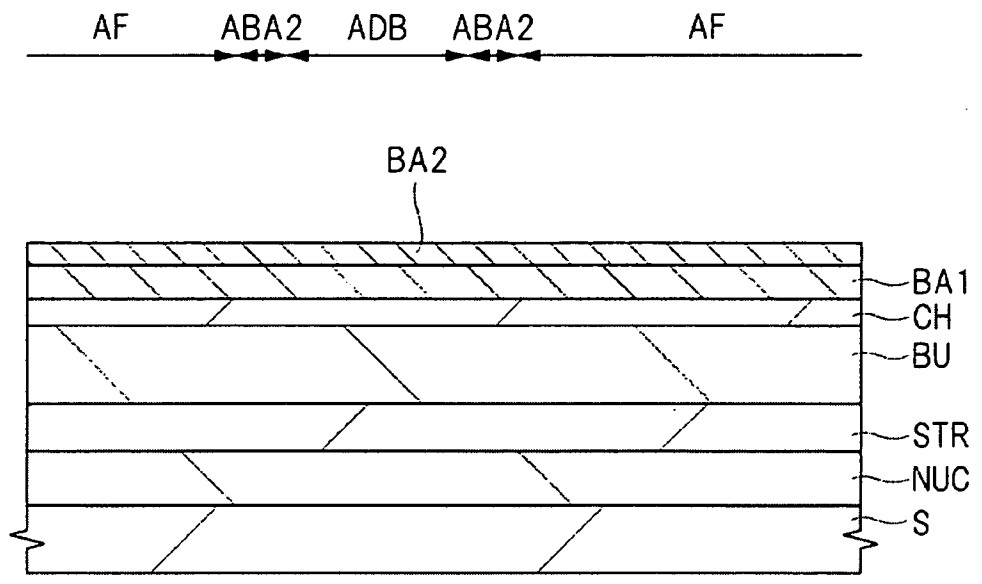


圖 30

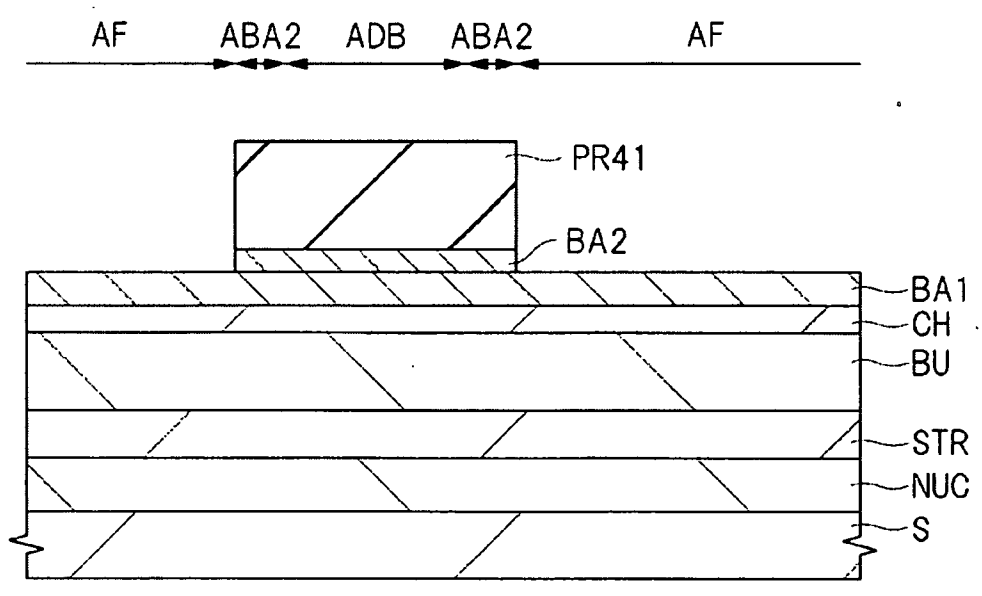


圖 31

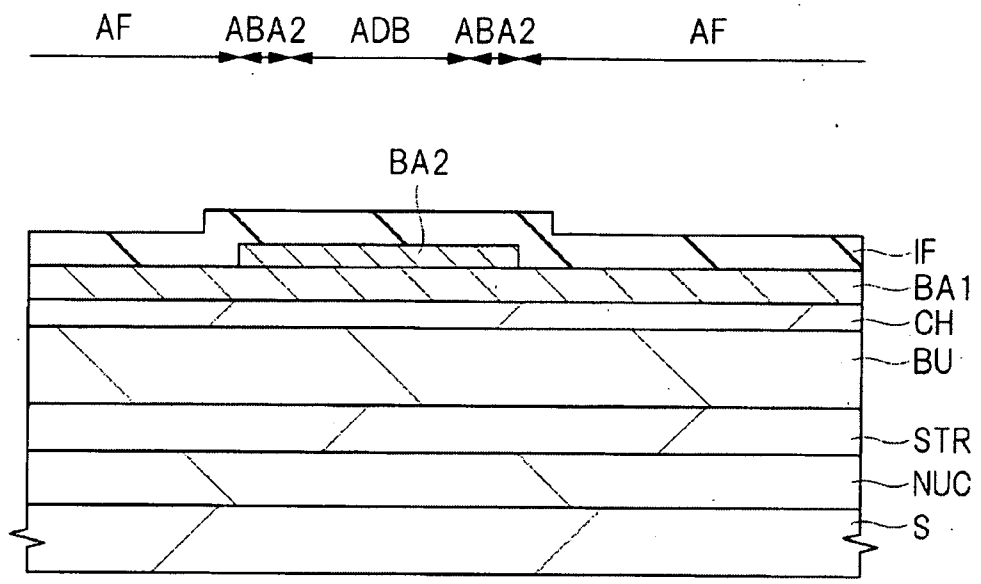


圖 32

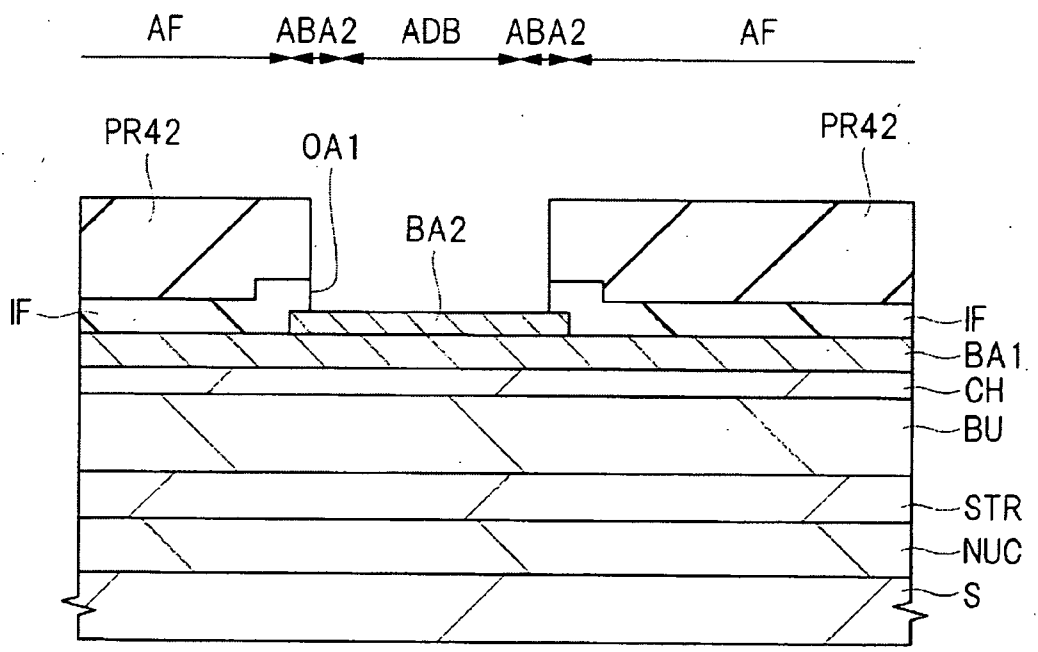


圖 33

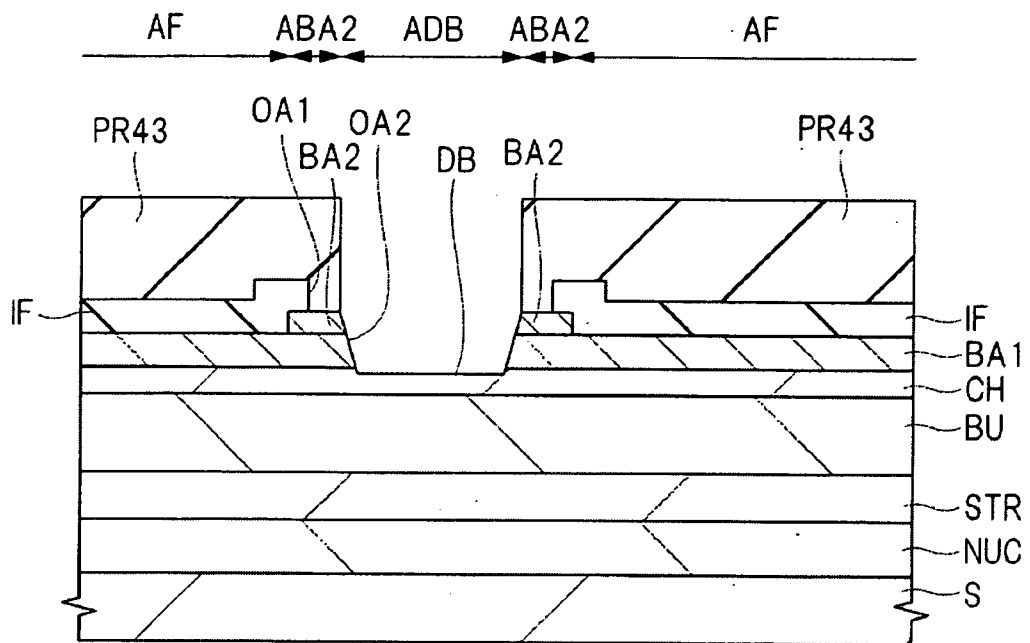


圖 34

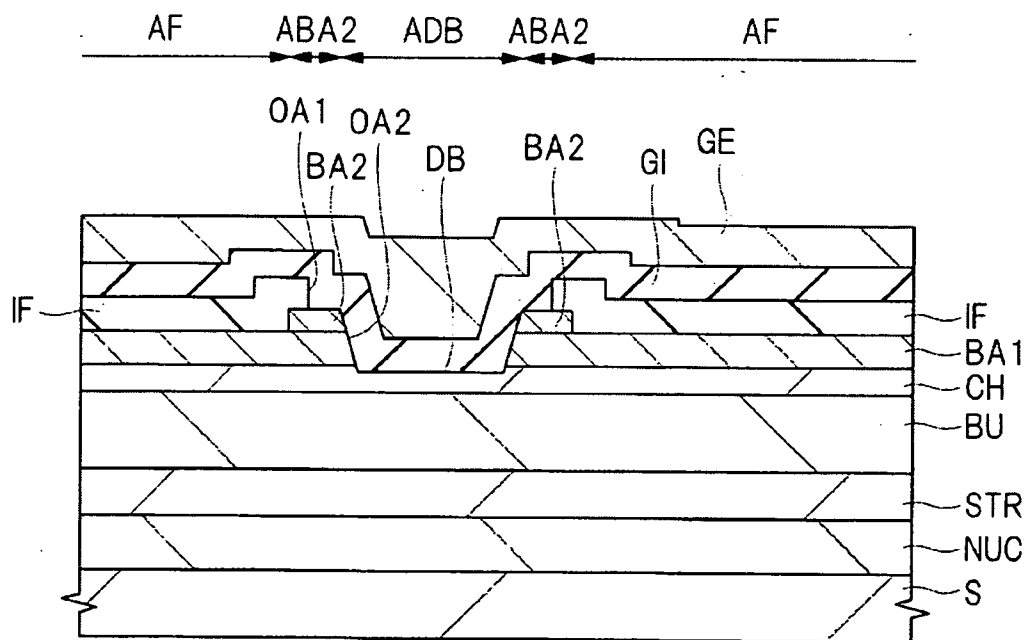


圖 35

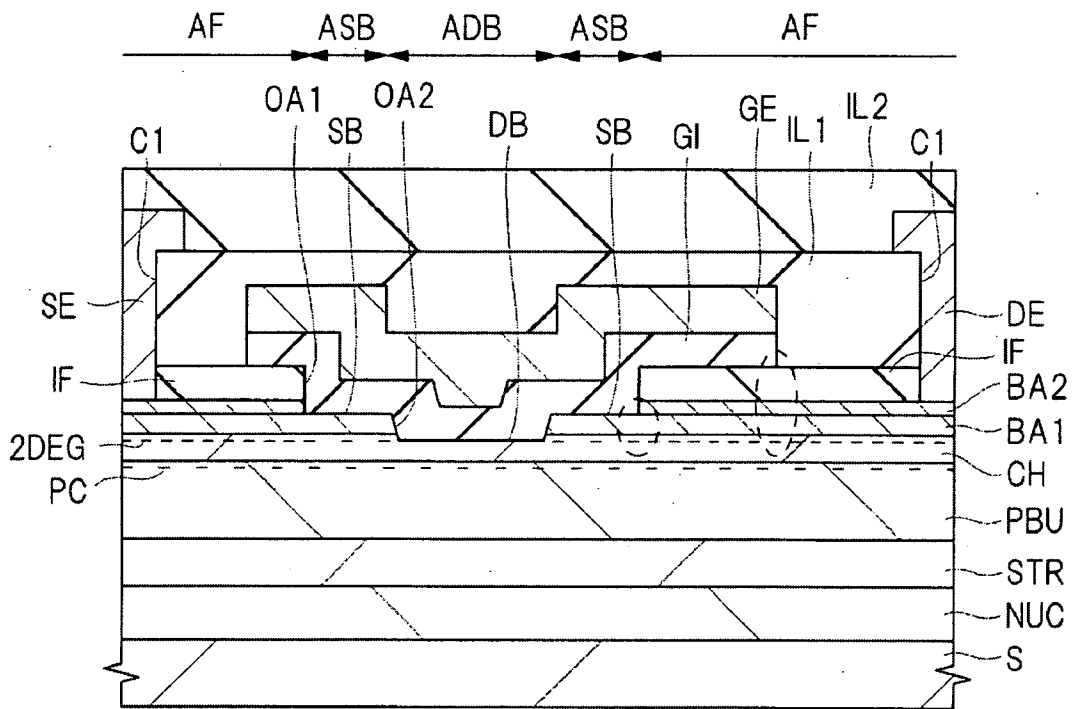


圖 36

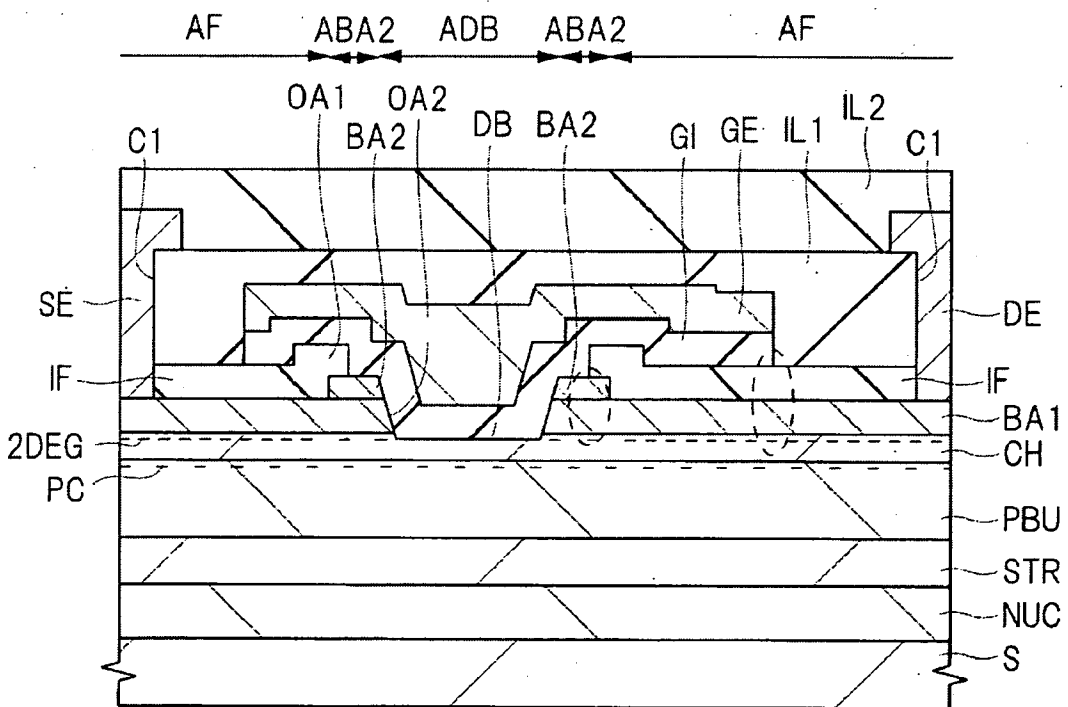


圖 37

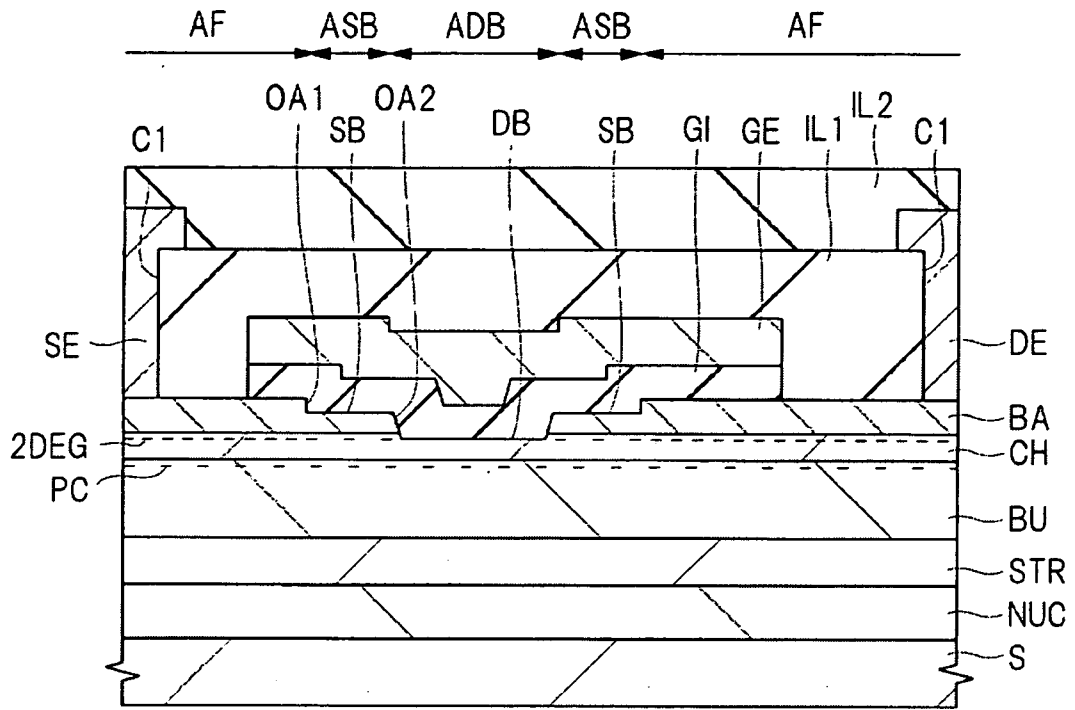


圖 38

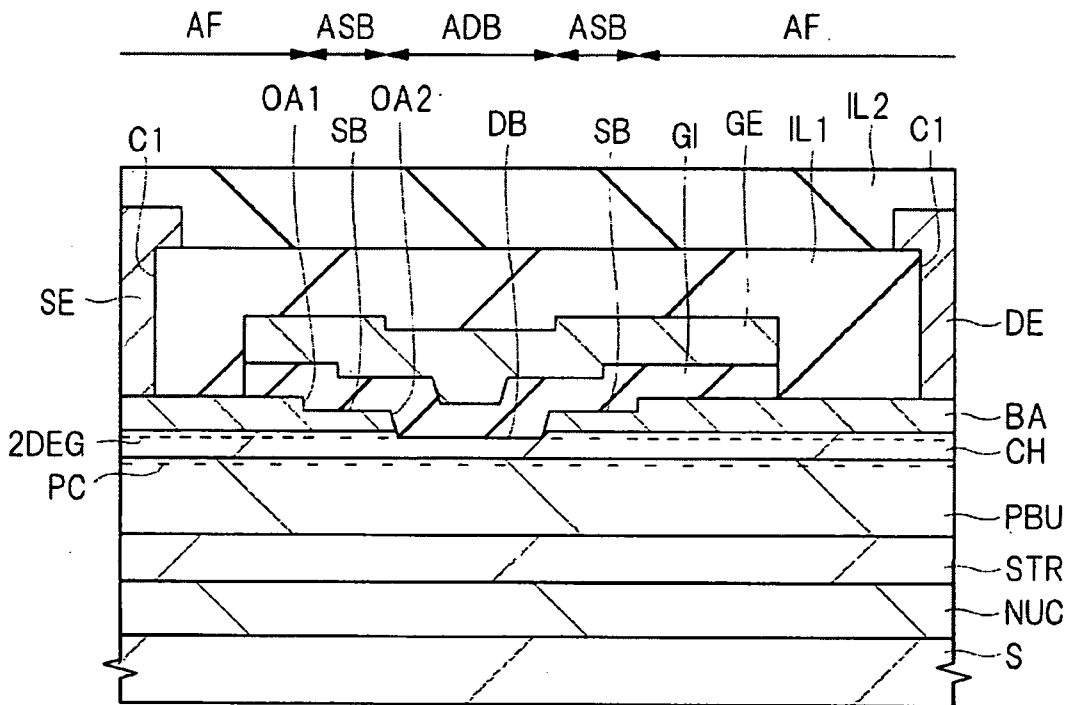


圖 39

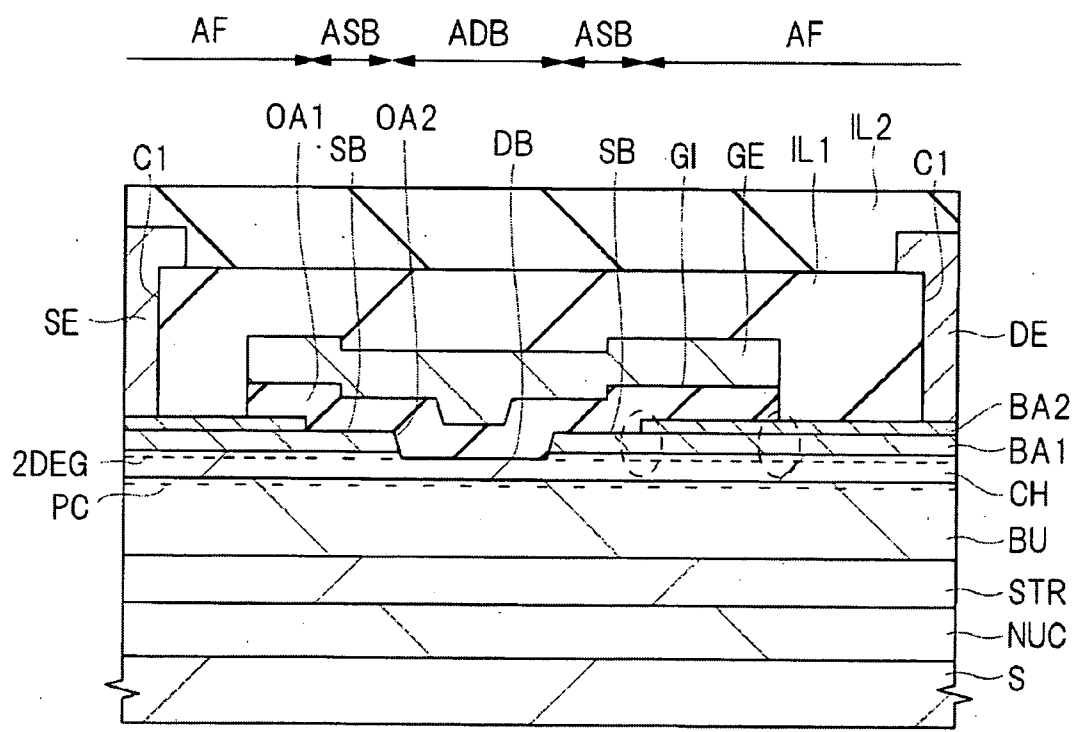


圖 40

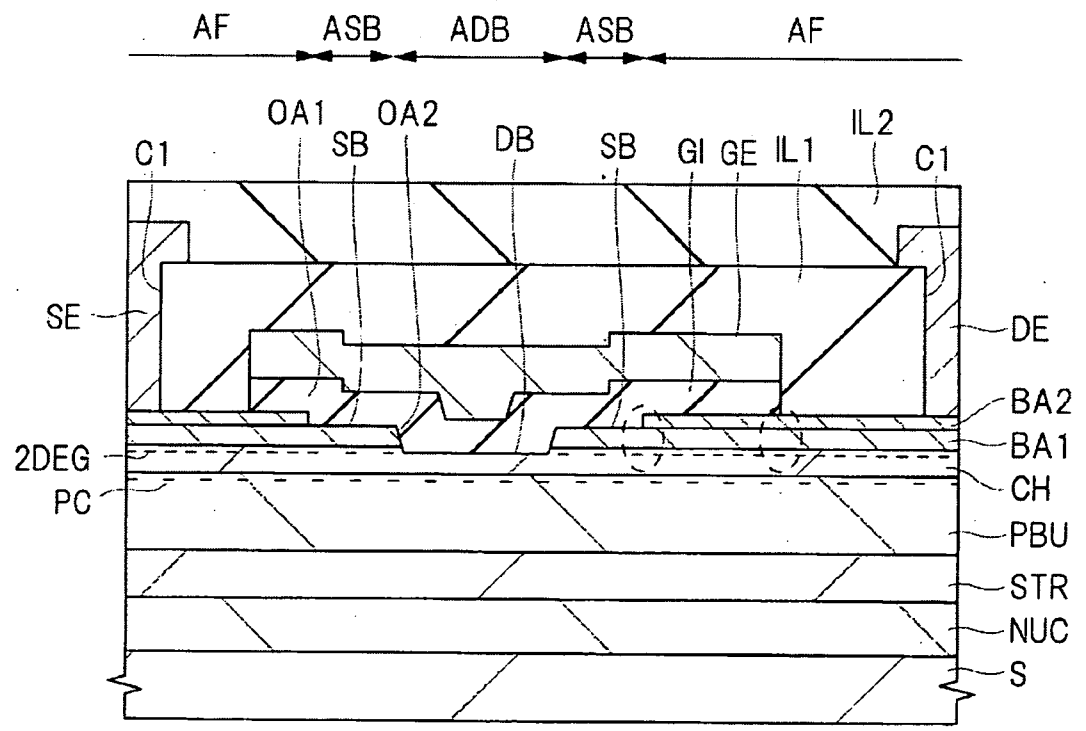


圖 41

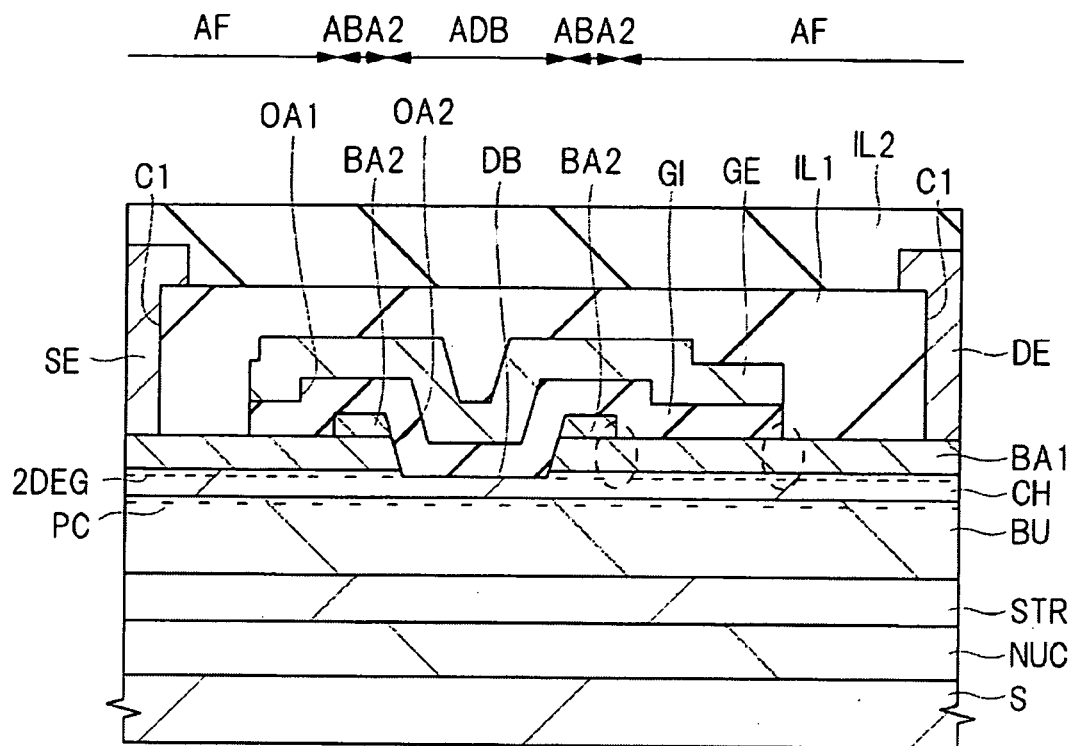


圖 42

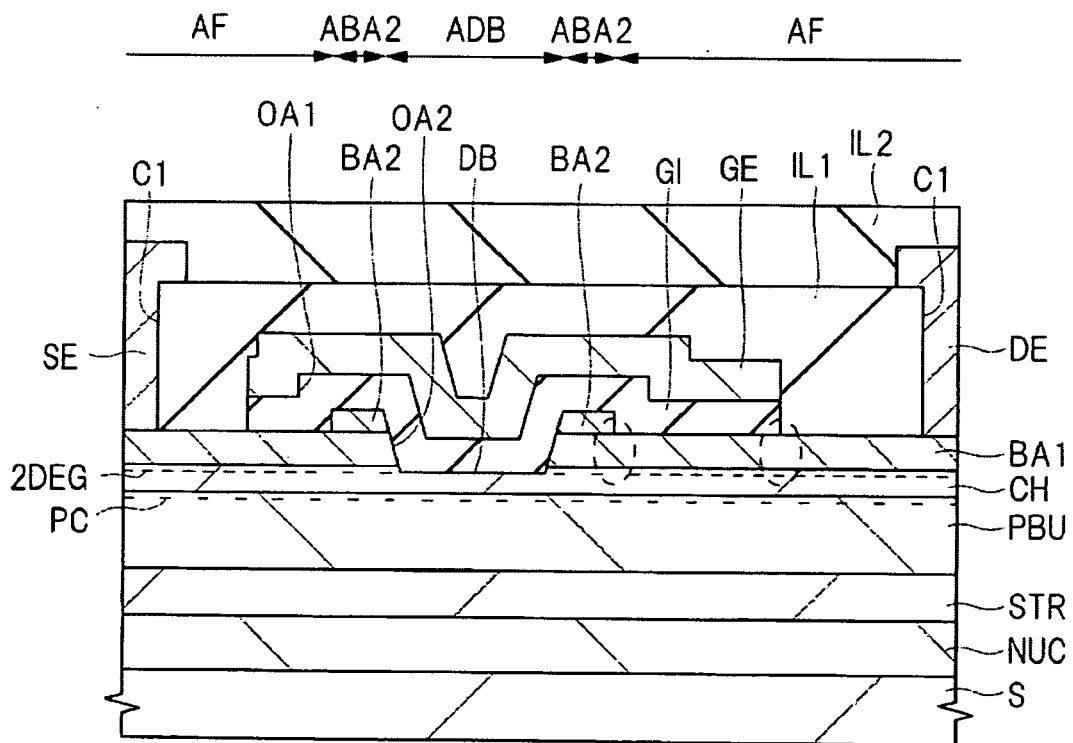


圖 43

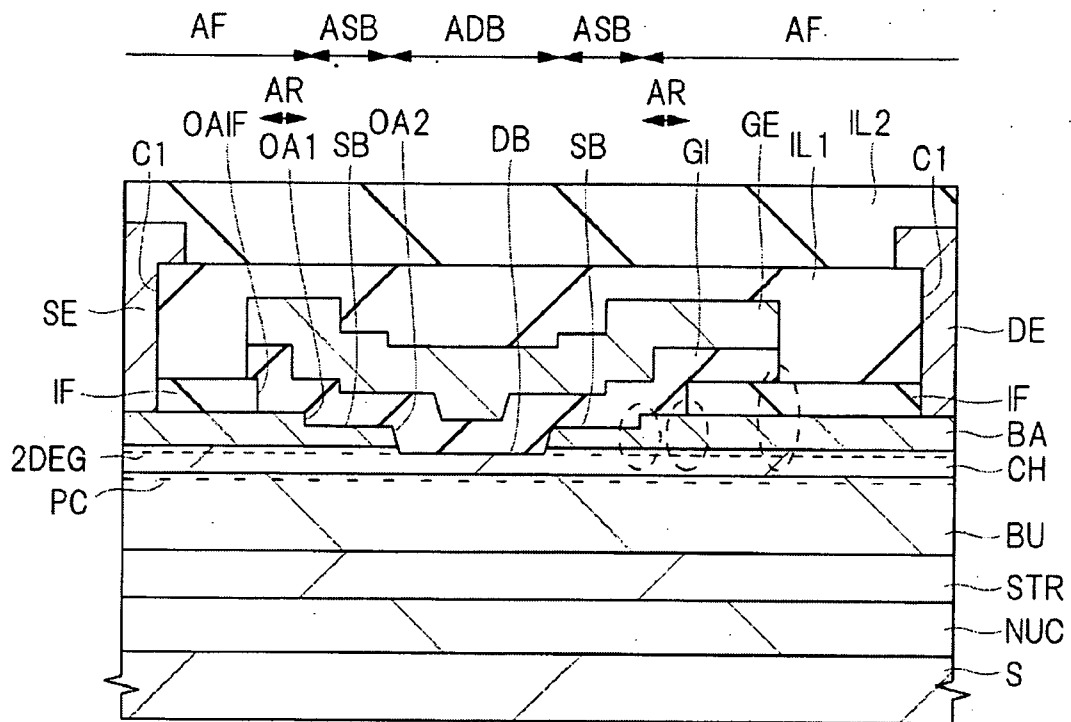


圖 44

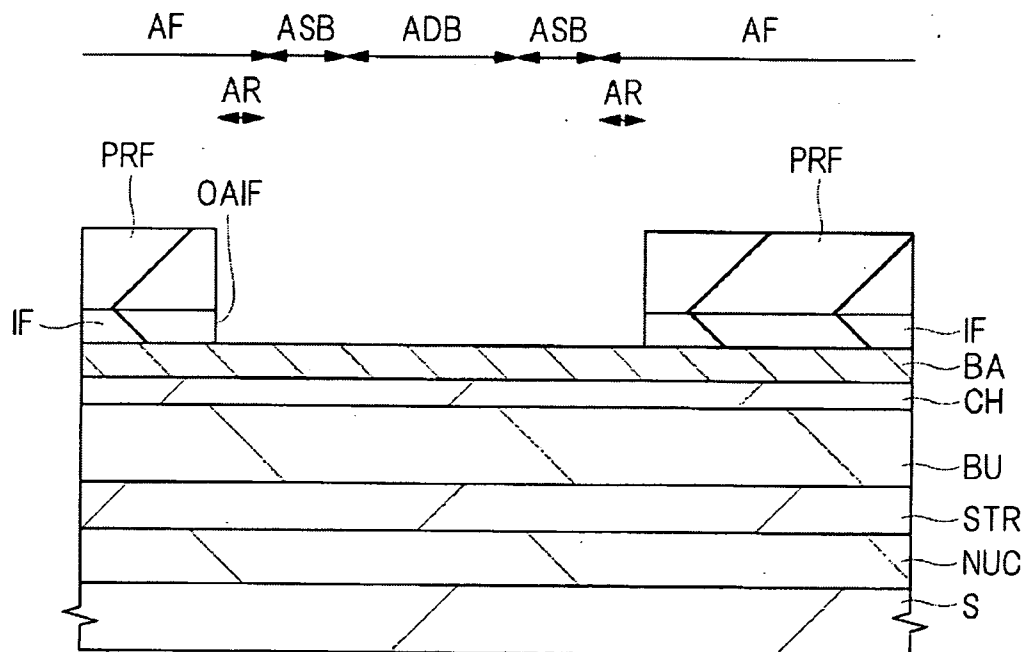


圖 45

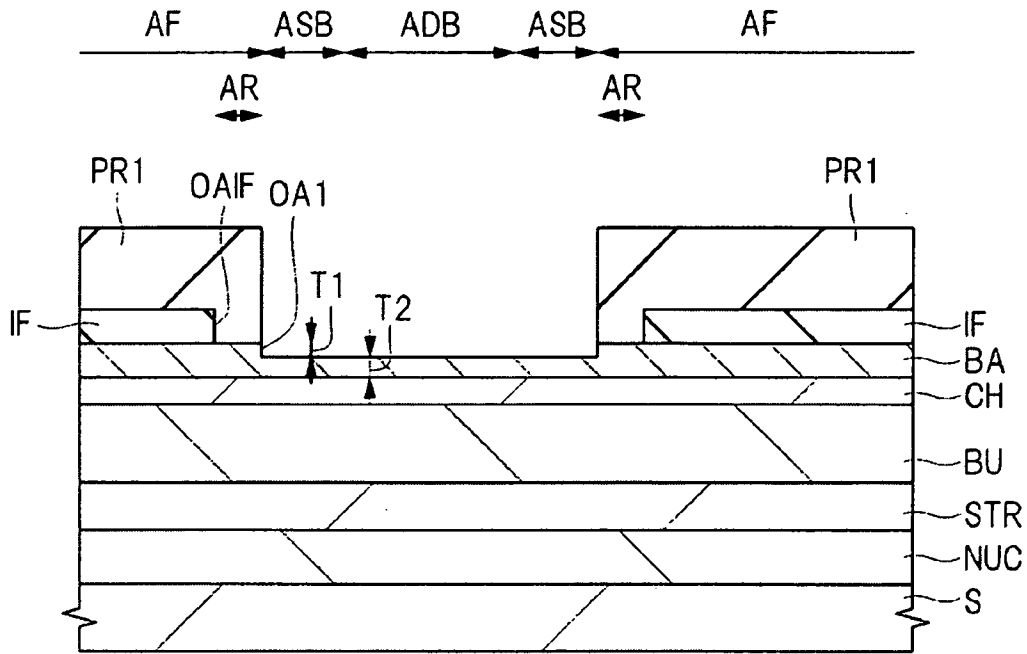


圖 46

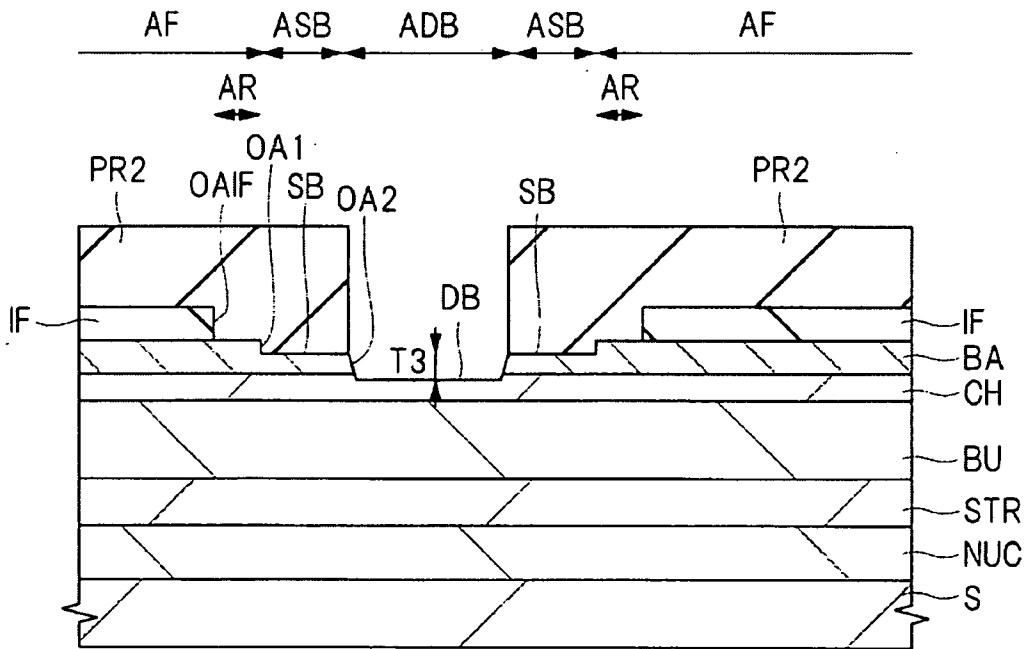


圖 47

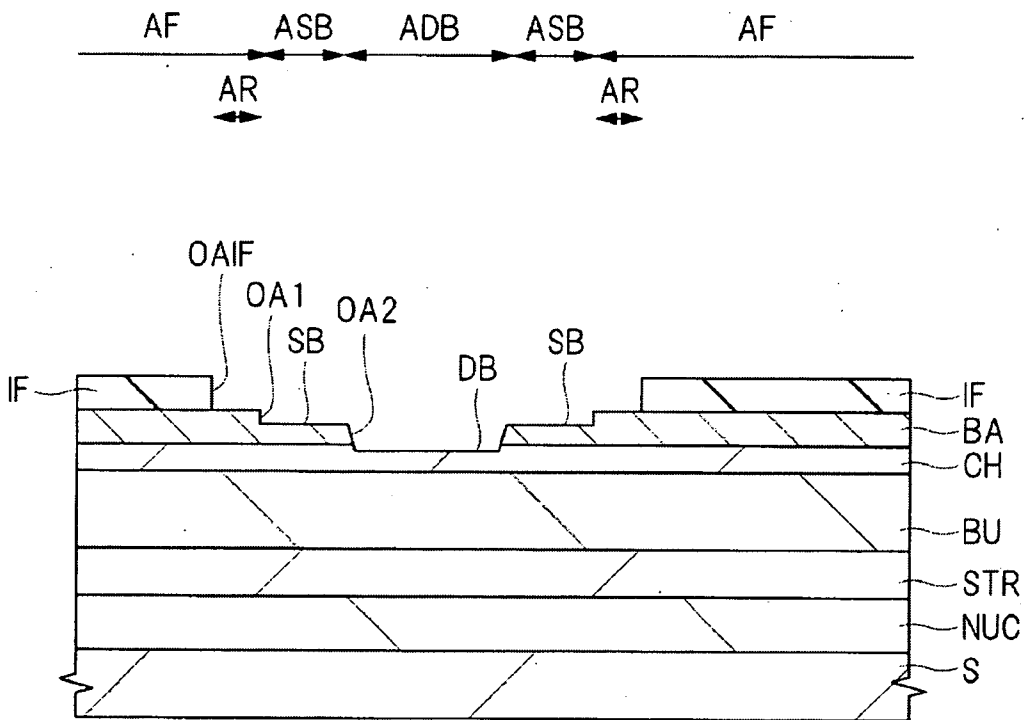


圖 48

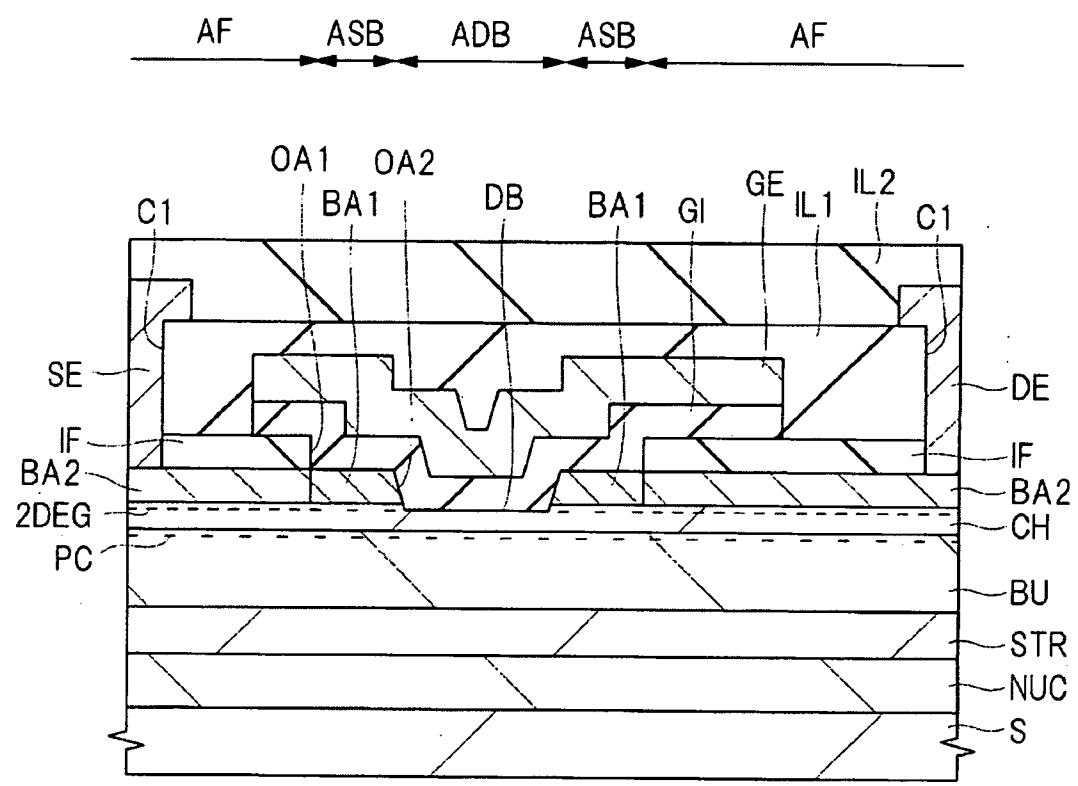


圖 49