

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年1月9日(09.01.2020)



(10) 国際公開番号

WO 2020/008887 A1

(51) 国際特許分類:

G02F 1/01 (2006.01)

(21) 国際出願番号: PCT/JP2019/024394

(22) 国際出願日: 2019年6月19日(19.06.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2018-127753 2018年7月4日(04.07.2018) JP

(71) 出願人: 日本電信電話株式会社 (NIPPON TELEGRAPH AND TELEPHONE CORPORATION) [JP/JP]; 〒1008116 東京都千代田区大手町一丁目5番1号 Tokyo (JP).

(72) 発明者: 山口 慶太 (YAMAGUCHI Keita); 〒1808585 東京都武蔵野市緑町3丁目9-1 NTT知的財産センタ内 Tokyo (JP). 鈴木 賢哉 (SUZUKI Kenya); 〒1808585 東京都武蔵野市緑町3丁目9-1 NTT知的財産センタ内 Tokyo (JP). 郷 隆司 (GO Takashi); 〒1808585 東京都武蔵野市緑町3丁目9-1

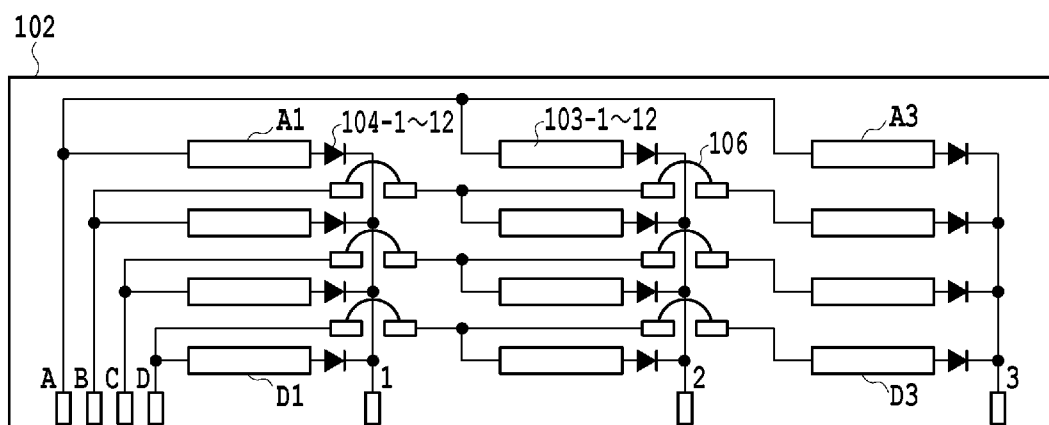
NTT知的財産センタ内 Tokyo (JP). 森脇 摂 (MORIWAKI Osamu); 〒1808585 東京都武蔵野市緑町3丁目9-1 NTT知的財産センタ内 Tokyo (JP). 柳原 藍 (YANAGIHARA Ai); 〒1808585 東京都武蔵野市緑町3丁目9-1 NTT知的財産センタ内 Tokyo (JP).

(74) 代理人: 特許業務法人 谷・阿部特許事務所 (TANI & ABE, P.C.); 〒1070052 東京都港区赤坂2丁目6番20号 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(54) Title: OPTICAL SIGNAL PROCESSING DEVICE AND METHOD FOR CONTROLLING SAME

(54) 発明の名称: 光信号処理装置およびその制御方法



(57) Abstract: Through the present invention the amount of electrical wiring in an optical switch, optical filter, or other optical signal processing device realized using an optical waveguide is reduced. An optical signal processing device having an optical waveguide formed on a substrate, wherein the optical waveguide has at least one input port and at least one output port and has a plurality of driven elements including a phase shifter for applying a phase shift to an optical signal inputted from the input port, the driven elements have at least two control terminals and have control wiring for applying a time-division synchronized control signal between the two control terminals, and the control wiring for accessing the driven elements is shared by the plurality of driven elements.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: 光導波路を用いて実現される光スイッチや光フィルタ等の光信号処理装置における電気配線を削減する。基板上に形成された光導波路を有する光信号処理装置であって、前記光導波路は少なくとも一つの入力ポートと、少なくとも一つの出力ポートを有し、前記入力ポートから入力された光信号に対して位相シフトを加える位相シフタを含む被駆動エレメントを複数有し、各前記被駆動エレメントは少なくとも二つの制御端子を有し、前記二つの制御端子間に時分割同期した制御信号を印加する制御配線を有し、前記被駆動エレメントへアクセスする前記制御配線が複数の被駆動エレメントで共有される光信号処理装置とした。

明 細 書

発明の名称：光信号処理装置およびその制御方法

技術分野

[0001] 本発明は、光導波路により構成される光信号処理装置、とくに外部から電気制御信号を印加してその状態を変えることが可能な光信号処理装置、およびその制御方法に関する。

背景技術

[0002] 光導波路は、光を微小な領域に閉じ込めて制御することで様々な機能を実現する技術として、種々の光デバイスに使用されている。光導波路は一般的に、石英系材料、ポリマ、ニオブ酸リチウムなどの各種誘電体やシリコン（Si）、インジウム燐（InP）、などの半導体材料により構成される。

[0003] 光導波路技術を用いたデバイスとして、熱光学効果（温度による屈折率の変化）を用いた光スイッチや光可変減衰器などがある。例えば、光スイッチであれば、熱光学効果を用いた位相シフタを有するマッハツェンダ干渉計（Mach-Zehnder Interferometer：MZI）（非特許文献1）を複数、直列および並列に組み合わせ配列構成することで、多入力多出力スイッチが実現できることが報告されている（非特許文献2、3）。この光スイッチでは、各MZIの位相シフタを電気信号で駆動して熱光学効果で位相変化させることにより、多数の入力光の出力先をスイッチングすることができる。

[0004] また、光可変減衰器（Variable Optical Attenuator：VOA、非特許文献4）も報告されており、例えばMZIを、位相シフタとともに複数集積することで、光可変減衰器をアレイ化することも可能である。

[0005] 上述のような光導波路を用いた種々の光デバイスは、光通信システムの構成に不可欠であり、とくに近年のCDC（Colorless、Directionless、Contentionless）-ROADM（Rec

onfigurable Optical Add/Drop Multiplexing) 機能を有する光通信ノードにおいて、その重要性を増している。例えば、マルチキャストスイッチ (MultiCast Switch : MCS) は、CDC-ROADM機能を実現するのに不可欠な光デバイスである。MCSのようなデバイスは、熱光学効果を用いた位相シフタにより、電気信号で光信号のスイッチ状態を変更するが、ROADM装置すなわち光ノードの規模が大きくなるにつれて、内包する位相シフタの数が増大する。

[0006] 例えば、 16×16 規模のMCSでは、スイッチエレメントの数は少なくとも256個以上になる。光信号のオフ状態での消光比を確保するため、一つのスイッチエレメント (被駆動エレメント) は2つのMZIで構成する方式が好ましく、位相シフタの数は512個にも及ぶこととなる。

先行技術文献

非特許文献

[0007] 非特許文献1 : T. Shibata et al., "Silica-Based Waveguide-Type 16×16 Optical Switch Module Incorporating Driving Circuits", in IEEE Photonics Technology Letters, vol. 15, no. 9, pp. 1300-1302, Sept. 2003.

非特許文献2 : Takashi Goh, Mitsuho Yasu, Kuninori Hattori, Akira Himeno, Masayuki Okuno, and Yasuji Ohmori, "Low Loss and High Extinction Ratio Strictly Nonblocking 16×16 Thermo-optic Matrix Switch on 6-in Wafer Using Silica-Based Planar Lightwave Circuit Technology", IEEE J. Lightwave Technol., vol. 19, no. 3, pp. 371-379, 2001

非特許文献3 : T. Watanabe, et. al., "Silica-based PLC Transponder Aggregators for Colorless, Directionless, and Contentionless ROADMs", OFC/NFOEC2012, OTh3D.1, March 8, 2012, Los Angeles

非特許文献4 : Kei Watanabe, Yasuaki Hashizume, Yusuke Nasu, Masaki Kohmoto, Mikitaka Itoh, and Yasuyuki Inoue, "Ultralow Power Consumption Silica-Based PLC-VOA/Switches", J. Lightwave Technol. 26, 2235-2244 (

2008)

発明の概要

発明が解決しようとする課題

[0008] 上述のMCSでは、512個のMZIを駆動するために、各MZIが有する位相シフタに対して、それぞれ制御電気信号を印加する必要がある。従来のMCSなどの光スイッチデバイスでは、各位相シフタからチップ端まで電気配線をチップ上に形成し、チップ端からボンディングパッドを介してプリント基板（ワイヤボンディング基板）へワイヤボンディングすることで、各位相シフタへの制御電気信号のアクセスを行っていた。しかしながら、従来の方法ではチップ上に電気配線やボンディングパッドが占める面積が大きくなり、チップ面積が増大するという課題を有していた。電気配線の面積は、デバイスの規模が大きくなるほど顕著であり、例えば、図1に示す従来の16×16程度の規模のMCSチップであっても、チップ面積の半分は制御用の512本の電気配線100および電気パッド200に起因する面積で占められる（非特許文献2のFig. 3. より）。

[0009] 本発明は、このような問題に鑑みてなされたものである。その目的とするところは、チップ基板上に形成された光導波路を有する光信号処理装置において、チップ内の位相シフタなどの被駆動エレメントへアクセスする電気配線を、等価回路的に少なくとも2次元のマトリックス状に構築することにより、制御回路に接続するために必要なワイヤボンディング用電気パッドの個数を削減し、電気配線を簡易化することにある。

課題を解決するための手段

[0010] 本発明は、このような目的を達成するために、以下のような構成を備えることを特徴とする。

[0011] すなわち本発明は、基板上に形成された光導波路を有する光信号処理装置であって、光導波路は少なくとも一つの入力ポートと、少なくとも一つの出力ポートを有し、入力ポートから入力された光信号に対して位相シフトを加える位相シフタを含む被駆動エレメントを複数有し、各被駆動エレメントは

少なくとも二つの制御端子を有する位相シフタを含む光導波路型の光デバイスであって、複数の被駆動エレメントを等価回路的に行列（アレイ、マトリックス）に配列し、同一の行に存在する各被駆動エレメントの一方の端子同士を電氣的に接続する行配線と、同一の列に存在する各被駆動エレメントの他方の端子同士を電氣的に接続する列配線を設け、行配線もしくは列配線のうち少なくとも一方を、電氣的駆動手段で駆動ないし制御する光信号処理装置である。

[0012] また、複数の被駆動エレメント（素子）を駆動する制御方法としては、電氣的駆動手段は列の数だけ存在し、各電氣的駆動手段を時分割で列駆動するとともに、各行配線に列駆動状態に同期して行制御信号を印加することで被駆動エレメントを個別に制御する制御方法であり、列駆動信号と行制御信号で光信号処理装置を時分割制御する。ここで列駆動信号と行制御信号は合せて制御信号と総称することができ、行配線、列配線も同様に制御配線ということができる。

[0013] なお、行列やアレイ、マトリックス、配列の表現として一般的なことであるが、配列等の次元は2次元に限らず、各次元の表記の順番は置換可能、すなわち例えば2次元の場合の行と列を入れ替えても同等な構成を実現可能であることは自明である。

[0014] 以下の説明では主にチップ（基板）平面上における行と列の2次元配列の構成を例に説明するが、本発明では例えば複数枚のチップを集積し実装して、3次元配列の光信号処理装置とすることもでき、さらにそのような3次元配列の光信号処理装置を単位として複数配列して3次元以上の多次元の配列としても構成が可能である。以下の説明に於ける行や列のなどの表現は、2次元配列の場合はもとより、3次元以上の多次元配列の構成における2次元部分配列についてのものとしても理解されるべきである。

[0015] また被駆動エレメント（素子）としてはスイッチング素子に限ることは無く、少なくとも独立な2つ以上の制御信号入力（端子、パッド）を有し位相シフタを有する素子であれば良い。更に、被駆動エレメントは必ずしも物理

的に行列、アレイ、マトリックス状に配列されていることも必要ではなく、等価回路的にそのような配列として独立な少なくとも2つ以上の方向からアクセス可能であれば本発明は適用可能である。

[0016] 本発明の実施形態の構成の一例は下記の通りである。

(構成1)

[0017] 基板に形成された光導波路を有する光信号処理装置であって、

前記光導波路は少なくとも一つの入力ポートと、少なくとも一つの出力ポートを有し、

前記入力ポートから入力された光信号に対して位相シフトを加える位相シフタを含む被駆動エレメントを複数有し、

各前記被駆動エレメントは少なくとも二つの制御端子を有し、

前記二つの制御端子間に時分割同期した制御信号を印加する制御配線を有し、

前記被駆動エレメントへアクセスする前記制御配線が複数の被駆動エレメントで共有される

ことを特徴とする光信号処理装置。

(構成2)

[0018] 前記複数の被駆動エレメントは等価回路的にマトリックスに配置され、

前記制御配線は、前記マトリックスの行に対応する行制御配線と前記マトリックスの列に対応する列駆動配線とを有し、行および列の交点に前記被駆動エレメントが存在する場合には、その前記二つの制御端子が前記行制御配線と列駆動配線に接続される

ことを特徴とする構成1に記載の光信号処理装置。

(構成3)

[0019] 前記行制御配線の各々と、前記列駆動配線の各々とに接続され、少なくとも一つの所望の被駆動エレメントに接続された前記行制御配線および前記列駆動配線を選択的にアドレスする時分割同期した前記制御信号を発生する制御信号発生手段を有する

ことを特徴とする構成 2 に記載の光信号処理装置。

(構成 4)

[0020] 前記被駆動エレメントの各々に対して直列に接続された整流手段を有することを特徴とする構成 1 から 3 のいずれかに記載の光信号処理装置。

(構成 5)

[0021] 前記光信号処理装置は、マトリックススイッチ、マルチキャストスイッチ、もしくは光フィルタまたは光信号減衰器アレイであることを特徴とする構成 1 から 4 のいずれか 1 項に記載の光信号処理装置。

(構成 6)

[0022] 前記制御信号は、所定の時間スロットで時分割同期した時間波形の時分割制御信号であり、複数の時間スロットを含む切替周期 T の複数の前記切替周期 T にわたって前記時間波形が所定のパターンで反復される制御信号であることを特徴とする構成 1 から 5 のいずれかに記載の光信号処理装置の制御方法。

(構成 7)

[0023] 前記時分割制御信号の切替周期 T は、前記位相シフタの時定数 τ よりも十分短い

ことを特徴とする構成 6 に記載の光信号処理装置の制御方法。

(構成 8)

[0024] 前記光信号の変調フォーマットが直交振幅変調信号であって、

前記直交振幅変調信号の各シンボル点間の距離に相当する位相差 θ とし、前記位相シフタの周波数応答における、前記時分割制御信号の切替周波数 f_s ($= 1 / T$) での残留変動成分を ϕ とするとき、

$$\phi < \theta$$

である

ことを特徴とする構成 6 または 7 に記載の光信号処理装置の制御方法。

発明の効果

[0025] 本発明によれば光導波路を用いて実現される光スイッチや光フィルタ等の

光信号処理装置における電気配線を削減することができ、チップサイズの削減が可能である。加えて、従来個別の被駆動エレメント毎に設置していた電源等の駆動手段を、複数の被駆動エレメントを異なる時間タイミングで時分割して、行、列などの単位で共有することで、駆動手段の数を削減することが可能である。上記の効果により、光信号処理装置のチップサイズを削減し、量産性を向上し、部品点数の削減を通じて装置の低廉化に寄与する。

図面の簡単な説明

[0026] [図1]従来のチップの電気配線および電気パッドを使用した状態を示す平面図の写真である。

[図2]本発明の実施例1の光信号処理装置の電気回路構成を示すチップ平面図である。

[図3]図2の光信号処理装置の位相シフトのチップ断面図である。

[図4]図3の位相シフトを含むMZIの平面図である。

[図5]本発明の実施例2の光信号処理装置の構成を示す平面図である。

[図6]実施例2の光信号処理装置の制御信号を説明する波形図である。

[図7]本発明の実施例3の光信号処理装置の構成を示す平面図である。

[図8]実施例3の光信号処理装置の制御信号の一例を説明する波形図である。

[図9]実施例3の光信号処理装置の制御信号の他の例を説明する波形図である。

[図10]実施例3の光信号処理装置の制御信号の更に他の例を説明する波形図である。

[図11]切替周波数に対する位相シフトの位相変調量の変化を表す周波数特性図である。

[図12] (a) は本発明の実施例4のラティスフィルタの物理的回路構成例を示す図であり、(b) は(a)の電氣的等価回路を示す図である。

[図13]本発明の実施例4において、交点に位相シフトを配置しない例を示す図である。

[図14]本発明の実施例5を説明する、16QAM信号のコンスタレーション

マップである。

[図15]本発明の実施例5を説明する、位相変調素子を含むマッハツェンダ干渉計の各部の光信号を示す図である。

[図16]図15の光信号の関係を示す複素信号ベクトル図である。

[図17]本発明の実施例5を説明する、位相変調素子の位相変調量と時分割駆動周波数の関係を示す周波数特性図である。

発明を実施するための形態

[0027] 以下、図面を参照しながら本発明の実施形態について詳細に説明する。
(実施例1)

[0028] 図2は、本発明の実施例1の光信号処理装置の電気回路構成を示すチップ平面図である。図2の光信号処理装置は、例えば3光入力、4光出力の光信号処理装置であって、基板上に形成された光導波路チップ102には、図示しない光導波路を通過する光信号の位相を変化させる12個の位相シフタ103-1～103-12、および各位相シフタに対応する12個のダイオード104-1～104-12が、図示のように4行3列のアレイ構成で配置されて、電気配線で接続されている。

[0029] 図2において、左下の4つの行制御信号の電気配線パッド（端子）A，B，C，Dには、図示しない制御部から4つの行制御信号が供給されている。4つの行制御信号の配線は、左端の1列目のそれぞれの行位置で行方向に2分岐され、2分岐された一方の配線は1列目の位相シフタに接続されてこれを制御した後、1列目のダイオードを経て、列駆動の電気配線パッド（端子）1に集線される。

[0030] 左端の1列目において、4つの行制御信号の2分岐された他方の配線は、1行目は直接、1行目以外はワイヤボンディング配線106を経て、中央の2列目の分岐点に至る。2列目の分岐点において4つの行制御信号の配線は、それぞれの行位置で行方向にさらに2分岐される。

[0031] 中央の2列目において2分岐された4つの行制御信号の一方の配線は、2列目の位相シフタに接続されてこれを制御した後、2列目のダイオードを経

て、列駆動の電気配線パッド（端子）2に集線される。

[0032] 同様に、2列目において、4つの行制御信号の2分岐された他方の配線は、1行目は直接、1行目以外はワイヤボンディング配線106を経て、右端の3列目に至る。4つの行制御信号の配線は、3列目の位相シフトに接続されてこれを制御した後、3列目のダイオードを経て、列駆動の電気配線パッド（端子）3に集線される。

[0033] 4つの行制御信号（A～D）が集線された3つの列駆動の電気配線パッド（端子）1～3は、図示しない列駆動手段からの列駆動信号により、行制御信号と同期して、それぞれ時分割駆動されている。

[0034] このような構成により、位相シフトを有する被駆動エレメントへアクセスする行制御信号や列駆動信号の制御配線が、複数の被駆動エレメントで共有されており、列駆動信号と行制御信号で光信号処理装置を時分割制御することができる。

（位相シフトの構造）

[0035] 図3には、位相シフト103-1～103-12の光導波路に直交する面におけるチップ断面図を示す。被駆動エレメントを構成する位相シフトは、ヒータ1001とその直下に配置された光導波路1006からなり、位相シフトのヒータ1001の両端に制御信号を印加することで発熱し、直下の光導波路1006に熱光学効果を生じて、当該部分の光導波路1006を通過する光信号の位相が位相シフト変調される。

[0036] 光導波路1006は、例えば、石英系光導波路、ポリマ導波路、シリコン等により形成される。図3では埋め込み導波路構造を例として説明するが、リブ型や拡散型などの他の構造でも構わない。

[0037] 図4は、図3の位相シフトを含む被駆動エレメントの一例としてのMZI（マッハツェンダ干渉計）の平面図である。図3の位相シフトは、図4のMZIのアーム光導波路1006に設けられている。すなわち、図2の位相シフト103-1～103-12の各々の箇所には、図4に示すMZIが被駆動エレメントとして配置されている。

[0038] MZ Iにおいては、その入力光導波路1002から入力された光信号が、方向性結合器1004によりアーム光導波路1006および1007に2分岐される。一方のアーム光導波路1006の上部には、図3のようにヒータ1001が設置されており、制御信号が印加されて熱光学効果によりアーム光導波路1006を通過する光信号の位相を位相シフト変調する。アーム光導波路1006および1007を経由した光信号は、次に、方向性結合器1005により合波され、合波される2つの光信号間の位相差に応じて、MZ Iの出力光導波路1003もしくは1008に分配されて出力される。

[0039] このような位相シフタを含むMZ Iを用いて、光スイッチや光減衰器などの機能を有する光素子を構成して、本願発明の光信号処理装置の被駆動エレメントとすることができる。

(位相シフタのアドレス)

[0040] 図2以下の本発明の実施例では、行制御信号（以下、行電極パッドの端子名と同じA～Dで示す）と列駆動信号（同様に、列電極パッドの端子名1～3で示す）で選択アクセスされる位相シフタ103-1～103-12を、行列状に配置してアドレス付けし、行をアルファベットで、列を数字で表している。行と列の表示の順番は任意であるが、例えば位相シフタ103-1～103-12が行方向優先の順で、それぞれA1～A3、B1～B3、C1～C3、D1～D3のアドレスに対応する。図では簡明に表現するため、四隅の位相シフタのアドレスA1、A3、D1、D3のみを例示している。

[0041] 同一の行に存在する位相シフタの一方の電極（図2ではヒータの入力側）を横方向の行配線で接続し、他方の電極（図2ではダイオードのカソード側）同士を縦方向の列配線で接続する。本構成では、4行3列に位相シフタを配列している。

[0042] 図2では、行配線と列配線の交差をワイヤボンディング106によって跨ぐことで実現しているが、他の方法を用いても構わない。例えば、光導波路上の電気配線を多層化することにより配線を跨いでもよい。

(位相シフタの駆動)

[0043] 図2に示す光信号処理装置において、例えば、一番左の列かつ一番上の行の位相シフタ（A1）には、行配線用パッドAに高電位を供給し列配線用パッド1に低電位を供給して、電位差を発生させることで給電する。同様に、一番右の列かつ一番下の行の位相シフタ（D3）には、行配線用パッドDと列配線用パッド3の間に電位差を発生させることで給電する。

[0044] 位相シフタに電力を供給する際には、複数の位相シフタが電氣的に接続されていることから、意図しない位相シフタにも電流が回り込むことで、電力が供給されてしまう可能性がある。これを防止するため、各位相シフタへの電気配線に直列にダイオード104-1～104-12を付けることで、回り込む電流を防止し、意図しない位相シフタに給電することを抑止する。このダイオードは電氣的整流特性のある素子、整流手段であればよく、pn接合やショットキーダイオードを使用することが可能である。また、シリコン導波路やInP導波路などの半導体材料による光導波路においては、光導波路内にpn接合を作りこむことで、整流特性を持たせることもできる。

（電気パッド数、配線数）

[0045] 上記のように電気配線を行うことにより、本実施例1では光導波路を有するチップから取り出される電気パッドの数は、位相シフタの数12に対して、7に削減される。これは、本発明では配線は行と列で共有され、配線数＝行数＋列数になるためであり、従来の構成では、電極パッド数がヒータ数と等しい（行数×列数）ことを考えると、より多くの位相シフタを使用する場合にはより大きな効果が得られる。

[0046] 更に別の数値例で示すと、行方向に20、列方向に5の位相シフタが存在する場合、従来の配線方法では、 $20 \times 5 = 100$ の配線が必要であったのに対して、本発明では制御配線が共有される結果、 $20 + 5 = 25$ と顕著な配線削減効果が得られる。

[0047] また、行と列は可能な限り同数となるように行列を設定するのが、配線数を最小にする点で好ましい。制御すべき位相シフタの数をKとする場合、行配線数Mと列配線数Nとしたとき、

$$K = M \times N$$

の関係がある。配線数 $M + N$ の最小値は $M = N$ のときに実現され、このときの配線数は $2 \times K^{1/2}$ である。例えば、256個の位相シフタを有する場合、 $M = N = 16$ として配線数は行配線、列配線合わせて32本設置する場合がもっとも配線数が少なく、配線面積削減に効果がある。

(実施例2)

[0048] 図5は、本発明の実施例2の光信号処理装置として構成した光スイッチを示す平面図である。図5に示すように、光スイッチのチップ102は、行制御信号(A～D)と列駆動信号(1～3)を生成する制御信号発生部1010へと接続されている。制御信号発生部1010は、制御したい位相シフタをアドレスするように行配線電気パッドA～Dのうち少なくとも一つと、列配線電気パッド1～3のうち少なくとも一つに、時分割で同期した制御信号として行制御信号(A～D)と列駆動信号(1～3)を与える。

[0049] 図5には、光スイッチの入力光信号を与える3本の入力ファイバ101-1～101-3、光スイッチの出力光信号を与える4本の出力ファイバ105-1～105-4も示されており、それぞれの光入力端、光出力端が、光導波路チップ102の基板に形成された光導波路の入力ポート、出力ポートを構成している。図5の実施例2のその他の部分は、図2の実施例1と同じであるので説明を省略する。

(制御信号の時間波形)

[0050] 図6は、実施例2の光信号処理装置(光スイッチ)の制御方法を説明する、制御信号発生部1010が出力する制御信号の波形図である。図6で、A～Dが行電極パッドの電位、1～3が列電極パッドの電位を示す。

[0051] 図6では、時間軸(横軸)の時刻は、位相シフタの熱時定数 τ よりも十分短い切替周期 T を更に4つの時間スロット(slot 1～4)に分けて、複数の制御信号の時間波形のレベルを高電位と低電位の間で同期して変化させる時分割制御信号とした例について説明する。図5のダイオードの導通する向きから明らかなように、行制御信号(A～D)は高電位が有意信号(正論

理)であり、列駆動信号(1~3)は低電位が有意信号(負論理)である。
図6には、各時間スロット(slot 1~4)で選択される位相シフトのアドレス(A1, B2, D3, (C1, C3))を示している。

[0052] slot 1においては、行配線のうち電気パッドAのみに対して高電位を与え、列配線のうち電気パッド1のみに低電位を与える。したがって、slot 1においては、位相シフトA1のみに電位差が印加され、位相シフトA1がアドレスされる。

[0053] slot 2においては、行配線のうち電気パッドBのみに対して高電位を与え、列配線のうち電気パッド2に低電位を与える。したがって、slot 2においては、位相シフトB2のみに電位差が印加され、位相シフトB2がアドレスされる。

[0054] slot 3においては、行配線のうち電気パッドDのみに対して高電位を与え、列配線のうち電気パッド3に低電位を与える。したがって、slot 3においては、位相シフトD3のみに電位差が印加され、位相シフトD3がアドレスされる。

[0055] slot 4においては、行配線のうち電気パッドCのみに対して高電位を与え、列配線のうち電気パッド1および3に低電位を与える。したがって、slot 4においては、位相シフトC1とC3に電位差が印加され、位相シフトC1およびC3がアドレスされる。

[0056] このような時間波形で、行制御信号(A~D)と列駆動信号(1~3)が時間スロットで同期した時分割制御信号として、複数の時間スロットを含む切替周期Tの時間波形の単位で反復して光信号処理装置のチップ102の電極パッドに印加されて、各位相シフトを制御する。

[0057] 上述のように、制御したい位相シフトに対して時分割同期して周期的に制御信号を印加することで、任意の位相シフトを個別に制御することが可能である。ここで各位相シフトがアドレスされる周期(切替周期T)は位相シフトの時定数 τ よりも十分短く($T < \tau$)設定する。

[0058] 例えば、石英系光導波路における熱光学位相シフトの時定数は数ms程度

であるから、切替周波数 ($f_s = 1/T$) を数10～数100kHzとする。位相シフタが光信号に与える位相シフトは熱光学的に作用するため、位相シフタのヒータの発生する熱に対して時定数を持って作用する。位相シフタの熱変化の時定数は電気信号の時定数に比べ十分長いため、制御信号の1つの時間スロットないし切替周期Tの時間内には位相シフタが光信号に与える位相シフトは応答しないが、複数の切替周期Tにわたって所定のパターンで時間波形を反復することによって、制御信号の時間波形の直流成分（実効値）のみがいわばPWM（パルス幅変調）的に積分されて熱光学作用して、アドレス選択された位相シフタの位相シフトに寄与する。

[0059] なお、上記で制御信号を、複数の切替周期Tにわたって所定のパターンで反復するというのは、図示のように各切替周期T内の制御信号の時間波形が、反復される各切替周期Tにおいて、毎回同じ時間波形で繰り返すパターンであっても良いが、異なる時間波形で繰り返すパターンであっても良い。このような異なる時間波形で繰り返すパターンは、例えば各切替周期T毎に毎回、時間スロットの順番を巡回的に、あるいはランダムに入れ替えるなどして生成することができる。

[0060] この場合でも、パターンの周期は、位相シフタの時定数よりは短いのが望ましく、パターンの周期において、同じ位相シフタの組が同じ回数だけ駆動されるようにするのが望ましい。

[0061] この様に制御することで、限られた数の電気配線によって、配列された全ての位相シフタの位相シフトを、熱変化の時定数の範囲内で自在に制御することが可能となる。単純に、選択された位相シフタが熱応答して位相変化を起こすまで待ってから制御信号を切り替えていたのでは、単に制御信号の切り替えが遅くなるのみならず、その間にアドレス選択されていない他の位相シフタが熱応答（温度低下）して位相変化を起こしてしまい、全ての位相シフタの自在な制御は実現できない。

[0062] また、slot 1～3のように、特定の時間スロットにおいては単一の位相シフタを選択してアドレスすることも可能であるし、slot 4のように

、同じ行または列における複数の位相シフタを同時にアドレス選択することも可能である。制御すべき位相シフタの数に応じて、切替周期 T に含まれる時間スロットの数を増やし、あるいは減らして変更することも可能である。

(実施例 3)

[0063] 図 7 は、本発明の実施例 3 の光信号処理装置（光スイッチ）の構成を示す平面図である。本実施例 3 の光信号処理装置は実施例 2（図 5）と同様な 3 光入力、4 光出力の光信号処理装置であって、基板上の光スイッチチップ 102 には、12 個の位相シフタ 103-1 ~ 103-12、および各位相シフタに対応する 12 個のダイオード 104-1 ~ 104-12 が、4 行 3 列のアレイ構成で配置されて、電気配線で接続されている。

[0064] 光信号処理装置のチップ 102 は、列駆動信号（1 ~ 3）と行制御信号（A ~ D）を生成する制御信号発生部 1010 へと接続されており、3 本の入力ファイバ 101-1 ~ 101-3 からの入力光信号を、4 本の出力ファイバ 105-1 ~ 105-4 へ切り替え制御する光スイッチとして動作する。

[0065] 一般に、光導波路を用いた多入力多出力光スイッチでは、MZI を例えば非特許文献 2 の Fig. 1 にあるように複数接続していくことにより実現される。図 7 のスイッチでは、入力光ファイバ 101 から入力された信号光が、どの出力ファイバ 105 から出力されるかを、どの位相シフタ 103 を駆動するかにより選択する。本実施例 3 のスイッチは、3 入力 4 出力のスイッチであるため、入出力間の 1 対 1 接続のスイッチ状態としては $3 \times 4 = 12$ 通り存在する。12 通りの状態を独立に設定するためには、12 の自由度が必要であり、12 個の位相シフタを独立して制御する必要がある。

(制御方法と制御信号の波形例)

[0066] 図 8 から図 10 に、本実施例 3 の光信号処理装置の制御方法として、制御信号発生部 1010 の動作を説明する制御信号の波形図を例示する。

[0067] 図 7 の実施例 3 においても、実施例 2（図 5）で示したと同様の構造により、各位相シフタ 103 へのアクセス電気配線は、行電気パッド A ~ D および列電気パッド 1 ~ 3 を介して制御信号発生部 1010 へと接続される。

[0068] 上記構成により、例えば、図7の一番上の行かつ一番左の列の位相シフタ（A1）には、行電気パッドAと列電気パッド1の間に電位差を発生することで給電でき、一番下の行かつ一番右の位相シフタ（D3）には、行電気パッドDと列電気パッド3の間に電位差を発生することで給電できる。制御信号発生部1010は、このような電位差を発生する制御信号を生成・送信する。

[0069] 制御信号発生部1010では、各電極に時分割で信号（電位差、電力等）を与えることが可能であれば、どのようなものを使用しても構わない。例えば、図6のような2値パルス波形に限らず任意波形発生器を用いて、時間的に電位が任意に変化するような信号を生成・送信することもできる。また、FPGA、CPU、DSPなどのGPIOピンを直接電極パッドA～D、1～3に接続しても構わない。

[0070] このとき、駆動する必要がある位相シフタに対し、時間を分割して順次給電する。例えば、図8に示すように一定の切替周期Tを3つの時間スロットに分割し、分割された各時間スロットでは、制御信号発生部1010の時分割同期制御により異なる位相シフタに給電するように動作させることもできる。図8では、A1、B2、D3の3つの位相シフタを駆動する際の制御信号発生部1010の発生する制御信号のパッド電位波形の一例を示す。実施例2と同様に、制御信号の時間波形を、複数の切替周期Tにわたって同一又は異なる所定のパターンで反復してもよい。

（位相変調量の周波数特性と切替周波数）

[0071] 制御信号発生部1010が生成する位相シフタの制御信号の切替周期Tは、位相シフタが反応する熱応答の時定数 τ よりも十分に短い時間とする。すなわち制御信号の切替周波数 f_s は、位相シフタが反応する熱応答の時定数 τ に対応する周波数（カットオフ周波数 f_c ）よりも十分に高い周波数で行う。

[0072] 図11は、切替の周波数 f に対する位相シフタの位相変調量の変化を表す周波数特性図である。ゆっくりとした切替の周波数 f （ $f < f_c$ ：カットオ

フ周波数)の場合には、位相シフトの応答が1周期の間で追従するものの、その間に時分割で同時に制御している他の位相シフトの位相が変動してしまう。そのため、位相シフトの位相が変動しない程度に高い周波数で切り替えを行う ($f_c < f_s = 1/T$) ことにより、時分割で制御する複数の位相シフトに対して、同時に電力を供給することができ、それぞれを駆動することができる。

[0073] 時分割制御を行うに当たり、被駆動エレメントの応答時間は遅い(図11において、高い周波数では位相変調量が減衰する)ほうが制御が容易になる(切替周波数が低くてもよくなる)。熱光学効果を用いた被駆動エレメントは比較的応答時間が遅く、したがって、制御が容易である。

[0074] 熱光学効果を用いた位相シフトのほかにも、磁気光学効果による偏波変調素子や、高速な応答を示す電気光学効果による光学変調素子においても、各被駆動エレメントに対してコンデンサ等を設置することで応答時間を等価的に長くすることで、本発明の効果をを得ることが可能である。

(整流手段)

[0075] また、電力を供給する際には、複数の位相シフトが電氣的に接続されていることから、意図しない位相シフトにも電流が回り込むことで、電力が供給されてしまうのを防ぐための整流手段として、各位相シフトに直列にダイオードが設けられている。例えば図7でダイオードが無い場合には、位相シフトA1を駆動する際に、例えば電気パッドAに高電位を電気パッド1に低電位を印加する場合、アクセス配線のパスとして、電気パッドA→位相シフトA2→位相シフトB2→位相シフトB1→電気パッド1の順で電流が流れ、予期しない位相シフトも駆動されることが起こりえる。

[0076] これを防止するため、各位相シフトの出力側の電気配線(列駆動信号1～3の配線)にダイオードを付けることで、電流の回り込みを防止し、意図しない位相シフトに給電することを抑止できる。このダイオードは位相シフトの入力側の電気配線(行制御信号A～Dの配線)に設けてもよく、制御信号のレベルを反転すれば逆向きであってもよく、整流特性のある素子であれば

よく、 $p-n$ 接合やショットキーダイオードを使用することが可能である。好ましくは逆回復時間の短いスイッチングダイオードを用いるのが望ましい。さらに、シリコンや $1-n-P$ による半導体光導波路であれば、光導波路内に $p-n$ 接合を作りこむことで、整流特性を持たせることもできる。

[0077] さらに、行、または列が同じ複数の位相シフタを、同じスロットで同時に駆動することも可能である。

(制御信号の波形図の他の例)

[0078] 図9、図10は、切替周期 T を3つの時間スロットに分割する時分割制御時に、制御信号発生部1010が生成する制御信号の波形図の他の例である。図9では、スロット1において同じ行 A の位相シフタ $A1$ と $A2$ に、スロット2において $B2$ に、スロット3において $D3$ に電位差を印加する。一方、図10では、スロット1において同じ列1の $A1$ と $C1$ に、スロット2において $B2$ 、スロット3において $D3$ にそれぞれ電位差を印加する。

[0079] 図9、図10に示す例は、どちらもスロット1において複数の位相シフタを同じタイミングで駆動する例であるが、他のスロット2、3であってもよい。すなわち、単一のスロットで行配線、列配線それぞれのうちで複数の配線に対して電位を制御することにより、同一の行もしくは同一の列に存在する複数の位相シフタを単一のスロットで同時に駆動して光スイッチを制御することができる。

[0080] さらに、ひとつの位相シフタで一つのスイッチ要素を駆動してもよいし、複数の位相シフタを用いて一つのスイッチ要素を駆動してもよい。この場合、一つのスイッチ要素を駆動するために使用する位相シフタを同時に駆動することで、時間分割スロット数を少なくすることも可能である。実施例2と同様に、制御信号の時間波形を、複数の切替周期 T にわたって同一又は異なる所定のパターンで反復してもよい。

[0081] このような制御が可能な光信号処理装置としては、複数の位相シフタを用いるマトリックススイッチやマルチキャストスイッチ、ラティスフィルタやトランスバーサルフィルタ、可変光減衰器アレイなどが挙げられる。

(実施例4)

[0082] 本発明の光信号処理装置においては、位相シフタへの配線は行配線と列配線により行列（マトリックス）を構成することで、少ない電気配線の取り出しで各位相シフタの制御を実現する。この電気配線は、物理的に行列状に配線されていなくとも、等価回路として論理的に行列構成となっていればよい。

[0083] 図12(a)は、本発明の実施例4のラティスフィルタの物理的回路構成例を示す図であり、(b)は、(a)の電氣的等価回路を示す図である。図12(a)では、光導波路基板上的実際の光導波路と位相シフタ103-1～103-6、および位相シフタを制御する電気配線（行配線A、Bおよび列配線1～3）の物理的レイアウトを示している。図12(a)には、整流手段としてのダイオードも示されている。

[0084] 光導波路の特性上、物理的に光導波路に極端な曲げを設けることは困難を伴うが、電気配線のレイアウトには制約が少ないので、図12(a)に示すように、複数の位相シフタが一直線にレイアウトされることが多い。この場合においても、電気回路部分を等価回路に変換した図12(b)の電氣的等価回路に示すように、論理的には行列状に位相シフタが配置されたものとして扱うことが可能である。

[0085] また、本実施例4では、ラティスフィルタを例として説明したが、トランスバーサルフィルタやリング共振器によるフィルタ、MZIを用いる可変光減衰器アレイや、さらにはそれらを組み合わせた光信号処理装置にも本発明は適用可能である。さらに、実施例1～4に示した光スイッチに適用することも可能である。

[0086] また、図13に示すように、行配線と列配線の交点には必ずしも位相シフタなどの被駆動エレメントは存在しなくても構わない。図13では、行配線Bと列配線2の交点には位相シフタ103-5を配置しない例を示す。上述の行列状の配線においては、2次元にアクセス配線を展開することが眼目であり、厳密な行列を構成する必要はないことは明らかである。すなわち本発

明に於ける行列（配列、アレイ、マトリックス）とは、部分的に空き要素を含むものであっても良く、粗（スパース）な配列であっても全体としてアクセス配線を展開することが可能であれば良い。

（実施例 5）

[0087] 上述の実施例 1～4 に記載のとおり、被駆動エレメントへのアクセスを時分割で行うことで、被駆動エレメントへのアクセス配線数を削減することが可能である。本発明の実施例 5 では、各被駆動エレメントへ時分割アクセスを行う際の時分割駆動周波数 f_s （実施例 1～3 における、切替周期 T に対応する周波数）について検討する。

[0088] 近年の光通信システムでは、周波数利用効率を高めるため、直交振幅変調（QAM: Quadrature Amplitude Modulation）フォーマットを用いて信号を伝送することが一般的である。QAM 信号の生成には位相変調素子が必要となるが、被駆動エレメントが位相変調素子であるとき、時分割駆動周波数 f_s が十分高くない場合、位相変調素子の時分割駆動信号による位相変調成分がノイズとして、光変調された QAM 信号に重畳され、通信品質を劣化させる可能性がある。したがって、時分割駆動周波数は、位相変調素子の応答よりも十分高いことが好ましい。

[0089] 図 14～図 17 は、上記の考え方に基づく実施例 5 を説明する概念図である。実施例 5 の図 14～図 17 では、16 QAM 信号を例に説明するが、QPSK（Quadrature Phase Shift Keying）や 64 QAM 等の他の変調フォーマットでも同様であることは明らかである。

[0090] 図 14 は、16 QAM 信号のコンスタレーションマップである。各シンボル点は情報に対応し、これらが十分に分離していることが正確な情報伝達には重要である。

[0091] 図 15 は、本実施例 5 において説明する光信号処理装置の位相変調素子 153 を含むマッハツェンダ干渉計の各部の光信号を示す図である。マッハツェンダ干渉計では、入力光信号 E_{in} がカプラ 151 により二分岐され、一方

が位相シフタである位相変調素子 1 5 3 により位相変調を受けたのちに、カプラ 1 5 2 を介して合波されて E_{out} として出力される。この際、2 分岐された光信号 E_1 と E_2 との位相関係により、2 つの出力のどちらに出力されるかが決定される。

[0092] 図 1 5 の場合、位相変調素子（位相シフタ） 1 5 3 により光信号 E_2 が変調されるが、本発明の時分割駆動を用いる場合、 E_2 に残留する駆動周波数成分が図 1 6 の複素信号ベクトル図に示されるように、変調光信号に重畳される。すなわち、光信号のマッハツェンダ出力後の光電界 E_{out} は、位相変調を付与されないアームを経由した光電界 E_1 のフェーズ上の終点 P に、位相変調素子を有するアームを経由した光電界 E_2 をベクトル合成したものであり、位相変調素子により付与される残留位相成分 $\Delta\phi$ により E_{out} は位相変調を受ける。

[0093] ここで、出力光信号により付与される位相変調量は、図 1 6 中に重畳位相 ϕ で示される位相量である。図 1 4 の QAM 信号のコンスタレーションマップにおいて、この位相量 ϕ （残留変動成分）が、シンボル分離に必要な位相量 θ よりも大きくなる場合に信号誤りを生じ、正しく情報伝送ができなくなる。したがって、時分割駆動の周波数 f_s を位相変調素子の応答周波数 f_c よりも十分高く設定し、

$$\phi < \theta$$

とするのが好ましい。好ましくは、

$$\phi < 0.1 \times \theta \quad (1)$$

と設定する。

[0094] 図 1 7 は、位相変調素子の周波数応答（時定数 τ に対応するカットオフ周波数 f_c ）と残留位相 $\Delta\phi$ および時分割駆動周波数 f_s の関係を示す周波数特性図である。

熱光学効果による光位相変調素子（位相シフタ）の場合、その応答は一次ローパスフィルタであり、カットオフ領域では $10\text{ dB}/\text{dec}$ の減衰特性を有する。したがって、(1) の関係を満たすためには、位相シフタの熱光学

時定数を τ としたとき、そのカットオフ周波数 $f_c = 1/\tau$ に対して、時分割駆動の周波数 f_s を

$$f_s > 10 \times 1/\tau$$

とする。例えば、典型的な石英系光導波路の場合では、位相シフタの熱光学時定数 τ は1 ms程度であるから、 $f = 10 \text{ kHz}$ とすることでQAM信号に影響を与えることなく、本発明の光信号処理装置を制御することが可能である。

産業上の利用可能性

[0095] 以上述べたように、本発明によれば光導波路を用いて実現される光スイッチや光フィルタ等の光信号処理装置における電気配線を削減することができ、チップサイズの削減が可能である。加えて、光導波路従来個別の位相シフタ毎に設置していた電源等の駆動手段を、複数の位相シフタで異なる時間タイミングで共有することで、電源等の駆動手段の数を削減することが可能である。上記の効果により、非信号処理装置の量産性を向上し、部品点数の削減を通じて装置の低廉化に寄与する。

符号の説明

[0096] 100 電気配線
200 電気パッド
102 光導波路チップ
103-1～103-12 位相シフタ
104-1～104-12 ダイオード
A～D 電気配線パッド（行制御信号端子）
1～3 電気配線パッド（列駆動信号端子）
106 ワイヤボンディング配線
101-1～101-3 入力ファイバ
105-1～105-4 出力ファイバ
153 位相変調素子
1001 ヒータ

1 0 0 2 入力光導波路

1 0 0 3、1 0 0 8 出力光導波路

1 0 0 4、1 0 0 5、1 5 1, 1 5 2 方向性結合器（カップラ）

1 0 0 6、1 0 0 7 （アーム）光導波路

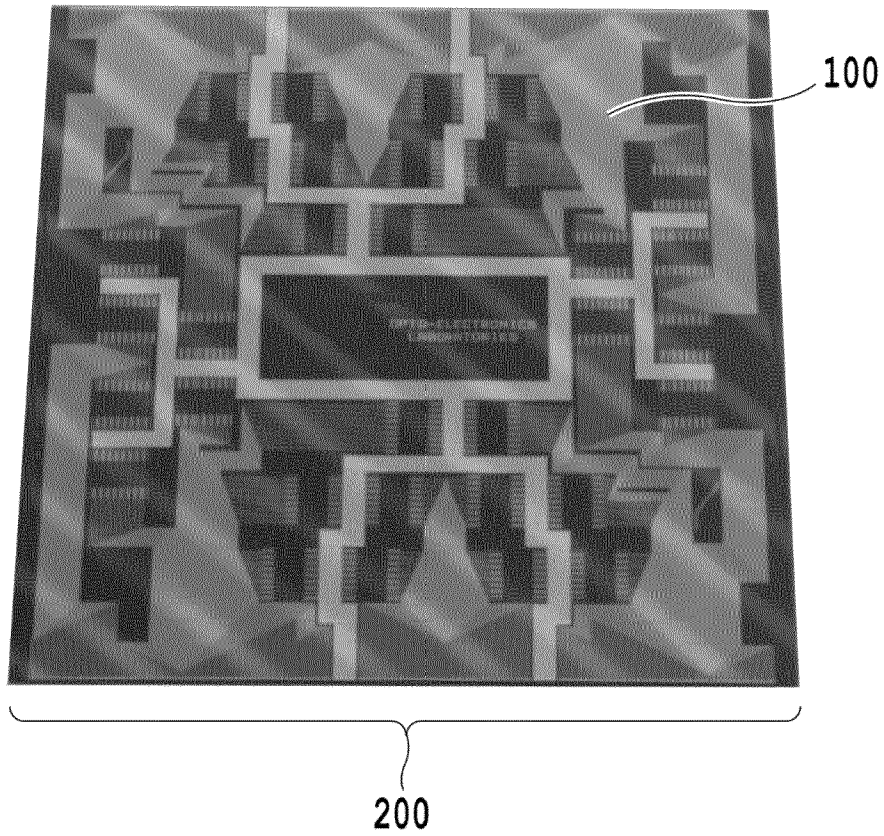
1 0 1 0 制御信号発生部

請求の範囲

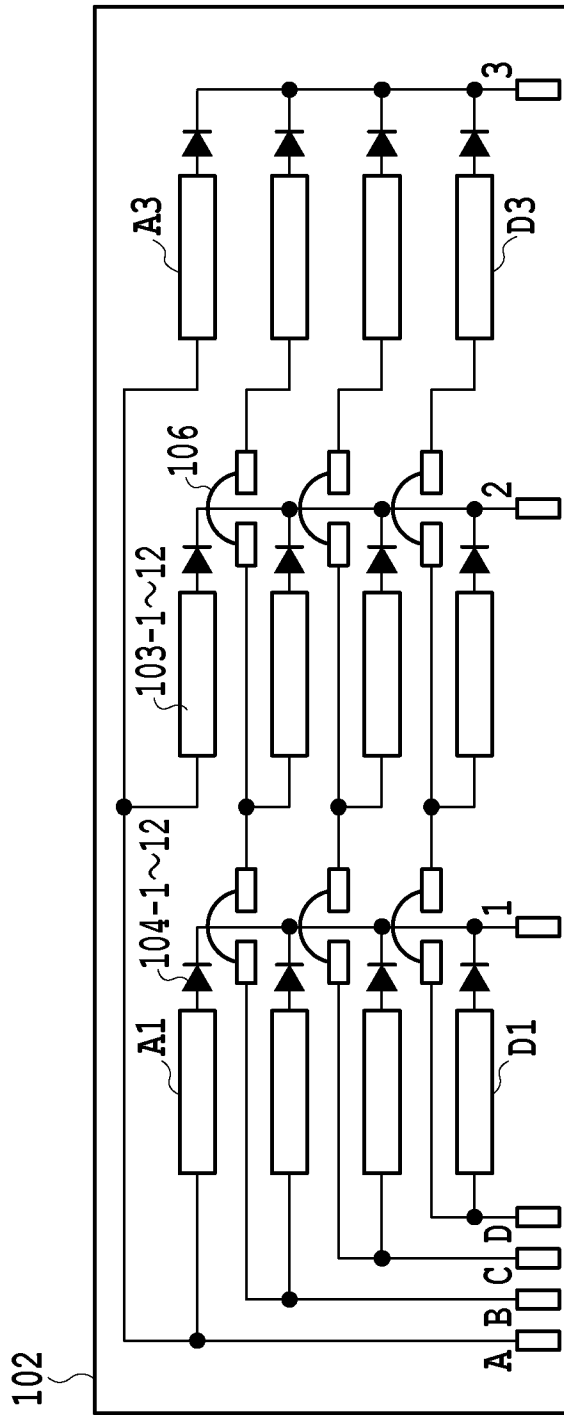
- [請求項1] 基板に形成された光導波路を有する光信号処理装置であって、
 前記光導波路は少なくとも一つの入力ポートと、少なくとも一つの出力ポートを有し、
 前記入力ポートから入力された光信号に対して位相シフトを加える位相シフトを含む被駆動エレメントを複数有し、
 各前記被駆動エレメントは少なくとも二つの制御端子を有し、
 前記二つの制御端子間に時分割同期した制御信号を印加する制御配線を有し、
 前記被駆動エレメントへアクセスする前記制御配線が複数の被駆動エレメントで共有される
 ことを特徴とする光信号処理装置。
- [請求項2] 前記複数の被駆動エレメントは等価回路的にマトリックスに配置され、
 前記制御配線は、前記マトリックスの行に対応する行制御配線と前記マトリックスの列に対応する列駆動配線とを有し、行および列の交点に前記被駆動エレメントが存在する場合には、その前記二つの制御端子が前記行制御配線と列駆動配線に接続される
 ことを特徴とする請求項1に記載の光信号処理装置。
- [請求項3] 前記行制御配線の各々と、前記列駆動配線の各々とに接続され、少なくとも一つの所望の被駆動エレメントに接続された前記行制御配線および前記列駆動配線を選択的にアドレスする時分割同期した前記制御信号を発生する制御信号発生手段を有する
 ことを特徴とする請求項2に記載の光信号処理装置。
- [請求項4] 前記被駆動エレメントの各々に対して直列に接続された整流手段を有する
 ことを特徴とする請求項1から3のいずれかに記載の光信号処理装置。

- [請求項5] 前記光信号処理装置は、マトリックススイッチ、マルチキャストスイッチ、もしくは光フィルタまたは光信号減衰器アレイであることを特徴とする請求項1から4のいずれか1項に記載の光信号処理装置。
- [請求項6] 前記制御信号は、所定の時間スロットで時分割同期した時間波形の時分割制御信号であり、複数の時間スロットを含む切替周期 T の複数の前記切替周期 T にわたって前記時間波形が所定のパターンで反復される制御信号であることを特徴とする請求項1から5のいずれかに記載の光信号処理装置の制御方法。
- [請求項7] 前記時分割制御信号の前記切替周期 T は、前記位相シフタの時定数 τ よりも十分短いことを特徴とする請求項6に記載の光信号処理装置の制御方法。
- [請求項8] 前記光信号の変調フォーマットが直交振幅変調信号であって、
前記直交振幅変調信号の各シンボル点間の距離に相当する位相差 θ とし、前記位相シフタの周波数応答における、前記時分割制御信号の切替周波数 f_s ($= 1 / T$)での残留変動成分を ϕ とすると、
 $\phi < \theta$
であることを特徴とする請求項6または7に記載の光信号処理装置の制御方法。

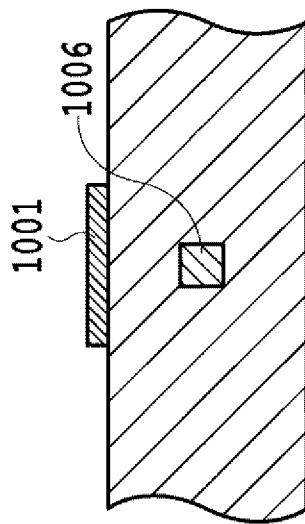
[図1]



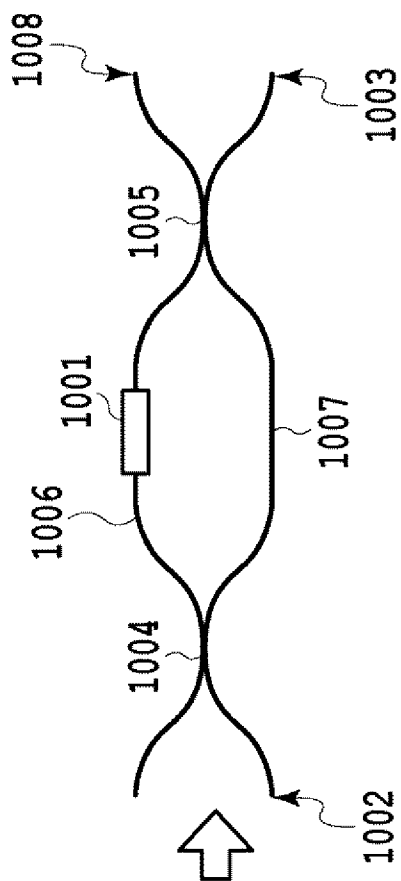
[図2]



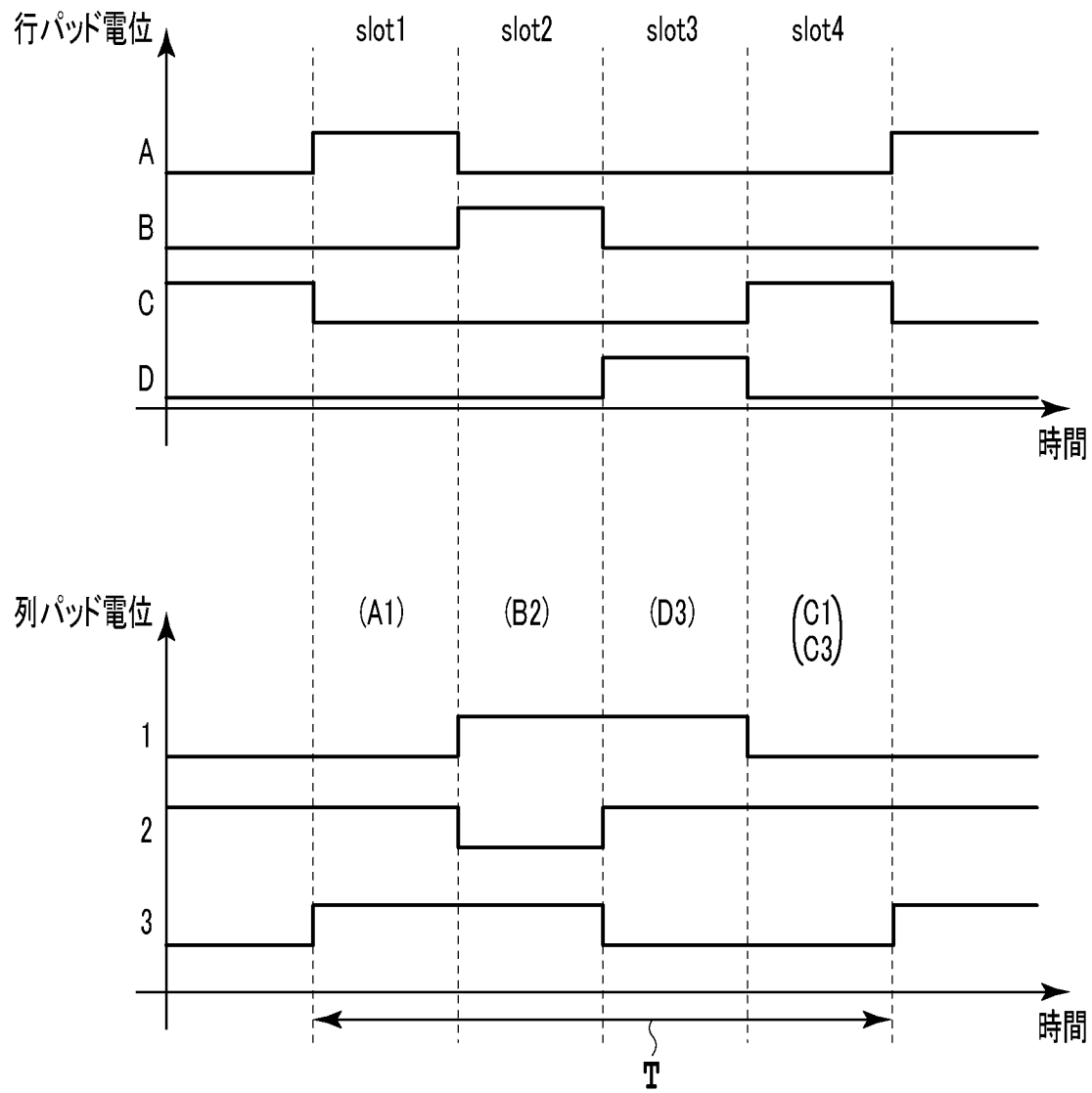
[図3]



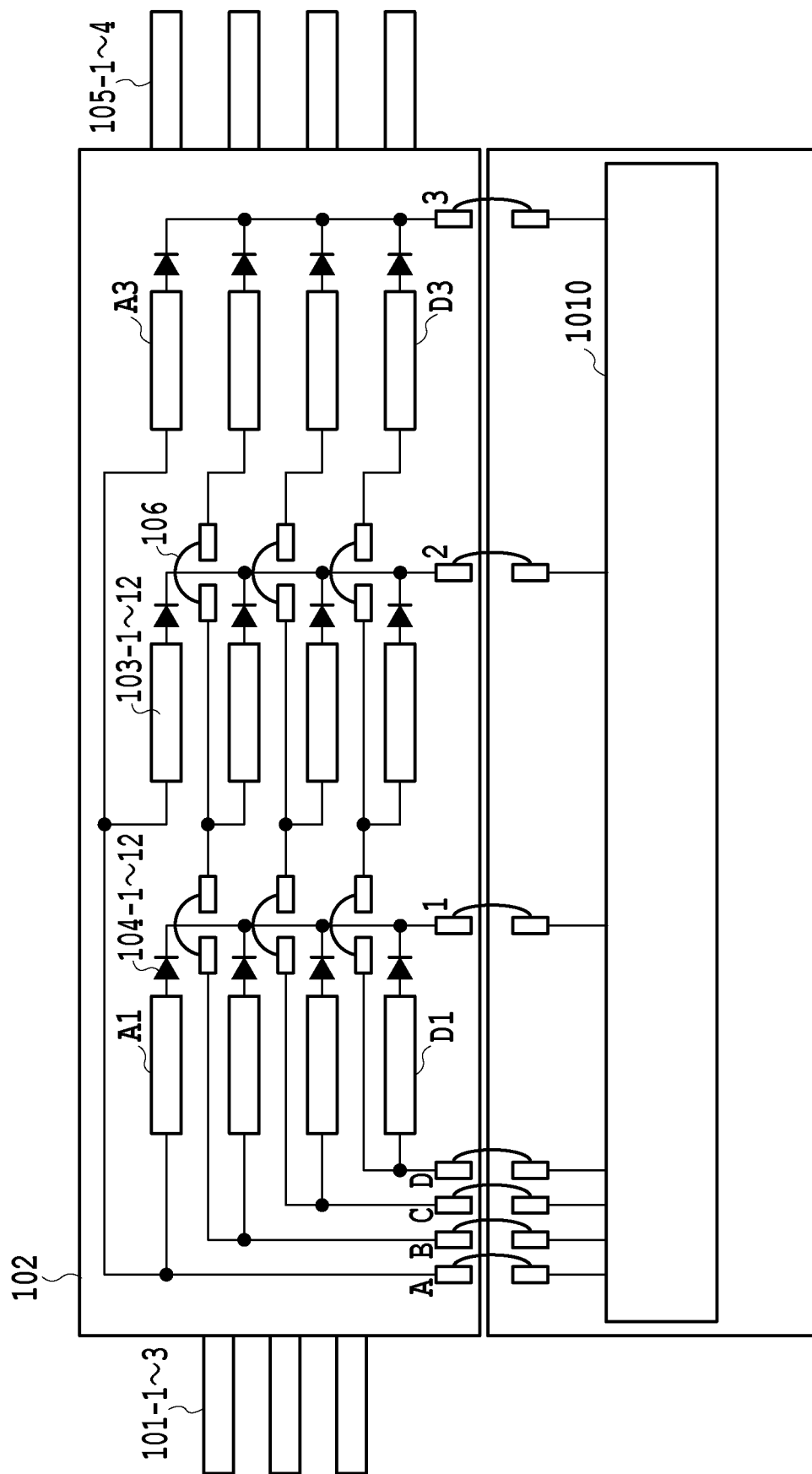
[図4]



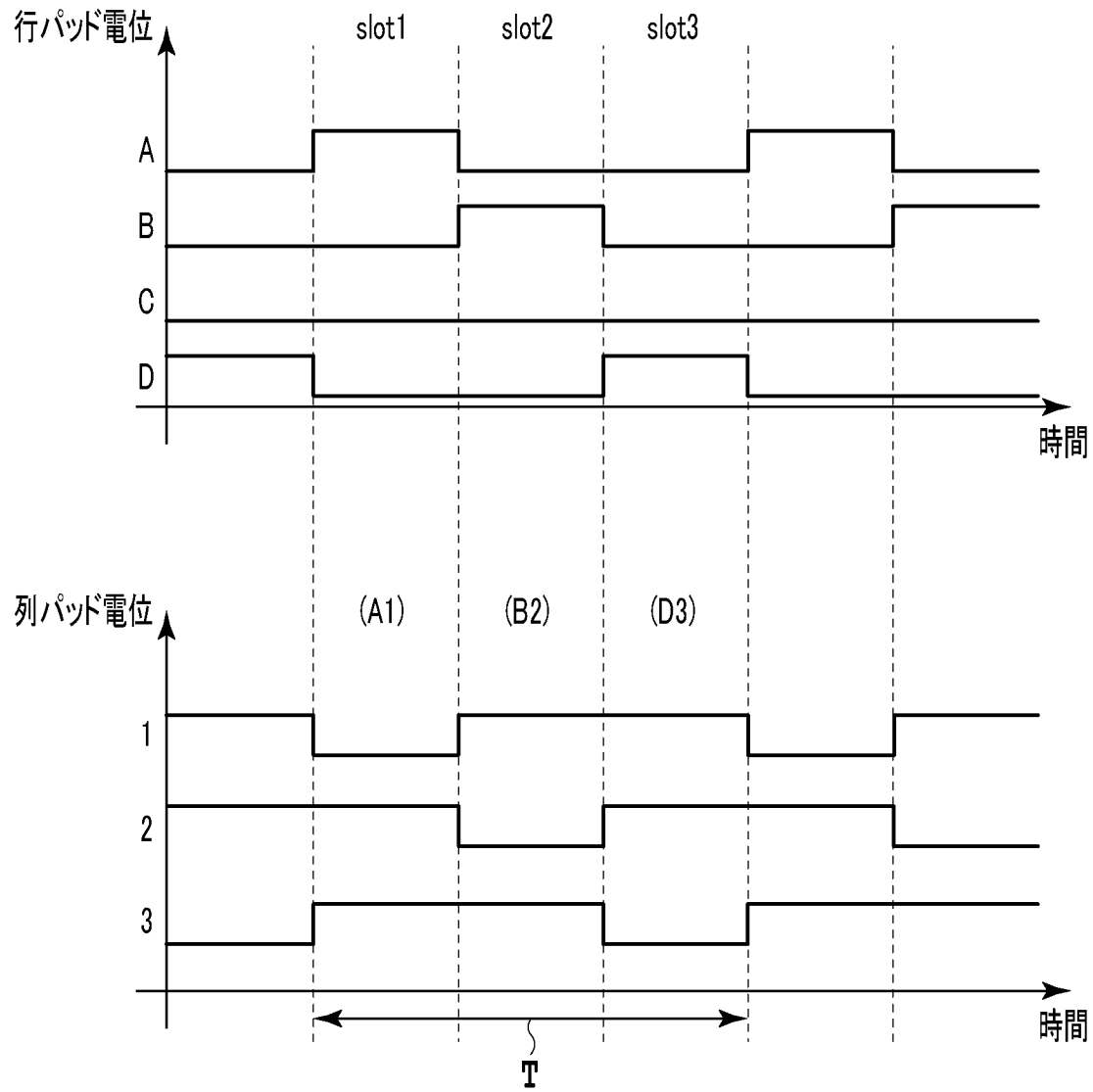
[図6]



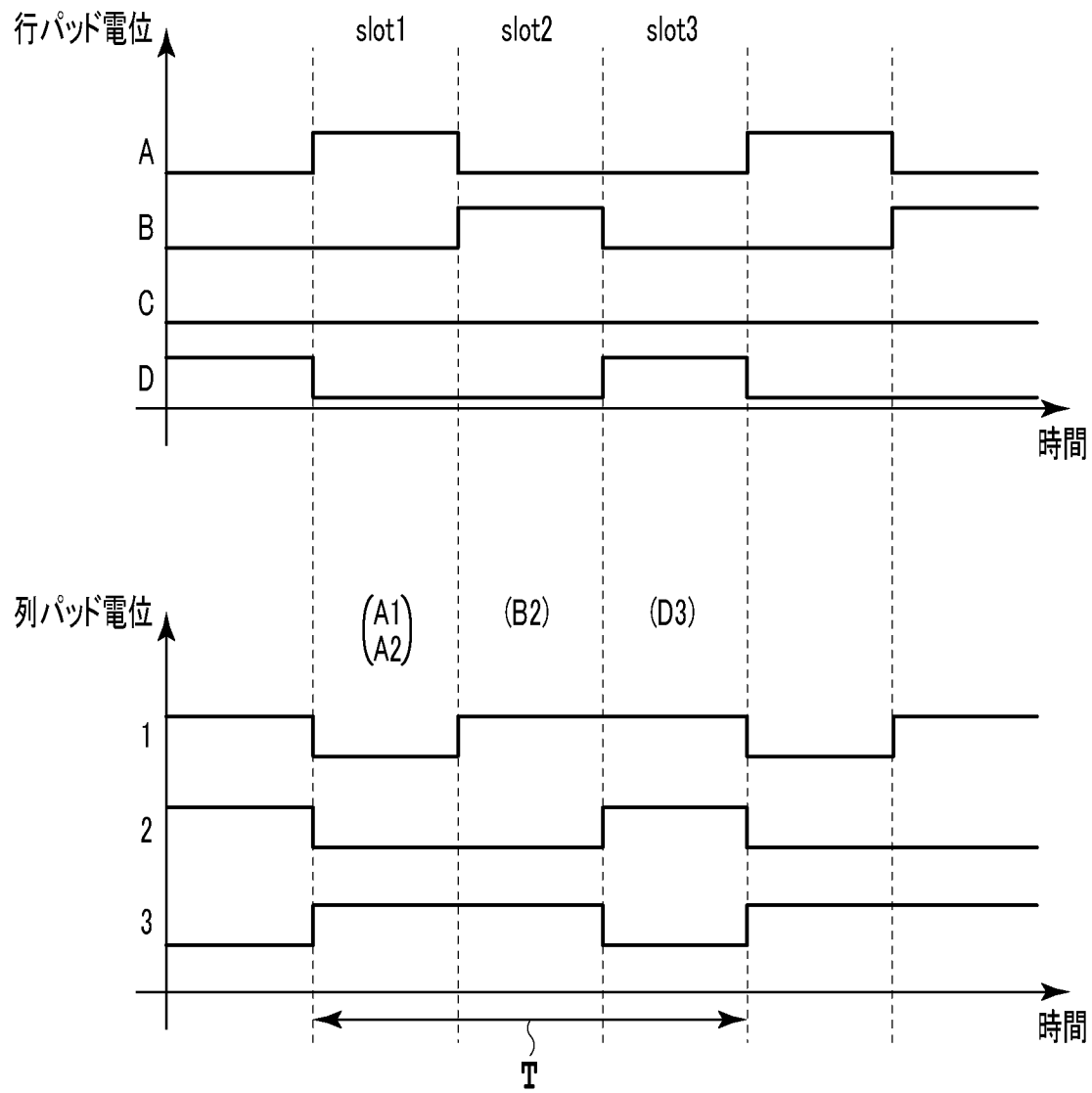
[図7]



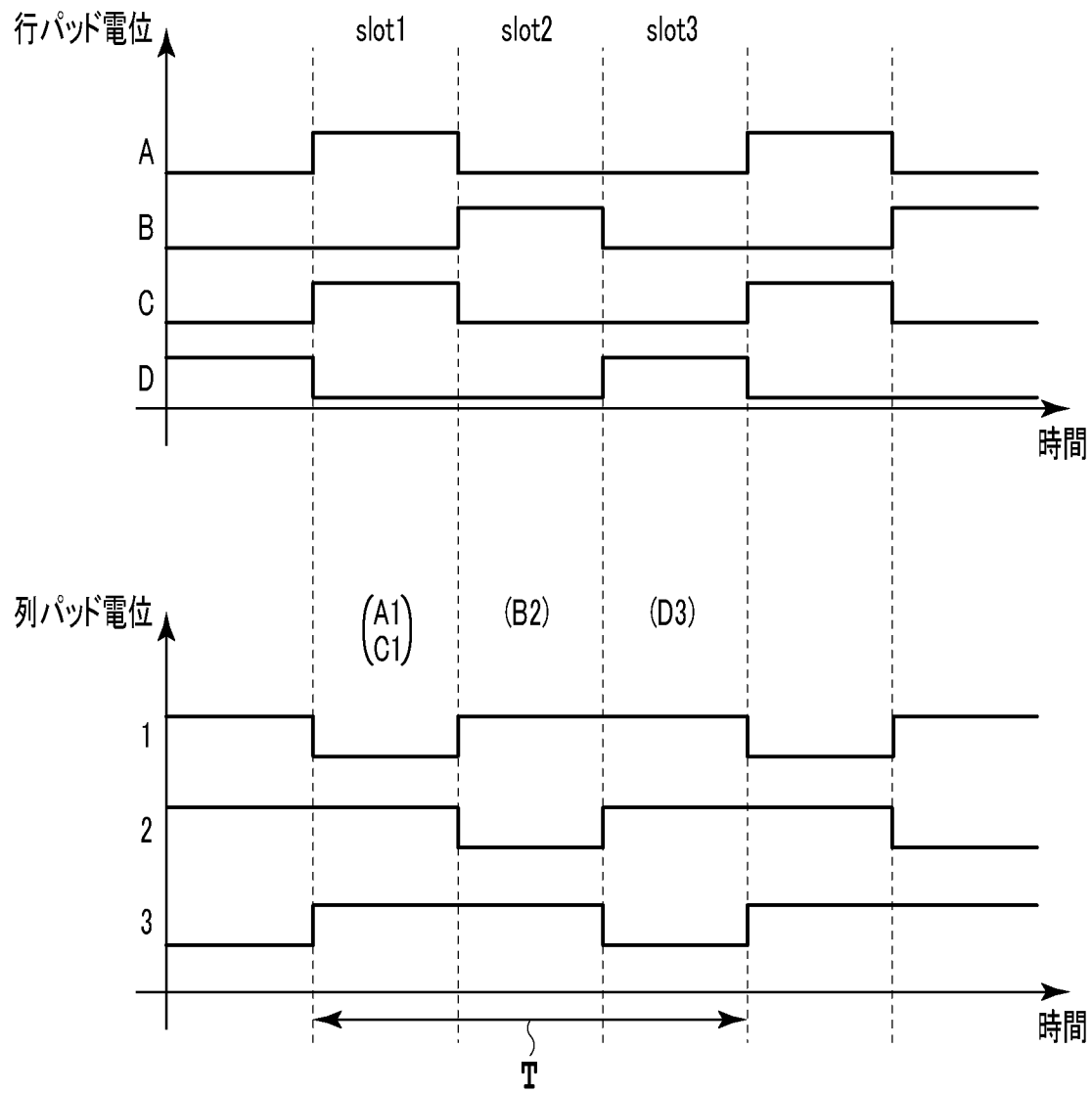
[図8]



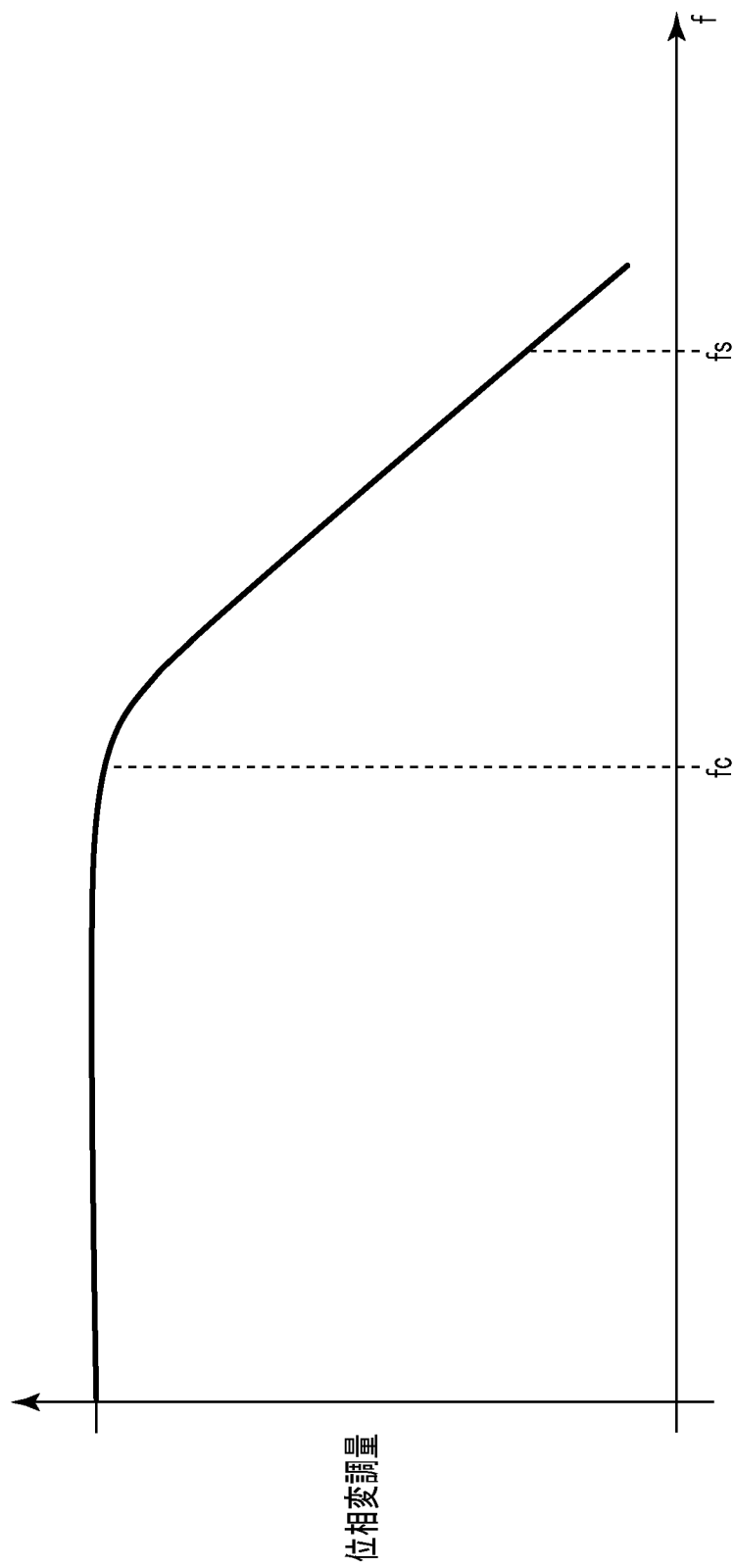
[図9]



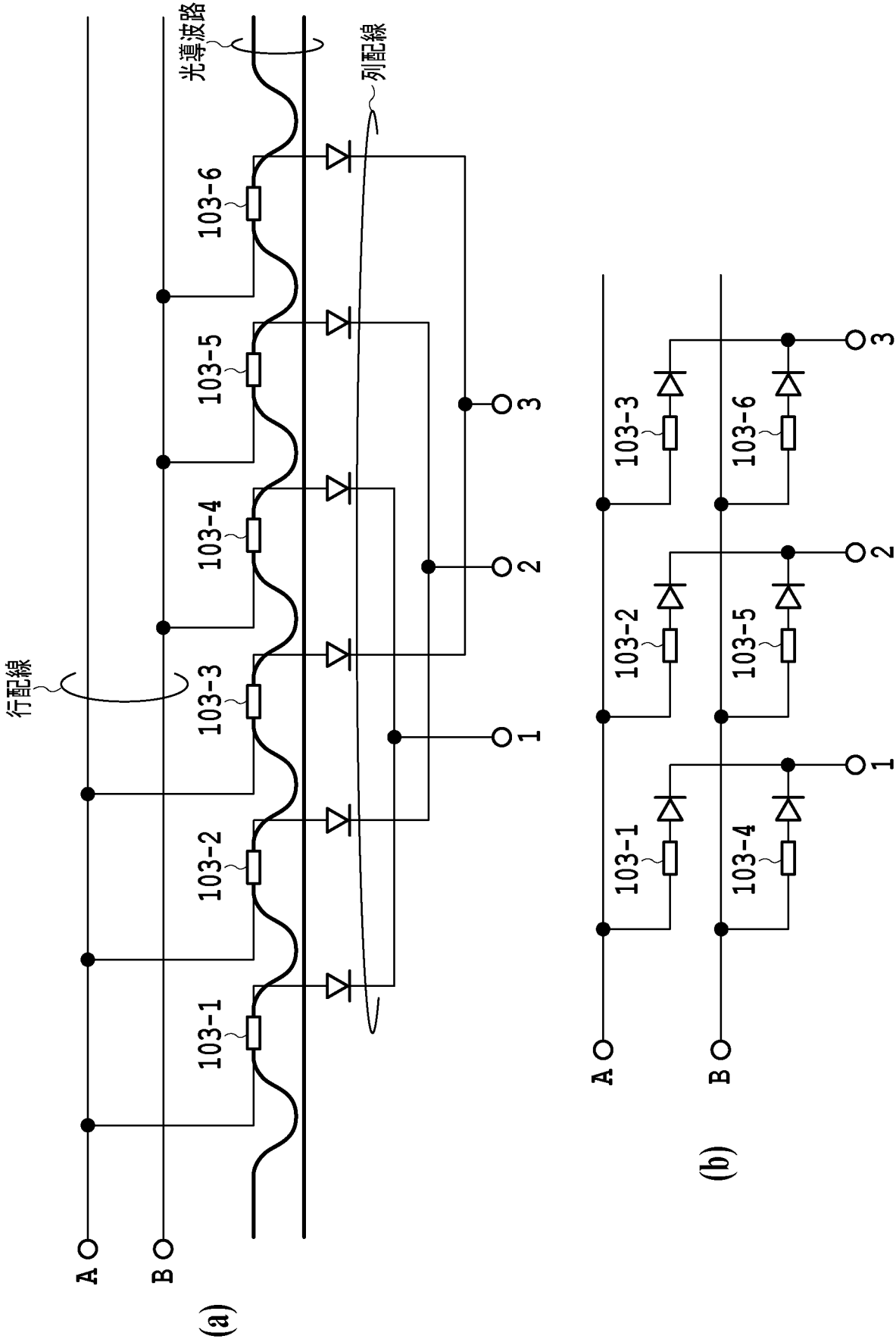
[図10]



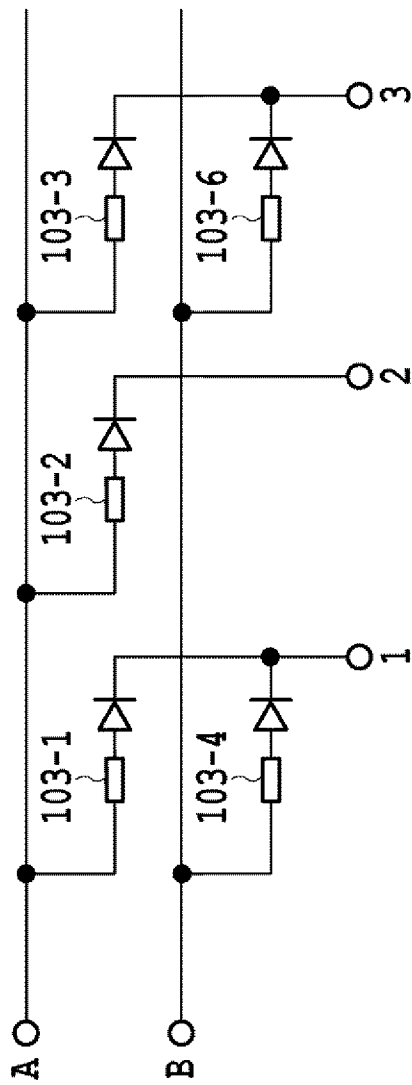
[図11]



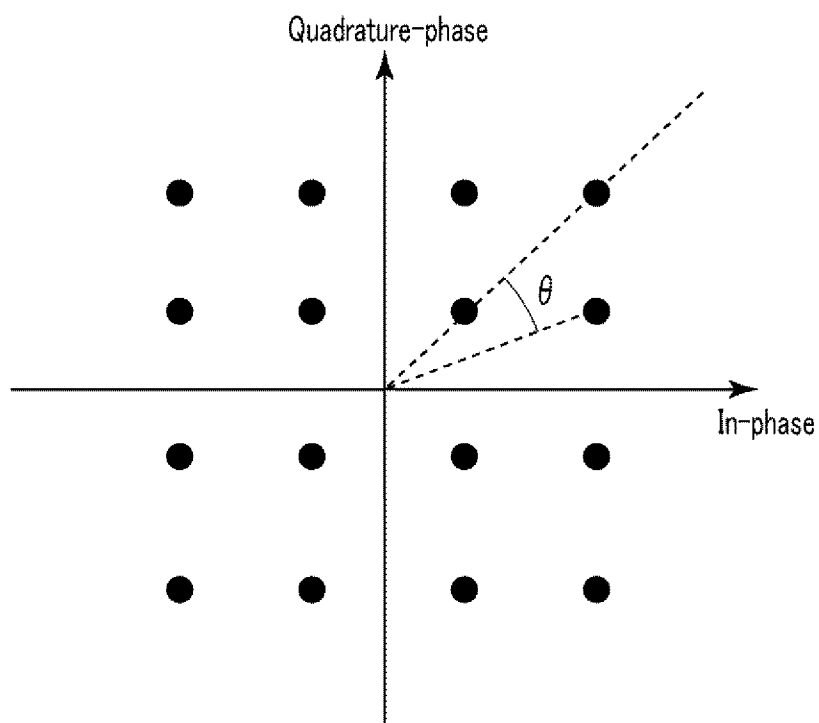
[図12]



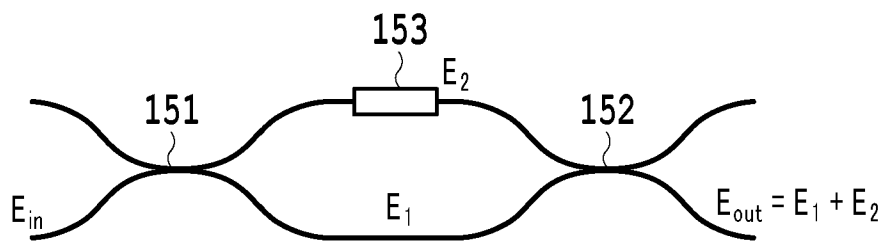
[図13]



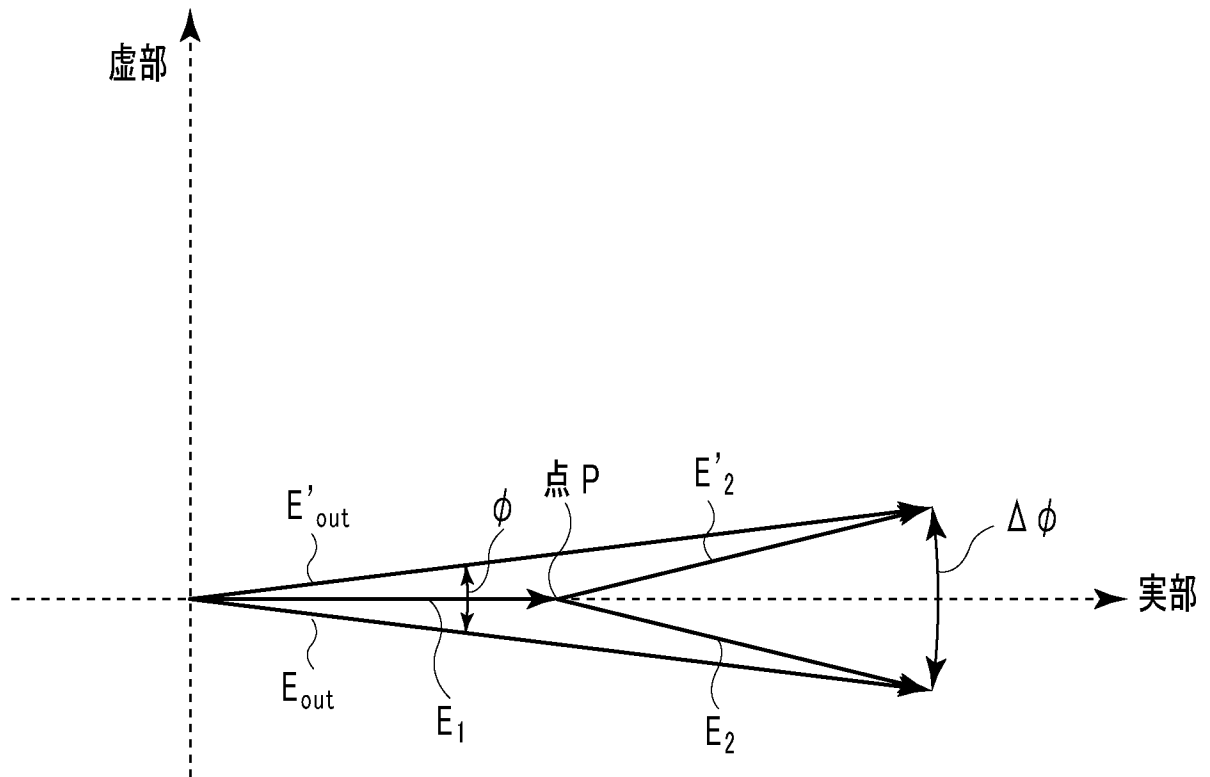
[図14]



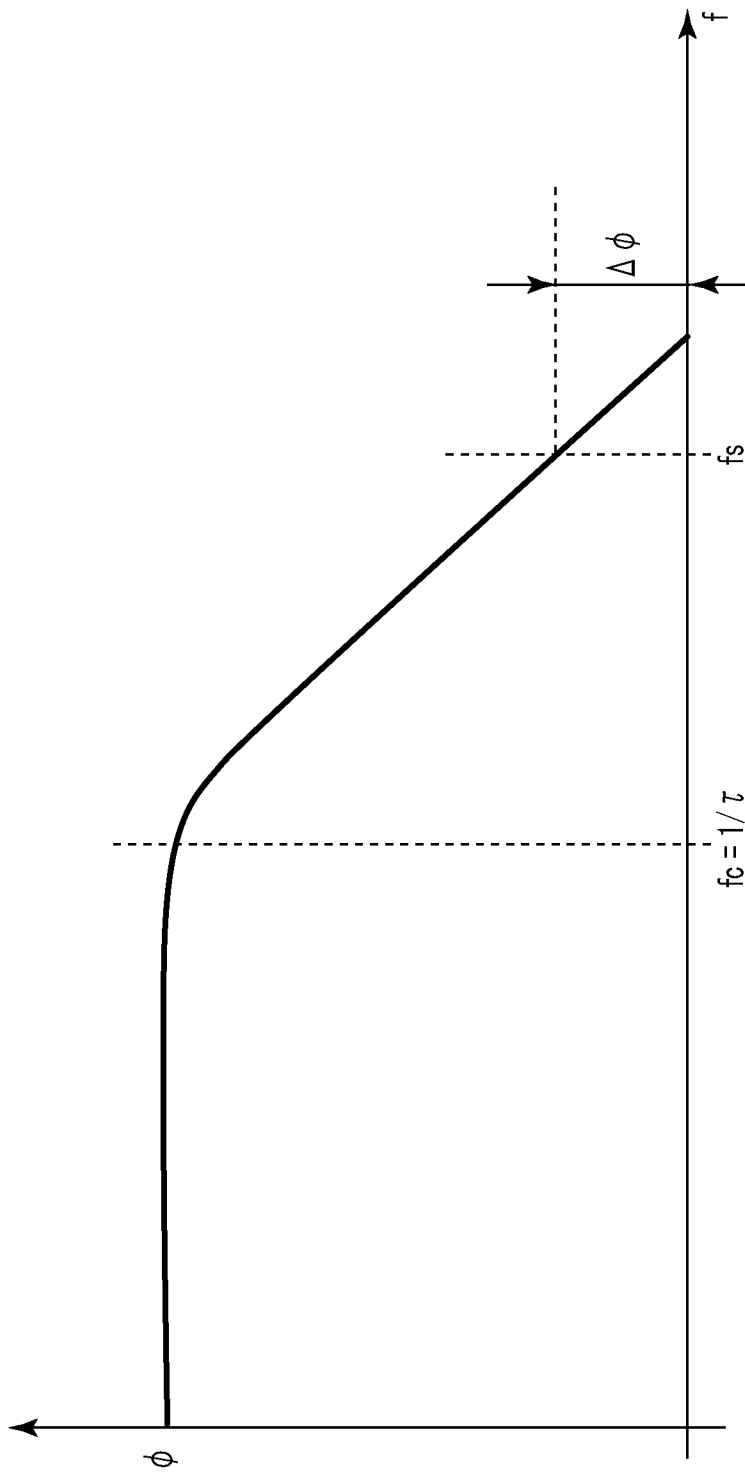
[図15]



[図16]



[図17]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/024394

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. G02F1/01 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. G02F1/00-1/125, G02F1/21-7/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

IEEE Xplore

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2012-22184 A (NEC CORP.) 02 February 2012, paragraphs [0006]-[0011], [0014]-[0018], [0021], fig. 5-6, 8-9 (Family: none)	1-3, 5-7
Y		4, 8
Y	JP 2007-316397 A (YAMAHA CORP.) 06 December 2007, paragraphs [0002]-[0010], fig. 6(b) (Family: none)	4

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

06 August 2019 (06.08.2019)

Date of mailing of the international search report

20 August 2019 (20.08.2019)

Name and mailing address of the ISA/

Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/024394

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CD-ROM of the specification and drawings annexed to the request of Japanese Utility Model Application No. 70933/1991 (Laid-open No. 17672/1993) (BANDAI CO., LTD.) 05 March 1993, fig. 3 (Family: none)	4
Y	WO 2013/012015 A1 (NIPPON TELEGRAPH AND TELEPHONE CORP.) 24 January 2013, paragraphs [0054]-[0055], fig. 25-26 & JP 5767327 B2 & US 2014/0126905 A1, paragraphs [0092]-[0093], fig. 25-26 & US 9326049 B2	8
A	JP 10-308961 A (SIEMENS AG) 17 November 1998, paragraphs [0008]-[0013], fig. 1 & DE 19702743 A1	1-8
A	US 2016/0337731 A1 (GRAVES, Alan Frank) 17 November 2016, entire text, all drawings & WO 2016/180340 A1	1-8
A	US 5729642 A (THANIYAVARN, Suwat) 17 March 1998, entire text, all drawings (Family: none)	1-8
A	GOH et al., "Low Loss and High Extinction Ratio Strictly Nonblocking 16 x 16 Thermo-optic Matrix Switch on 6-in Wafer Using Silica-Based Planar Lightwave Circuit Technology", Journal of Lightwave Technology, March 2001, vol. 19, no. 3, pp. 371-379	1-8

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G02F1/01(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G02F1/00-1/125, G02F1/21-7/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

IEEE Xplore

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2012-22184 A（日本電気株式会社）2012.02.02, 段落 [0006]-[0011], [0014]-[0018], [0021], 図5-6, 8-9（ファミリーなし）	1-3, 5-7 4, 8
Y	JP 2007-316397 A（ヤマハ株式会社）2007.12.06, 段落 [0002]-[0010], 図6(b)（ファミリーなし）	4

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

06.08.2019

国際調査報告の発送日

20.08.2019

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

野口 晃一

2 L

5708

電話番号 03-3581-1101 内線 3295

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	日本国実用新案登録出願 3-70933 号(日本国実用新案登録出願公開 5-17672 号)の願書に添付した明細書及び図面の内容を記録した CD-ROM (株式会社バンダイ) 1993.03.05, 図 3 (ファミリーなし)	4
Y	WO 2013/012015 A1 (日本電信電話株式会社) 2013.01.24, 段落 [0054]-[0055], 図 25-26 & JP 5767327 B2 & US 2014/0126905 A1, 段落[0092]-[0093], 図 25-26 & US 9326049 B2	8
A	JP 10-308961 A (シーメンス アクチエンゲゼルシャフト) 1998.11.17, 段落[0008]-[0013], 図 1 & DE 19702743 A1	1-8
A	US 2016/0337731 A1 (GRAVES, Alan Frank) 2016.11.17, 全文, 全図 & WO 2016/180340 A1	1-8
A	US 5729642 A (THANIYAVARN, Suwat) 1998.03.17, 全文, 全図 (ファミリーなし)	1-8
A	GOH et al., Low Loss and High Extinction Ratio Strictly Nonblocking 16 x 16 Thermo-optic Matrix Switch on 6-in Wafer Using Silica-Based Planar Lightwave Circuit Technology, Journal of Lightwave Technology, 2001.03, Vol.19, No.3, pp.371-pp.379	1-8