

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-222581

(P2005-222581A)

(43) 公開日 平成17年8月18日(2005.8.18)

(51) Int. Cl.<sup>7</sup>

G 1 1 C 11/403

G 1 1 C 11/401

G 1 1 C 11/406

G 1 1 C 11/407

F I

G 1 1 C 11/34

3 7 1 J

G 1 1 C 11/34

3 6 2 S

G 1 1 C 11/34

3 6 3 K

G 1 1 C 11/34

3 7 1 K

テーマコード (参考)

5MO24

審査請求 未請求 請求項の数 23 O L (全 68 頁)

(21) 出願番号 特願2004-26999 (P2004-26999)

(22) 出願日 平成16年2月3日(2004.2.3)

(71) 出願人 503121103

株式会社ルネサステクノロジ

東京都千代田区丸の内二丁目4番1号

(74) 代理人 100064746

弁理士 深見 久郎

(74) 代理人 100085132

弁理士 森田 俊雄

(74) 代理人 100083703

弁理士 仲村 義平

(74) 代理人 100096781

弁理士 堀井 豊

(74) 代理人 100098316

弁理士 野田 久登

(74) 代理人 100109162

弁理士 酒井 将行

最終頁に続く

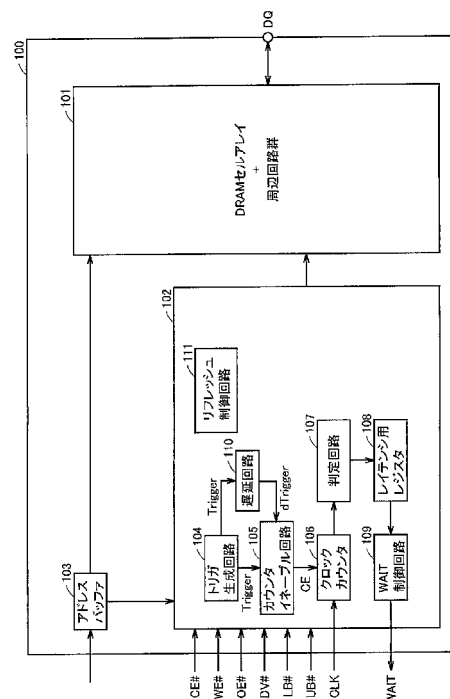
(54) 【発明の名称】 半導体記憶装置

## (57) 【要約】

【課題】 適切なタイミングで内部でレイテンシを設定する半導体記憶装置を提供する。

【解決手段】 トリガ生成回路104は、トリガ信号を出力する。遅延回路110は、トリガ信号を受けて、トリガ信号を遅延させた遅延信号を出力する。クロックカウンタ106は、クロックを受け、トリガ信号を受けてから遅延信号を受けるまでの間、受けたクロックの数をカウントし、カウント結果を出力する。判定回路107は、クロックの数とレイテンシとの対応関係を記憶し、クロックカウンタから出力されるカウント結果に対応するレイテンシを判定する。レイテンシ用レジスタ108は、判定されたレイテンシを保持する。WAIT制御回路109は、レイテンシ用レジスタ108に保持されたレイテンシに基づき、外部にWAIT信号を出力する。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

クロックに同期して動作する半導体記憶装置であって、  
行列状に配置された複数のメモリセルを有するメモリアレイと、  
トリガ信号を出力するトリガ生成回路と、  
前記トリガ信号を受けて、前記トリガ信号を遅延させた遅延信号を出力する遅延回路と

、  
前記クロックを受け、前記トリガ信号を受けてから前記遅延信号を受けるまでの間、受けたクロックの数をカウントし、カウント結果を出力するクロックカウンタと、

クロックの数とレイテンシとの対応関係を記憶し、前記クロックカウンタから出力されるカウント結果に対応するレイテンシを判定する判定回路と、 10

前記判定されたレイテンシを保持するレジスタと、

前記レジスタに保持されたレイテンシに基づき、外部にウエイト信号を出力するウエイト制御回路とを備えた半導体記憶装置。

## 【請求項 2】

前記トリガ生成回路は、

外部信号をラッチしてラッチ信号を生成する回路と、

前記ラッチ信号の組合せに応じて、読出し信号または書込み信号とともに前記トリガ信号を出力する論理回路とを備えた請求項 1 記載の半導体記憶装置。

## 【請求項 3】

行列状に配置された複数のダイナミックランダムアクセスメモリのメモリセルを有し、  
1 度のリフレッシュの単位となるバンクを複数個有するメモリアレイと、

リフレッシュのトリガを出力する回路と、

前記リフレッシュトリガを受けたときに、外部から指示された動作を実行中のときに、  
前記動作を実行中のバンクと異なるバンクを選択して、前記選択したバンクのアドレスを出力するバンク選択回路と、

前記受けたアドレスのバンクのリフレッシュを実行するリフレッシュ制御回路とを備え

、  
前記バンク選択回路は、

リフレッシュが実施済みのバンクのアドレスを保持し、すべてのバンクのアドレスが保持されると、保持されているすべてのアドレスが消去されるレジスタと、 30

前記リフレッシュトリガを受けたときに、前記レジスタを参照してリフレッシュが未実施のバンクのアドレスを特定する特定回路と、

前記未実施のバンクアドレスと、前記動作を実行中のバンクアドレスとを比較し、異なる場合に、前記未実施のバンクアドレスを出力する比較回路とを含む半導体記憶装置。

## 【請求項 4】

行列状に配置された複数のダイナミックランダムアクセスメモリのメモリセルを有するメモリアレイと、

リフレッシュのタイミングを規定する第 1 の信号を生成する第 1 の回路と、

前記第 1 の信号を出力する出力端子と、 40

外部からリフレッシュのタイミングを規定する第 2 の信号を受ける入力端子と、

前記第 1 の信号および前記第 2 の信号を受けて、いずれかの信号を出力するスイッチと

、  
前記スイッチから出力される信号を受けて、当該信号に基づきリフレッシュ制御を行なう第 2 の回路とを備えた半導体記憶装置。

## 【請求項 5】

前記半導体記憶装置は、さらに、

前記第 2 の回路でリフレッシュ制御が実行されている間、外部にウエイト信号を出力するウエイト制御回路を備えた請求項 4 記載の半導体記憶装置。

## 【請求項 6】

前記第 1 の回路は、前記第 1 の信号として一定周期の信号を出力するタイマである、請求項 5 記載の半導体記憶装置。

【請求項 7】

クロックに同期して動作し、バーストモードでのアクセスを行ない、読出し信号または書込み信号が生成されるのに先立って、ロウアドレスおよびコラムアドレスを取得する半導体記憶装置であって、

行列上に配置された複数のメモリセルを有するメモリアレイと、

外部から受けた制御信号によって読出し信号または書込み信号が生成された第 1 のクロックに同期して、選択されたロウのロウアクセス処理と、先頭から 1 個以上かつバースト

10

レインシで規定される第 2 のクロック以降のクロックに同期して、バーストモードアクセスの残りの第 2 の個数のコラムのコラムアクセス処理を行なうように制御する制御回路とを備えた半導体記憶装置。

【請求項 8】

前記半導体記憶装置は、

前記メモリセルに接続されたビット線対の電位を増幅するセンスアンプ回路と、

前記コラムを選択するコラムデコーダとを含み、

前記制御回路は、

前記センスアンプ回路を活性化させる信号が生成された後のタイミングで、前記第 1 のクロックに同期して活性化されるロウ活性化信号に応じてコラムイネーブル信号を生成する第 1 の制御回路と、

20

前記コラムイネーブル信号に応じて、前記第 1 の個数のコラムを活性化させる第 1 の指示信号を前記コラムデコーダに出力し、前記第 2 のクロック以降のクロックに同期して前記第 2 の個数のコラムを活性化させる第 2 の指示信号を前記コラムデコーダに出力する第 2 の制御回路とを備える、請求項 7 記載の半導体記憶装置。

【請求項 9】

前記制御回路は、前記第 1 のクロックに同期してコラムアクセス処理が行なわれて出力される先頭のデータのタイミングを外部に通知する信号を生成する回路を含む、請求項 8 記載の半導体記憶装置。

【請求項 10】

30

前記制御回路は、前記第 2 のクロック以降のクロックに同期してコラムアクセス処理が行なわれて出力される先頭のデータのタイミングを外部に通知する信号を生成する回路を含む、請求項 8 記載の半導体記憶装置。

【請求項 11】

リフレッシュ動作、読出し動作、または書込み動作を実行中に、前記読出しまたは書込み要求信号が生成されたときには、前記動作の実行終了後の次のクロックを前記第 1 のクロックとして動作させるためのシフト回路とを備えた請求項 8 記載の半導体記憶装置。

【請求項 12】

外部信号の組合せによって、複数の動作モードのいずれかのモードに設定される半導体記憶装置であって、

40

行列上に配置された複数のメモリセルを有するメモリアレイと、

前記メモリセルに各々接続されたビット線対と、

前記ビット線対の電位を増幅する第 1 の増幅回路と、

複数の前記ビット線対に接続された I/O 線対と、

前記各モードに応じていずれかが活性化され、前記 I/O 線対の電位を増幅する 2 種類以上の第 2 の増幅回路とを備えた半導体記憶装置。

【請求項 13】

前記複数の動作モードは、外部から入力されるクロックに同期した同期動作モードと、クロックに同期しない非同期動作モードであり、

前記第 2 の増幅回路は、

50

同期動作モードに対応した第１の種類の増幅回路と、  
非同期動作モードに対応した第２の種類の増幅回路とである、請求項１２記載の半導体記憶装置。

【請求項１４】

前記半導体記憶装置は、

同期モードに設定されたときに、前記第１の種類の増幅回路を活性化するとともに、前記第２の種類の増幅回路を非活性化し、

非同期モードに設定されたときに、前記第１の種類の増幅回路を非活性化するとともに、前記第２の種類の増幅回路を活性化させる制御回路と、

前記第１の種類の増幅回路の出力、および前記第２の種類の増幅回路の出力と接続され、前記第１の種類の増幅回路の出力または前記第２の種類の増幅回路の出力のいずれかをデータバスへ出力するデータバスドライバとを備えた請求項１３記載の半導体記憶装置。 10

【請求項１５】

前記第１の種類の増幅回路は、クロックに同期した信号に基づき、前記ＩＯ線対と当該第１の種類の増幅回路内の増幅部との間の接続を切断するスイッチ部を備え、

前記第２の種類のプリアンプは、前記ＩＯ線対と当該第２の種類の増幅回路内の増幅部との間の接続を切断するスイッチ部を有しない、請求項１４記載の半導体記憶装置。

【請求項１６】

前記ＩＯ線と接続する前記第１の種類の増幅回路および前記第２の種類の増幅回路は、コラム方向に並んで配置され、 20

前記ＩＯ線対は、分岐を有せずに、前記第１の種類の増幅回路および前記第２の種類の増幅回路と接続する、請求項１３記載の半導体記憶装置。

【請求項１７】

クロックに同期して動作する半導体記憶装置であって、

行列状に配置された複数のメモリセルを有するメモリアレイと、

外部からバイトマスク信号を受けて、前記バイトマスク信号に基づきバイトマスク処理を制御するバイトマスク制御回路と、

前記メモリセルから出力されたデータを受けて、前記バイトマスク制御回路による指示に従って、前記メモリセルから出力されたデータの前記バイトマスク信号に対応するバイトの出力を行なわない出力回路とを備え、 30

前記バイトマスク制御回路は、連続読出しまたは連続書込みが第１のロウと第２のロウの２つのロウに渡る場合、途中で第１のロウの最後のコラムに達したため第２のロウへの移行のためロウアクセス処理を行なっている間に、外部からバイトマスク信号を受けたときに、前記バイトマスク信号に対応するバイトのマスク処理を、前記ロウアクセスが終了し、次のビットのデータが出力されるタイミングまで延長する、半導体記憶装置。

【請求項１８】

前記半導体記憶装置は、さらに、

前記次のロウへの移行のためロウアクセス処理を行なっている間、データが出力されるまで待つことを外部に知らせるウエイト信号を出力するウエイト制御回路を備え、

前記バイトマスク制御回路は、各バイトごとに、 40

前記バイトマスク信号が前記連続読出しまたは書込みの先頭のビット以外のビットのバイトマスクを行なうことを示す場合において、前記次のロウへの移行のためロウアクセス処理を行なわないとした場合に前記ビットが前記出力回路から出力されるタイミングに前記ウエイト信号が出力されているときに、前記バイトに対応する出力イネーブル信号をディセーブルにせずに、前記バイトマスク信号に基づいて生成された信号を出力する第１回路と、

前記バイトマスク信号に基づいて生成された信号を受けて保持し、前記ウエイト信号が解除されたタイミングに、前記バイトに対応する出力イネーブル信号をディセーブルにする第２回路とを含み、

前記出力回路は、前記出力イネーブル信号がディセーブルを示すときに、前記メモリセ 50

ルから出力されたデータの前記ディセーブルの出力イネーブル信号に対応するバイトの出力を行なわない、請求項 17 記載の半導体記憶装置。

【請求項 19】

クロックに同期して動作する半導体記憶装置であって、  
行列状に配置された複数のメモリセルを有するメモリアレイと、  
前記メモリセルに接続されたビット線対と、  
コラム選択信号を受けて、バーストアクセスの最後のコラムを選択する選択信号が活性化された後の次のクロックでバーストレンジスリセット信号を出力するバーストレンジスカウントと、

前記バーストレンジスリセット信号を受けて、前記ビット線対をプリチャージする制御回路とを備えた半導体記憶装置。 10

【請求項 20】

前記制御回路は、前記バーストレンジスリセット信号を受けて、プリチャージ信号を活性化して、前記プリチャージ信号の活性化によって前記ビット線対をプリチャージする、請求項 19 記載の半導体記憶装置。

【請求項 21】

クロックに同期して動作する同期モードと、非同期で動作する非同期モードとを有する半導体記憶装置であって、

行列状に配置された複数のメモリセルを有するメモリアレイと、  
同期固定モードと、非同期固定モードと、同期および非同期の混載モードのいずれかに設定可能な設定回路と、 20

前記混載モード時に、外部チップイネーブル信号がアサートされてから、外部クロックの立ち上がりまでの時間が所定値以上か否かを調べ、前記所定値以上のときに、非同期固定モードに移行する非同期移行回路と、

同期固定モードまたは混載モードに設定されたときに同期動作を制御する同期制御回路と、

非同期固定モード若しくは混載モードに設定されたとき、または非同期固定モードに移行したときに、非同期動作を制御する非同期制御回路とを備え、

前記非同期移行回路は、前記設定回路の出力に応じて非活性化される、半導体記憶装置。 30

【請求項 22】

前記設定回路は、バスコンフィギュレーションレジスタの所定の 2 個のビットであり、  
前記非同期移行回路は、前記ビットの値が同期固定モードまたは非同期固定モードを示すときには、前記移行動作の処理を停止する、請求項 21 記載の半導体記憶装置。

【請求項 23】

クロックに同期して動作する半導体記憶装置であって、  
行列状に配置された複数のメモリセルを有するメモリアレイと、  
外部チップイネーブル信号を受けて内部チップイネーブル信号を生成するチップイネーブルバッファと、

外部クロックを受けて内部クロックを生成するクロックバッファと、 40

外部アドレス信号を受けて内部アドレス信号を生成するアドレスバッファと、

外部チップイネーブル信号以外の外部制御信号を受けて内部制御信号を生成する制御バッファとを備え、

前記クロックバッファ、前記アドレスバッファ、および前記制御バッファは、前記内部チップイネーブル信号を受けて、前記内部チップイネーブル信号がチップの非活性を示すときに、その動作を停止し、

前記クロックバッファ、前記アドレスバッファ、および前記制御バッファは、前記内部チップイネーブル信号が活性化を示すときに、動作を実行し、

前記制御バッファは、外部アドレス取込信号を受けて、内部アドレス取込信号を生成し、

前記半導体記憶装置は、さらに、  
前記内部アドレス取込信号を所定の遅延量だけ遅延させる遅延回路と、  
前記遅延回路の出力と前記内部クロックとを受けるクロックインバータと、  
前記クロックインバータの出力と前記内部クロックとの論理積信号を出力する論理回路と、

前記論理積信号の先頭のパルスに基づき、ロウアドレスストロブ信号を活性化する回路とを備え、

前記論理積信号の先頭のパルスが、前記外部アドレス取込み信号が活性化されている間に立ち上がる外部クロックパルスから生成された内部クロックパルスとなるように、前記遅延回路の所定の遅延量が定められている、半導体記憶装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体記憶装置に関し、特に、携帯端末への搭載に適した半導体記憶装置に関する。

【背景技術】

【0002】

携帯電話などの携帯端末において用いられる半導体記憶装置は、大容量および制御の簡易性を実現するために、擬似SRAMが用いられている。擬似SRAM(Static Random Access Memory)では、内部のメモリセルとしてはDRAM(Dynamic Random Access Memory)セルが用いられ、入力される制御信号およびアドレス信号などを規定する外部インターフェースとしては、SRAMと類似のクロックに同期しない非同期のインターフェースが用いられている。そして、リフレッシュ動作は、外部からの信号によって制御されるのではなく、内部で自動的に行なわれる(たとえば、特許文献1を参照)。

20

【0003】

さらに、より高速化を実現するために、たとえば、非特許文献1に記載されているCellular RAM(R)のように、擬似SRAMに、同期式のインターフェースを追加した同期式擬似SRAMが実用化されている。この同期式擬似SRAMでは、SRAM類似のクロックに同期しない非同期式のインターフェースに加えて、クロックに同期した同期式のインターフェースを備える。

30

【0004】

ところで、同期式の擬似SRAMでは、読出しまたは書込み要求を受けてから、データが出力されるまでのクロック数であるコマンドレイテンシCLが経過するまでと、セルフリフレッシュを行なっている間には、外部からアクセスすることができないことをWAIT信号により通知する。従来コマンドレイテンシCLは、外部から与えられるが、同期式の擬似SRAMでは、内部からWAIT信号によりアクセス不可能な旨を通知することができるので、外部から与える必要がないといえる。むしろ、同期式擬似SRAMの内部で、そのときの状態に応じてコマンドレイテンシCLを設定した方が、外部から設定するよりも適切な値に設定することができるといえる。

【0005】

40

これに対して、特許文献2には、クロック周波数によってレイテンシ調整が可能なレイテンシ決定回路が開示されている。このレイテンシ決定回路は、クロック信号に同期してレイテンシ決定を始めるレイテンシ決定開始信号の活性化にตอบสนองして内部開始信号を発するレイテンシ決定指示入力部と、レイテンシ決定開始信号にตอบสนองしてクロック信号のエッジごとに所定のレイテンシ決定区間信号を発するレイテンシ区間定義回路と、内部開始信号を所定時間遅延させてレイテンシを調整するように遅延信号を発する遅延部と、遅延信号の活性化時点でレイテンシ決定開始信号およびレイテンシ決定区間信号にตอบสนองしてレイテンシ数を決定するレイテンシ指示回路を具備する。このようなレイテンシ決定回路によって、レイテンシを外部からの指示によらずに、内部で決定することができる。

【0006】

50

また、たとえば、特許文献3には、擬似SRAMが複数のバンクを有する場合には、セルフリフレッシュと読出しまたは書込みとを同時実行する方法が開示されている。すなわち、特許文献3の段落[0020]には、第1乃至第4ローアドレスラッチ回路及びバッファ80～83は、第1乃至第4セルバンク10～13の内のある一つのセルバンクがリフレッシュモードにあるとしても、残りの3つのセルバンク側にローアドレスラッチ回路70によりラッチされた第2ローアドレス信号 $A_0 \sim A_{n-2}$ を伝送してリフレッシュモード中にもデータのアクセスを可能にすることができる。

【特許文献1】特開2002-352577号公報

【特許文献2】特開2001-155484号公報

【特許文献3】特開平7-226077号公報

10

【非特許文献1】Cellular RAM™ Memory、インターネット<URL : <http://www.micron.com/products/psram/cellularram/>>

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかしながら、上述の特許文献および非特許文献に記載の方法では、以下のような問題がある。

【0008】

まず、特許文献2には、内部でレイテンシを設定する方法について記載されているものの、レイテンシを設定するタイミングについては記載されていない。

20

【0009】

また、特許文献3には、リフレッシュするバンクと読出しまたは書込みを行なうバンクが異なるときに、リフレッシュと読出しまたは書込みとを同時に行なう方法について記載されているものの、読出しまたは書込みを行なうバンクと重ならないように、リフレッシュするバンクを決める方法については記載されていない。

【0010】

また、複数の擬似SRAMを1つのパッケージに収容したときに、各々が異なるタイミングでリフレッシュを行なうので、各々が出力するWAIT信号が競合するという問題がある。

【0011】

30

また、コマンドレイテンシCLで規定されるタイミングよりも早いタイミングでデータを出力することができないという問題がある。

【0012】

また、同期モードと非同期式モードなどのように複数のモードを有し、1つのモードを選択して動作する場合には、あるモードでは適切に動作するプリアンプであっても、他のモードでは適切に動作せず、増幅が正常に行なわれない場合がある。

【0013】

また、連続読出しまたは書込みの途中に、次のロウに移行する場合において、外部からは、WAIT信号によって、次のロウに移行するための処理（移行前のワード線の非活性化、移行後のワード線の活性化、およびセンスアンプによる増幅など）が終了されたことを知ってから、バイトマスク信号を与えなければならないという問題がある。

40

【0014】

また、ビット線対をプリチャージさせるために、外部からチップイネーブル信号を非活性にしなければならず、外部からの制御を要するという問題がある。

【0015】

また、Cellular RAM(R)のような半導体記憶装置では、低周波数のクロックで、かつ同期式で動作させることができないという問題がある。

【0016】

また、スタンバイ状態、または他のチップにアクセス中で、非活性になっているチップにおいて、入出力バッファが動作し続け、無駄に電流を消費するという問題がある。

50

## 【 0 0 1 7 】

それゆえに、本発明の目的は、適切なタイミングで内部でレイテンシを設定する半導体記憶装置を提供することである。

## 【 0 0 1 8 】

また、本発明の他の目的は、読出しまたは書込みを行なうバンクと重ならないように、リフレッシュするバンクを適切に決める半導体記憶装置を提供することである。

## 【 0 0 1 9 】

また、本発明のさらに他の目的は、複数の擬似 S R A M を 1 つのパッケージに収容したときに、同一のタイミングでリフレッシュを行なうことができる半導体記憶装置を提供することである。

## 【 0 0 2 0 】

また、本発明のさらに他の目的は、コマンドレイテンシ C L で規定されるタイミングよりも早いタイミングでデータを出力することができる半導体記憶装置を提供することである。

## 【 0 0 2 1 】

また、本発明のさらに他の目的は、複数のモードを有し、1つのモードを選択して動作する場合には、すべてのモードでプリアンプが適切に動作するような半導体記憶装置を提供することである。

## 【 0 0 2 2 】

また、本発明のさらに他の目的は、連続読出しまたは書込みの途中に、次のロウに移行する場合においても、外部からは、次のロウに移行しない場合と同様にしてバイトマスク信号を与えることができる半導体記憶装置を提供することである。

## 【 0 0 2 3 】

また、本発明のさらに他の目的は、外部からの制御を要することなく、内部の制御のみでビット線対をプリチャージさせることのできる半導体記憶装置を提供することである。

## 【 0 0 2 4 】

また、本発明のさらに他の目的は、低周波数のクロックで、かつ同期式で動作させることのできる半導体記憶装置を提供することである。

## 【 0 0 2 5 】

また、本発明のさらに他の目的は、非活性になっているチップにおいて、入出力バッファが動作し続け、無駄に電流を消費することを防止した半導体記憶装置を提供することである。

## 【課題を解決するための手段】

## 【 0 0 2 6 】

上記課題を解決するために、この発明のある局面による半導体記憶装置は、クロックに同期して動作する半導体記憶装置であって、行列状に配置された複数のメモリセルを有するメモリアレイと、トリガ信号を出力するトリガ生成回路と、トリガ信号を受けて、トリガ信号を遅延させた遅延信号を出力する遅延回路と、クロックを受け、トリガ信号を受けてから遅延信号を受けるまでの間、受けたクロックの数をカウントし、カウント結果を出力するクロックカウンタと、クロックの数とレイテンシとの対応関係を記憶し、クロックカウンタから出力されるカウント結果に対応するレイテンシを判定する判定回路と、判定されたレイテンシを保持するレジスタと、レジスタに保持されたレイテンシに基づき、外部にウエイト信号を出力するウエイト制御回路とを備える。

## 【 0 0 2 7 】

この発明の別の局面による半導体記憶装置は、行列状に配置された複数のダイナミックランダムアクセスメモリのメモリセルを有し、1度のリフレッシュの単位となるバンクを複数個有するメモリアレイと、リフレッシュのトリガを出力する回路と、リフレッシュトリガを受けたときに、外部から指示された動作を実行中のときに、動作を実行中のバンクと異なるバンクを選択して、選択したバンクのアドレスを出力するバンク選択回路と、受けたアドレスのバンクのリフレッシュを実行するリフレッシュ制御回路とを備え、バンク

10

20

30

40

50



選択回路は、リフレッシュが実施済みのバンクのアドレスを保持し、すべてのバンクのアドレスが保持されると、保持されているすべてのアドレスが消去されるレジスタと、リフレッシュトリガを受けたときに、レジスタを参照してリフレッシュが未実施のバンクのアドレスを特定する特定回路と、未実施のバンクアドレスと、動作を実行中のバンクアドレスとを比較し、異なる場合に、未実施のバンクアドレスを出力する比較回路とを含む。

【0028】

この発明のさらに別の局面による半導体記憶装置は、行列状に配置された複数のダイナミックランダムアクセスメモリのメモリセルを有するメモリアレイと、リフレッシュのタイミングを規定する第1の信号を生成する第1の回路と、第1の信号を出力する出力端子と、外部からリフレッシュのタイミングを規定する第2の信号を受ける入力端子と、第1の信号および第2の信号を受けて、いずれかの信号を出力するスイッチと、スイッチから出力される信号を受けて、当該信号に基づきリフレッシュ制御を行なう第2の回路とを備える。

10

【0029】

この発明のさらに別の局面による半導体記憶装置は、クロックに同期して動作し、バーストモードでのアクセスを行ない、読出し信号または書込み信号が生成されるのに先立って、ロウアドレスおよびコラムアドレスを取得する半導体記憶装置であって、行列上に配置された複数のメモリセルを有するメモリアレイと、外部から受けた制御信号によって読出し信号または書込み信号が生成された第1のクロックに同期して、選択されたロウのロウアクセス処理と、先頭から1個以上かつバーストレングス以下である第1の個数のコラムのコラムアクセス処理を行ない、レイテンシで規定される第2のクロック以降のクロックに同期して、バーストモードアクセスの残りの第2の個数のコラムのコラムアクセス処理を行なうように制御する制御回路とを備える。

20

【0030】

この発明のさらに別の局面による半導体記憶装置は、外部信号の組合せによって、複数の動作モードのいずれかのモードに設定される半導体記憶装置であって、行列上に配置された複数のメモリセルを有するメモリアレイと、メモリセルに各々接続されたビット線対と、ビット線対の電位を増幅する第1の増幅回路と、複数のビット線対に接続されたI/O線対と、各モードに応じていずれかが活性化され、I/O線対の電位を増幅する2種類以上の第2の増幅回路とを備える。

30

【0031】

この発明のさらに別の局面による半導体記憶装置は、クロックに同期して動作する半導体記憶装置であって、行列状に配置された複数のメモリセルを有するメモリアレイと、外部からバイトマスク信号を受けて、バイトマスク信号に基づきバイトマスク処理を制御するバイトマスク制御回路と、メモリセルから出力されたデータを受けて、バイトマスク制御回路による指示に従って、メモリセルから出力されたデータのバイトマスク信号に対応するバイトの出力を行なわない出力回路とを備え、バイトマスク制御回路は、連続読出しまたは連続書込みが第1のロウと第2のロウの2つのロウに渡る場合、途中で第1のロウの最後のコラムに達したため第2のロウへの移行のためロウアクセス処理を行なっている間に、外部からバイトマスク信号を受けたときに、バイトマスク信号に対応するバイトのマスク処理を、ロウアクセスが終了し、次のビットのデータが出力されるタイミングまで延長する。

40

【0032】

この発明のさらに別の局面による半導体記憶装置は、クロックに同期して動作する半導体記憶装置であって、行列状に配置された複数のメモリセルを有するメモリアレイと、メモリセルに接続されたビット線対と、コラム選択信号を受けて、バーストアクセスの最後のコラムを選択する選択信号が活性化された後の次のクロックでバーストレングスリセット信号を出力するバーストレングスカウンタと、バーストレングスリセット信号を受けて、ビット線対をプリチャージする制御回路とを備える。

【0033】

50

この発明のさらに別の局面による半導体記憶装置は、クロックに同期して動作する同期モードと、非同期で動作する非同期モードとを有する半導体記憶装置であって、行列状に配置された複数のメモリセルを有するメモリアレイと、同期固定モードと、非同期固定モードと、同期および非同期の混載モードのいずれかに設定可能な設定回路と、混載モード時に、外部チップイネーブル信号がアサートされてから、外部クロックの立ち上がりまでの時間が所定値以上か否かを調べ、所定値以上のときに、非同期固定モードに移行する非同期移行回路と、同期固定モードまたは混載モードに設定されたときに同期動作を制御する同期制御回路と、非同期固定モード若しくは混載モードに設定されたとき、または非同期固定モードに移行したときに、非同期動作を制御する非同期制御回路とを備え、非同期移行回路は、設定回路の出力に応じて非活性化される。

10

**【 0 0 3 4 】**

この発明のさらに別の局面による半導体記憶装置は、クロックに同期して動作する半導体記憶装置であって、行列状に配置された複数のメモリセルを有するメモリアレイと、外部チップイネーブル信号を受けて内部チップイネーブル信号を生成するチップイネーブルバッファと、外部クロックを受けて内部クロックを生成するクロックバッファと、外部アドレス信号を受けて内部アドレス信号を生成するアドレスバッファと、外部チップイネーブル信号以外の外部制御信号を受けて内部制御信号を生成する制御バッファとを備え、クロックバッファ、アドレスバッファ、および制御バッファは、内部チップイネーブル信号を受けて、内部チップイネーブル信号がチップの非活性を示すときに、その動作を停止し、クロックバッファ、アドレスバッファ、および制御バッファは、内部チップイネーブル信号が活性化を示すときに、動作を実行し、制御バッファは、外部アドレス取込信号を受けて、内部アドレス取込信号を生成し、半導体記憶装置は、さらに、内部アドレス取込信号を所定の遅延量だけ遅延させる遅延回路と、遅延回路の出力と内部クロックとを受けるクロックドインバータと、クロックドインバータの出力と内部クロックとの論理積信号を出力する論理回路と、論理積信号の先頭のパルスに基づき、ロウアドレスストローブ信号を活性化する回路とを備え、論理積信号の先頭のパルスが、外部アドレス取込み信号が活性化されている間に立ち上がる外部クロックパルスから生成された内部クロックパルスとなるように、遅延回路の所定の遅延量が定められている。

20

**【 発明の効果 】****【 0 0 3 5 】**

本発明のある局面による半導体記憶装置によれば適切なタイミングで内部でレイテンシを設定することができる。

30

**【 0 0 3 6 】**

また、本発明の別の局面による半導体記憶装置によれば、読出しまたは書込みを行なうバンクと重ならないように、リフレッシュするバンクを適切に決めることができる。

**【 0 0 3 7 】**

また、本発明のさらに別の局面による半導体記憶装置によれば、複数個の擬似 S R A M を 1 つのパッケージに収容したときに、同一のタイミングでリフレッシュを行なうことができる。

**【 0 0 3 8 】**

また、本発明のさらに別の局面による半導体記憶装置によれば、コマンドレイテンシで規定されるタイミングよりも早いタイミングでデータを出力することができる。

40

**【 0 0 3 9 】**

また、本発明のさらに別の局面による半導体記憶装置によれば、複数のモードを有し、1つのモードを選択して動作する場合には、すべてのモードでプリアンプが適切に動作するようにすることができる。

**【 0 0 4 0 】**

また、本発明のさらに別の局面による半導体記憶装置によれば、連続読出しまたは書込みの途中に、次のロウに移行する場合においても、外部からは、次のロウに移行しない場合と同様にバイトマスク信号を与えることができる。

50

## 【 0 0 4 1 】

また、本発明のさらに別の局面による半導体記憶装置によれば、外部からの制御を要することなく、内部の制御のみでビット線対プリチャージさせることができる。

## 【 0 0 4 2 】

また、本発明のさらに別の局面による半導体記憶装置によれば、低周波数のクロックで、かつ同期式で動作させることができる。

## 【 0 0 4 3 】

また、本発明のさらに別の局面による半導体記憶装置によれば、非活性になっているチップにおいて、入出力バッファが動作し続け、無駄に電流を消費することを防止することができる。

10

## 【発明を実施するための最良の形態】

## 【 0 0 4 4 】

以下、本発明の実施の形態について、図面を用いて説明する。

## 【 0 0 4 5 】

## 〔 第 1 の実施形態 〕

本実施の形態は、レイテンシを適切なタイミングで内部で自動的に適切な値に設定する同期式擬似 S R A M に関する。

## ( 構成 )

図 1 は、本実施の形態に係る同期式擬似 S R A M 1 0 0 の構成を示す。同図を参照して、この同期式擬似 S R A M 1 0 0 は、D R A M セルアレイ + 周辺回路群 1 0 1 と、アドレスバッファ 1 0 3 と、制御回路 1 0 2 とを含む。

20

## 【 0 0 4 6 】

D R A M セルアレイ + 周辺回路群 1 0 1 の D R A M セルアレイは、ダイナミックランダムアクセスメモリ ( D R A M ) のセルで構成されるメモリアレイである。周辺回路群 1 0 1 は、グローバル入出力線対 G I O P ( G I O および / G I O ) と、各列に対応して設けられた列選択線と、列選択ゲートと、センスアンプと、プリアンプと、ライトドライバと、ロウデコーダ、コラムデコーダなどを含む。

## 【 0 0 4 7 】

アドレスバッファ 1 0 3 は、外部アドレス信号 A D D [ 2 1 : 0 ] を受けて、内部アドレス信号を生成する。

30

## 【 0 0 4 8 】

制御回路 1 0 2 は、トリガ生成回路 1 0 4 と、カウンタイネーブル回路 1 0 5 と、クロックカウンタ 1 0 6 と、判定回路 1 0 7 と、レイテンシ用レジスタ 1 0 8 と、W A I T 制御回路 1 0 9 と、遅延回路 1 1 0 と、リフレッシュ制御回路 1 1 1 とを含む。

## 【 0 0 4 9 】

リフレッシュ制御回路 1 1 1 は、図示しない内部のリフレッシュタイマに基づいて、D R A M セルアレイのセルフリフレッシュ動作を制御する。

## 【 0 0 5 0 】

トリガ生成回路 1 0 4 は、レイテンシの設定のトリガとなるトリガ信号 T r i g g e r を出力する。

40

## 【 0 0 5 1 】

遅延回路 1 1 0 は、複数段のインバータからなり、トリガ信号 T r i g g e r を受けて、遅延トリガ信号 d T r i g g e r を出力する。

## 【 0 0 5 2 】

カウンタイネーブル回路 1 0 5 は、トリガ信号 T r i g g e r が入力されてから、遅延トリガ信号 d T r i g g e r が入力されるまでの間、カウンタイネーブル信号 C E を「 H 」にする。

## 【 0 0 5 3 】

クロックカウンタ 1 0 6 は、カウンタイネーブル信号 C E が「 H 」の間、入力される外部クロック C L K の数をカウントする。カウント数は、入力される外部 C L K の数と、カ

50

ウンタイネーブル信号 C E が「H」の期間、つまり遅延回路 110 でのトリガ信号 T r i g g e r の遅延量に依存する。遅延回路 110 での遅延量は、温度などの周囲環境に依存する。

【0054】

判定回路 107 は、クロックのカウント数と、そのカウント数で動作可能な最小のレイテンシとの対応関係を記憶する。対応関係は、クロックのカウント数が多いほど、最小のレイテンシが大きくなるように定められる。判定回路 107 は、この対応関係に基づいて、クロックカウンタ 106 から出力されるカウント数に応じた最小のレイテンシを判定し、レイテンシ用レジスタ 108 に出力する。

【0055】

レイテンシ用レジスタ 108 は、判定回路 107 から送られる最小のレイテンシを保存する。

【0056】

W A I T 制御回路 109 は、レイテンシ用レジスタ 108 に保存されている最小のレイテンシに応じた期間だけ、W A I T 信号を「L」にする。

【0057】

図 2 は、トリガ生成回路 104 の詳細な構成を示す。同図に示すように、トリガ生成回路 104 は、ラッチ回路 121 と、インバータ I V 1 , I V 2 , I V 3 と、論理積回路 A N D 1 とからなる。

【0058】

図 3 は、トリガ生成回路 104 で生成される信号のタイミングチャートである。同図を参照して、ラッチ回路 121 は、外部アドレス取込信号 A D V # をラッチして、アドレス取込ラッチ信号 A D V # L を出力する。ラッチ回路 121 は、外部チップイネーブル信号 C E # をラッチして、チップイネーブルラッチ信号 C E # L を出力する。ラッチ回路 121 は、外部ライトイネーブル信号 W E # をラッチして、ライトイネーブルラッチ信号 W E # L を出力する。ラッチ回路 121 は、外部コンフィギュレーションレジスタイネーブル信号 C R E # をラッチして、コンフィギュレーションレジスタイネーブルラッチ信号 C R E L を出力する。A N D 回路 1 は、アドレス取込ラッチ信号 A D V # L が「L」、チップイネーブルラッチ信号 C E # L が「L」、書込みラッチ信号 W E # L が「H」、コンフィギュレーションレジスタイネーブルラッチ信号 C R E L が「L」、かつ外部クロック C L K が「H」のときに、読出し信号 R E A D を「H」に活性化するとともに、トリガ信号 T r i g g e r を「H」にする。

【0059】

このようなトリガ信号生成回路 104 により、外部信号の論理値の組合せによって読出し信号 R E A D が生成されて読出しが行なわれるときに、トリガ信号 T r i g g e r も同時に生成され、レイテンシの設定が行なわれる。

【0060】

以上のように、本実施の形態に係る同期式擬似 S R A M によれば、読出し信号 R E A D が生成されて、実際に読出し処理のためにコマンドレイテンシが必要となるタイミングで、入力される外部クロック C L K の周波数および温度などの周囲環境の下で動作可能な最小の値にレイテンシを設定することができる。

【0061】

なお、本実施の形態では、遅延回路 101 は、複数個のインバータで構成されるものとしたが、これに限定するものではなく、たとえば、特定の回路を模擬的に再現したレプリカ回路などを用いてもよい。また、クロックカウンタ 106 は、外部クロック C L K を受けるのではなく、内部クロックを受けるものとしてもよい。

【0062】

また、本実施の形態は、同期式擬似 S R A M に限定して適用されるものではなく、クロックに同期して動作する半導体記憶装置であればどのようなものにも適用することができる。

10

20

30

40

50

## 【 0 0 6 3 】

## [ 第 1 の実施形態の変形例 ]

第 1 の実施形態において、トリガ生成回路 1 0 4 は、読出し信号 R E A D が生成されたことを検知して、トリガ信号 T r i g g e r を生成したが、これに限定するものではない。たとえば、以下のような場合に、トリガ信号 T r i g g e r を生成するものとしてもよい。

## 【 0 0 6 4 】

( 1 ) 書込み信号 W R I T E などの他の動作指示信号が入力されたことを検知して、トリガ信号 T r i g g e r を生成する。

## 【 0 0 6 5 】

( 2 ) 電源投入検知回路により電源が投入されたことを検知したときに、トリガ信号 T r i g g e r を生成する。

## 【 0 0 6 6 】

( 3 ) 動作モード設定コマンド判定回路により外部信号によりレイテンシ、バースト長などのモード設定が行なわれたことを判定したときに、T r i g g e r 信号を生成する。

## 【 0 0 6 7 】

( 4 ) 温度変化検地回路により温度変化を検知したときに、トリガ信号 T r i g g e r を生成する。

## 【 0 0 6 8 】

( 5 ) 内部発信回路により、一定周期でトリガ信号 T r i g g e r を生成する。

## 【 0 0 6 9 】

## [ 第 2 の実施形態 ]

本実施の形態は、セルフリフレッシュするバンクを適切に切替えて、W A I T 期間を短くした同期式擬似 S R A M に関する。

## 【 0 0 7 0 】

## ( 構成 )

図 4 は、本実施の形態に係る同期式擬似 S R A M 2 0 0 の構成を示す。同図を参照して、この同期式擬似 S R A M 2 0 0 は、D R A M セルアレイ + 周辺回路群 2 0 1 と、制御回路 2 0 2 とを備える。

## 【 0 0 7 1 】

D R A M セルアレイ + 周辺回路群 2 0 1 の D R A M セルアレイは、ダイナミックランダムアクセスメモリ ( D R A M ) のセルで構成されるメモリアレイであり、4 個のバンクを有する。バンクは、D R A M セルアレイを分割したメモリセル群であって、1 度のリフレッシュ動作の単位となる。つまり、1 度のリフレッシュでは、1 個のバンクがリフレッシュされる。

## 【 0 0 7 2 】

周辺回路群は、グローバル入出力線対 G I O P ( G I O および / G I O ) と、各列に対応して設けられた列選択線と、列選択ゲートと、センスアンプと、プリアンプと、ライトドライバと、ロウデコーダ、コラムデコーダなどを含む。

## 【 0 0 7 3 】

制御回路 2 0 2 は、コマンドデコーダ 2 1 4 と、リフレッシュバンクアドレス指定回路 2 1 3 と、リフレッシュタイマ 2 1 2 と、リフレッシュ制御回路 2 1 1 と、W A I T 制御回路 2 1 5 とを備える。

## 【 0 0 7 4 】

コマンドデコーダ 2 1 4 は、外部制御信号より生成された内部制御信号の論理レベルの組合せに従って、ロウ活性化信号 A C T、読出し信号 R E A D、および書込み信号 W R I T E を生成する。

## 【 0 0 7 5 】

リフレッシュタイマ 2 1 2 は、リング発振器で構成され周期的に活性化されたリフレッ

10

20

30

40

50

シュサイクル信号 / R e f c y c を出力する。

【 0 0 7 6 】

リフレッシュバンクアドレス指定回路 2 1 3 は、リフレッシュサイクル信号 / R e f c y c と、読出し信号 R E A D または書込み信号 W R I T E と、バンクアドレスとを受けて、リフレッシュするバンクのアドレスおよびそのリフレッシュのタイミングを指定する。

【 0 0 7 7 】

リフレッシュ制御回路 2 1 1 は、リフレッシュバンクアドレス指定回路 2 1 3 からバンクアドレスのみを受けると、即座にそのアドレスのバンクのリフレッシュ動作を制御する。また、リフレッシュ制御回路 2 1 1 は、リフレッシュバンクアドレス指定回路 2 1 3 からバンクアドレスとともに、そのバンクアドレスのバンクの読出し動作終了後にリフレッ  
10 シュを行なう旨の指令を受けると、所定の時間経過した後、そのバンクのリフレッシュ動作を制御する。

【 0 0 7 8 】

W A I T 制御回路 2 1 5 は、リフレッシュ制御回路 2 1 1 がリフレッシュ動作を制御している間、W A I T 信号のレベル「 L 」とする。

【 0 0 7 9 】

図 5 は、リフレッシュバンクアドレス指定回路 2 1 3 の詳細な構成を示す。同図を参照して、リフレッシュバンクアドレス指定回路 2 1 3 は、O R 回路 2 2 1 と、バンクアドレスカウンタ 2 2 2 と、リフレッシュ実施済 / 未実施判定回路 2 2 3 と、リフレッシュ実施済バンク保持回路 2 2 4 と、第 1 比較回路 2 2 5 と、第 2 比較回路 2 2 7 と、読出し / 書  
20 込み動作バンク検知回路 2 2 6 とを備える。

【 0 0 8 0 】

O R 回路 2 2 1 は、リフレッシュタイマ 2 1 2 からリフレッシュサイクル信号 / R e f c y c 、リフレッシュ実施済 / 未実施判定回路 2 2 3 から次のバンクを指示する信号 N E X T 、または第 1 比較回路 2 2 5 から次のバンク指示する信号 N E X T を受けると、カウントアップ信号を出力する。

【 0 0 8 1 】

バンクアドレスカウンタ 2 2 2 は、カウントアップ信号を受けると、「 1 」～「 4 」の範囲でカウントをアップする。ただし、カウント値の初期値は、「 0 」とし、カウント「 4 」の次は、カウント「 1 」とする。  
30

【 0 0 8 2 】

リフレッシュ実施済バンク保持回路 2 2 4 は、リフレッシュを実施済みのバンクアドレスを保持する。リフレッシュ実施済バンク保持回路 2 2 4 は、「 1 」～「 4 」のバンクアドレスがすべて保持されたときには、保持しているバンクアドレスをすべて消去するとともに、バンクアドレスカウンタ 2 2 2 のカウント値を「 0 」にリセットさせる。したがって、4 回のリフレッシュで、バンク 1 ～バンク 4 のすべてのリフレッシュが完了される。

【 0 0 8 3 】

リフレッシュ実施済 / 未実施判定回路 2 2 3 は、バンクアドレスカウンタ 2 2 2 のカウント値のバンクアドレスが、リフレッシュ実施済バンク保持回路 2 2 4 に保持されているか否かを調べる。リフレッシュ実施済 / 未実施判定回路 2 2 3 は、カウンタ値のバンクアドレスが保持されていない場合には、未実施と判定し、そのバンクアドレスを第 1 比較回路 2 2 5 または第 2 比較回路 2 2 7 のいずれかに出力する。ここで、リフレッシュ実施済 / 未実施判定回路 2 2 3 は、出力するバンクアドレスがリフレッシュ実施済バンク保持回路 2 2 4 に保持されていない、最後の 1 つのバンクアドレスのときには、第 2 比較回路 2 2 7 にそのバンクアドレスを出力する。リフレッシュ実施済 / 未実施判定回路 2 2 3 は、上記以外のときには、第 1 比較回路 2 2 5 にそのバンクアドレスを出力する。  
40

【 0 0 8 4 】

リフレッシュ実施済 / 未実施判定回路 2 2 3 は、カウンタ値のバンクアドレスが保持されている場合には、実施済みと判定し、次のバンクアドレスを指示する信号 N E X T を出力する。

10

20

30

40

50

## 【 0 0 8 5 】

読出し / 書込み動作バンク検知回路 2 2 6 は、読出し信号 R E A D または書込み信号 W R I T E を受けたときに、入力されるバンクアドレス（読出しまたは書込みを行なっているバンクのアドレス）を第 1 比較回路 2 2 5 および第 2 比較回路 2 2 7 に出力する。

## 【 0 0 8 6 】

第 1 比較回路 2 2 5 は、読出し / 書込み動作バンク検知回路 2 2 6 およびリフレッシュ実施済 / 未実施判定回路 2 2 3 から受けた 2 つのバンクアドレスが同一か否かを調べる。第 1 比較回路 2 2 5 は、2 つのバンクアドレスが異なるときには、リフレッシュ実施済 / 未実施判定回路 2 2 3 から受けたバンクアドレスをリフレッシュ制御回路 2 1 1 に送るとともに、リフレッシュ実施済みバンク保持回路 2 2 4 にそのバンクアドレスを出力し保持させる。第 1 比較回路 2 2 5 は、2 つのバンクアドレスが同一のときには、次のバンクアドレスを指示する信号 N E X T を出力する。 10

## 【 0 0 8 7 】

第 2 比較回路 2 2 7 は、読出し / 書込み動作バンク検知回路 2 2 6 およびリフレッシュ実施済 / 未実施判定回路 2 2 3 から受けた 2 つのバンクアドレスが同一か否かを調べる。第 2 比較回路 2 2 7 は、2 つのバンクアドレスが異なるときには、リフレッシュ実施済 / 未実施判定回路 2 2 3 から受けたバンクアドレスをリフレッシュ制御回路 2 1 1 に送るとともに、リフレッシュ実施済みバンク保持回路 2 2 4 にそのバンクアドレスを出力し保持させる。第 2 比較回路 2 2 7 は、2 つのバンクアドレスが同一のときには、リフレッシュ実施済 / 未実施判定回路 2 2 3 から受けたバンクアドレスと、そのバンクアドレスのバンクの読出し動作終了後にリフレッシュを行なう旨の指令とをリフレッシュ制御回路 2 1 1 に送る。 20

## 【 0 0 8 8 】

（従来の同期式擬似 S R A M の動作例）

まず、本実施の形態に係る同期式擬似 S R A M 2 0 0 の動作の比較のため、従来の同期式擬似 S R A M の動作を説明する。

## 【 0 0 8 9 】

図 6 は、従来の同期式擬似 S R A M の動作を説明するための図である。同図に示すように、外部指示による読出し信号 R E A D に基づき、読出し動作が行なわれている途中に、リフレッシュタイマが、リフレッシュサイクル信号 / R e f c y c を出力したときには、リフレッシュ制御回路は、実行中の読出し動作の終了後に、リフレッシュ動作の制御を開始する。また、W A I T 制御回路は、リフレッシュ動作を実行中には外部に W A I T 信号を出力する。 30

## 【 0 0 9 0 】

したがって、従来の同期式擬似 S R A M では、読出し動作のタイミングとセルフリフレッシュのタイミングとが重なった場合に、セルフリフレッシュのタイミングが遅れるとともに、外部からは、セルフリフレッシュが終了まで、読出し指示を出すことができない。

## 【 0 0 9 1 】

（本実施の形態の同期式擬似 S R A M 2 0 0 の動作例 1）

図 7 は、本実施の形態に係る同期式擬似 S R A M 2 0 0 の動作例を説明するための図である。 40

## 【 0 0 9 2 】

まず、外部からのバンク 2 を指定した読出し信号 R E A D に基づき、バンク 2 の読出し動作が行なわれる。

## 【 0 0 9 3 】

次に、外部からのバンク 3 を指定した読出し信号 R E A D に基づき、バンク 3 の読出し動作が行なわれる。バンク 3 の読出し動作中に、リフレッシュタイマ 2 1 2 は、リフレッシュサイクル信号 / R e f c y c を出力する。リフレッシュバンクアドレス指定回路 2 1 3 内の O R 回路 2 2 1 は、リフレッシュサイクル信号 / R e f c y c を受けるとカウントアップ信号を出力する。バンクアドレスカウンタ 2 2 2 は、バンクアドレスのカウント値 50

を「１」とする。リフレッシュ実施済／未実施判定回路２２３は、リフレッシュ実施済バンク保持回路２２４に未だ何も保持されていないので、未実施と判定し、バンクアドレス「１」を第１比較回路２２５に出力する。読出し／書込み動作バンク検知回路２２６は、読出し信号ＲＥＡＤおよびバンクアドレス「３」を受けて、バンクアドレス「３」を第１比較回路２２５および第２比較回路２２７に出力する。第１比較回路２２５は、受けた２つのバンクアドレスが異なるので、リフレッシュ実施済／未実施判定回路２２３から受けたバンクアドレス「１」をリフレッシュ制御回路２１１に送るとともに、リフレッシュ実施済バンク保持回路２２４にバンクアドレス「１」を出力し保持させる。リフレッシュ制御回路２１１は、バンクアドレス「１」を受けるとバンク１のリフレッシュ動作を制御する。

10

**【００９４】**

次に、外部からのバンク１を指定した読出し信号ＲＥＡＤに基づき、バンク１の読出し動作が行なわれる。

**【００９５】**

次に、外部からのバンク２を指定した読出し信号ＲＥＡＤに基づき、バンク２の読出し動作が行なわれる。バンク２の読出し動作中に、リフレッシュタイマ２１２は、リフレッシュサイクル信号／Ｒｅｆｃｙｃを出力する。リフレッシュバンクアドレス指定回路２１３内ＯＲ回路２２１は、リフレッシュサイクル信号／Ｒｅｆｃｙｃを受けるとカウントアップ信号を出力する。バンクアドレスカウンタ２２２は、バンクアドレスのカウント値を「２」とする。リフレッシュ実施済バンク保持回路２２４には、バンクアドレス「１」のみが保持され、バンクアドレス「２」が保持されていないので、リフレッシュ実施済／未実施判定回路２２３は、未実施と判定し、バンクアドレス「２」を第１比較回路２２５に出力する。読出し／書込み動作バンク検知回路２２６には、読出し信号ＲＥＡＤおよびバンクアドレス「２」を受けて、バンクアドレス「２」を第１比較回路２２５および第２比較回路２２７に出力する。第１比較回路２２５は、受けた２つのバンクアドレスが同一なので、次のバンク指示する信号ＮＥＸＴを出力する。

20

**【００９６】**

ＯＲ回路２２１は、次のバンク指示する信号ＮＥＸＴを受けるとカウントアップ信号を出力する。バンクアドレスカウンタ２２２は、バンクアドレスのカウント値を「３」とする。リフレッシュ実施済バンク保持回路２２４には、バンクアドレス「１」のみが保持され、バンクアドレス「３」が保持されていないので、リフレッシュ実施済／未実施判定回路２２３は、未実施と判定し、バンクアドレス「３」を第１比較回路２２５に出力する。読出し／書込み動作バンク検知回路２２６には、読出し信号ＲＥＡＤおよびバンクアドレス「２」を受けて、バンクアドレス「２」を第１比較回路２２５および第２比較回路２２７に出力する。第１比較回路２２５は、受けた２つのバンクアドレスが異なるので、リフレッシュ実施済／未実施判定回路２２３から受けたバンクアドレス「３」をリフレッシュ制御回路２１１に送るとともに、リフレッシュ実施済バンク保持回路２２４にバンクアドレス「３」を出力し保持させる。リフレッシュ制御回路２１１は、バンクアドレス「３」を受けるとバンク３のリフレッシュ動作を制御する。

30

**【００９７】**

次に、外部からのバンク４を指定した読出し信号ＲＥＡＤに基づき、バンク４の読出し動作が行なわれる。

40

**【００９８】**

次に、外部からのバンク１を指定した読出し信号ＲＥＡＤに基づき、バンク１の読出し動作が行なわれる。バンク１の読出し動作中に、リフレッシュタイマ２１２は、リフレッシュサイクル信号／Ｒｅｆｃｙｃを出力する。リフレッシュバンクアドレス指定回路２１３内のＯＲ回路２２１は、リフレッシュサイクル信号／Ｒｅｆｃｙｃを受けるとカウントアップ信号を出力する。バンクアドレスカウンタ２２２は、バンクアドレスのカウント値を「４」とする。リフレッシュ実施済バンク保持回路２２４には、バンクアドレス「１」および「３」のみが保持され、バンクアドレス「４」が保持されていないので、リフレッ

50



シュ実施済 / 未実施判定回路 2 2 3 は、未実施と判定し、バンクアドレス「4」を第 1 比較回路 2 2 5 に出力する。読出し / 書込み動作バンク検知回路 2 2 6 には、読出し信号 R E A D およびバンクアドレス「1」を受けて、バンクアドレス「1」を第 1 比較回路 2 2 5 および第 2 比較回路 2 2 7 に出力する。第 1 比較回路 2 2 5 は、受けた 2 つのバンクアドレスが異なるので、リフレッシュ実施済 / 未実施判定回路 2 2 3 から受けたバンクアドレス「4」をリフレッシュ制御回路 2 1 1 に送るとともに、リフレッシュ実施済バンク保持回路 2 2 4 にバンクアドレス「4」を出力し保持させる。リフレッシュ制御回路 2 1 1 は、バンクアドレス「4」を受けるとバンク 4 のリフレッシュ動作を制御する。

【0 0 9 9】

次に、外部からのバンク 3 を指定した読出し信号 R E A D に基づき、バンク 3 の読出し動作が行なわれる。

10

【0 1 0 0】

次に、外部からのバンク 4 を指定した読出し信号 R E A D に基づき、バンク 4 の読出し動作が行なわれる。バンク 4 の読出し動作中に、リフレッシュタイマ 2 1 2 は、リフレッシュサイクル信号 / R e f c y c を出力する。リフレッシュバンクアドレス指定回路 2 1 3 内の O R 回路 2 2 1 は、リフレッシュサイクル信号 / R e f c y c を受けるとカウントアップ信号を出力する。バンクアドレスカウンタ 2 2 2 は、バンクアドレスのカウント値を「1」（循環的に更新）とする。リフレッシュ実施済バンク保持回路 2 2 4 には、バンクアドレス「1」、「3」および「4」が保持されているので、リフレッシュ実施済 / 未実施判定回路 2 2 3 は、実施と判定し、次のバンクを指示する信号 N E X T を出力する。

20

【0 1 0 1】

O R 回路 2 2 1 は、次のバンク指示する信号 N E X T を受けるとカウントアップ信号を出力する。バンクアドレスカウンタ 2 2 2 は、バンクアドレスのカウント値を「2」とする。リフレッシュ実施済バンク保持回路 2 2 4 には、バンクアドレス「1」、「3」、「4」が保持され、バンクアドレス「2」が保持されていないので、リフレッシュ実施済 / 未実施判定回路 2 2 3 は、未実施と判定し、バンクアドレス「2」を第 2 比較回路 2 2 7 に出力する。ここで、バンクアドレス「2」を第 1 比較回路 2 2 5 でなく、第 2 比較回路 2 2 7 に出力したのは、バンクアドレス「1」～「4」のうち、このバンクアドレス「2」が未実施の最後のバンクだからである。読出し / 書込み動作バンク検知回路 2 2 6 には、読出し信号 R E A D およびバンクアドレス「4」を受けて、バンクアドレス「4」を第 1 比較回路 2 2 5 および第 2 比較回路 2 2 7 に出力する。第 2 比較回路 2 2 7 は、受けた 2 つのバンクアドレスが異なるので、リフレッシュ実施済 / 未実施判定回路 2 2 3 から受けたバンクアドレス「2」をリフレッシュ制御回路 2 1 1 に送るとともに、リフレッシュ実施済バンク保持回路 2 2 4 にバンクアドレス「2」を出力し保持させる。リフレッシュ制御回路 2 1 1 は、バンクアドレス「2」を受けるとバンク 2 のリフレッシュ動作を制御する。

30

【0 1 0 2】

リフレッシュ実施済バンク保持回路 2 2 4 は、すべてのバンクアドレス「1」～「4」を保持すると、保持しているバンクアドレスを消去するとともに、バンクアドレスカウンタ 2 2 2 に、バンクアドレスのカウント値を「0」にリセットさせる。

40

【0 1 0 3】

（リフレッシュバンクアドレス指令回路の動作例 2）

図 8 は、本実施の形態に係る同期式擬似 S R A M 2 0 0 の別の動作例を説明するための図である。

【0 1 0 4】

動作例 1 の最後の段階で、外部からのバンク 4 を指定した読出し信号 R E A D の代りに、バンク 2 を指定した読出し信号 R E A D が入力されたときの処理について説明する。

【0 1 0 5】

外部からのバンク 2 を指定した読出し信号 R E A D に基づき、バンク 2 の読出し動作が行なわれる。バンク 2 の読出し動作中に、リフレッシュタイマ 2 1 2 は、リフレッシュサ

50

イクル信号 / R e f c y c を出力する。リフレッシュバンクアドレス指定回路 2 1 3 内の O R 回路 2 2 1 は、リフレッシュサイクル信号 / R e f c y c を受けるとカウントアップ信号を出力する。バンクアドレスカウンタ 2 2 2 は、バンクアドレスのカウント値を「 1 」(循環的に更新)とする。リフレッシュ実施済バンク保持回路 2 2 4 には、バンクアドレス「 1 」、「 3 」および「 4 」が保持されているので、リフレッシュ実施済 / 未実施判定回路 2 2 3 は、実施と判定し、次のバンクを指示する信号 N E X T を出力する。

【 0 1 0 6 】

O R 回路 2 2 1 は、次のバンク指示する信号 N E X T を受けるとカウントアップ信号を出力する。バンクアドレスカウンタ 2 2 2 は、バンクアドレスのカウント値を「 2 」とする。リフレッシュ実施済バンク保持回路 2 2 4 には、バンクアドレス「 1 」、「 3 」、「 4 」が保持され、バンクアドレス「 2 」が保持されていないので、リフレッシュ実施済 / 未実施判定回路 2 2 3 は、未実施と判定し、バンクアドレス「 2 」を第 2 比較回路 2 2 7 に出力する。

10

【 0 1 0 7 】

ここで、バンクアドレス「 2 」を第 1 比較回路 2 2 5 でなく、第 2 比較回路 2 2 7 に出力したのは、バンクアドレス「 1 」～「 4 」のうち、このバンクアドレス「 2 」が未実施の最後のバンクだからである。読出し / 書込み動作バンク検知回路 2 2 6 には、読出し信号 R E A D およびバンクアドレス「 2 」を受けて、バンクアドレス「 2 」を第 1 比較回路 2 2 5 および第 2 比較回路 2 2 7 に出力する。第 2 比較回路 2 2 7 は、受けた 2 つのバンクアドレスが同一なので、リフレッシュ実施済 / 未実施判定回路 2 2 3 から受けたバンクアドレス「 2 」と、バンク 2 の読出し動作終了後にリフレッシュを行なう旨の指令とをリフレッシュ制御回路 2 1 1 に送るとともに、リフレッシュ実施済バンク保持回路 2 2 4 にバンクアドレス「 2 」を出力し保持させる。リフレッシュ制御回路 2 1 1 は、バンクアドレス「 2 」と、バンク 2 の読出し動作終了後にリフレッシュを行なう旨の指令を受けると、所定の時間経過した後、バンク 2 のリフレッシュ動作を制御する。

20

【 0 1 0 8 】

リフレッシュ実施済バンク保持回路 2 2 4 は、すべてのバンクアドレス「 1 」～「 4 」を保持すると、保持しているバンクアドレスを消去するとともに、バンクアドレスカウンタ 2 2 2 に、バンクアドレスのカウント値を「 0 」にリセットさせる。

【 0 1 0 9 】

30

以上のように、本実施の形態に係る同期式擬似 S R A M によれば、読出しまたは書込みを行なうバンクと重ならず、かつリフレッシュが未実施のバンクがリフレッシュするバンクが決められるので、セルフリフレッシュのタイミングが遅れることなく、かつ公平な頻度でリフレッシュを行なうことができる。

【 0 1 1 0 】

なお、本実施の形態では、1 回～4 回、および 5 回～8 回などの各 4 回のセルフリフレッシュにおいて、4 個のバンクすべてのリフレッシュを完了するものとしたが、これに限定するものではない。たとえば、8 回のセルフリフレッシュごとに 4 個すべてのリフレッシュを完了するものとしてもよい。この場合には、動作例 2 では、4 回目のバンク 2 のセルフリフレッシュのタイミングを遅らせないようにすることができる。また、外部のシステム側が読出し信号 R E A D に先立って、読出すバンクアドレスのスケジュールを指定できるものとしてもよい。この場合には、スケジュール指定されたバンクアドレスの読出しと重ならず、かつリフレッシュ回数がすべてのバンクで均等になるように、リフレッシュするバンクアドレスのスケジュールを設定することができる。

40

【 0 1 1 1 】

また、本実施の形態の動作例では、読出し動作中にリフレッシュ要求が発生する場合について説明したが、書込み動作中にリフレッシュ要求が発生する場合についても、同様に処理される。

【 0 1 1 2 】

また、本実施の形態は、同期式擬似 S R A M に限定して適用されるものではなく、クロ

50

ックに同期して動作しない擬似 S R A M にも適用可能である。

【 0 1 1 3 】

[ 第 3 の実施形態 ]

本実施の形態は、複数個の同期式擬似 S R A M を 1 つのパッケージに收容し、複数個の同期式擬似 S R A M のリフレッシュのタイミングを同一にする構成に関する。

【 0 1 1 4 】

( 構成 )

図 9 は、本実施の形態に係る 1 つのパッケージに收容される各同期式擬似 S R A M 3 0 0 の構成を示す。この同期式擬似 S R A M 3 0 0 は、リフレッシュタイマ 3 0 1 と、制御回路 3 0 2 と、D R A M セルアレイ + 周辺回路群 3 0 3 と、スイッチ 3 0 4 とを含む。

10

【 0 1 1 5 】

D R A M セルアレイ + 周辺回路群 3 0 3 の D R A M セルアレイは、ダイナミックランダムアクセスメモリ ( D R A M ) のセルで構成されるメモリアレイである。周辺回路群は、グローバル入出力線対 G I O P ( G I O および / G I O ) と、各列に対応して設けられた列選択線と、列選択ゲートと、センスアンプと、プリアンプと、ライトドライバと、ロウデコーダ、コラムデコーダなどを含む。

【 0 1 1 6 】

制御回路 3 0 2 は、制御信号端子 3 1 5 を介して外部制御信号を受けるとともに、データ入出力端子 3 1 6 を介して D R A M セルアレイへの書込みデータを受けて、これらに基づいて、この同期式擬似 S R A M 3 0 0 全体の処理を制御するとともに、データ入出力端子 3 1 6 を介して、D R A M セルアレイからの読出しデータを出力する。また、制御回路 3 0 2 は、リフレッシュ制御回路 3 0 5 と、W A I T 制御回路 3 0 6 とを含む。

20

【 0 1 1 7 】

リフレッシュタイマ 3 0 1 は、リング発振器で構成され周期的に活性化されたリフレッシュサイクル信号 / R e f c y c をスイッチ 3 0 4 およびリフレッシュタイマ出力 P A D 3 1 1 に出力する。リフレッシュタイマ出力 P A D 3 1 1 に与えられたリフレッシュサイクル信号 / R e f c y c は、他の同期式擬似 S R A M に送られる。

【 0 1 1 8 】

リフレッシュタイマ入力 P A D 3 1 2 は、他の同期式擬似 S R A M のリフレッシュタイマからのリフレッシュサイクル信号 / R e f c y c を受ける。

30

【 0 1 1 9 】

ボンディングオプション P A D 3 1 3 は、印可される電位に応じてスイッチ 3 0 4 を制御する。

【 0 1 2 0 】

スイッチ 3 0 4 は、リフレッシュタイマ 3 0 1 からのリフレッシュサイクル信号 / R e f c y c およびリフレッシュタイマ入力 P A D 3 1 2 からのリフレッシュサイクル信号 / R e f c y c を受ける。2つのリフレッシュサイクル信号 / R e f c y c は、周期は同一であるが、タイミングが異なる。

【 0 1 2 1 】

スイッチ 3 0 4 は、ボンディングオプション P A D 3 1 3 の印可電位に応じて、受けたリフレッシュサイクル信号 / R e f c y c のいずれかをリフレッシュ制御回路 3 0 5 に出力する。すなわち、スイッチ 3 0 4 は、ボンディングオプション P A D 3 1 3 に接地電位が印可されたときに、リフレッシュタイマ入力 P A D 3 1 2 からのリフレッシュサイクル信号 / R e f c y c を出力し、接地電位以外の電位が印可されたときに、リフレッシュタイマ 3 0 1 からのリフレッシュサイクル信号 / R e f c y c を出力する。

40

【 0 1 2 2 】

リフレッシュ制御回路 3 0 5 は、セルフリフレッシュの制御を行なう。

【 0 1 2 3 】

図 1 0 は、リフレッシュ制御回路 3 0 5 の詳細な構成を示す。同図を参照して、リフレッシュ制御回路 3 0 5 は、指令信号活性化回路 5 0 と、判定回路 6 0 と、N A N D ゲート

50

4 1 , 4 4 と、インバータ 4 2 と、バッファ 4 8 と、遅延回路 4 3 , 4 9 と、フリップフロップ 4 5 とを含む。

【 0 1 2 4 】

指令信号活性化回路 5 0 はリフレッシュ指令信号 / R E F E を活性化させるためにリフレッシュフラッグ信号 R e f f l a g を出力する。判定回路 6 0 は、リフレッシュフラッグ信号 R e f f l a g により活性化されたリフレッシュ指令信号 / R E F E を出力するかどうかを判定するために判定信号 R e f w i n を出力する。

【 0 1 2 5 】

N A N D ゲート 4 1 は、リフレッシュフラッグ信号 R e f f l a g と判定信号 R e f w i n とを受け、リフレッシュフラッグ信号 R e f f l a g と判定信号 R e f w i n との論理積を演算し、その演算結果を反転した信号を反転論理積信号 / R E F S F として出力する。

10

【 0 1 2 6 】

インバータ 4 2 は N A N D ゲート 4 1 から出力された信号 / R E F S F を受けて反転した信号 A 1 を出力する。また、遅延回路 4 3 は反転論理積信号 / R E F S F を受けて一定時間遅延させる。

【 0 1 2 7 】

N A N D ゲート 4 4 はインバータ 4 2 の出力信号 A 1 と遅延回路 4 3 の出力信号とを受け、信号 A 1 と遅延回路 4 3 の出力信号との論理積を演算し、その演算結果を反転した信号 / R E F S を出力する。

20

【 0 1 2 8 】

フリップフロップ 4 5 は N A N D ゲート 4 6 および 4 7 で構成される。N A N D ゲート 4 6 は信号 / R E F S と N A N D ゲート 4 7 から出力された出力信号 A 3 とを受け、信号 / R E F S と信号 A 3 との論理積を演算し、その演算結果を反転した信号 A 2 を出力する。N A N D ゲート 4 7 は N A N D ゲート 4 6 から出力された信号 A 2 と遅延回路 4 9 から出力された信号 A 4 とを受け、信号 A 2 と信号 A 4 との理論積を演算し、その演算結果を反転した信号をリフレッシュ指令信号 / R E F E として出力する。リフレッシュ指令信号 / R E F E の活性化に応じて、リフレッシュ動作が行なわれる。

【 0 1 2 9 】

遅延回路 4 9 は、フリップフロップ 4 5 から出力されたリフレッシュ指令信号 / R E F E を受けて一定時間遅延させた信号 A 4 を出力する。

30

【 0 1 3 0 】

バッファ 4 8 は信号 A 3 を受けてリフレッシュ指令信号 / R E F E を出力する。

【 0 1 3 1 】

指令信号活性化回路 5 0 は、フリップフロップ 5 2 と、N A N D ゲート 5 5 と、インバータ 5 6 および 5 7 と、遅延回路 5 8 とを含む。

【 0 1 3 2 】

フリップフロップ 5 2 は、N A N D ゲート 5 3 および 5 4 で構成される。N A N D ゲート 5 3 はリフレッシュサイクル信号 / R e f c y c と N A N D ゲート 5 4 の出力信号 A 1 1 とを受け、リフレッシュサイクル信号 / R e f c y c と信号 A 1 1 との論理積を演算し、その演算結果を反転した信号 A 1 0 を出力する。また、N A N D ゲート 5 4 は、N A N D ゲート 5 3 から出力された出力信号 A 1 0 と、N A N D ゲート 5 5 から出力された出力信号 A 1 2 とを受け、信号 A 1 0 と信号 A 1 2 との論理積を演算し、その演算結果を反転した信号 A 1 1 を出力する。

40

【 0 1 3 3 】

インバータ 5 6 は、フリップフロップ 5 2 から出力された信号 A 1 1 を受け、反転し、反転した信号をリフレッシュフラッグ信号 R e f f l a g として出力する。

【 0 1 3 4 】

インバータ 5 7 は、リフレッシュ指令信号 / R E F E を受け、反転する。また、遅延回路 5 8 は、インバータ 5 7 により反転されたリフレッシュ指令信号 / R E F E を受け、反

50

転されたリフレッシュ指令信号 / R E F E を一定時間遅延させた信号 A 1 3 を出力する。

【 0 1 3 5 】

N A N D ゲート 5 5 は、リフレッシュ指令信号 / R E F E と遅延回路 5 8 から出力された信号 A 1 3 とを受け、リフレッシュ指令信号 / R E F E と信号 A 1 3 との論理積を演算し、その演算結果を反転した信号 A 1 2 を出力する。

【 0 1 3 6 】

判定回路 6 0 はバッファ回路 6 1 で構成される。バッファ回路 6 1 は内部チップイネーブル信号 Z I N T C E を受け、判定信号 R e f w i n を出力する。

【 0 1 3 7 】

再び、図 9 を参照して、W A I T 制御回路 3 0 6 は、リフレッシュ制御回路 3 0 5 の制御によりリフレッシュ制御が行なわれている間、W A I T 端子 3 1 4 を介して出力する W A I T 信号のレベルを「 L 」とする。

【 0 1 3 8 】

( パッケージ )

図 1 1 は、本実施の形態に係る 2 個の同期式擬似 S R A M を収納したパッケージの構成を示す。同図を参照して、第 1 の同期式擬似 S R A M 3 0 0 a および第 2 の同期式擬似 S R A M 3 0 0 b は、それぞれ、図 9 の同期式擬似 S R A M と同様の構成である。第 1 の同期式擬似 S R A M 3 0 0 a のボンディングオプション P A D 3 1 3 a は、開放されており、スイッチ 3 0 4 a は、リフレッシュタイマ 3 0 1 a から出力されたリフレッシュサイクル信号 / R e f c y c をリフレッシュ制御回路 3 0 5 a に送る。

【 0 1 3 9 】

一方、第 2 の同期式擬似 S R A M 3 0 0 b のボンディングオプション P A D 3 1 3 b は、接地電位が与えられ、スイッチ 3 0 4 b は、リフレッシュタイマ入力 P A D 3 1 2 b を通じて受けた第 1 の同期式擬似 S R A M 3 0 0 a のリフレッシュタイマ 3 0 1 a から出力されたリフレッシュサイクル信号 / R e f c y c をリフレッシュ制御回路 3 0 5 b に送る。これにより、リフレッシュ制御回路 3 0 5 a および 3 0 5 b は、いずれもリフレッシュタイマ 3 0 1 a のリフレッシュサイクル信号 / R e f c y c により動作するので、第 1 の同期式擬似 S R A M 3 0 0 a および 3 0 0 b のリフレッシュのタイミングが同一となる。

W A I T 制御回路 3 0 6 a は、W A I T 端子 3 1 4 a および 3 1 4 を通じて W A I T 信号を出力し、W A I T 制御回路 3 0 6 b は、W A I T 端子 3 1 4 b および 3 1 4 を通じて W A I T 信号を出力する。リフレッシュ制御回路 3 0 5 a および 3 0 5 b のリフレッシュのタイミングが同一となるので、各 W A I T 信号が「 L 」に変化するタイミングも同一となる。

【 0 1 4 0 】

以上のように、複数個の同期式擬似 S R A M において、リフレッシュ中により、外部から指示された動作を受け付けることができない旨を知らせる W A I T のレベル変化のタイミングを同一にすることができる。

【 0 1 4 1 】

なお、本実施の形態では、2 個の同期式擬似 S R A M を搭載したパッケージを例にして説明したが、2 個以上の任意の個数の同期式擬似 S R A M を搭載させるものとしてもよい。

【 0 1 4 2 】

また、本実施の形態では、複数の同期式擬似 S R A M で、リフレッシュサイクル信号 / R e f c y c を共用することとし、リフレッシュタイマ出力 P A D を通じて自己のリフレッシュサイクル信号 / R e f c y c を出力し、リフレッシュタイマ入力 P A D を通じて、他の同期式擬似 S R A M のリフレッシュサイクル信号 / R e f c y c を受けたが、これに限定するものではない。たとえば、複数の同期式擬似 S R A M でリフレッシュフラグ信号 R e f f l a g 、反転論理積信号 / R E F S F 、またはリフレッシュ指令信号 / R E F E を共用することとし、リフレッシュタイマ出力 P A D およびリフレッシュタイマ入力 P

10

20

30

40

50

A Dを通じて、これらの信号の授受を行なうこととしてもよい。

【 0 1 4 3 】

さらに、本実施の形態では、複数の同期式擬似 S R A M がそれぞれの W A I T 信号を出力したが、これに限定するものではない。たとえば、W A I T 制御回路 3 0 6 a と W A I T 端子 3 1 4 a との間、および W A I T 制御回路 3 0 6 b と W A I T 端子 3 1 4 b との間に、それぞれボンディングオプション P A D で制御できるスイッチを設け、一方のスイッチのみ、W A I T 端子と W A I T 制御回路とが接続するように制御することによって、1 つの同期式擬似 S R A M からのみ W A I T 信号を出力するものとしてもよい。

【 0 1 4 4 】

さらに、複数個の同期式擬似 S R A M が W A I T 信号を出力しない場合、つまり、セルフリフレッシュのタイミングと、外部からの読出し信号 R E A D または書込み信号 W R I T E のタイミングとが重なったときに、読出し信号 R E A D または書込み信号 W R I T E を保持しておき、セルフリフレッシュ終了後に、読出し動作または書込み動作を行なう場合においては、リフレッシュサイクル信号 / R e f c y c のみを共用するものとしてもよい。つまり、W A I T の制御は行なわない。この場合においても、複数個の同期式擬似 S R A M が同時にリフレッシュを行なうので、信号の干渉が起こりにくいという一定の効果がある。

10

【 0 1 4 5 】

また、本実施の形態は、同期式擬似 S R A M に限定して適用されるものではなく、クロックに同期して動作しない擬似 S R A M にも適用可能である。

20

【 0 1 4 6 】

[ 第 4 の実施形態 ]

本実施の形態は、バースト読出し / 書込みにおいて、読出しまたは書込み信号が生成された第 1 のクロックに従って先頭から数個のビットの読出し / 書込みを行ない、コマンドレイテンシ C L で規定される第 2 のクロック以降のクロックに従って、残りのビットの読出し / 書込みを行なう同期式擬似 S R A M に関する。

【 0 1 4 7 】

( 構成 )

図 1 2 は、本実施の形態に係る同期式擬似 S R A M 4 0 0 の構成を示す。同図を参照して、この同期式擬似 S R A M 4 0 0 は、D R A M セルアレイ 4 0 1 と、制御回路 4 0 2 と、アドレスバッファ 4 0 3 と、R C R (Refresh Configuration Register) 4 0 4 と、B C R 4 0 5 (Bus Configuration Register) と、入出力回路およびバッファ 4 0 6 とを備える。

30

【 0 1 4 8 】

D R A M セルアレイ 4 0 1 は、ダイナミックランダムアクセスメモリ ( D R A M ) のセルで構成されるメモリアレイである。

【 0 1 4 9 】

入出力回路およびバッファ 4 0 6 は、データ入出力端子 D Q を通じて、外部のシステム側との間でデータの入出力を行なう。入出力回路およびバッファ 4 0 6 は、入出力制御回路 4 1 1 から与えられるクロック信号 C L K Q に同期して、D R A M セルから出力されたデータを出力する。

40

【 0 1 5 0 】

R C R 4 0 4 は、セルフリフレッシュの方法を規定する。

【 0 1 5 1 】

B C R 4 0 5 は、外部のシステムとのインタフェース、たとえば、バーストレンジ B L 、およびコマンドレイテンシ C Lなどを記憶する。

【 0 1 5 2 】

アドレスバッファ 4 0 3 は、外部アドレス信号 A D D [ 2 1 : 0 ]を受けて、内部アドレス信号を生成する。同期式擬似 S R A M では、アドレスバッファ 4 0 3 は、外部アドレス取込み信号 A D V # が「 L 」のときに、外部アドレス信号 A D D [ 2 1 : 0 ]を取込む

50

。外部アドレス取込信号  $ADV\#$  が「L」となるタイミングは、読出し信号  $READ$  または書込み信号  $WRITE$  が生成されるタイミングよりも早い。そして、このとき与えられる外部アドレス信号  $ADD[21:0]$  は、ロウアドレスだけでなくコラムアドレスも含む。したがって、ロウアドレスおよびコラムアドレスは、読出し信号  $READ$  または書込み信号  $WRITE$  が生成されるよりも先立って、取得される。

#### 【0153】

このように、ロウアドレスだけでなくコラムアドレスも、読出し信号  $READ$  または書込み信号が生成されるのに先立って取得できるので、ロウアクセスの後、コマンドレイテンシ  $CL$  で規定されるクロックが入力されるまで待たずに、コラムアクセスを開始することができる。本実施の形態では、このような特徴を利用して、読出し信号  $READ$  または書込み信号が生成されたときのクロック（第1のクロックという）に従って、バーストアクセスの先頭のコラムのデータを読出すためのコラムアクセス処理を行なう。そして、コマンドレイテンシ  $CL$  で規定されるクロック（第2のクロックという）に従って、バーストアクセスの残りのコラムのデータを読出すためのコラムアクセス処理を行なう。

10

#### 【0154】

制御回路402は、コマンドデコーダ410と、入出力制御回路411と、ロウ制御回路409と、コラム制御回路407と、 $WAIT$ 制御回路412と、リフレッシュ制御回路420とを含む。

#### 【0155】

コマンドデコーダ410は、外部制御信号より生成された内部制御信号の論理レベルの組合せに従って、ロウ活性化信号  $ACT$ 、読出し信号  $READ$ 、および書込み信号  $WRITE$  を生成する。

20

#### 【0156】

ロウ制御回路409は、コラムイネーブル信号  $COL E$ 、メモリセルとグローバルビット線対  $GIO$ 、 $ZGIO$ との間に設けられたビット線対  $BL$ 、 $ZBL$ に接続されたセンスアンプを活性化させるセンスアンプ活性化信号  $SENSE$  を生成する。図13は、ロウ制御回路409の構成を示す。同図を参照して、遅延回路（ $Delay$ ） $DL101$ は、読出し信号  $READ$  または書込み信号  $WRITE$  が生成されたクロックである第1クロック  $CLK0$  の立ち上がりに応じて活性化されるロウ活性化信号  $ACT$  を受ける。遅延回路（ $Delay$ ） $DL101$ は、ロウ活性化信号  $ACT$  を遅延させたセンスアンプ活性化信号  $SENSE$  を出力する。遅延回路（ $Delay$ ） $DL102$ は、センスアンプ活性化信号  $SENSE$  を受けて、センスアンプ活性化信号  $SENSE$  を遅延させたコラムイネーブル信号  $COL E$  を生成する。

30

#### 【0157】

コラム制御回路407は、グローバルビット線対  $GIO$ 、 $ZGIO$ に接続されたプリアンプを活性化させるプリアンプ活性化信号  $PARM$  と、コラムデコーダ活性化トリガ信号  $CDETRG$  を生成する。図14は、コラム制御回路407の構成の一部を示す。同図を参照して、コラム制御回路407は、 $COLP\_SHIFT$ 発生器422と、 $CDETRG$ 発生器421とを備える。

#### 【0158】

$COLP\_SHIFT$ 発生器422は、外部クロック  $CLK$ 、読出し信号  $READ$ （または書込み信号  $WRITE$ ）、コマンドレイテンシ  $CL$ 、読出し信号  $READ$ （または書込み信号  $WRITE$ ）が生成されたときのクロックである第1のクロック  $CLK0$  で読出すビット数  $N1$ （本実施の形態では「1」である）、およびバーストレンジ  $BL$  に基づいて、コラムシフト信号  $COLP\_SHIFT$  を生成する。すなわち、 $COLP\_SHIFT$ 発生器422は、読出し信号  $READ$ （または書込み信号  $WRITE$ ）が生成されたときのクロックの後の、 $(CL - N1)$ 個目のクロック  $CLK$  の立ち下りに応じて、コラムシフト信号  $COLP\_SHIFT$  を活性化し、バーストレンジスカウンタのカウンタ値がバーストレンジ  $BL$  になったことに応じて、コラムシフト信号  $COLP\_SHIFT$  を非活性化する。

40

50

## 【 0 1 5 9 】

C D E T R G 発生器 4 2 1 は、コラムシフト信号 C O L P \_ S H F T、外部クロック C L K、およびコラムイネーブル信号 C O L E に基づいて、コラムデコード活性化トリガ信号 C D E T R G を生成する。

## 【 0 1 6 0 】

図 1 5 は、C D E T R G 発生器 4 2 1 の詳細な構成を示す。同図を参照して、C D E T R G 発生器 4 2 1 は、ワンショットパルス発生器 4 3 1 と、論理積回路 A N D 4 1 と、論理和回路 O R 4 2 とを備える。ワンショットパルス発生器 4 3 1 は、コラムイネーブル信号 C O L E の立ち上がりで、レベルが「H」のワンショットパルスを生成する。このワンショットパルスは、第 1 のクロック C L K 0 に同期してアクセスされる第 1 番目のコラムを活性化させる信号となる。

## 【 0 1 6 1 】

論理積回路 A N D 4 1 は、コラムイネーブル信号 C O E が「H」であり、C O L P \_ S H F T が「H」のときに、レベルが「H」のクロックパルスを出力する。このクロックパルスが、第 2 のクロック C L K 2 以降のクロックに同期してアクセスされる第 2 番目～第 4 番目のコラムを活性化させる信号となる。

## 【 0 1 6 2 】

論理和回路 O R 4 2 は、ワンショットパルス発生器 4 3 1 から出力されるワンショットパルス、および論理積回路 A N D 4 1 から出力されるクロックパルスを合成する。合成されたパルスがコラムデコード活性化トリガ信号 C D E T R G のパルスとなる。

## 【 0 1 6 3 】

図 1 6 は、W A I T 制御回路 4 1 2 の構成を示す。同図を参照して、この W A I T 制御回路 4 1 2 は、W A I T \_ A S Y N 発生回路 4 3 2 と、W A I T 発生回路 4 3 3 とを備える。

## 【 0 1 6 4 】

W A I T \_ A S Y N 発生回路 4 3 2 は、コマンドデコード 4 1 0 から読出し信号 R E A D または書込み信号 W R I T E が入力され、かつ外部チップイネーブル信号 C E # が「L」に活性化されていることに応じて、W A I T \_ A S Y N 信号を「L」にする。その後、W A I T \_ A S Y N 発生回路 4 3 2 は、プリアンプ活性化信号 P A E を受けた後、先頭のビットのデータ D 0 がデータ出力端子 D Q から出力されるのに要する所定時間の経過後、W A I T \_ A S Y N 信号を「H」にする。その後、W A I T \_ A S Y N 発生回路 4 3 2 は、外部チップイネーブル信号 C E # が「H」に非活性化されたことに応じて、W A I T \_ A S Y N 信号を H i - Z にする。

## 【 0 1 6 5 】

W A I T 発生回路 4 3 3 は、コマンドデコード 4 1 0 から読出し信号 R E A D または書込み信号 W R I T E が入力され、かつ、外部チップイネーブル信号 C E # が「L」に活性化されていることに応じて、W A I T 信号を「L」にする。その後、W A I T 発生回路 4 3 3 は、 $(C L - 1) + (\text{読出し信号 R E A D または書込み信号 W R I T E が生成されたときのクロックである第 1 のクロック C L K 0 で読出すビット数 } N 1)$  の個数のクロックを受けた後、W A I T 信号を「H」に活性化する。その後、W A I T 発生回路 4 3 3 は、外部チップイネーブル信号 C E # が「H」に非活性化されたことに応じて、W A I T 信号を H i - Z にする。

## 【 0 1 6 6 】

( 従来の同期式擬似 S R A M の W A I T 信号のタイミング )

図 1 7 は、従来の同期式擬似 S R A M の W A I T 信号のタイミングを表す図である。同図に示すように、読出し信号 R E A D が入力され、かつ、外部チップイネーブル信号 C E # が「L」に活性化されていることに応じて、W A I T 信号は、「L」になる。その後、 $(C L - 1) (C L = 3)$  の個数のクロックを受けた後、W A I T 信号が「H」になる。その後、外部チップイネーブル信号 C E # が「H」に非活性化されたことに応じて、W A I T 信号は、H i - Z になる。



## 【0167】

(本実施の形態の同期式擬似SRAM400のWAIT\_\_ASYN信号およびWAIT信号のタイミング)

図18は、本実施の形態の同期式擬似SRAM400のWAIT\_\_ASYN信号およびWAIT信号のタイミングを表す図である。同図に示すように、読出し信号READが入力され、かつ、外部チップイネーブル信号CE#が「L」に活性化されていることに応じて、WAIT\_\_ASYN信号は、「L」になる。その後、プリアンプ活性化信号PAEを受けた後、先頭のビットのデータD0がデータ出力端子DQから出力されるのに要する所定時間の経過後、WAIT\_\_ASYN信号は、「H」になる。これにより、クロックCLK0に従ってコラムアクセスが行なわれる先頭のビットのデータD0が出力されるタイミングを外部のシステム側に通知することができる。その後、外部チップイネーブル信号CE#が「H」に非活性化されたことに応じて、WAIT\_\_ASYN信号はHi-Zになる。

## 【0168】

また、同図に示すように、読出し信号READが入力され、かつ、外部チップイネーブル信号CE#が「L」に活性化されていることに応じて、WAIT信号は、「L」になる。その後、 $(CL - 1 + N1)$  ( $CL = 3$ 、 $N1 = 1$ )の個数のクロックを受けた後、WAIT信号が「H」になる。これにより、コマンドレイテンシCLに基づいて定められるクロックに同期してコラムアクセスが行なわれる先頭のビットのデータD1が出力されるタイミングを外部のシステム側に通知することができる。その後、外部チップイネーブル信号CE#が「H」に非活性化されたことに応じて、WAIT信号は、Hi-Zになる。

## 【0169】

再び、図12を参照して、周辺回路群408は、ロウデコーダ418と、コラムデコーダ417と、図示しないセンスアンプと、図示しないプリアンプとを含む。

## 【0170】

ロウデコーダ418は、選択されたワード線を活性化する。

## 【0171】

図19は、コラムデコーダ417の構成を示す。同図に示すように、コラムデコーダ活性化トリガ信号CDETRGが活性化されたときに、入力されたコラムアドレスに対応するコラム選択信号CSLを活性化する。

## 【0172】

図示しないセンスアンプは、第1の増幅回路であり、ビット線対BL, ZBLの間の電位差を増幅する。

## 【0173】

図示しないプリアンプは、第2の増幅回路であり、複数のビット線対BL, ZBLに接続されたグローバルビット線対GIO, ZGIOの間の電位差を拡大する。

## 【0174】

図12のリフレッシュ制御回路420は、図示しない内部のリフレッシュタイマに基づいて、DRAMセルアレイのセルフリフレッシュ動作を制御する。

## 【0175】

(本実施の形態の同期式擬似SRAMの動作)

図20は、本実施の形態の同期式擬似SRAM400の動作を示すタイミングチャートである。同図を参照して、まず、読出し信号READが生成されたクロックCLK0(第1のクロック)の立ち上がり同期して、以下のようにロウアクセス処理が行なわれる。

## 【0176】

コマンドデコーダ410は、クロックCLK0に同期して活性化されたロウ活性化信号を出力する。

## 【0177】

ロウデコーダ418は、アドレスバッファ403から送られるロウアドレスに基づいて、ワード線を選択して、選択したワード線を活性化する。

10

20

30

40

50

## 【 0 1 7 8 】

ロウ制御回路 4 0 9 は、ロウ活性化信号 A C T を遅延させてセンスアンブイネーブル信号 S E N S E が活性化する。これにより、周辺回路群 4 0 8 内の図示しないセンスアンプがビット線対の増幅を行なう。

## 【 0 1 7 9 】

ロウ制御回路 4 0 9 は、センスアンブイネーブル信号 S E N S E を遅延させて、コラムイネーブル信号 C O L E を活性化する。

## 【 0 1 8 0 】

次に、第 1 のクロック C L K 0 の立ち上がり同期して、第 1 番目のコラムのコラムアクセス処理が行なわれる。

10

## 【 0 1 8 1 】

C D E T R G 発生器 4 2 1 は、コラムイネーブル信号 C O L E の立ち上がりから、ワンショットパルス生成する。これがコラムデコード活性化トリガ信号 C D E T R G の第 1 番目のパルスとなる。

## 【 0 1 8 2 】

コラムデコード 4 1 7 は、コラムデコード活性化トリガ信号 C D E T R G の第 1 番目のパルスに応じて、入力された第 1 番目のコラムのコラムアドレスに対応するコラム選択信号 C S L を活性化する。

## 【 0 1 8 3 】

コラム選択信号 C S L で選択された第 1 番目のコラムのビット線対の電位が周辺回路群 4 0 8 内の図示しないプリアンプに送られて、増幅が行なわれる。

20

## 【 0 1 8 4 】

プリアンプで増幅された第 1 番目のコラムのデータは、入出力回路およびバッファ 4 0 6 に送られる。一方、入出力制御回路 4 1 1 は、外部クロック C L K を受けて内部クロック信号 C L K Q を出力する。ここで、第 1 のクロック C L K 0 の立ち上がりに応じて、先頭のクロック信号 C L K Q のパルスが生成される。

## 【 0 1 8 5 】

入出力回路およびバッファ 4 0 6 は、クロック信号 C L K Q に同期して、第 1 番目のコラムから出力されたデータ D 0 をデータ出力端子 D Q を通じて外部へ出力する。

## 【 0 1 8 6 】

次に、第 1 のクロック C L K 0 から  $(C L - N 1) = 2$  個目のクロック C L K 2 (第 2 のクロック) 以降のクロックに同期して、第 2 番目 ~ 第 4 番目のコラムのコラムアクセス処理が行なわれる。

30

## 【 0 1 8 7 】

C O L P \_ S H F T 発生器 4 2 2 は、クロック C L K 2 (第 2 のクロック) の立ち下りに応じて、コラムシフト信号 C O L P \_ S H F T を活性化し、バーストレングスカウンタのカウンタ値がバーストレングス B L になったことに応じて、コラムシフト信号 C O L P \_ S H F T を非活性化する。

## 【 0 1 8 8 】

C D E T R G 発生器 4 2 1 は、コラムシフト信号 C O L P \_ S H F T が「H」の期間に含まれる 3 個のクロックパルスを抽出する。それらがコラムデコード活性化トリガ信号 C D E T R G の第 2 番目 ~ 第 4 番目のパルスとなる。

40

## 【 0 1 8 9 】

コラムデコード 4 1 7 は、コラムデコード活性化トリガ信号 C D E T R G の第 2 番目 ~ 第 4 番目のパルスに応じて、入力された第 2 番目 ~ 第 4 番目のコラムのコラムアドレスに対応するコラム選択信号 C S L を活性化する。

## 【 0 1 9 0 】

コラム選択信号 C S L で選択された第 2 番目 ~ 第 4 番目のコラムのビット線対の電位が周辺回路群 4 0 8 内の図示しないプリアンプに送られて、増幅が行なわれる。

## 【 0 1 9 1 】

50

ブリアンプで増幅された第2番目～第4番目のコラムのデータは、入出力回路およびバッファ406に送られる。一方、入出力制御回路411は、外部からクロック信号CLKを受けて内部クロック信号CLKQを出力する。クロック信号CLKQの第2番目～第4番目のパルスのタイミングは、通常通りのタイミングである。

【0192】

入出力回路およびバッファ406は、クロック信号CLKQの第2番目～第4番目のパルスに同期して、第2番目～第4番目のコラムから出力されたデータD1～D3をデータ出力端子DQを通じて外部へ出力する。

【0193】

以上のように、本実施の形態に係る同期式擬似SRAMによれば、コマンドレインテンシCLで規定されるタイミングよりも早期にデータを出力するので、システム側では、データを早く受け取ることができ、処理を早く開始することができる。また、バスが不確定な時間を短くできる。

【0194】

本実施の形態では、第1のクロックCLK0に同期して1個のデータを出力したが、これに限定するものではなく、2個または3個のデータを出力するものとしてもよい。第1のクロックCLK0に同期して出力するデータの個数は、システム側の都合で決めればよい。

【0195】

なお、本実施の形態では、外部チップイネーブル信号CE#が「H」に非活性化されたことに応じて、WAIT\_\_ASYN信号はHi-Zになるものとしたが、これに限定されるものではない。たとえば、WAIT信号が「H」になったことに応じて、WAIT\_\_ASYN信号はHi-Zになるものとしてもよい。

【0196】

また、第1のクロックCLK0で読出すビット数N1は、固定値であっても、外部信号によってレジスタに値が設定されるものであってもよい。

【0197】

また、本実施の形態では、第1のクロックCLK0で読出すビット数N1が「1」のため、ワンショットパルス発生器431を用いて、第1のクロックCLK0に同期してアクセスされる1個のコラムを活性化させる信号を生成したが、N1が2以上の場合には、生成したワンショットパルスを1サイクルごとにシフトしたパルスをN1個出力する回路を追加すればよい。

【0198】

また、ロウ制御回路は、図13に示すものに限定されるものではなく、たとえば、図21に示すようなものであってもよい。図21を参照して、遅延回路(Delay)DL191および遅延回路(Delay)DL192は、読出し信号READまたは書込み信号WRITEが生成されたクロックである第1クロックCLK0の立ち上がりに応じて活性化されるロウ活性化信号ACTを受ける。遅延回路(Delay)DL191は、ロウ活性化信号ACTを遅延させたセンスアンプ活性化信号SENSEを出力する。遅延回路(Delay)DL192は、ロウ活性化信号ACTを遅延させたコラムイネーブル信号COLEを生成する。

【0199】

また、本実施の形態は、同期式擬似SRAMに限定して適用されるものではなく、フラッシュメモリなどのようなものでもよく、クロックに同期して動作する半導体記憶装置であればどのようなものにも適用することができる。特に、高集積、高速が要求の高い同期式擬似SRAMへの応用が適している。

【0200】

なお、本実施の形態の動作例では、外部信号によって読出し信号READが生成されたときの動作を説明したが、外部信号によって書込み信号WRITEが生成されたときも同様に動作する。

10

20

30

40

50

## 【 0 2 0 1 】

## [ 第 4 の実施形態の変形例 ]

本変形例は、リフレッシュ動作中に読出し信号 R E A D または書込み信号 W R I T E が生成されたときにおいても、第 4 の実施形態と同様に、バースト読出し / 書込みにおいて、第 1 のクロックに従って先頭から数個のビットを読出し / 書込みし、コマンドレイテンシ C L で規定される第 2 のクロック以降のクロックに従って、残りのビットを読出し / 書込みする同期式擬似 S R A M に関する。

## 【 0 2 0 2 】

本変形例は、リフレッシュ動作中に読出し信号 R E A D または書込み信号 W R I T E が生成されたときにおいても対応できるように、第 4 の実施形態の制御回路 4 0 2 にコマンドシフト回路 4 8 0 を追加する。

10

## 【 0 2 0 3 】

図 2 2 は、コマンドシフト回路 4 8 0 の入出力信号を表す図である。コマンドシフト回路 4 0 8 には、コマンドデコード 4 1 0 から読出し信号 R E A D と、リフレッシュ制御回路 4 2 0 からリフレッシュ動作信号 R E F R E S H とが入力されて、修正読出し信号 R E A D F を出力する。この修正読出し信号 R E A D F は、読出し信号 R E A D が送られている回路に、読出し信号 R E A D に代わって送られる。

## 【 0 2 0 4 】

図 2 3 は、コマンドシフト回路 4 8 0 の詳細な構成を示す。同図を参照して、リフレッシュ動作信号 R E F R E S H を受ける反転論理積回路 N A N D 8 1 と、読出し信号 R E A D を受ける反転論理積回路 N A N D 8 2 とは、フリップフロップを構成する。インバータ I V 8 1 は、リフレッシュ動作信号 R E F R E S H を反転する。

20

## 【 0 2 0 5 】

インバータ I V 8 1 の出力を受ける反転論理積回路 N A N D 8 3 と、読出し信号 R E A D を受ける反転論理積回路 N A N D 8 4 とは、フリップフロップを構成する。

## 【 0 2 0 6 】

反転論理積回路 N A N D 8 3 の出力およびリセット信号 Z P O R を受ける反転論理積回路 N A N D 8 5 と、反転論理積回路 N A N D 8 2 の出力および反転論理積回路 N A N D 8 4 の出力とを受ける反転論理積回路 N A N D 8 6 とは、フリップフロップを構成する。リセット信号 Z P O R は、電源がオンにされると「H」に活性化される。

30

## 【 0 2 0 7 】

インバータ I V 8 2 は、反転論理積回路 N A N D 8 6 の出力を受ける。インバータ I V 8 3 は、インバータ I V 8 2 の出力を受ける。反転論理和回路 N O R 8 1 は、反転論理積回路 N A N D 8 6 の出力とインバータ I V 8 3 の出力とを受ける。

## 【 0 2 0 8 】

反転論理積回路 N A N D 8 7 は、反転論理和回路 N O R 8 1 の出力とインバータ I V 8 2 の出力とを受ける。遅延回路 D L 8 1 は、反転論理積回路 N A N D 8 7 の出力を遅延させる。反転論理和回路 N O R 8 2 は、インバータ I V 8 3 の出力と遅延回路 D L 8 1 の出力とを受ける。遅延回路 D L 8 2 は、反転論理和回路 N O R 8 2 の出力を遅延させる。

## 【 0 2 0 9 】

反転論理積回路 N A N D 8 8 は、遅延回路 D L 8 2 の出力と反転論理和回路 N O R 8 1 の出力とを受ける。遅延回路 D L 8 3 は、反転論理積回路 N A N D 8 8 の出力を遅延させる。反転論理積回路 N A N D 8 9 は、遅延回路 D L 8 3 の出力と反転論理和回路 N O R 8 1 の出力とを受ける。

40

## 【 0 2 1 0 】

インバータ I V 8 4 は、反転論理積回路 N A N D 8 9 の出力を受ける。インバータ I V 8 5 は、インバータ I V 8 4 の出力を受ける。反転論理積回路 N A N D 9 0 は、インバータ I V 8 5 の出力と反転論理積回路 N A N D 8 9 の出力とを受ける。反転論理和回路 N O R 8 3 は、反転論理積回路 N A N D 9 0 の出力とインバータ I V 8 4 の出力とを受ける。インバータ I V 8 6 は、反転論理和回路 N O R 8 3 の出力を反転する。インバータ I V 8

50

7 は、インバータ I V 8 6 の出力を反転する。

【 0 2 1 1 】

反転論理積回路 N A N D 9 1 は、反転論理和回路 N O R 8 3 の出力とインバータ I V 8 7 の出力とを受ける。反転論理和回路 N O R 8 4 は、反転論理積回路 N A N D 9 1 の出力とインバータ I V 8 4 の出力とを受ける。インバータ I V 8 8 は、反転論理和回路 N O R 8 4 の出力を反転する。反転論理和回路 N A N D 8 5 は、インバータ I V 8 4 の出力とインバータ I V 8 8 の出力とを受ける。インバータ I V 8 9 は、反転論理和回路 N A N D 8 5 の出力を反転して修正読出し信号 R E A D F を出力する。

【 0 2 1 2 】

図 2 4 ( a ) は、リフレッシュ動作が行なわれていないときに読出し信号 R E A D が入力されたときの修正読出し信号 R E A D F を表す図である。同図に示すように、リフレッシュ動作が行なわれていないとき、リフレッシュ動作信号 R E F R E S H は、「 L 」である。コマンドシフト回路 4 8 0 で生成された修正読出し信号 R E A D F が活性化されるタイミングは、読出し信号 R E A D が活性化されるタイミングとほぼ同一である。したがって、この修正読出し信号 R E A D F を読出し信号 R E A D の代りに用いても、第 4 の実施形態と同様の動作を行なうことができる。

【 0 2 1 3 】

図 2 4 ( b ) は、リフレッシュ動作中に読出し信号 R E A D が入力されたときの修正読出し信号 R E A D F を表す図である。同図に示すように、リフレッシュ動作が行なわれているときに、リフレッシュ動作信号 R E F R E S H は、「 H 」であるが、リフレッシュ動作が終了すると「 L 」となる。コマンドシフト回路 4 8 0 で生成された修正読出し信号 R E A D F が活性化されるタイミングは、リフレッシュ動作信号 R E F R E S H の立ち下り、リフレッシュの終了直後となる。したがって、この修正読出し信号 R E A D F を読出し信号 R E A D の代りに用いれば、リフレッシュ終了後から直ちに第 4 の実施形態と同様の動作を行なうことができる。つまり、図 2 0 では、読出し信号 R E A D が生成されたときのクロック C L K 0 を起点として一連の処理が行なわれたが、本変形例は、修正読出し信号 R E A D F が入力されたときのクロックを起点として一連の処理が行なわれることになる。

【 0 2 1 4 】

なお、本変形例では、リフレッシュ動作中に読出し信号 R E A D または書込み信号 W R I T E が生成された場合について説明したが、読出しまたは書込み動作などの実行中に、新たな読出し信号 R E A D または書込み信号 W R I T E が生成された場合についても、同様に適用することができる。特に、この新たな読出しまたは書込みを行なうワード線が、その前の読出しまたは書込みを行なっていたワード線と異なるときは、もとのワード線の非活性化、新たなワード線の活性化、およびセンスアンプによる増幅などの処理が必要なことから、本変形は、有効であるといえる。

【 0 2 1 5 】

なお、本変形例では、コマンドシフト回路 4 8 0 は、読出し信号 R E A D によって修正読出し信号 R E A D を生成するものとしたが、これに限定するものではなく、書込み信号 W R I T E によって修正書込み信号 W R I T E F を生成するものであってもよい。

【 0 2 1 6 】

[ 第 5 の実施形態 ]

本実施の形態は、同期モードと、非同期モードの両方のモードを有し、それぞれのモードに適した第 2 の増幅回路であるプリアンプを有する同期式擬似 S R A M に関する。なお、第 1 の増幅回路であるセンスアンプは、ビット線対 B L , Z B L の電位を増幅するものであり、第 2 の増幅回路であるプリアンプは、複数のビット線対 B L , Z B L に接続されたグローバルビット線対 G I O , Z G I O の電位を増幅するものである。

【 0 2 1 7 】

( 構成 )

図 2 5 は、本実施の形態に係る同期式擬似 S R A M 5 0 0 の構成を示す。同図を参照し

て、この同期式擬似 S R A M 5 0 0 は、D R A M セルアレイ 5 0 1 と、制御回路 5 0 2 と、周辺回路群 5 0 4 と、アドレスバッファ 5 0 3 とを含む。

【 0 2 1 8 】

D R A M セルアレイ 5 0 1 は、ダイナミックランダムアクセスメモリ ( D R A M ) のセルで構成されるメモリアレイである。

【 0 2 1 9 】

アドレスバッファ 5 0 3 は、外部アドレス信号 A D D [ 2 1 : 0 ] を受けて、内部アドレス信号を生成する。

【 0 2 2 0 】

制御回路 5 0 2 は、コラム制御回路 5 0 5 と、コマンドデコーダ 5 0 6 と、共通信号生成回路 5 0 7 と、同期対応プリアンプ制御回路 5 0 8 と、非同期対応プリアンプ制御回路 5 0 9 と、リフレッシュ制御回路 5 1 0 と、W A I T 制御回路 5 1 1 とを備える。 10

【 0 2 2 1 】

コラム制御回路 5 0 5 は、入力されるアドレスに基づいて、コラム選択信号 C S L を出力する。

【 0 2 2 2 】

リフレッシュ制御回路 5 1 0 は、図示しない内部のリフレッシュタイマに基づいて、D R A M セルアレイのセルフリフレッシュ動作を制御する。

【 0 2 2 3 】

W A I T 制御回路 5 1 1 は、リフレッシュ制御回路 5 1 0 の制御によりリフレッシュ制御が行なわれている間、W A I T 端子を介して出力する W A I T 信号のレベルを「 L 」とする。 20

【 0 2 2 4 】

コマンドデコーダ 5 0 6 は、外部制御信号より生成された内部制御信号の論理レベルの組合せに従って、ロウ活性化信号 A C T、読出し信号 R E A D、および書込み信号 W R I T E を生成する。

【 0 2 2 5 】

図 2 6 は、共通信号生成回路 5 0 7 の構成を示す。同図を参照して、共通信号生成回路 5 0 7 は、プリアンプ活性化準備信号発生器 5 2 3 と、同期指示信号発生器 5 2 4 とを含む。同図に示すように、プリアンプ活性化準備信号 P A E M は、コラム制御回路 5 0 5 から送られたコラム選択信号 C S L を遅延回路 ( D e l a y ) D L 5 3 で 時間だけ遅延させて生成される。プリアンプ活性化準備信号 P A E M は、同期対応プリアンプ制御回路 5 0 8 と、非同期対応プリアンプ制御回路 5 0 9 とに送られる。 30

【 0 2 2 6 】

同期指示信号発生器 5 2 4 は、外部チップイネーブル信号 C E # を受けるインバータ I V 5 4 と、インバータ I V 5 4 の出力と外部クロック C L K とを受ける反転論理積回路 N A N D 5 3 と、外部チップイネーブル信号 C E # を受けるインバータ I V 5 3 と、インバータ I V 5 3 の出力を 時間だけ遅延させる遅延回路 ( D e l a y ) D L 5 1 と、外部チップイネーブル信号 C E # と遅延回路 ( D e l a y ) D L 5 1 の出力とを受ける反転論理積回路 N A N D 5 4 と、反転論理積回路 N A N D 5 3 の出力と反転論理積回路 N A N D 5 5 の出力とを受ける反転論理積回路 N A N D 5 8 と、反転論理積回路 N A N D 5 4 の出力と反転論理積回路 N A N D 5 8 の出力とを受ける反転論理積回路 N A N D 5 5 とを備える。 40

【 0 2 2 7 】

図 2 7 ( a ) および ( b ) は、同期指示信号 S Y N C が生成されるタイミングチャートを示す。

【 0 2 2 8 】

図 2 7 ( a ) を参照して、外部クロック C L K が入力されているときには、同期指示信号 S Y N C は、外部チップイネーブル信号 C E # が「 L 」に活性化された後、最初のクロック C L K の立ち上がりで同期モードを示す「 H 」となり、その後、外部チップイネー 50

ル信号 C E # が「H」に非活性化されて遅延回路 ( D e l a y ) D L 5 1 による 時間だけ遅延後に「L」となる。

【 0 2 2 9 】

図 2 7 ( b ) を参照して、外部クロック C L K が入力されないときに、同期指示信号 S Y N C は、非同期モードを示す「L」となる。

【 0 2 3 0 】

同期指示信号 S Y N C は、同期対応プリアンブ制御回路 5 0 8 と、非同期対応プリアンブ制御回路 5 0 9 とに送られる。

【 0 2 3 1 】

図 2 8 は、同期対応プリアンブ制御回路 5 0 8 の構成を示す。同図に示すように、同期対応プリアンブ制御回路 5 0 8 は、基準信号発生器 5 2 1 と、同期式動作プリアンブ制御信号発生器 5 2 2 とを含む。 10

【 0 2 3 2 】

図 2 9 は、基準信号発生器 5 2 1 の構成を示す。同図に示すように、基準信号発生器 5 2 1 は、プリアンブ活性化準備信号 P A E M および同期指示信号 S Y N C を受ける反転論理積回路 N A N D 5 6 と、反転論理積回路 N A N D 5 6 の出力を受けるインバータ I V 5 5 と、インバータ I V 5 5 の出力を 時間だけ遅延させる遅延回路 ( D e l a y ) D L 5 2 と、遅延回路 ( D e l a y ) D L 5 2 の出力の「H」レベル側を 時間だけ遅延させる遅延回路 ( H i g h 側 D e l a y ) H D L 5 3 とを備える。遅延回路 ( D e l a y ) D L 5 2 の出力が第 1 の基準信号 P A C L であり、遅延回路 ( H i g h 側 D e l a y ) H D L 5 3 の出力が第 2 の基準信号 P A E L である。 20

【 0 2 3 3 】

図 3 0 は、H i g h 側 D e l a y の一例を示す図である。H i g h 側 D e l a y は、P チャンネル M O S トランジスタ P 6 2 と、N チャンネル M O S トランジスタ N 6 2 と、抵抗 R と、コンデンサ C 5 1 と、インバータ I V 5 6 とを備える。H i g h 側 D e l a y のノード B が「L」から「H」に変化するタイミングは、ノード A が「L」から「H」に変化するタイミングよりも遅れるが、ノード B が「H」から「L」に変化するタイミングは、ノード A が「H」から「L」に変化するタイミングと同一となる。

【 0 2 3 4 】

図 3 1 は、同期対応プリアンブ制御信号発生器 5 2 2 の構成を示す。同図に示すように、同期対応プリアンブ制御信号発生器 5 2 2 は、第 1 の基準信号 P A E L および第 2 の基準信号 P A C L を受けて、反転プリアンブ接続信号 Z P A D T、プリアンブ活性化信号 P A E、反転プリアンブ活性化信号 Z P A E、反転プリアンブイコライズ信号 Z P A E Q を生成する。 30

【 0 2 3 5 】

図 3 2 は、同期対応プリアンブ 5 1 2 に関連する信号が生成されるタイミングを示す。同図を参照して、同期モードを指示するときには、図 2 7 ( a ) で説明したように、同期指示信号 S Y N C が「H」となる。コラム選択信号 C S L は、適切なタイミングで「H」に活性化される。 40

【 0 2 3 6 】

プリアンブ活性化準備信号 P A E M は、コラム選択信号 C S L を 時間だけ遅延させて生成される。

【 0 2 3 7 】

プリアンブ活性化準備信号 P A E M および同期指示信号 S Y N C が同期活性化信号発生器 5 2 1 の反転論理積回路 N A N D 5 6 に入力されて、プリアンブ活性化準備信号 P A E M から 時間だけ遅延した第 1 の基準信号 P A C L が生成される。

【 0 2 3 8 】

さらに、この第 1 の基準信号 P A C L のパルスの先頭が 時間だけ遅延した第 2 の基準信号 P A E L が生成される。

【 0 2 3 9 】

同期対応プリアンプ制御信号発生器 522 は、第 1 の基準信号 P A C L が「H」、かつ第 2 の基準信号 P A E L が「L」の時に、反転プリアンプ接続信号 Z P A D T を「L」に活性化する。また、同期対応プリアンプ制御信号発生器 522 は、第 2 の基準信号 P A E L を 時間だけ遅延させて、プリアンプ活性化信号 P A E を生成する。また、同期対応プリアンプ制御信号発生器 522 は、プリアンプ活性化信号 P A E を反転させて、反転プリアンプ活性化信号 Z P A E および反転プリアンプイコライズ信号 Z P A E Q を生成する。

【0240】

一方、同期指示信号 S Y N C が非同期モードを示す「L」のときには、第 1 の基準信号 P A C L および第 2 の基準信号 P A E L が活性化されず、その結果、反転プリアンプ接続信号 Z P A D T、プリアンプ活性化信号 P A E、反転プリアンプ活性化信号 Z P A E、および反転プリアンプイコライズ信号 Z P A E Q が活性化されない。 10

【0241】

図 33 は、非同期対応プリアンプ制御回路 509 の構成を示す。同図に示すように、非同期対応プリアンプ制御回路 509 は、プリアンプ活性化準備信号 P A E M および同期指示信号 S Y N C の反転を受ける反転論理積回路 N A N D 57 と、反転論理積回路 N A N D 57 の出力を 時間だけ遅延させる遅延回路 ( D e l a y ) D L 54 と、遅延回路 ( D e l a y ) D L 54 の出力を受けるインバータ I V 59 とを備える。インバータ I V 59 の出力がプリアンプ活性化信号 P A E D である。

【0242】

図 34 は、非同期対応プリアンプ 513 に関連する信号が生成されるタイミングを示す 20。同図を参照して、非同期モードを指示するときには、図 27 ( b ) で説明したように、同期指示信号 S Y N C が「L」となる。コラム選択信号 C S L は、適切なタイミングで「H」に活性化される。

【0243】

プリアンプ活性化準備信号 P A E M は、コラム選択信号 C S L を 時間だけ遅延させて生成される。

【0244】

プリアンプ活性化準備信号 P A E M および同期指示信号 S Y N C が非同期対応プリアンプ制御回路 509 に送られて、プリアンプ活性化準備信号 P A E M が 時間だけ遅延したプリアンプ活性化信号 P A E D が生成される。 30

【0245】

一方、同期指示信号 S Y N C が同期モードを示す「H」のときには、プリアンプ活性化信号 P A E D は、活性化されない。

【0246】

再び、図 25 を参照して、周辺回路群 504 は、同期対応プリアンプ 512 と、非同期対応プリアンプ 513 と、同期対応 D B ドライバ 514 と、非同期対応 D B ドライバ 516 と、出力回路 515 とを含む。

【0247】

( 同期対応プリアンプ 512 )

図 35 は、同期対応プリアンプ 512 の構成を示す。同図に示すように、この同期対応プリアンプ 512 は、反転プリアンプ接続信号 Z P A D T で制御されるスイッチ部 561 と、反転プリアンプイコライズ信号 Z P A E Q で制御されるイコライズ部 562 と、プリアンプ活性化信号 P A E および反転プリアンプ活性化信号 Z P A E で制御される増幅部 563 と、プリアンプ活性化信号 P A E および反転プリアンプ活性化信号 Z P A E で制御されるバッファ部 564 , 565 とを備える。 40

【0248】

スイッチ部 561 は、P チャネル M O S トランジスタ P 32 と、P チャネル M O S トランジスタ P 31 とを含む。P チャネル M O S トランジスタ P 32 は、グローバル入出力線 G I O と N O D E X との間に配置される。P チャネル M O S トランジスタ P 31 は、反転グローバル入出力線 Z G I O と N O D E Y との間に配置される。P チャネル M O S トラン 50



ジスタ P 3 2 および P チャンネル MOS トランジスタ P 3 1 のゲートには、反転プリアンプ  
 接続信号 Z P A D T が印加される。

【 0 2 4 9 】

イコライズ部 5 6 2 は、P チャンネル MOS トランジスタ P 3 4 と、P チャンネル MOS ト  
 ランジスタ P 3 3 とを含む。P チャンネル MOS トランジスタ P 3 4 は、N O D E X と電源  
 との間に配置される。P チャンネル MOS トランジスタ P 3 3 は、N O D E Y と電源との間  
 に配置される。P チャンネル MOS トランジスタ P 3 4 および P チャンネル MOS トランジス  
 タ P 3 3 のゲートには、反転プリアンプイコライズ信号 Z P A E Q が印加される。

【 0 2 5 0 】

増幅部 5 6 3 は、P チャンネル MOS トランジスタ P 3 5 ~ P 3 9 と、N チャンネル MOS  
 トランジスタ N 3 1 とを含む。N O D E S と N O D E T との間には、直列に接続された P  
 チャンネル MOS トランジスタ P 3 6 および P チャンネル MOS トランジスタ P 3 7 が置かれ  
 、これと並列に、直列に接続された P チャンネル MOS トランジスタ P 3 8 および P チャネ  
 ル MOS トランジスタ P 3 9 が配置される。P チャンネル MOS トランジスタ P 3 6 および  
 P 3 7 のゲートは、N O D E Y と接続する。P チャンネル MOS トランジスタ P 3 8 および  
 P 3 9 のゲートは、N O D E X と接続する。P チャンネル MOS トランジスタ P 3 5 は、電  
 源と N O D E S との間に配置される。N チャンネル MOS トランジスタ N 3 1 は、N O D E  
 T とグランドとの間に配置される。P チャンネル MOS トランジスタ P 3 5 のゲートには、  
 反転プリアンプ活性化信号 Z P A E が印加され、N チャンネル MOS トランジスタ N 3 1 の  
 ゲートには、プリアンプ活性化信号 P A E が印加される。

10

20

【 0 2 5 1 】

バッファ 5 6 4 は、P チャンネル MOS トランジスタ P 4 0 ~ P 4 2 と、N チャンネル MO  
 S トランジスタ N 3 2 とを含む。P チャンネル MOS トランジスタ P 4 0 および P チャン  
 ル MOS トランジスタ P 4 1 は、電源と N O D E O との間に配置される。P チャンネル MO  
 S トランジスタ P 4 0 のゲートは、N O D E X と接続する。P チャンネル MOS トランジスタ  
 P 4 1 のゲートは、プリアンプ活性化信号 P A E が印加される。P チャンネル MOS トラン  
 ジスタ P 4 2 は、N O D E O と N O D E P との間に配置される。P チャンネル MOS トラン  
 ジスタ P 4 2 のゲートには、反転プリアンプ活性化信号 Z P A E が印加される。N チャネ  
 ル MOS トランジスタ N 3 2 は、N O D E P とグランドとの間に配置される。N チャン  
 ル MOS トランジスタ N 3 2 のゲートは、N O D E X と接続する。N O D E X から反転プリ  
 アンプ出力データ Z P D D が出力される。

30

【 0 2 5 2 】

バッファ 5 6 5 は、P チャンネル MOS トランジスタ P 4 3 ~ P 4 5 と、N チャンネル MO  
 S トランジスタ N 3 3 とを含む。P チャンネル MOS トランジスタ P 4 3 および P チャン  
 ル MOS トランジスタ P 4 4 は、電源と N O D E Q との間に配置される。P チャンネル MO  
 S トランジスタ P 4 3 のゲートは、N O D E Y と接続する。P チャンネル MOS トランジスタ  
 P 4 4 のゲートは、プリアンプ活性化信号 P A E が印加される。P チャンネル MOS トラン  
 ジスタ P 4 5 は、N O D E Q と N O D E R との間に配置される。P チャンネル MOS トラン  
 ジスタ P 4 5 のゲートには、反転プリアンプ活性化信号 Z P A E が印加される。N チャネ  
 ル MOS トランジスタ N 3 3 は、N O D E R とグランドとの間に配置される。N チャン  
 ル MOS トランジスタ N 3 3 のゲートは、N O D E Y と接続する。N O D E Y からプリア  
 ンプ出力データ P D D が出力される。

40

【 0 2 5 3 】

この同期対応プリアンプ 5 1 2 は、スイッチ部 5 6 1 を有するため、反転プリアンプ接  
 続信号 Z P A D T により適当なタイミングでグローバル入出力対 G I O , Z G I O を増幅  
 部 5 2 3 から切り離すことができる。これにより、増幅部 5 2 3 は、グローバル入出力対  
 G I O , Z G I O の電位を一度取り込んだら、その後の変化に左右されることなく増幅を  
 行なうという、いわゆる閉じ込め式の増幅が可能となり、増幅が高速化できる。また、グ  
 ローバル入出力対 G I O , Z G I O が増幅部 5 2 3 から切り離されるので、増幅部 5 2 3  
 での増幅と同時に、イコライズ部 5 6 2 でプリチャージ処理を行なうことができ、プリア

50

ンプ全体の処理も高速化できる。

【0254】

また、特に、クロックに同期した読出し処理が行なわれるときには、一定のタイミングでアドレスが変化し、ランダムなタイミングではアドレスは変化しないので、アドレスが変化しないタイミングでスイッチ部561による切り離しを行なえば、グローバル入出力線対GIO, ZGIOのデータを取りのがすことがない。

【0255】

以上より、この同期対応プリアンプ512は、クロックに同期した読出し動作に適しているといえる。

【0256】

一方、この同期対応プリアンプ512は、以下に示すように、クロックに同期しない、非同期の読出し動作には適していない。

【0257】

図36は、同期対応プリアンプ512が非同期読出しには適さないことを説明するための図である。同図に示すように、非同期読出しでは、アドレスの変化に応じて、読出し処理が行なわれる。

【0258】

同図の(1)に示すように、コラムアドレスが変化した後、さらに短期間にコラムアドレスが変化したときには、それぞれの変化に対応して、反転プリアンプイコライズ信号ZPAQが活性化されるが、同図の(2)に示すように、それらの活性化されるタイミングが接近する。その結果、プリチャージが十分に行なわれない。そして、プリチャージが行なわれないまま、増幅が行なわれるため、同図の(3)に示すように、プリアンプの出力データPDDにゆがみが生じる。このような問題を回避するためには、プリチャージ期間を十分に設けた後、次のコラムのアクセスを行なう必要があり、同期対応プリアンプ512による処理が遅くなる。

【0259】

また、同図の(4)の示すように、ノイズなどの影響でイリーガルなアドレス変化が生じた場合において、グローバル入出力線対GIO, ZGIOには、イリーガルなコラムアドレス変化のコラムのデータが出力された後、正しいコラムアドレス変化のコラムデータが出力される。この場合、グローバル入出力線対GIO, ZGIOと増幅部563との切り離しのタイミングが早いと、同図の(5)に示すように、イリーガルなデータを増幅し、正しいデータを増幅しない。このような問題を回避するためには、グローバル入出力線対GIO, ZGIOと増幅部563との切り離しのタイミングを遅くする必要があり、同期対応プリアンプ512による処理が遅くなる。

【0260】

以上のように、この同期対応プリアンプ512を非同期の読出しに用いた場合、処理が遅くなり、適切でないといえる。

【0261】

(非同期対応プリアンプ513)

図37は、非同期対応プリアンプ513の構成を示す。同図に示すように、この非同期対応プリアンプ513は、差動式のカレントミラータイプの増幅器である。

【0262】

図37を参照して、PチャンネルMOSトランジスタP51およびP52は、カレントミラー回路を構成する。NチャンネルMOSトランジスタN51は、ノードZPANとNODECとの間に配置される。NチャンネルMOSトランジスタN52は、NODEEとNODEDとの間に配置される。NチャンネルMOSトランジスタN51のゲートは、グローバル入出力線GIOと接続する。NチャンネルMOSトランジスタN52のゲートは、反転グローバル入出力線ZGIOと接続する。PチャンネルMOSトランジスタP53は、NODECとNODEDとの間に配置される。PチャンネルMOSトランジスタP53のゲートには、プリアンプ活性化信号PAEDが印加される。

10

20

30

40

50

## 【0263】

PチャネルMOSトランジスタP55およびP56は、カレントミラー回路を構成する。NチャネルMOSトランジスタN54は、ノードPANとNODEHとの間に配置される。NチャネルMOSトランジスタN53は、NODEFとNODEGとの間に配置される。NチャネルMOSトランジスタN54のゲートは、反転グローバル入出力線ZGIOと接続する。NチャネルMOSトランジスタN53のゲートは、グローバル入出力線GIOと接続する。PチャネルMOSトランジスタP57は、NODEGとNODEHとの間に配置される。PチャネルMOSトランジスタP57のゲートには、プリアンプ活性化信号PAEDが印加される。

## 【0264】

NチャネルMOSトランジスタN55は、NODEDとグラウンドとの間に配置される。NチャネルMOSトランジスタN55のゲートには、プリアンプ活性化信号PAEDが印加される。PチャネルMOSトランジスタP54は、NODEEとNODEFとの間に配置される。PチャネルMOSトランジスタP54のゲートには、プリアンプ活性化信号PAEDが印加される。

## 【0265】

さらに、電源とノードZPAN2との間にPチャネルMOSトランジスタP58とPチャネルMOSトランジスタP59とが並列に配置される、PチャネルMOSトランジスタP58のゲートには、プリアンプ活性化信号PAEDが入力され、PチャネルMOSトランジスタP59のゲートは、ノードPANと接続する。

## 【0266】

ノードZPAN2とグラウンドとの間に、NチャネルMOSトランジスタN56、NチャネルMOSトランジスタN57、およびNチャネルMOSトランジスタN58が直列に接続する。NチャネルMOSトランジスタN56のゲートは、反転グローバル入出力線ZGIOと接続する。NチャネルMOSトランジスタN57のゲートは、ノードPAN2と接続する。NチャネルMOSトランジスタN58のゲートには、プリアンプ活性化信号PAEDが入力される。

## 【0267】

さらに、電源とノードPAN2との間にPチャネルMOSトランジスタP60とPチャネルMOSトランジスタP61とが並列に配置される、PチャネルMOSトランジスタP61のゲートには、プリアンプ活性化信号PAEDが入力され、PチャネルMOSトランジスタP60のゲートは、ノードZPANと接続する。

## 【0268】

ノードPAN2とグラウンドとの間に、NチャネルMOSトランジスタN59、NチャネルMOSトランジスタN60、およびNチャネルMOSトランジスタN61が直列に接続する。NチャネルMOSトランジスタN59のゲートは、反転グローバル入出力線ZGIOと接続する。NチャネルMOSトランジスタN60のゲートは、ノードZPAN2と接続する。NチャネルMOSトランジスタN61のゲートには、プリアンプ活性化信号PAEDが入力される。

## 【0269】

さらに、ノードPAN2と接続する反転論理和回路NOR99と、ノードZPAN2と接続する反転論理和回路NOR98とは、フリップフロップを構成する。インバータIV51は、反転論理和回路NOR99の出力を反転してプリアンプ出力信号PAN3を出力する。インバータIV52は、反転論理和回路NOR98の出力を反転して反転プリアンプ出力信号ZPAN3を出力する。

## 【0270】

図38は、非同期対応プリアンプ513の各ノードの電位の時間変化を示す図である。

## 【0271】

この非同期対応プリアンプ513は、同期対応プリアンプ512のようなスイッチ部を有しない、いわゆる非閉じ込め式のプリアンプである。したがって、非同期対応プリアンプ

10

20

30

40

50

ブ 5 1 3 は、増幅中に、グローバル入出力線 G I O , Z G I O と切り離されることがないので、アドレス変化に応じて読出しが行われる非同期の読出しに適している。

【 0 2 7 2 】

再び、図 2 5 を参照して、同期対応 D B ドライバ 5 1 4 は、受けた電位をデータバス D B に出力する。図 3 9 は、同期対応 D B ドライバ 5 1 4 の構成を示す。同図に示すように、この同期対応 D B ドライバ 5 1 4 は、同期対応プリアンプ 5 1 2 の出力 P D D を受けて、それを反転してデータバス D B へ出力するインバータ I V 7 4 で構成される。

【 0 2 7 3 】

非同期対応 D B ドライバ 5 1 6 は、受けた電位をデータバス D B に出力する。図 4 0 は、非同期対応 D B ドライバ 5 1 6 の構成を示す。この非同期対応 D B ドライバ 5 1 6 は、非同期対応プリアンプ 5 1 3 の出力 P A N 3 を受けて、それを反転してデータバス D B へ出力するインバータ I V 7 2 で構成される。

10

【 0 2 7 4 】

図 2 5 の出力回路 5 1 5 は、データバス D B のデータを受けてデータ出力端子 D Q を通じて外部へ出力する。

【 0 2 7 5 】

以上のように、本実施の形態に係る同期式擬似 S R A M によれば、同期モードにおいて適切に動作するプリアンプと、非同期モードで適切に動作するプリアンプとを有するので、すべてのモードで正常にグローバル入出力線 G I O , Z G I O の電位差を増幅を行なうことができる。

20

【 0 2 7 6 】

なお、本実施の形態では、同期動作のプリアンプと、非同期対応のプリアンプとに分けたが、これに限定するものではなく、バーストモード用のプリアンプとランダムアクセスモード用のプリアンプを設けてもよい。この場合には、半導体記憶装置は、同期モードと非同期モードを有するものではなく、バーストモードとランダムアクセスモードを有するものとなる。バーストモード用としては、先読み動作およびパイプライン動作を効率的に実行できるように、プリアンプ 5 1 2 のような閉じ込め式の増幅が可能なプリアンプが適している。

【 0 2 7 7 】

本実施の形態は、同期指示信号 S Y N C によって、同期モードと非同期モードが切り替わるものとしたが、これに限定するものではなく、ボンディングオプション P A D を有し、それに印可する電位によって、同期モードと非同期モードとを切替えるものとしてもよい。

30

【 0 2 7 8 】

また、本実施の形態では、同期対応 D B ドライバ 5 1 4 と非同期対応 D B ドライバ 5 1 6 を有するものとしたが、同期と非同期に対応した D B ドライバを用いるものとしてもよい。

【 0 2 7 9 】

図 4 1 は、同期対応 D B ドライバ 5 1 4 と、非同期対応 D B ドライバ 5 1 6 とを兼ねる共用 D B ドライバ 5 9 0 の構成を示す。同図に示すように、この共用 D B ドライバ 5 9 0 は、一方のバッファ部 5 2 5 の出力を受けて、それをデータバス D B へ出力するインバータ I V 7 4 で構成される。同期対応プリアンプ 5 1 2 の出力 P D D と非同期対応プリアンプ 5 1 3 の出力 P A N 3 とを受ける反転論理和回路 N O R 7 1 と、反転論理和回路 N O R 7 1 の出力を反転してデータバス D B へ出力するインバータ I V 7 3 で構成される。

40

【 0 2 8 0 】

図 4 2 は、同期対応プリアンプ 5 1 2 および非同期対応プリアンプ 5 1 3 のレイアウトを表す図である。同図に示すように、同期対応プリアンプ配置領域 5 9 6 には同期対応プリアンプ 5 1 2 が置かれ、非同期対応プリアンプ配置領域 5 9 7 には非同期対応プリアンプ 5 1 3 が配置されている。

【 0 2 8 1 】

50

各グローバル入出力線対 G I O , Z G I O と接続する同期対応プリアンブ 5 1 2 と非同期対応プリアンブ 5 1 3 とは、コラム方向に並んで配置される。グローバル入出力線対 G I O , Z G I O の配置層とプリアンブの配置層とが異なり、グローバル入出力線対 G I O , Z G I O は、分岐を有せずに、同期対応プリアンブ 5 1 2 および非同期対応プリアンブ 5 1 3 と接続する。

#### 【 0 2 8 2 】

以上のように、図 4 2 に示すレイアウトでは、グローバル入出力線対 G I O , Z G I O を分岐させる必要がなく、グローバル入出力線対 G I O , Z G I O の配線が容易である。また、このレイアウトは、コラム方向に同期式擬似 S R A M 5 0 0 のサイズが大きくとれるような場合に適している。

10

#### 【 0 2 8 3 】

図 4 3 は、同期対応プリアンブ 5 1 2 および非同期対応プリアンブ 5 1 3 の別のレイアウトを表す図である。同図に示すように、同期 / 非同期対応プリアンブ配置領域 5 9 8 には同期対応プリアンブ 5 1 2 と非同期対応プリアンブ 5 1 3 とが配置されている。

#### 【 0 2 8 4 】

各グローバル入出力線対 G I O , Z G I O と接続する同期対応プリアンブ 5 1 2 と非同期対応プリアンブ 5 1 3 とは、ロウ方向に並んで配置される。グローバル入出力線対 G I O , Z G I O は、分岐を有し、分岐した一方が同期対応プリアンブ 5 1 2 に接続し、分岐した他方が非同期対応プリアンブ 5 1 3 と接続する。

#### 【 0 2 8 5 】

以上のように、図 4 3 に示すレイアウトでは、グローバル入出力線対 G I O , Z G I O を分岐させる必要があり。また、このレイアウトは、ロウ方向に同期式擬似 S R A M 5 0 0 のサイズが大きくとれるような場合に適している。

20

#### 【 0 2 8 6 】

##### [ 第 6 の実施形態 ]

本実施の形態は、バイトマスク機能を有する同期式擬似 S R A M に関する。同期式擬似 S R A M には、上位バイトまたは下位バイトのマスクを行なうことで、メモリセルから読み出したデータを外部へ出力させないようにすることができる。ところで、バーストモードにおいて、ノーラップモードというものがある。ノーラップモードでは、バースト読出しまたは書込みの途中に最後のコラムに達すると、次のロウへ移行する。この場合、選択していたワード線の不活性化、新たに選択するワード線の活性化、およびセンスアンプによる増幅処理などのロウアクセス処理が必要となる。ロウアクセス処理が行なわれている間、外部に対して W A I T 信号が出力される。外部のシステム側は、この W A I T 信号が解除されてから、バイトマスク信号を与えればよいが、外部のシステムにとっては、このような次のロウへ移行するためのロウアクセス処理の有無に係らず、同一の方法でバイトマスクの設定ができた方が望ましい。本実施の形態は、バースト読出しまたはバースト書込みが第 1 のロウと第 2 のロウの 2 つのロウに渡り、途中で第 1 のロウの最後のコラムに達したため第 2 のロウへ移行する場合においても、外部からは 2 つのロウに渡らない場合と同様にしてバイトマスク信号を与えることを可能とする同期式擬似 S R A M に関する。提供する。

30

40

#### 【 0 2 8 7 】

##### ( 構成 )

図 4 4 は、本実施の形態に係る同期式擬似 S R A M 6 0 0 の構成を示す。同図を参照して、この同期式擬似 S R A M 6 0 0 は、D R A M セルアレイ 6 0 1 と、C L K バッファ 6 0 4 と、U B バッファ 6 0 5 と、L B バッファ 6 0 6 と、W E バッファ 6 0 7 と、A D V バッファ 6 0 8 と、制御回路 6 0 2 と、周辺回路群 6 0 3 と、B C R (Bus Configuration Register) 6 1 0 とを備える。

#### 【 0 2 8 8 】

D R A M セルアレイ 6 0 1 は、ダイナミックランダムアクセスメモリ ( D R A M ) のセルで構成されるメモリアレイである。

50

## 【0289】

周辺回路群603は、図示しないグローバル入出力線対GIOP（GIOおよび/GIO）と、各列に対応して設けられた列選択線と、列選択ゲートと、センスアンプと、プリアンプと、ライトドライバと、ロウデコーダ、コラムデコーダなどを含む。周辺回路群603は、さらに出力回路620を含む。

## 【0290】

出力回路620は、DRAMセルアレイ601から出力されたデータを保持する。出力回路620は、上位バイトおよび下位バイトごとに出力イネーブル信号OEを受ける。出力回路620は、上位バイトの出力イネーブル信号OEがイネーブル「H」を示すときに、保持しているデータの上位バイトをデータ入出力端子DQを通じて外部に出力する。出力回路620は、下位バイトの出力イネーブル信号OEがイネーブル「H」を示すときに、保持しているデータの下位バイトをデータ入出力端子DQを通じて外部に出力する。

10

## 【0291】

BCR610は、外部のシステムとのインタフェース、たとえば、バーストレングスBL、およびコマンドレイテンシCLなどを記憶する。

## 【0292】

図45は、CEバッファ609の詳細な構成を示す。同図を参照して、CEバッファ608は、外部チップイネーブル信号CE#が入力される、PチャンネルMOSトランジスタP71およびNチャンネルMOSトランジスタN71で構成されるインバータ1と、そのインバータ1に接続される、PチャンネルMOSトランジスタP72およびNチャンネルMOSトランジスタN72で構成されるインバータ2と、そのインバータ2に接続される、PチャンネルMOSトランジスタP73およびNチャンネルMOSトランジスタN73で構成されるインバータ3とを含む。インバータ2の出力が反転内部チップイネーブル信号ZINTCEであり、インバータ3の出力が内部チップイネーブル信号INTCEである。

20

## 【0293】

図46は、UBバッファ605の詳細な構成を示す。同図を参照して、UBバッファ605は、外部上位バイトマスク信号UB#が入力される、PチャンネルMOSトランジスタP75およびNチャンネルMOSトランジスタN74で構成されるインバータ1と、そのインバータ1に接続される、PチャンネルMOSトランジスタP76およびNチャンネルMOSトランジスタN76で構成されるインバータ2と、そのインバータ2に接続される、インバータIV44とを含む。インバータIV44の出力が内部上位バイトマスク信号INTUBとなる。さらに、電源とPチャンネルMOSトランジスタP75との間にPチャンネルMOSトランジスタP74を配置する。インバータ1とインバータ2の接続ノードとグランドとの間に、NチャンネルMOSトランジスタN75を配置する。

30

## 【0294】

PチャンネルMOSトランジスタP74のゲートおよびNチャンネルMOSトランジスタN75のゲートには、反転内部チップイネーブル信号ZINTCEが入力される。チップが活性化されているとき、反転チップイネーブル信号ZINTCEが「L」となる。このときには、PチャンネルMOSトランジスタP75が電源と接続するとともに、インバータ1とインバータ2の接続ノードが接地されない。したがって、通常の動作が行なわれる。

40

## 【0295】

一方、チップが非活性化されているとき、反転チップイネーブル信号ZINTCEが「H」となる。このときには、PチャンネルMOSトランジスタP75が電源と切断されるとともに、インバータ1とインバータ2の接続ノードが接地される。したがって、内部上位バイトマスク信号INTUBは、常に「L」のままとなる。

## 【0296】

その他の入力バッファCLKバッファ604，LBバッファ606，WEバッファ607，ADVバッファ608の構成は、UBバッファ605の構成と同一なので、説明は繰返さない。

## 【0297】

50

再び、図 4 4 を参照して、制御回路 6 0 2 は、コマンドデコーダ 6 1 1 と、Z R S T 生成回路 6 1 2 と、Z U B 0 生成回路 6 1 3 と、Z L B 0 生成回路 6 1 4 と、A D V 0 生成回路 6 1 5 と、Z W E 0 生成回路 6 1 6 と、マスク制御回路 6 1 7 と、ロウ制御回路 6 1 8 と、W A I T 制御回路 6 1 9 と、リフレッシュ制御回路 6 2 1 とを備える。

#### 【 0 2 9 8 】

コマンドデコーダ 6 1 1 は、外部制御信号より生成された内部制御信号の論理レベルの組合せに従って、ロウ活性化信号 A C T、および読出し信号 R E A D を生成する。

#### 【 0 2 9 9 】

図 4 7 は、Z U B 0 生成回路 6 1 3 の詳細な構成を示す。同図を参照して、クロックドインバータ C I V 6 1 には、内部上位バ이트マスク信号 I N T U B を受ける。クロックドインバータ C I V 6 1 の出力がインバータ I V 2 1 とインバータ I V 2 2 とからなる双安定回路に送られる。双安定回路の出力がインバータ I V 2 3 に送られる。インバータ I V 2 3 の出力および内部クロック I N T C L K が反転論理積回路 N A N D 2 1 に送られる。反転論理積回路 N A N D 2 1 の出力がインバータ I V 2 4 に送られ、インバータ I V 2 4 の出力が Z U B 0 となる。

10

#### 【 0 3 0 0 】

図 4 8 は、Z L B 0 生成回路 6 1 4 の詳細な構成を示す。同図を参照して、クロックドインバータ C I V 6 2 には、内部下位バ이트マスク信号 I N T L B を受ける。クロックドインバータ C I V 6 2 の出力がインバータ I V 2 5 とインバータ I V 2 6 とからなる双安定回路に送られる。双安定回路の出力がインバータ I V 2 7 に送られる。インバータ I V 2 7 の出力および内部クロック I N T C L K が反転論理積回路 N A N D 2 2 に送られる。反転論理積回路 N A N D 2 2 の出力がインバータ I V 2 8 に送られ、インバータ I V 2 8 の出力が Z L B 0 となる。

20

#### 【 0 3 0 1 】

図 4 9 は、A D V 0 生成回路 6 1 5 の詳細な構成を示す。同図を参照して、クロックドインバータ C I V 6 3 には、内部アドレス取込信号 I N T A D V を受ける。クロックドインバータ C I V 6 3 の出力がインバータ I V 2 9 とインバータ I V 3 0 とからなる双安定回路に送られる。双安定回路の出力および内部クロック I N T C L K が反転論理積回路 N A N D 2 3 に送られる。反転論理積回路 N A N D 2 3 の出力がインバータ I V 3 1 に送られ、インバータ I V 3 1 の出力が A D V 0 となる。一方、双安定回路の出力がインバータ I V 3 2 に送られる。インバータ I V 3 2 の出力および内部クロック I N T C L K が反転論理積回路 N A N D 2 4 に送られる。反転論理積回路 N A N D 2 4 の出力がインバータ I V 3 3 に送られ、インバータ I V 3 3 の出力が Z A D V 0 となる。

30

#### 【 0 3 0 2 】

図 5 0 は、Z W E 0 生成回路 6 1 6 の詳細な構成を示す。同図を参照して、クロックドインバータ C I V 6 4 には、内部ライトイネーブル信号 I N T W E を受ける。クロックドインバータ C I V 6 4 の出力がインバータ I V 3 4 とインバータ I V 3 5 とからなる双安定回路に送られる。双安定回路の出力がインバータ I V 3 6 に送られる。インバータ I V 3 6 の出力および内部クロック I N T C L K が反転論理積回路 N A N D 2 5 に送られる。反転論理積回路 N A N D 2 5 の出力がインバータ I V 3 7 に送られ、インバータ I V 3 7 の出力が Z W E 0 となる。

40

#### 【 0 3 0 3 】

図 5 1 は、Z R S T 生成回路 6 1 2 の詳細な構成を示す。同図を参照して、インバータ I V 3 8 は、読出し信号 R E A D を受ける。遅延回路 ( D e l a y ) D L 9 9 は、インバータ I V 9 9 の出力を遅延させる。反転論理和回路 N O R 2 1 は、読出し信号 R E A D と遅延回路 ( D e l a y ) D L 9 9 の出力を受ける。インバータ I V 4 2 は、反転論理和回路 N O R 2 1 の出力を受ける。インバータ I V 4 2 の出力が反転リセット信号 Z R S T となる。

#### 【 0 3 0 4 】

図 5 2 は、反転リセット信号 Z R S T が生成されるタイミングを表す図である。同図に

50

示すように、反転リセット信号 Z R S T は、読出し信号 R E A D が「 L 」に非活性化されるときに、活性化されて「 L 」レベルのパルスとなる。

#### 【 0 3 0 5 】

図 5 3 は、マスク制御回路 6 1 7 の詳細な構成を示す。同図は、下位側 ( L B ) のみを示しているが、上位側 ( U B ) も、これと同様である。図 5 3 を参照して、第 1 制御回路 6 3 1 において、反転論理積回路 N A N D 2 6 は、 A D V 0、Z L B 0、および Z W E 0 を受ける。反転論理積回路 N A N D 2 9 および反転論理積回路 N A N D 3 0 は、フリップフロップを構成する。反転論理積回路 N A N D 2 9 は、反転論理積回路 N A N D 2 6 の出力を受ける。反転論理積回路 N A N D 3 0 は、反転リセット信号 Z R S T を受ける。インバータ I V 3 9 は、反転論理積回路 N A N D 2 9 の出力を受ける。インバータ I V 3 9 の出力は、第 1 出力イネーブル信号 O E 1 となる。このような構成により、第 1 の制御回路 6 3 1 は、外部バイトマスク信号 L B # がバーストアクセスの先頭のビットのバイトマスクを行なうことを示す時には、外部バイトマスク信号 L B # が「 H 」となったクロック C L K から、出力回路 6 2 0 から先頭のビットが出力されるタイミングを含む時点まで、第 1 の出力イネーブル信号 O E 1 を「 L 」にする。

10

#### 【 0 3 0 6 】

第 2 制御回路 6 3 2 において、反転論理積回路 N A N D 2 7 は、Z A D V 0、Z L B 0、および Z W E 0 を受ける。反転論理積回路 N A N D 3 1 および反転論理積回路 N A N D 3 2 は、フリップフロップを構成する。反転論理積回路 N A N D 3 1 は、反転論理積回路 N A N D 2 7 の出力を受ける。反転論理積回路 N A N D 3 1 は、反転リセット信号 Z R S T を受ける。反転論理積回路 N A N D 3 5 は、Z W A I T 信号および反転論理積回路 N A N D 3 1 の出力とを受ける。反転論理積回路 N A N D 3 5 の出力は、第 2 出力イネーブル信号 O E 2 となる。このような構成により、第 2 制御回路 6 3 2 は、外部バイトマスク信号 L B # が、先頭のビット以外のビットのバイトマスクを行なうことを示す時に、次のロウへの移行のためのロウアクセス処理が行なわれなかったとした場合にそのビットが出力回路 6 2 0 出力されるタイミングに W A I T 信号が「 H 」のときに、通常通り第 2 の出力イネーブル信号 O E 2 を「 L 」にし、そのタイミングに W A I T 信号が「 L 」のときに、第 2 の出力イネーブル信号 O E 2 を「 L 」にせず、バイトマスク信号に基づいて生成された信号 ( すなわち、反転論理積回路 N A N D 2 7 の出力 ) を第 3 制御回路 6 3 3 に出力する。

20

30

#### 【 0 3 0 7 】

第 3 制御回路 6 3 3 において、インバータ I V 4 1 は、Z W A I T 信号を受ける。遅延回路 ( D e l a y ) D L 2 1 は、インバータ I V 4 1 の出力を遅延させる。反転論理積回路 N A N D 2 8 は、Z W A I T 信号と遅延回路 ( D e l a y ) D L 2 1 の出力を受ける。反転論理積回路 N A N D 3 3 および反転論理積回路 N A N D 3 4 は、フリップフロップを構成する。反転論理積回路 N A N D 3 3 は、反転論理積回路 N A N D 2 7 の出力を受ける。反転論理積回路 N A N D 3 4、反転リセット信号 Z R S T および反転論理積回路 N A N D 2 8 の出力を受ける。インバータ I V 4 0 は、Z W A I T 信号を受ける。反転論理積回路 N A N D 3 6 は、インバータ I V 4 0 の出力と、反転論理積回路 N A N D 3 3 の出力を受ける。反転論理積回路 N A N D 3 6 の出力は、第 3 出力イネーブル信号 O E 3 となる。このような構成により、第 3 制御回路 6 3 3 は、バイトマスク信号に基づいて生成された信号を受けて保持し、W A I T 信号が「 L 」から「 H 」になったタイミングに、第 3 の出力イネーブル信号 O E 3 を「 L 」にする。

40

#### 【 0 3 0 8 】

反転論理積回路 N A N D 6 0 は、第 1 の出力イネーブル信号 O E 1、第 2 の出力イネーブル信号 O E 2、および第 3 の出力イネーブル信号 O E 3 を受ける。インバータ I V 4 3 は、反転論理積回路 N A N D 6 0 の出力を受けて、出力イネーブル信号 O E を出力する。反転論理積回路 N A N D 6 0 およびインバータ I V 4 3 によって、第 1 の出力イネーブル信号 O E 1、第 2 の出力イネーブル信号 O E 2、および第 3 の出力イネーブル信号 O E 3 のうちの少なくとも 1 つが「 L 」のときに、出力イネーブル信号 O E は「 L 」となる。

50



## 【0309】

再び、図44を参照して、ロウ制御回路618は、ロウアクセス処理（ワード線の活性化、センスアンプによる増幅など）を制御する。

## 【0310】

リフレッシュ制御回路621は、図示しない内部のリフレッシュタイマに基づいて、DRAMセルアレイのセルフリフレッシュ動作を制御する。

## 【0311】

WAIT制御回路619は、リフレッシュ制御回路621の制御によりリフレッシュ制御が行なわれている間、およびノーラップモードでバースト読出しの途中で最後のコラムに達したため、次のロウへの移行のためのロウアクセス処理（もとのロウのワード線の非活性化、新たなロウのワード線の活性化、およびセンスアンプによる増幅など）を行なっている間に、WAIT端子介して出力するWAIT信号のレベルを「L」とする。つまり、WAIT信号が「L」によって、データが出力されるまで待つことを外部に知らせる。

10

## 【0312】

（次のロウへの移行を伴わないときのアクセス動作）

図54は、本実施の形態の同期式擬似SRAM600におけるバースト読出し時に次のロウへの移行を伴わないときの信号の変化を表すタイミングチャートである。同図を参照して、例1～例3の動作を説明する。

## 【0313】

（例1）マスクなしのとき

外部バイトマスク信号LB#、UB#は、「H」となることがない。この場合には、第1出力イネーブル信号OE1、第2出力イネーブル信号OE2、および第3出力イネーブル信号OE3は、全期間「H」となる。

20

## 【0314】

（例2）第2ビットをマスクするとき

外部バイトマスク信号LB#、UB#は、同図の（1）において、「H」となる。この場合には、第1出力イネーブル信号OE1および第3出力イネーブル信号OE3は、全期間「H」となる。一方、第2出力イネーブル信号OE2は、同図の（2）に示すように、第2ビットが出力回路620から出力されるタイミング（クロックCLK3の立ち上がりからクロックCLK4の立ち上がりまで）において「L」となる。

30

## 【0315】

（例3）第1ビットをマスクするとき

外部バイトマスク信号LB#、UB#は、同図の（3）において、「H」となる。この場合には、第2出力イネーブル信号OE2および第3出力イネーブル信号OE3は、全期間「H」となる。第1出力イネーブル信号OE1は、同図の（4）に示すように、外部バイトマスク信号LB#、UB#が「H」となったクロックCLKから、第1ビットが出力回路620から出力されるタイミングを含む時点まで（クロックCLK0の立ち上がりからクロックCLK3の立ち上がりまで）、「L」となる。

## 【0316】

（ノーラップモードにおいて、次のロウへの移行を伴うときのアクセス動作）

図55は、本実施の形態の同期式擬似SRAM600におけるノーラップモード設定時に、バースト読出し時に次のロウへの移行を伴うときの变化を表すタイミングチャートである。同図を参照して、例1～例3の動作を説明する。

40

## 【0317】

（例1）マスクなしのとき

外部バイトマスク信号LB#、UB#は、「H」となることがない。第1出力イネーブル信号OE1、第2出力イネーブル信号OE2、および第3出力イネーブル信号OE3は、全期間「H」となる。

## 【0318】

（例2）第2ビットをマスクするとき（次のロウへの移行処理を伴う）

50

外部バイトマスク信号  $LB\#$  ,  $UB\#$  は、同図の ( 1 ) において、「 H 」となる。この場合には、第 1 出力イネーブル信号  $OE1$  および第 2 出力イネーブル信号  $OE2$  は、全期間「 H 」となる。第 3 出力イネーブル信号  $OE3$  は、同図の ( 3 ) に示すように、 $WAIT$  信号が「 H 」となったときのタイミング ( クロック  $CLK7$  の立ち上がりからクロック  $CLK8$  の立ち上がりまで ) において「 L 」となる。

【 0 3 1 9 】

これにより、第 2 ビットのマスク処理は、次のロウのロウアクセス処理が終了して  $WAIT$  信号が「 H 」となる時点まで延長される。

【 0 3 2 0 】

( 例 3 ) 第 3 ビットをマスクするとき

外部バイトマスク信号  $LB\#$  ,  $UB\#$  は、同図の ( 3 ) において、「 H 」となる。この場合、第 1 出力イネーブル信号  $OE1$  および第 3 出力イネーブル信号  $OE3$  は、全期間「 H 」となる。第 2 出力イネーブル信号  $OE2$  は、同図の ( 4 ) に示すように、第 3 ビットが出力回路 6 2 0 から出力されるタイミング ( クロック  $CLK8$  の立ち上がりからクロック  $CLK9$  の立ち上がりまで ) において「 L 」となる。

【 0 3 2 1 】

( 例 4 ) 第 1 ビットをマスクするとき

図示しないが、図 5 4 の ( 例 3 ) のとき同一である。

【 0 3 2 2 】

以上の説明から明らかなように、第 2 ビットのバイトマスク信号の設定タイミング、すなわち、外部バイトマスク信号  $LB\#$  ,  $UB\#$  を与えるタイミングは、図 5 4 および図 5 5 のいずれの ( A ) で示されるタイミングである。したがって、バースト読出しまたはバースト書込みの途中に、次のロウに移行する場合においても、外部からは、次のロウに移行しない場合と同様にしてバイトマスク信号を与えることができる。

【 0 3 2 3 】

なお、本実施の形態は、ノーラップモードにのみ適用できるものではなく、チップイネーブル信号が非活性になるまで連続して読出し / 書込みを行なうコンティニュアスモードにおいても有効である。

【 0 3 2 4 】

また、本実施の形態は、同期式擬似  $SRAM$  に限定して適用されるものではなく、クロックに同期して動作する半導体記憶装置であればどのようなものにも適用することができる。

【 0 3 2 5 】

[ 第 7 の実施形態 ]

本実施の形態は、モバイル  $RAM$  と、セルラー  $RAM$  の両方の機能を備えたモバイル / セルラー兼用  $RAM$  に関する。ここで、セルラー  $RAM$  とは、非特許文献 1 に記載されている同期型の擬似  $SRAM$  である。モバイル  $RAM$  は、携帯電話用の特有の機能を備えた擬似  $SRAM$  である。

【 0 3 2 6 】

( 構成 )

図 5 6 は、本実施の形態のモバイル / セルラー兼用  $RAM700$  の構成を示す。同図を参照して、このモバイル / セルラー兼用  $RAM700$  は、 $DRAM$  セルアレイ 7 0 1 と、制御回路 7 0 7 と、入出力回路 7 0 5 とを備える。

【 0 3 2 7 】

$DRAM$  セルアレイ 7 0 7 は、ダイナミックランダムアクセスメモリ (  $DRAM$  ) のセルで構成されるメモリアレイである。

【 0 3 2 8 】

入出力回路 7 0 5 は、データ出力端子  $DQ$  を通じて外部からデータを受けるとともに、外部にデータを出力する。

【 0 3 2 9 】

10

20

30

40

50

制御回路 707 は、共通部 702 と、モバイル RAM 専用部 703 と、セルラー RAM 専用部 704 と、モバイル RAM / セルラー RAM 判定回路 706 とを含む。

【0330】

モバイル RAM / セルラー RAM 判定回路 706 は、外部信号に応じて、共通部 702 、モバイル RAM 専用部 703 、およびセルラー RAM 専用部 704 のいずれを動作させるかを判定して、動作させる。

【0331】

共通部 702 は、モバイル RAM とセルラー RAM に共通の機能を実行する。

【0332】

モバイル RAM 専用部 703 は、モバイル RAM のみが有する機能を実行する。

10

【0333】

セルラー RAM 専用部 704 は、セルラー RAM のみが有する機能を実行する。

【0334】

図 57 は、共通部 702 の構成を示す。同図に示すように、共通部 702 は、リフレッシュタイマ 721 と、センス動作制御回路 722 と、アドレスキュー対策回路 723 と、入出力バッファ 724 とを備える。

【0335】

リフレッシュタイマ 721 は、セルフリフレッシュを行なうタイミング信号を出力する。

【0336】

20

センス動作制御回路 722 は、センスアンプの動作を制御する。

【0337】

アドレスキュー対策回路 723 は、アドレスキューが発生しないように制御する回路である。

【0338】

入出力バッファ 724 は、外部制御信号、外部アドレス信号、外部クロックなどを受けて保持し、内部制御信号、内部アドレス信号、内部クロックなどを生成するとともに、外部へ出力するデータを保持する。

【0339】

図 58 は、セルラー RAM 専用部 704 の構成を示す。同図に示すように、セルラー RAM 専用部 704 は、同期インタフェース回路 741 と、ZADV 制御回路 742 と、NOR インタフェース回路 743 と、その他のセルラー互換動作制御回路 744 と、BCR / RCR セット回路 745 とを備える。

30

【0340】

同期インタフェース回路 741 は、クロックに同期した動作を制御する。

【0341】

ZADV 制御回路 742 は、外部アドレス取込信号 ADV # に基づき、外部アドレスの取込みを制御する。

【0342】

NOR インタフェース回路 743 は、NOR 型フラッシュメモリとのインタフェースを制御する。

40

【0343】

その他のセルラー互換動作制御回路 744 は、たとえば、SRAM 互換のインタフェースを制御する。

【0344】

BCR / RCR セット回路 745 は、BCR、および RCR をセットする。

【0345】

図 59 は、モバイル RAM 専用部 703 の構成を示す。同図に示すように、モバイル RAM 専用部 703 は、コマンドモード回路 731 と、バーストリフレッシュ回路 732 と、アーリーライト回路 733 と、データ保持ブロック制御回路 734 とを備える。

50

## 【 0 3 4 6 】

コマンドモード回路 7 3 1 は、外部の信号の組合せによって、内部のレジスタのセットおよびリセットを行なう。

## 【 0 3 4 7 】

バーストリフレッシュ回路 7 3 2 は、リフレッシュ要求を内部カウンタに保持しておき、ある一定のタイミングが入力された時に、連続してリフレッシュ動作を行なう。

## 【 0 3 4 8 】

アーリーライト回路 7 3 3 は、ライト動作のタイミングを早くしたアーリーライト動作を制御する。

## 【 0 3 4 9 】

データ保持ブロック制御回路 7 3 4 は、選択したブロックのみリフレッシュを行なうように制御することで、選択したブロックのデータのみ保持する。

## 【 0 3 5 0 】

以上のように、本実施の形態に係る R A M によれば、セルラー R A M とモバイル R A M の両方の機能を効率よく実現するように構成したので、生産管理を効率化でき、製品切替え時期における在庫の低減を防止し、さらに開発コストを削減できる。

## 【 0 3 5 1 】

## [ 第 8 の実施形態 ]

本実施の形態は、バーストレンジスカウンタを用いてプリチャージを実行する同期式擬似 S R A M に関する。

## 【 0 3 5 2 】

## ( 構成 )

図 6 0 は、本実施の形態に係る同期式擬似 S R A M 8 0 0 の構成を示す。同図を参照して、この同期式擬似 S R A M 8 0 0 は、D R A M セルアレイ + 周辺回路群 8 0 1 と、制御回路 8 0 2 と、コマンドデコーダ 8 0 3 と、B C R (Burst Configuration Register) 8 0 4 と、バーストレンジスカウンタ 8 0 5 とを備える。

## 【 0 3 5 3 】

D R A M セルアレイ + 周辺回路群 8 0 1 の D R A M セルアレイは、ダイナミックランダムアクセスメモリ ( D R A M ) のセルで構成されるメモリアレイである。周辺回路群は、グローバル入出力線対 G I O P ( G I O および / G I O ) と、各列に対応して設けられた列選択線と、列選択ゲートと、センスアンプと、プリアンプと、ライトドライバと、ロウデコーダ、コラムデコーダなどを含む。

## 【 0 3 5 4 】

コマンドデコーダ 8 0 3 は、外部制御信号より生成された内部制御信号の論理レベルの組合せに従って、ロウ活性化信号 A C T、読出し信号 R E A D、および書込み信号 W R I T E を生成する。

## 【 0 3 5 5 】

B C R 8 0 4 は、外部のシステムとのインタフェース、たとえば、バーストレンジ S B L、およびコマンドレイテンシ C Lなどを記憶する。

## 【 0 3 5 6 】

図 6 1 は、バーストレンジスカウンタ 8 0 5 の詳細な構成を示す。同図を参照して、バーストレンジスカウンタ 8 0 5 は、C S L カウンタ 9 9 9 と、論理積回路 A N D 1 0 1 とを含む。C S L カウンタ 9 9 9 は、コラム選択信号 C S L を受ける。C S L カウンタ 9 9 9 は、バーストレンジ S B L 個のコラム選択信号 C S L のパルスのカウントすると、「H」を出力する。論理積回路 A N D 1 0 1 は、外部クロック C L K および C S L カウンタ 9 9 9 の出力を受けて、C S L カウンタ 9 9 9 の出力が「H」となった後の最初のクロック C L K が入力されたタイミングで、バーストレンジスリセット信号 B L R S T を「H」に活性化する。

## 【 0 3 5 7 】

制御回路 8 0 2 は、ロウ制御回路 8 0 6 を含む。ロウ制御回路 8 0 6 は、バーストレン

10

20

30

40

50

グスリセット信号  $BLRST$  を受けると、プリチャージ信号  $PRC$  を活性化する。このプリチャージ信号  $PRC$  によって、ワード線が非活性化され、ビット線対がプリチャージされる。

#### 【0358】

(動作)

図62は、ワード線が非活性化されるタイミングチャートを示す。同図に示すように、読出し信号  $READ$  または書込み信号  $WRITE$  を受けたクロックのタイミングをクロック  $CLK0$  とした時に、コマンドレイテンシ  $CL = 2$ 、バーストレンジス  $BL = 4$  より、バーストアクセスの最後のコラムの選択のためのコラム選択信号  $CSL$  がクロック  $CLK4$  のタイミングで活性化される。バーストレンジスカウンタ805は、 $CLK0$  から、 $(CL + BL - 1) = 5$  個後のクロックであるクロック  $CLK5$  のタイミングで、バーストレンジスリセット信号  $BLRST$  を「H」に活性化する。そして、このバーストレンジスリセット信号  $BLRST$  に基づいて、プリチャージ信号  $PRC$  が活性化され、選択されていたワード線 ( $X_0$ ) が非活性化され、ビット線対がプリチャージされる。

10

#### 【0359】

以上のように、本実施の形態に係る同期式擬似  $SRAM$  によれば、バーストレンジスカウンタ805は、バーストレンジス  $BL$  個のコラム選択信号  $CSL$  のパルスのカウントすると、バーストレンジスリセット信号  $BLRST$  を活性化するので、外部チップイネーブル信号  $CE\#$  を「H」にもどさなくても、ワード線を非活性化することができる。

#### 【0360】

以上のように、本実施の形態に係る同期式擬似  $SRAM$  によれば、外部制御によって、ワード線を非活性化するのではなく、内部制御でワード線を非活性化するので、制御が簡易になる。

20

#### 【0361】

なお、外部アドレス取込み信号  $ADV\#$  の立ち下りを起点にリセット信号を発生させて、このリセット信号によってプリチャージ信号  $PRC$  を発生するようにしてもよい。

#### 【0362】

なお、本実施の形態では、バーストレンジスリセット信号  $BLRST$  に基づき、ワード線の非活性化を行なったが、これに限定するものではなく、たとえば、読出しも書込みも行なわれていないスタンバイ状態にするものとしてもよい。

30

#### 【0363】

また、本実施の形態は、同期式擬似  $SRAM$  に限定して適用されるものではなく、クロックに同期して動作する半導体記憶装置であればどのようなものにも適用することができる。

#### 【0364】

[第9の実施形態]

本実施の形態は、同期モード固定のモードを有する同期式擬似  $SRAM$  に関する。

#### 【0365】

(従来の同期モード / 非同期モードの設定)

まず、従来の  $CellularRAM(R)$  の同期 / 非同期モードの設定について説明する。

40

#### 【0366】

図63は、従来の同期 / 非同期モードの設定方法を表す図である。同図に示すように、 $tCSP$  が  $20ns$  以上のときには、 $BCR$  (Bus Configuration Register) の第15ビット目である  $BCR[15]$  の値に係らず、非同期固定モードに設定される。 $tCSP$  が  $20ns$  未満のときには、 $BCR[15]$  の値によって、モードが設定される。 $tCSP$  とは、外部チップイネーブル信号  $CE\#$  の立ち下りから外部クロック  $CLK$  が立ち上がるまでの時間である。

#### 【0367】

図64(a)および(b)は、 $tCSP$  の値によるモードの設定を説明するための図で

50

ある。図 6 4 ( a ) では、 $t_{CSP}$  は  $7.5\text{ ns}$  である。この場合、 $t_{CSP}$  が  $20\text{ ns}$  未満なので、 $BCR[15]$  の値が参照され、値が 0 のときには、同期 / 非同期混合モードに設定され、値が 1 のときには、非同期固定モードに設定される。

#### 【 0 3 6 8 】

図 6 4 ( b ) では、 $t_{CSP}$  は  $22.5\text{ ns}$  である。この場合、 $t_{CSP}$  が  $20\text{ ns}$  以上なので、外部クロック  $CLK$  の立ち下りから  $20\text{ ns}$  となった時点で、 $BCR[15]$  の値に係らず、非同期固定モードに設定される。

#### 【 0 3 6 9 】

以上の説明から明らかなように、図 6 4 ( b ) のように、クロック周波数が低いときには、強制的に非同期固定モードに設定される。したがって、低速のクロック周波数で、かつ同期モードで動作させることができない。 10

#### 【 0 3 7 0 】

したがって、本実施の形態は、 $t_{CSP}$  が  $20\text{ ns}$  以上のようにクロック周波数が低いときでも、同期モードに設定することができる同期式擬似  $SRAM$  を提供する。

#### 【 0 3 7 1 】

( 本実施の形態の同期 / 非同期モードの設定 )

図 6 5 は、本実施の形態の同期 / 非同期モードの設定方法を表す図である。同図に示すように、 $BCR[16]$  の値が 0 のときには、 $t_{CSP}$ 、および  $BCR[15]$  の値に係らず、同期固定モードに設定される。一方、 $BCR[16]$  の値が 1 のときには、 $t_{CSP}$  および  $BCR[15]$  の値に応じて、従来と同様に設定される。 20

#### 【 0 3 7 2 】

( 構成 )

図 6 6 は、本実施の形態に係る同期式擬似  $SRAM900$  の構成を示す。同図を参照して、この同期式擬似  $SRAM900$  は、 $DRAM$  セルアレイ + 周辺回路群 901 と、 $BCR$  (Bus Configuration Register) 903 と、 $t_{CSP}$  判定回路 906 と、同期制御回路 904 と、非同期制御回路 905 と、共通制御回路 902 とを含む。

#### 【 0 3 7 3 】

$DRAM$  セルアレイ + 周辺回路群 901 の  $DRAM$  セルアレイは、ダイナミックランダムアクセスメモリ (  $DRAM$  ) のセルで構成されるメモリアレイである。周辺回路群は、グローバル入出力線対  $GIO_P$  (  $GIO$  および /  $GIO$  ) と、各列に対応して設けられた列選択線と、列選択ゲートと、センスアンプと、プリアンプと、ライトドライバと、ロウデコーダ、コラムデコーダなどを含む。 30

#### 【 0 3 7 4 】

$BCR903$  は、外部のシステムとのインタフェースを規定する。

#### 【 0 3 7 5 】

$t_{CSP}$  判定回路 906 は、外部チップイネーブル信号  $CE\#$  の立ち下りから、外部クロック  $CLK$  が立ち上がるまでの時間が  $20\text{ ns}$  以上となった時点で、非同期制御信号  $ASYNTRG$  をアサ - トする。 $t_{CSP}$  判定回路 906 は、 $BCR[15]$  と、 $BCR[16]$  とを受けて、 $BCR[15] = 1$  のとき、または  $BCR[16] = 0$  のときには、 $t_{CSP}$  を判定する処理を行なわない。なぜなら、 $BCR[16] = 0$  のときには、同期固定モードであり、 $BCR[15] = 1$  のときには、非同期固定モードなので、 $t_{CSP}$  を判定する必要がないからである。 40

#### 【 0 3 7 6 】

同期制御回路 904 は、 $BCR[16]$ 、非同期制御信号  $ASYNTRG$ 、 $BCR[15]$  を受けて、それらの組合せが図 6 5 に示す同期固定モードまたは同期 / 非同期混合モードを示すときに、活性化する。すなわち、同期制御回路 904 は、 $BCR[16] = 0$  のときと、 $BCR[16] = 1$ 、非同期制御信号  $ASYNTRG$  が非活性化、かつ  $BCR[15] = 0$  のときに活性化し、それ以外ときには非活性化する。同期制御回路 904 は、活性化しているときに、同期式擬似  $SRAM900$  の外部クロック  $CLK$  に同期した動作を制御する。 50

## 【0377】

非同期制御回路905は、BCR[16]、非同期制御信号ASYNTRG、およびBCR[15]を受けて、それらの組合せが図65に示す非同期固定モードまたは同期/非同期混合モードを示すときに、活性化し、それ以外ときには、非活性化する。すなわち、非同期制御回路905は、BCR[16]=1のときに活性化し、BCR[16]=0のときに非活性化する。非同期制御回路905は、活性化しているときに、同期式擬似SRAM900の外部クロックCLKに同期しない動作を制御する。

## 【0378】

共通制御回路902は、外部クロックCLKの同期の有無に係らない動作を制御する。

## 【0379】

以上のように、本実施の形態に係る同期式擬似SRAMによれば、tCSPの値に係らずに同期固定モードに設定することができるので、クロック周波数が低速でも、クロックに同期して動作することができる。

## 【0380】

本実施の形態では、BCR[15]、BCR[16]のように隣接するビットを用いて、同期モード/非同期モードの設定をするので、回路接続を容易にすることができる。

## 【0381】

なお、本実施の形態では、BCR[16]の値によって同期固定モードに設定することとしたが、これに限定するものではない。たとえば、BCRの他のビット、他のレジスタのビット、ボンディングオプション、または外部信号などによって、同期固定モードに設定するものとしてもよい。

## 【0382】

また、本実施の形態は、同期式擬似SRAMに限定して適用されるものではなく、クロックに同期して動作する同期モードと、クロックに対して非同期に動作する非同期モードとを有する半導体記憶装置であればどのようなものにも適用することができる。

## 【0383】

## [第10の実施形態]

本実施の形態は、外部チップイネーブル信号CE#によって、入力バッファの活性/非活性を制御するとともに、外部チップイネーブル信号CE#をクロックに同期せずに活性化したときの問題を回避する同期式擬似SRAMに関する。

## 【0384】

## (構成)

図67は、本実施の形態に係る同期式擬似SRAM1000の構成を示す。同図を参照して、この同期式擬似SRAM1000は、DRAMセルアレイ+周辺回路群1001と、制御回路1002と、CEバッファ1003と、CLKバッファ1004と、制御バッファ1005と、アドレスバッファ1006とを含む。

## 【0385】

DRAMセルアレイ+周辺回路群1001のDRAMセルアレイは、ダイナミックランダムアクセスメモリ(DRAM)のセルで構成されるメモリアレイである。周辺回路群は、グローバル入出力線対GIOP(GIOおよび/GIO)と、各列に対応して設けられた列選択線と、列選択ゲートと、センスアンプと、プリアンプと、ライトドライバと、ロウデコーダ、コラムデコーダなどを含む。

## 【0386】

アドレスバッファ1006は、外部アドレス信号ADD[21:0]を受けて、内部アドレス信号を生成する。

## 【0387】

CEバッファ1003は、外部チップイネーブル信号CE#を受けて、内部チップイネーブル信号INTCEを生成する。内部チップイネーブル信号INTCEは、CLKバッファ1004、制御バッファ1005、およびアドレスバッファ1006に送られる。これらの入力バッファは、内部チップイネーブル信号INTCEがチップの非活性化を示す

10

20

30

40

50

「L」のときには、動作を停止し、内部チップイネーブル信号INTCEがチップの活性化を示す「H」のときには、通常の動作を行なう。これらの入力バッファは、動作の停止中には、外部からの信号を受けても、保持することができず、内部信号を出力できない。

#### 【0388】

CLKバッファ1004は、外部クロックCLKを受けて、バッファクロックBUFFCLKとして保持し、内部クロックINTCLKを生成する。

#### 【0389】

制御バッファ1005は、外部チップイネーブル信号CE#を除く制御信号（アドレス取込み信号ADV#を含む）を受けて、内部制御信号を生成する。たとえば、制御バッファ1005は、外部アドレス取込み信号ADV#を受けたときには、内部アドレス取込み信号INTADVを生成する。 10

#### 【0390】

制御回路1002は、ADV0発生回路1010と、RAS発生回路1011とを含む。

#### 【0391】

ADV0発生回路1010は、内部チップイネーブル信号INTCE、内部クロックINTCLK、および反転内部アドレス取込み信号ZINTADVにより、アドレス取込みトリガ信号ADV0を生成する。

#### 【0392】

RAS発生回路1011は、アドレス取込トリガ信号ADV0により、ロウアドレスストローブ信号RASを生成する。 20

#### 【0393】

（従来のADV0発生回路）

図68は、従来のADV0発生回路1050の構成を示す。同図を参照して、反転内部アドレス取込み信号ZINTADVがクロックドインバータCIV1に入力される。クロックドインバータCIV1の出力と、内部クロックINTCLKとが反転論理積回路NAND1に入力され、反転論理積回路NAND1の出力がインバータIV1に入力される。インバータIV1の出力がアドレス取込みトリガ信号ADV0となる。

#### 【0394】

（従来の動作）

従来のADV0発生回路を用いた場合に、外部クロックCLKと同期せずに、非同期に外部チップイネーブル信号CE#を変化させたときに発生する問題について説明する。 30

#### 【0395】

図69は、従来のADV0発生回路1050を用いたときの各信号の変化のタイミングを表す図である。同図を参照して、外部クロックCLK、外部アドレス取込信号ADV#、および外部チップイネーブル信号CE#が図69に示すように与えられる。外部チップイネーブル信号CE#が「H」のときには、CLKバッファ1004および制御バッファ1005が停止中であり、外部チップイネーブル信号CE#のみがCEバッファ1003に取り込まれ、内部チップイネーブル信号INTCEが生成される。外部チップイネーブル信号CE#が「L」に活性化されることに応じて、反転内部チップイネーブル信号ZINTCEが「L」となる。 40

#### 【0396】

反転内部チップイネーブル信号ZINTCEが「L」になると、制御バッファ1005は、動作を再開し、外部アドレス取込み信号ADV#が制御バッファ1005に取り込まれ、内部アドレス取込み信号INTADVが生成される。この時点で、外部アドレス取込信号ADV#が「L」となっているので、反転内部アドレス取込み信号ZINTADVが「L」となる。

#### 【0397】

また、反転内部チップイネーブル信号ZINTCEが「L」になると、CLKバッファ1004は、動作を再開し、外部クロックCLKがCLKバッファ1004に取り込まれ、 50



C L Kバッファ1004は、保持されているバッファクロックB U F F C L Kの立ち上がりに応じて、一定のパルス幅の内部クロックI N T C L Kを生成する。ここで、反転内部チップイネーブル信号Z I N T C Eが「L」となる以前には、C L Kバッファ1004は、外部クロックC L Kを保持しないので、図69の(1)に示すC L Kバッファ1004内のバッファクロックB U F F C L Kは、外部クロックC L Kのパルス幅を有しない。これにより、第1番目の内部クロックI N T C L Kのタイミングと第2番目のI N T C L Kのタイミングとの間隔が狭くなる。

#### 【0398】

A D V 0発生回路1050内のクロックインバータC I V 1は、反転内部アドレス取込み信号Z I N T A D Vを受けて、その出力N O D E Aは、図69の(2)に示されるように、内部クロックI N T C L Kの立ち上がりで「H」に立ち上がる。 10

#### 【0399】

A D V 0発生回路1050内の反転論理積回路N A N D 1およびインバータI V 11は、クロックインバータC I V 1の出力N O D E Aと内部クロックI N T C L Kとにより、アドレス取込みトリガ信号A D V 0を生成する。アドレス取込みトリガ信号A D V 0のパルスは、図69の(3)に示されるように、内部クロックI N T C L Kの先頭からのパルスとなる。

#### 【0400】

R A S発生回路1011は、アドレス取込みトリガ信号A D V 0の先頭のパルスの立ち上がりに応じて、ロウアドレスストローブ信号R A Sを「H」に活性化する。その結果、本来ロウアドレスストローブ信号R A Sを活性したいタイミング、すなわち、外部チップイネーブル信号C E #が入力された時点以降の、次のクロックC L Kの立ち上がり(これが、本来アクセスを開始するポイント)よりも、早いタイミングでロウアドレスストローブ信号R A Sが活性化され、その活性化により後続の処理が開始されてしまう問題が生じることがわかってきた。 20

#### 【0401】

(本実施の形態のA D V 0発生回路)

上述の問題を回避するために、本実施の形態のA D V 0発生回路の構成は、従来のものと相違する。

#### 【0402】

図70は、本実施の形態のA D V 0発生回路1010の構成を示す。このA D V 0発生回路は、従来のA D V 0発生回路1050に、遅延回路(D e l a y )D L 1と、反転論理和回路N O R 95と、インバータI V 12とが追加されている。同図を参照して、遅延回路(D e l a y )D L 11は、反転内部チップイネーブル信号Z I N T C Eを受ける。反転論理和回路N O R 95は、遅延回路(D e l a y )D L 11の出力と、反転内部アドレス取込み信号Z I N T A D Vとを受ける。インバータI V 12は、反転論理和回路N O R 95の出力を受け、反転遅延内部アドレス取込み信号Z I N T A D V Dを出力する。反転遅延内部アドレス取込み信号Z I N T A D V DがクロックインバータC I V 1に入力される。クロックインバータC I V 1の出力と、内部クロックI N T C L Kとが反転論理積回路N A N D 1に入力され、反転論理積回路N A N D 1の出力がインバータI V 1に入力される。インバータI V 1の出力がアドレス取込みトリガ信号A D V 0となる。 40

#### 【0403】

(本実施の形態の動作)

図71は、本実施の形態のA D V 0発生回路1010を用いたときの各信号の変化のタイミングを表す図である。

#### 【0404】

外部クロックC L K、外部アドレス取込信号A D V #、外部チップイネーブル信号C E #、内部チップイネーブル信号I N T C E、内部アドレス取込み信号I N T A D V、バッファクロックB U F F C L K、および内部クロックI N T C L Kの変化するタイミングは、図に示す従来のタイミングと同一である。 50

## 【 0 4 0 5 】

A D V 0 発生回路 1 0 1 0 内の遅延回路 ( D e l a y ) D L 1 1、反転論理和回路 N O R 9 5、およびインバータ I V 1 は、反転内部チップイネーブル信号 Z I N T C E および反転内部アドレス取込み信号 Z I N T A D V を受けて、図 7 1 の ( 2 ) に示すように、反転遅延内部アドレス取込み信号 Z I N T A D V D を出力する。

## 【 0 4 0 6 】

クロックインバータ C I V 1 は、反転遅延内部アドレス取込み信号 Z I N T A D V D を受けて、その出力 N O D E A は、図 7 1 の ( 3 ) に示されるように、内部クロック I N T C L K の立ち上がりで「H」に立ち上がる。

## 【 0 4 0 7 】

A D V 0 発生回路 1 0 5 0 内の反転論理積回路 N A N D 1 およびインバータ I V 1 1 は、クロックインバータ C I V 1 の出力 N O D E A と内部クロック I N T C L K とにより、アドレス取込みトリガ信号 A D V 0 を生成する。アドレス取込みトリガ信号 A D V 0 のパルスは、図 7 1 の ( 4 ) に示されるように、内部クロック I N T C L K の第 2 番目以降のパルスとなる。つまり、A D V 0 発生回路 1 0 5 0 が生成するアドレス取込みトリガ信号 A D V 0 の先頭のパルスは、外部アドレス取込み信号 A D V # が活性化されている間に立ち上がる外部クロックパルスから生成される内部クロックパルスとなる。これを実現するために、遅延回路 ( D e l a y ) D L 1 1 の遅延量が定められている。

## 【 0 4 0 8 】

R A S 発生回路 1 0 1 1 は、アドレス取込みトリガ信号 A D V 0 の先頭のパルスの立ち上がりに応じて、ロウアドレスストローブ信号 R A S を「H」に活性化する。その結果、本来ロウアドレスストローブ信号 R A S を活性化したいタイミング、すなわち、外部チップイネーブル信号 C E # が入力された時点以降の、次のクロック C L K の立ち上がりでロウアドレスストローブ信号 R A S が活性化される。言い換えると、遅延回路 ( D e l a y ) D L 1 1 の遅延量は、これを実現するための遅延量に設定されている。

## 【 0 4 0 9 】

以上のように、本実施の形態に係る同期式擬似 S R A M によれば、チップが非活性のときに、入力バッファの動作を停止するので、無駄な電流の消費を抑えることができる。

## 【 0 4 1 0 】

また、反転内部チップイネーブル信号 Z I N T C E を遅延させるので、非同期に外部チップイネーブル信号 C E # を変化させたときにも、誤動作が起こらない。

## 【 0 4 1 1 】

なお、本実施の形態では、外部チップイネーブル信号 C E # によって入力バッファを停止させる場合において、外部チップイネーブル信号 C E # をクロックに同期せずに活性化したときの問題点を回避する構成と方法について説明したが、これは、外部チップイネーブル信号 C E # によって入力バッファを停止させるかどうかに関わりなく、有効である。

## 【 0 4 1 2 】

なお、遅延回路 D L 1 1 の遅延量は、外部クロック C L K の 1 サイクルの半分の半分 ( つまり、 $1/4$  ) 以下が望ましい。なぜなら、遅延量が多いと、他の動作への影響が生じるためである。

## 【 0 4 1 3 】

なお、本実施の形態では、外部チップイネーブル信号 C E # をクロックに同期せずに活性化したときの問題点を回避する構成と方法を説明したが、外部チップイネーブル信号 C E # をクロックに同期せずに非活性するときにも、次のような問題がある。すなわち、外部チップイネーブル信号 C E # が非活性になったときに、メモリセルに書込みを行っていた場合に、即座にプリチャージをすると、メモリセル内のデータが破壊されてしまうことがある。

## 【 0 4 1 4 】

図 7 2 は、外部チップイネーブル信号 C E # をクロックに同期せずに非活性にしたときに、プリチャージするタイミングを遅らせたことを表す図である。同図に示すよう

10

20

30

40

50

に、外部チップイネーブル信号が「H」に非活性になった時点移行のコラム選択信号CSLの立ち下りから所定時間(Delay)だけ経過したとき、すなわち、書込み中であれば正常に書込みが終了するまで待った後で、ワード線を非活性化する。このようにすることによって、メモリセル内のデータの破壊を防止することができる。

【0415】

なお、本実施の形態は、同期式擬似SRAMに限定して適用されるものではなく、クロックに同期して動作する半導体記憶装置であればどのようなものにも適用することができる。

【0416】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【図面の簡単な説明】

【0417】

【図1】第1の実施の形態に係る同期式擬似SRAM100の構成を示す図である。

【図2】トリガ生成回路104の詳細な構成を示す図である。

【図3】トリガ生成回路104で生成される信号のタイミングチャートである。

【図4】第2の実施の形態に係る同期式擬似SRAM200の構成を示す図である。

【図5】リフレッシュバンクアドレス指定回路213の詳細な構成を示す図である。

【図6】従来の同期式擬似SRAMの動作を説明するための図である。

【図7】第2の実施の形態に係る同期式擬似SRAM200の動作例を説明するための図である。

【図8】第2の実施の形態に係る同期式擬似SRAM200の別の動作例を説明するための図である。

【図9】第3の実施の形態に係る1つのパッケージに収容される各同期式擬似SRAM300の構成を示す図である。

【図10】リフレッシュ制御回路305の詳細な構成を示す図である。

【図11】第3の実施の形態に係る2個の同期式擬似SRAMを収納したパッケージの構成を示す図である。

【図12】第4の実施の形態に係る同期式擬似SRAM400の構成を示す図である。

【図13】ロウ制御回路409の構成を示す図である。

【図14】コラム制御回路407の構成を示す図である。

【図15】CDETRG発生器421の詳細な構成を示す図である。

【図16】WAIT制御回路412の構成を示す図である。

【図17】従来の同期式擬似SRAMのWAIT信号のタイミングを表す図である。

【図18】第4の実施形態に係る同期式擬似SRAM400のWAIT\_\_ASYN信号およびWAIT信号のタイミングを表す図である。

【図19】コラムデコーダ417の構成を示す図である。

【図20】第4の実施の形態に係る同期式擬似SRAM400の動作を示すタイミングチャートである。

【図21】ロウ制御回路499の構成を示す図である。

【図22】コマンドシフト回路480の入出力信号を表す図である。

【図23】コマンドシフト回路480の詳細な構成を示す図である。

【図24】(a)は、リフレッシュ動作が行なわれていないときに読出し信号READが入力されたときの修正読出し信号READFを表す図であり、(b)は、リフレッシュ動作中に読出し信号READが入力されたときの修正読出し信号READFを表す図である。

【図25】第5の実施の形態に係る同期式擬似SRAM500の構成を示す図である。

【図26】共通信号生成回路507の構成を示す図である。

10

20

30

40

50

【図 27】(a) は、外部クロック CLK が入力されているときの同期指示信号 SYNC が生成されるタイミングチャートを示し、(b) は、外部クロック CLK が入力されていないときの同期指示信号 SYNC が生成されるタイミングチャートを示す図である。

【図 28】同期対応プリアンプ制御回路 508 の構成を示す図である。

【図 29】基準信号発生器 521 の構成を示す図である。

【図 30】High 側 Delay の一例を示す図である。

【図 31】同期対応プリアンプ制御信号発生器 522 の構成を示す図である。

【図 32】同期対応プリアンプ 512 に関連する信号が生成されるタイミングを示す図である。

【図 33】非同期対応プリアンプ制御回路 509 の構成を示す図である。

10

【図 34】非同期対応プリアンプ 513 に関連する信号が生成されるタイミングを示す図である。

【図 35】同期対応プリアンプ 512 の構成を示す図である。

【図 36】同期対応プリアンプ 512 が非同期読出しには適さないことを説明するための図である。

【図 37】非同期対応プリアンプ 513 の構成を示す図である。

【図 38】非同期対応プリアンプ 513 の各ノードの電位の時間変化を示す図である。

【図 39】同期対応 DB ドライバ 514 の構成を示す図である。

【図 40】非同期対応 DB ドライバ 516 の構成を示す図である。

【図 41】同期対応 DB ドライバ 514 と、非同期対応 DB ドライバ 515 とを兼ねる共用 DB ドライバ 590 の構成を示す図である。

20

【図 42】同期対応プリアンプ 512 および非同期対応プリアンプ 513 の配置を表す図である。

【図 43】同期対応プリアンプ 512 および非同期対応プリアンプ 513 の別の配置を表す図である。

【図 44】第 6 の実施形態に係る同期式擬似 SRAM 600 の構成を示す図である。

【図 45】CE バッファ 609 の詳細な構成を示す図である。

【図 46】UB バッファ 605 の詳細な構成を示す図である。

【図 47】ZUB0 生成回路 613 の詳細な構成を示す図である。

【図 48】ZLB0 生成回路 614 の詳細な構成を示す図である。

30

【図 49】ADV0 生成回路 615 の詳細な構成を示す図である。

【図 50】ZWE0 生成回路 616 の詳細な構成を示す図である。

【図 51】ZRS T 生成回路 612 の詳細な構成を示す図である。

【図 52】ZRS T が生成されるタイミングを表す図である。

【図 53】マスク制御回路 617 の詳細な構成を示す図である。

【図 54】第 6 の実施の形態に係る同期式擬似 SRAM 600 におけるバースト読出し時に次の口ウへの移行を伴わないときの信号の変化を表すタイミングチャートである。

【図 55】第 6 の実施の形態に係る同期式擬似 SRAM 600 におけるノーラップモード設定時に、バースト読出し時に次の口ウへの移行を伴うときの信号の変化を表すタイミングチャートである。

40

【図 56】第 7 の実施の形態に係る RAM 700 の構成を示す

【図 57】共通部 702 の構成を示す図である。

【図 58】セルラー RAM 専用部 704 の構成を示す図である。

【図 59】モバイル RAM 専用部 703 の構成を示す図である。

【図 60】第 8 の実施の形態に係る同期式擬似 SRAM 800 の構成を示す図である。

【図 61】バーストレングスカウンタ 805 の詳細な構成を示す。

【図 62】ワード線が非活性化されるタイミングチャートを示す図である。

【図 63】従来の同期 / 非同期モードの設定方法を表す図である。

【図 64】(a) は、 $t_{CSP}$  は 7.5 ns のときのモードの設定を説明するための図であり、(b) は、 $t_{CSP}$  は 22.5 ns のときのモードの設定を説明するための図であ

50

る。

【図 6 5】第 9 の実施の形態の同期 / 非同期モードの設定方法を表す図である。

【図 6 6】第 9 の実施の形態に係る同期式擬似 S R A M 9 0 0 の構成を示す図である。

【図 6 7】第 1 0 の実施の形態に係る同期式擬似 S R A M 1 0 0 0 の構成を示す図である。

【図 6 8】従来の A D V 0 発生回路 1 0 5 0 の構成を示す図である。

【図 6 9】従来の A D V 0 発生回路 1 0 5 0 を用いたときの各信号の変化のタイミングを表す図である。

【図 7 0】本実施の形態の A D V 0 発生回路 1 0 1 0 の構成を示す図である。

【図 7 1】本実施の形態の A D V 0 発生回路 1 0 1 0 を用いたときの各信号の変化のタイミングを表す図である。 10

【図 7 2】、外部チップイネーブル信号 C E # を非同期に非活性になったときに、プリチャージするタイミングを遅らせたことを表す図である。

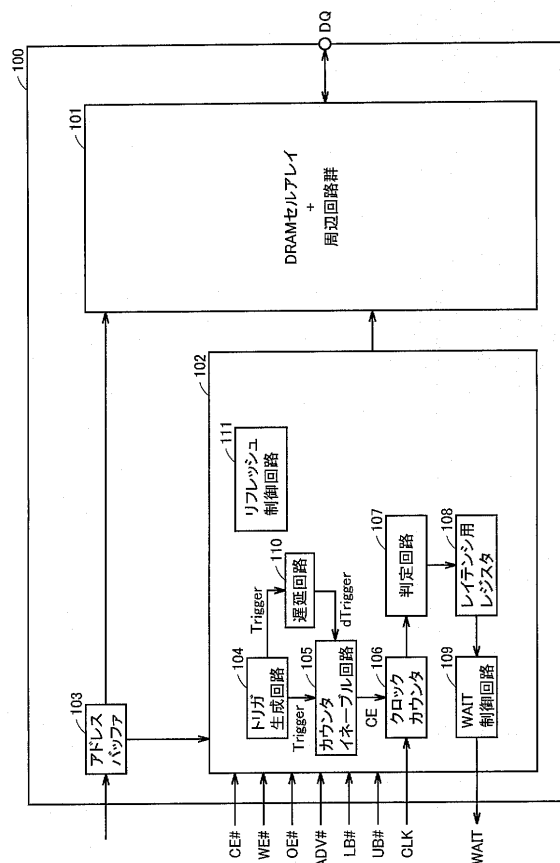
【符号の説明】

【 0 4 1 8 】

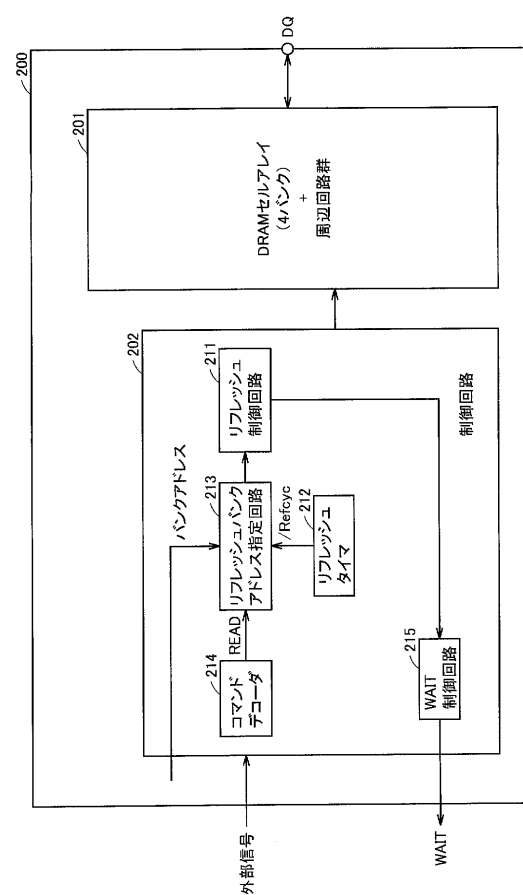
5 0 指令信号活性化回路、6 0 判定回路、4 1, 4 4, 5 5 N A N D ゲート  
4 2, 5 6, 5 7 インバータ、4 8 バッファ、4 3, 4 9, 5 8 遅延回路、4 5,  
5 2 フリップフロップ、6 1, バッファ回路、1 0 0, 2 0 0, 3 0 0, 3 0 0 a, 3  
0 0 b 同期式擬似 S R A M、1 0 1, 2 0 1, 8 0 1, 9 0 1, 1 0 0 1 D R A M セ  
ルアレイ + 周辺回路群、1 0 2, 2 0 2, 3 0 2, 3 0 2 a, 3 0 2 b, 4 0 2, 5 0 2 20  
, 6 0 2, 8 0 2, 1 0 0 2 制御回路、1 0 3, 4 0 3, 5 0 3, 1 0 0 6 アドレス  
バッファ、1 0 4 トリガ生成回路、1 0 5 カウンタイネーブル回路、1 0 6 クロッ  
クカウンタ、1 0 7 判定回路、1 0 8 レイテンシ用レジスタ、1 0 9, 3 0 6, 3 0  
6 a, 3 0 6 b, 4 1 2, 5 1 1, 6 1 9 W A I T 制御回路、1 1 0 遅延回路、1 1  
1, 2 1 1, 3 0 5, 3 0 5 a, 3 0 5 b, 4 2 0, 5 1 0, 6 2 0 リフレッシュ制御  
回路、1 2 1 ラッチ回路、2 1 2, 3 0 1, 3 0 1 a, 3 0 1 b, 7 2 1 リフレッシュ  
ユタイマ、2 1 3 リフレッシュバンクアドレス指定回路、2 1 4, 4 1 7, 8 0 3 コ  
マンドデコーダ、2 2 1 論理和回路、2 2 2 バンクアドレスカウンタ、2 2 3 リフ  
レッシュ実施済 / 未実施判定回路、2 2 4 リフレッシュ実施済バンク保持回路、2 2 5  
第 1 比較回路、2 2 6 読出し / 書込み動作バンク検知回路、2 2 7 第 2 比較回路、 30  
3 0 3, 3 0 3 a, 3 0 3 b, 4 0 1, 5 0 1, 6 0 1, 7 0 1 D R A M セルアレイ、  
3 0 4 スイッチ、3 1 1, 3 1 1 a, 3 1 1 b リフレッシュタイマ出力 P A D、3 1  
2, 3 1 2 a, 3 1 2 b リフレッシュタイマ入力 P A D、3 1 3, 3 1 3 a, 3 1 3 b  
ボンディングオブション P A D、3 1 4, 3 1 4 a, 3 1 4 b W A I T 端子、3 1 5  
, 3 1 5 a, 3 1 5 b 制御信号端子、3 1 6, 3 1 6 a, 3 1 6 b データ入出力端子  
、4 0 7, 5 0 5 コラム制御回路、4 0 9, 4 9 9, 6 1 8, 8 0 6 ロウ制御回路、  
4 1 0, 5 0 6, 6 1 1 コマンドデコーダ、4 2 1 C D E T R G 発生器、4 2 2 C  
O L P \_ S H F T 発生器、4 3 1 ワンショットパルス発生器、4 3 2 W A I T \_ A S  
Y N 発生回路、4 3 3 W A I T 発生回路、4 0 8, 5 0 4, 6 0 3 周辺回路群、4 8  
0 コマンドシフト回路、5 0 7 共通信号生成回路、5 0 8 同期対応プリアンプ制御 40  
回路、5 0 8 同期対応プリアンプ制御回路、5 0 9 非同期対応プリアンプ制御回路、  
4 0 4 R C R、4 0 5, 6 1 0, 9 0 3 B C R、4 0 6 入出力回路およびバッファ  
、4 1 7 コラムデコーダ、4 1 8 ロウデコーダ、5 1 2 同期対応プリアンプ、5 1  
3 非同期対応プリアンプ、5 1 4 同期対応 D B ドライバ、5 1 5, 6 2 0 出力回路  
、5 1 6 非同期対応 D B ドライバ、5 2 1 基準信号発生器、5 2 2 同期対応プリア  
ンプ制御信号発生器、5 2 3 プリアンプ活性化準備信号発生器、5 2 4 同期指示信号  
発生器、5 6 1 スイッチ部、5 6 2 イコライズ部、5 6 3 増幅部、5 6 4, 5 6 5  
バッファ部、5 9 0 共用 D B ドライバ、5 9 6 同期対応プリアンプ配置領域、5 7  
7 非同期対応プリアンプ配置領域、5 9 8 同期 / 非同期対プリアンプ配置領域、6 0  
4, 1 0 0 4 C L K バッファ、6 0 5 U B バッファ、6 0 6 L B バッファ、6 0 7 50

WEバッファ、608 ADVバッファ、609, 1003 CEバッファ、612  
 ZRST生成回路、613 ZUB0生成回路、614 ZLB0生成回路、615 A  
 DV0生成回路、616 ZWE0生成回路、617 マスク制御回路、631 第1制  
 御回路、632 第2制御回路、633 第3制御回路、702 共通部、703 モバ  
 イルRAM専用部、704 セルラーRAM専用部、705 入出力回路、706 モバ  
 イルRAM/セルラーRAM判定回路、722 センス動作制御回路、723 アドレス  
 キュー対策回路、724 入出力バッファ、731 コマンドモード回路、732 バー  
 ストリフレッシュ回路、733 アーリーライト回路、734 データ保持ブロック制御  
 回路、741 同期インタフェース回路、742 ZADV制御回路、743 NORイ  
 ンタフェース回路、744 その他のセルラー互換動作制御回路、745 BCR/RC 10  
 Rセット回路、804 BCR、805 バーストレングスカウンタ、902 共通制御  
 回路、904 同期制御回路、905 非同期制御回路、906 tCSP判定回路、4  
 00, 500, 600, 800, 900, 1000 同期式擬似SRAM、700 モバ  
 イル/セルラー兼用RAM、999 CSLカウンタ、1005 制御バッファ、101  
 0 ADV0発生回路、1011 RAS発生回路、221, OR42 論理和回路、A  
 ND1, AND41, AND101 論理積回路、IV1~IV3, IV11, IV12  
 , IV21~IV44, IV51, IV52~IV56, IV59, IV71~IV74  
 , IV81~IV89 インバータ、OR42 論理和回路、NOR21, NOR22,  
 NOR71, NOR81~NOR85, NOR95, NOR98, NOR99 反転論理  
 和回路、NAND1, NAND21~NAND36, NAND53~NAND58, NA 20  
 AND60, NAND81~NAND91 反転論理積回路、DL11, DL21, DL5  
 1~DL54, DL81~DL83, DL99, DL101, DL102, DL191,  
 DL192 遅延回路(Delay)、HDL53 High側Delay、C コンデ  
 ンサ、R 負荷、P31~P45, P51~P62, P71~P76 PチャネルMOS  
 トランジスタ、N31~N33, N51~N62, N71~N76 NチャネルMOST  
 トランジスタ、CV1、CV61~CV64 クロックドインバータ。

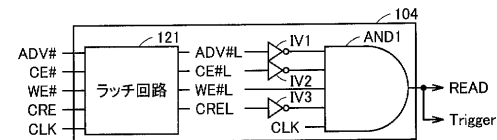
【 図 1 】



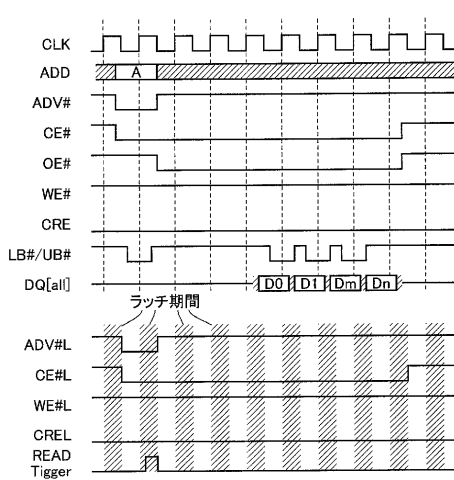
【 図 4 】



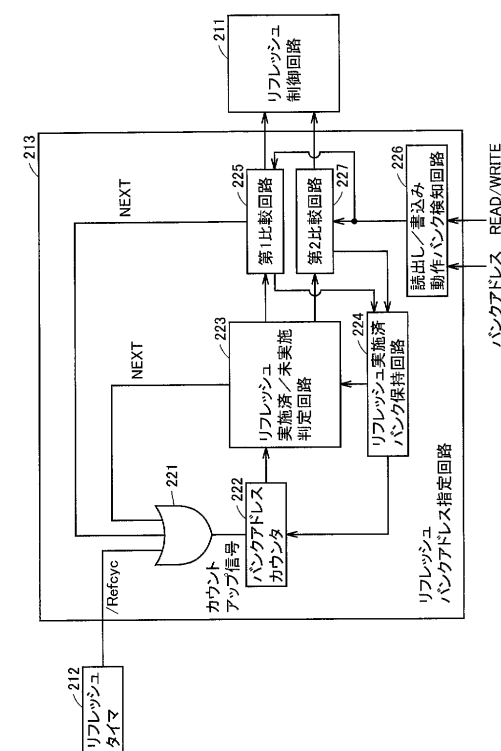
【 図 2 】



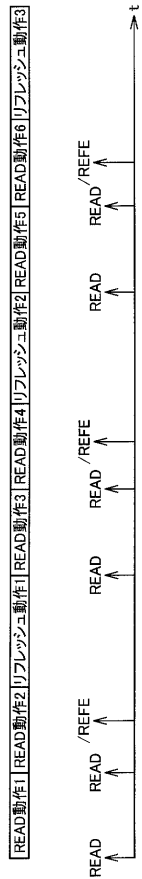
【 図 3 】



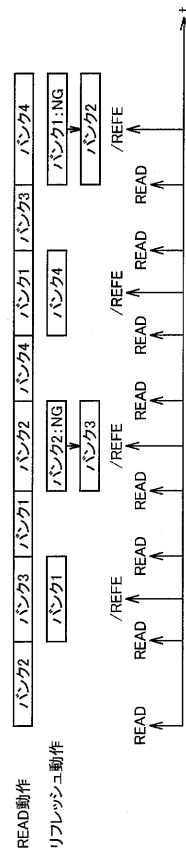
【 図 5 】



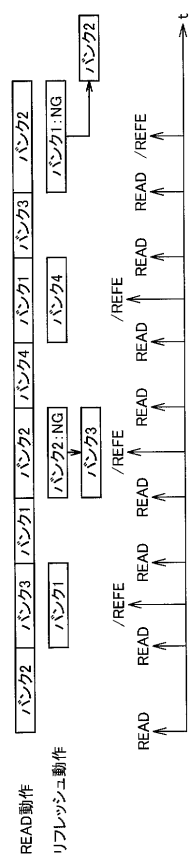
【図 6】



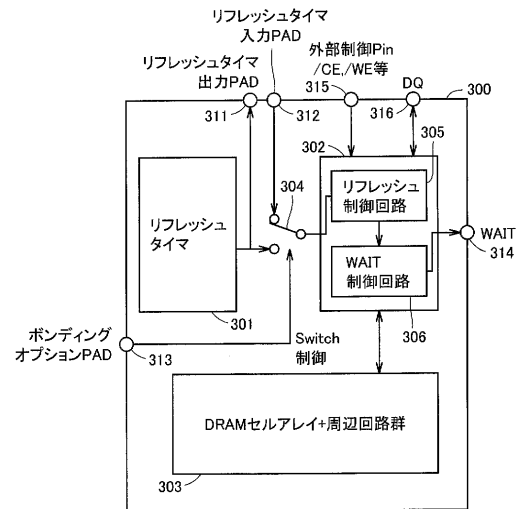
【図 7】



【図 8】

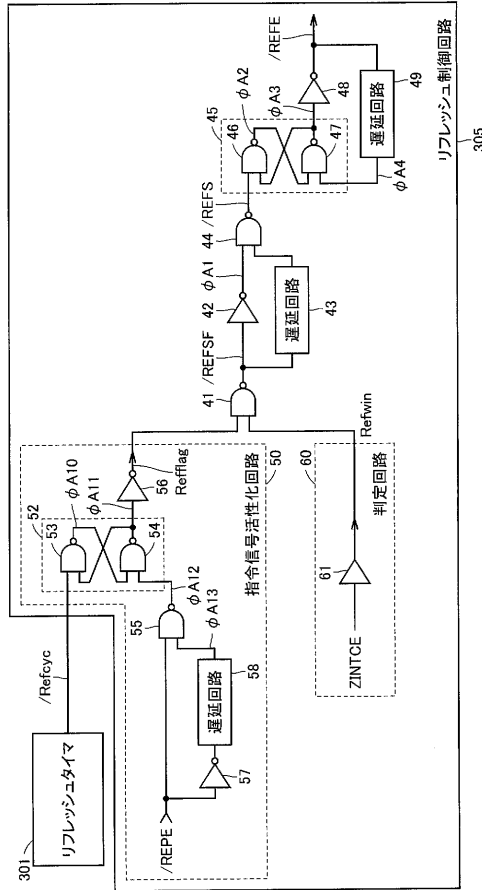


【図 9】

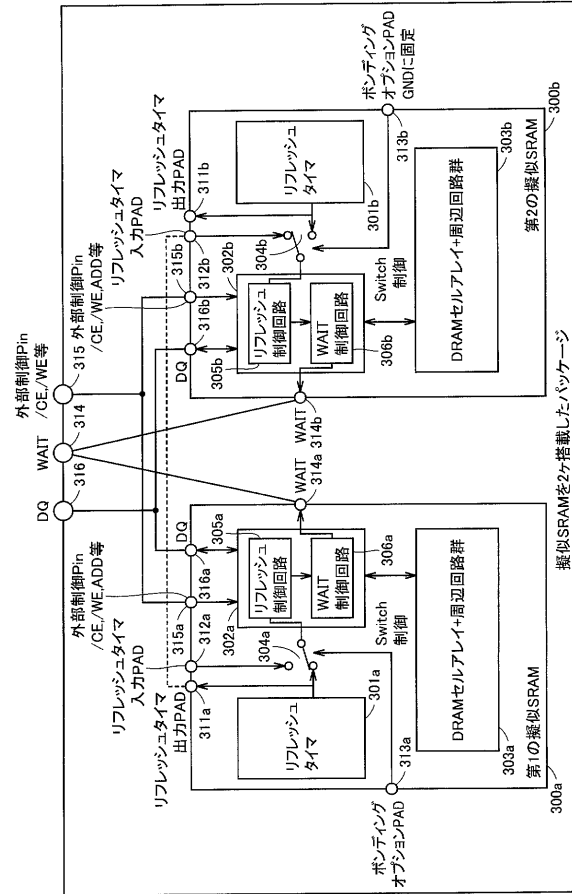




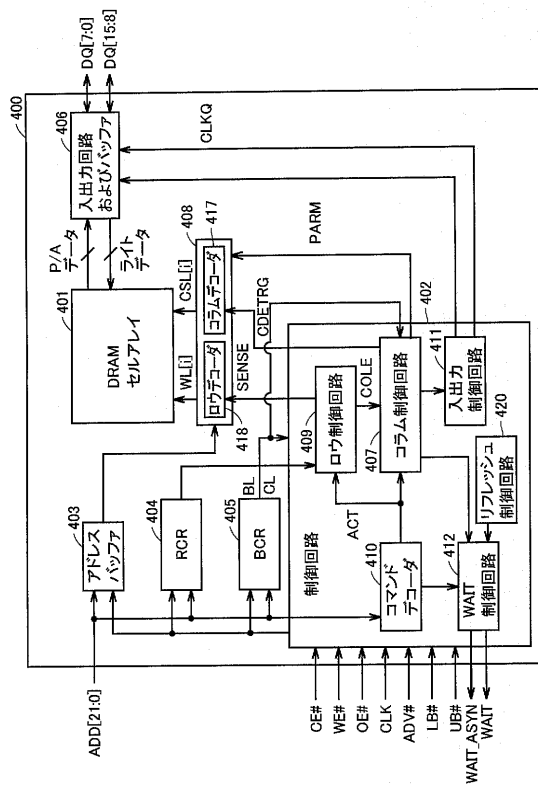
【図10】



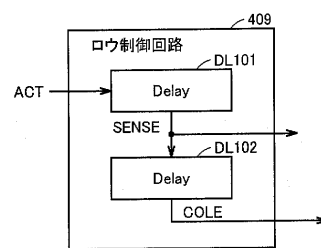
【図11】



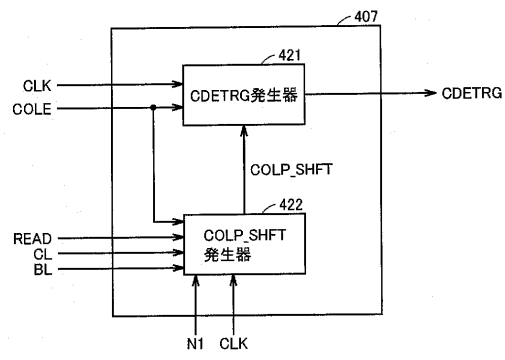
【図12】



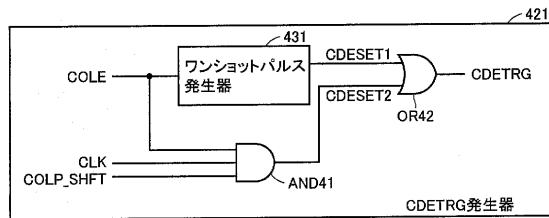
【図13】



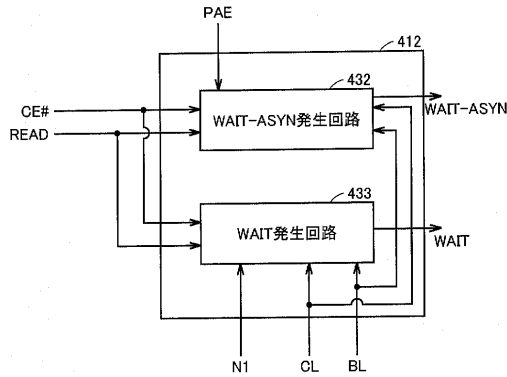
【図14】



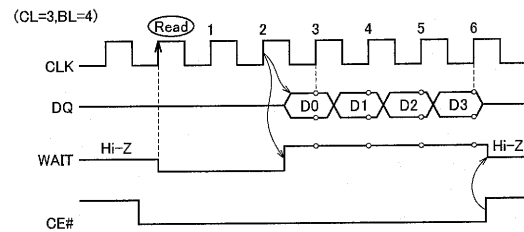
【図 15】



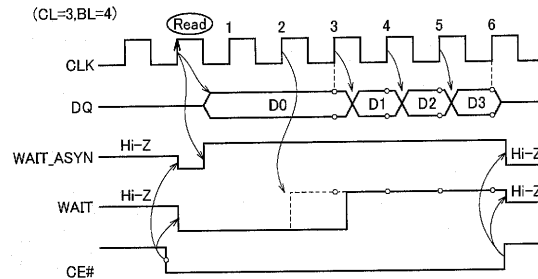
【図 16】



【図 17】



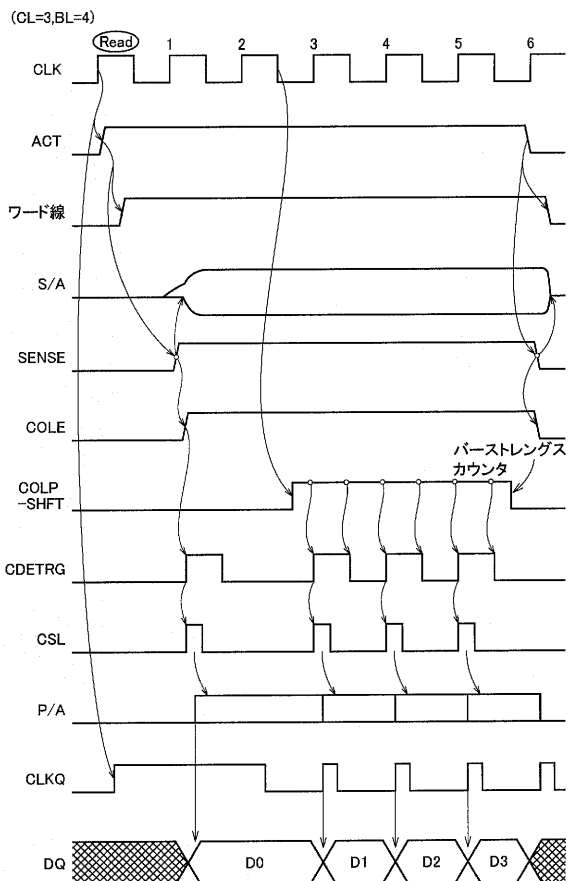
【図 18】



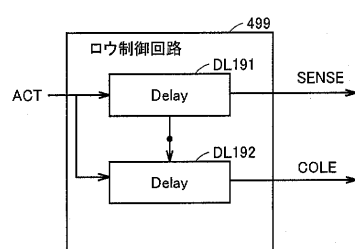
【図 19】



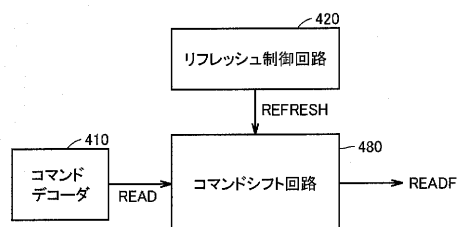
【図 20】



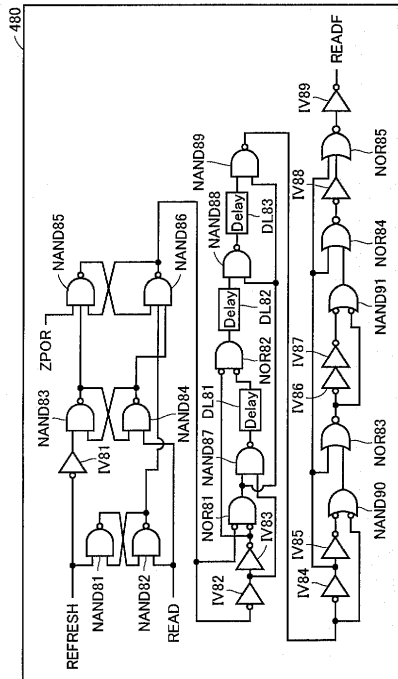
【図 21】



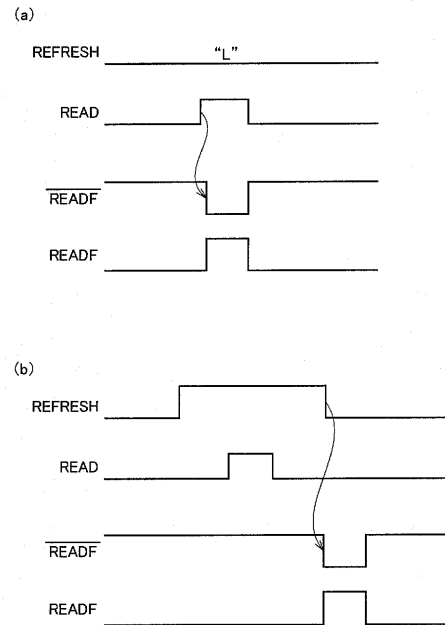
【図 22】



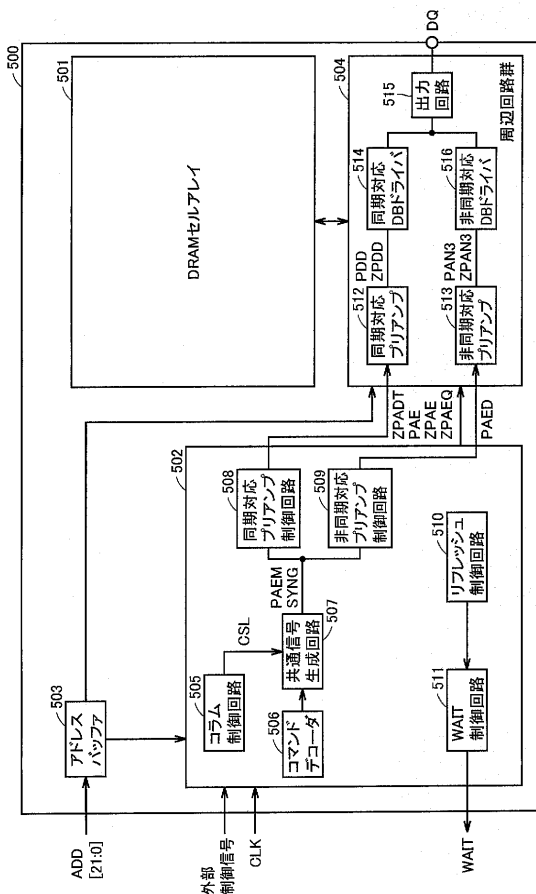
【図 23】



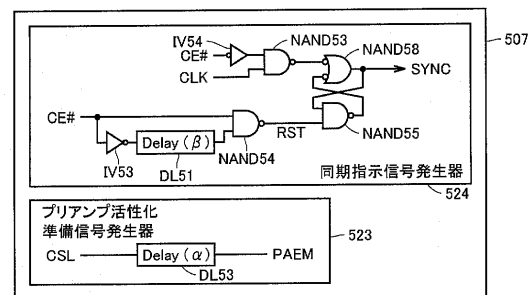
【図 24】



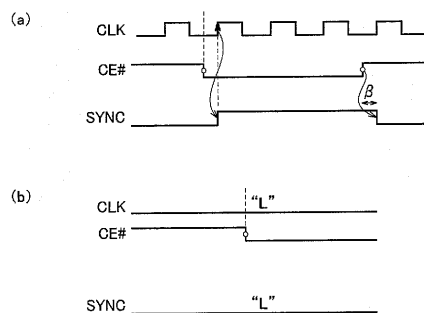
【図 25】



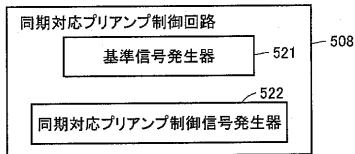
【図 26】



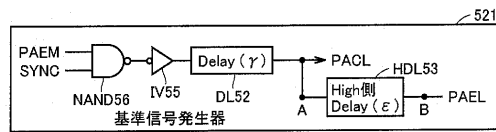
【図 27】



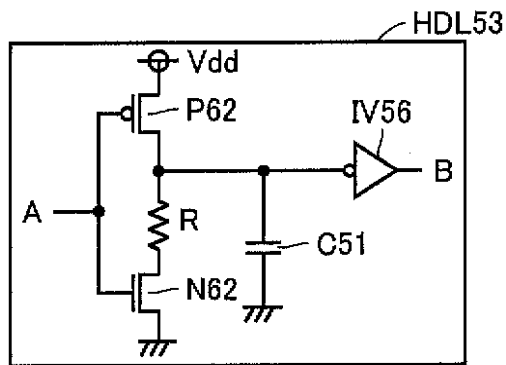
【図 28】



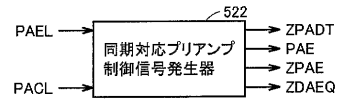
【図 29】



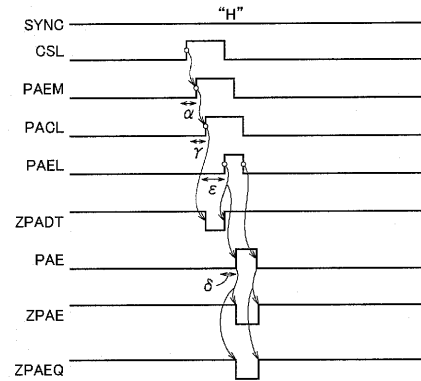
【図 30】



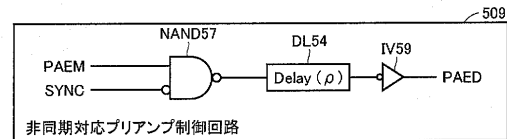
【図 31】



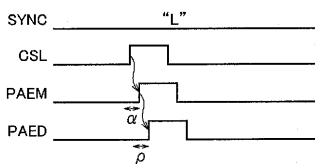
【図 32】



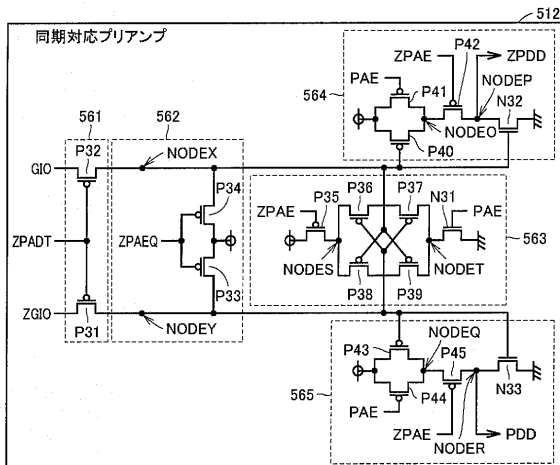
【図 33】



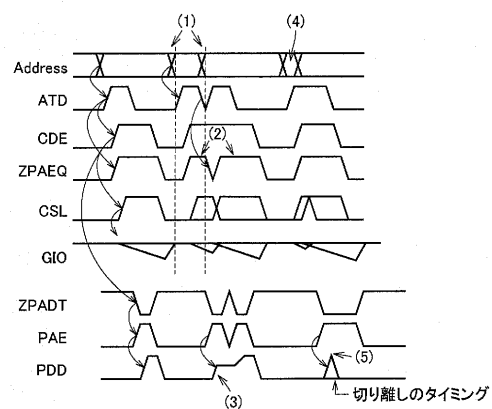
【図 34】



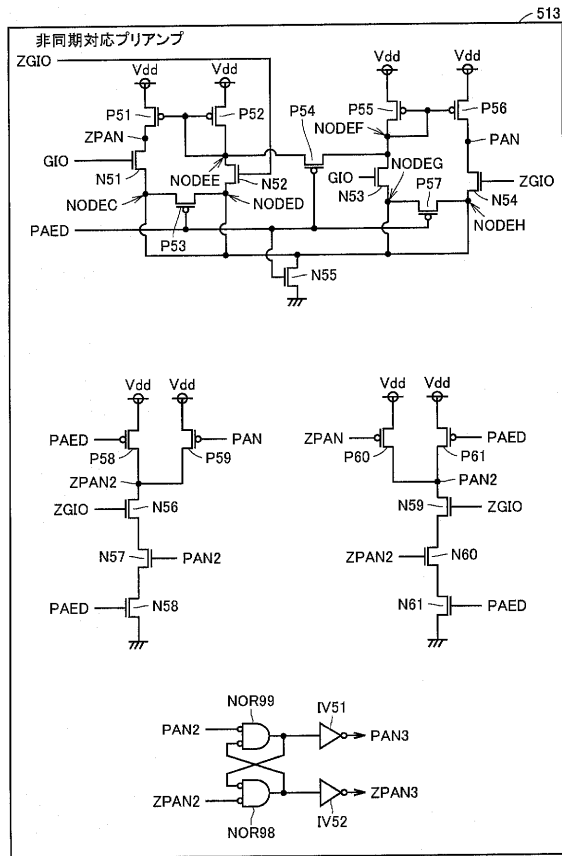
【図 35】



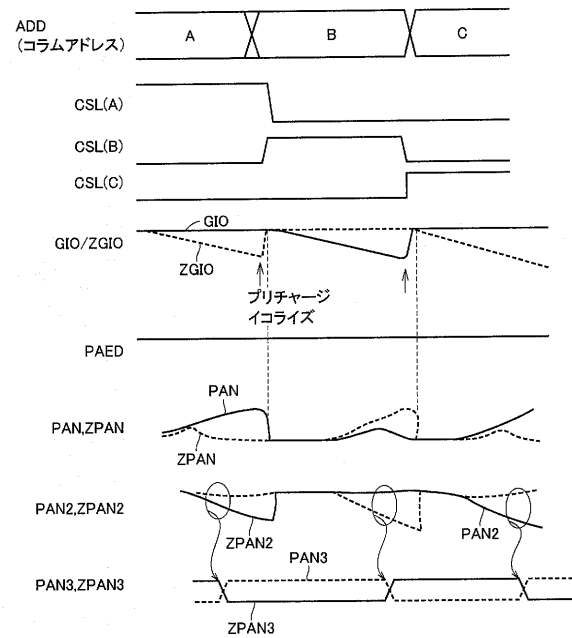
【図 36】



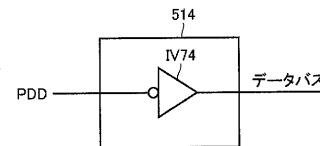
【図 37】



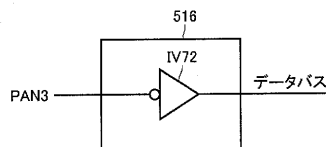
【図 38】



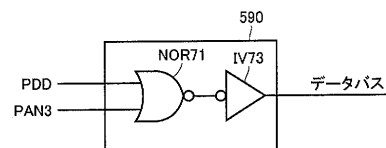
【図 39】



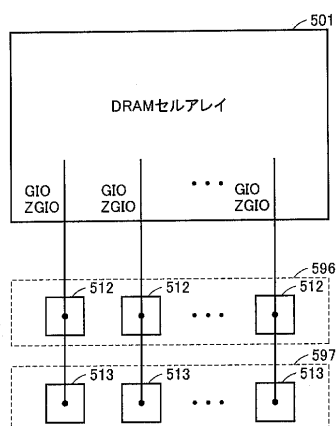
【図 40】



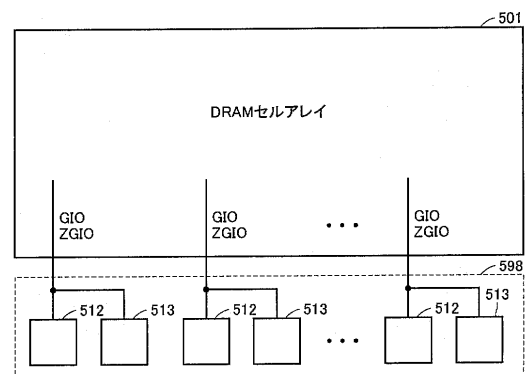
【図 41】



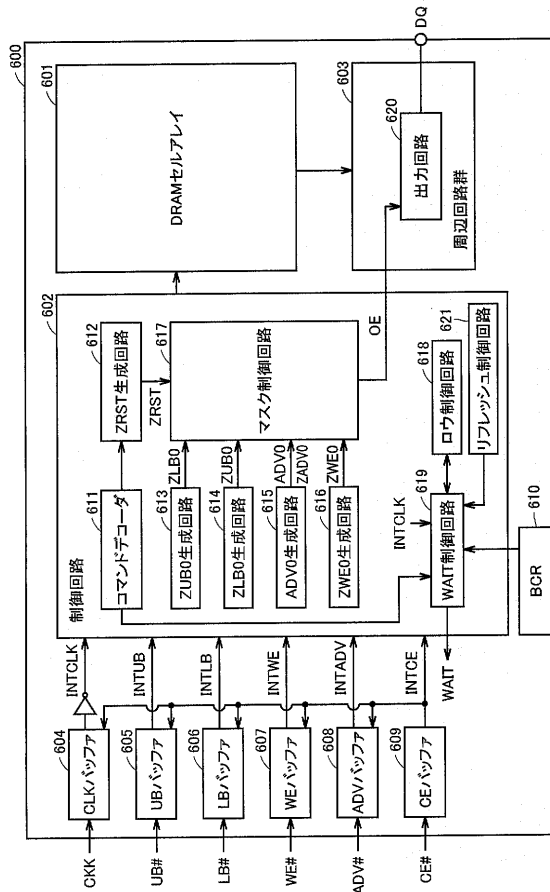
【図 42】



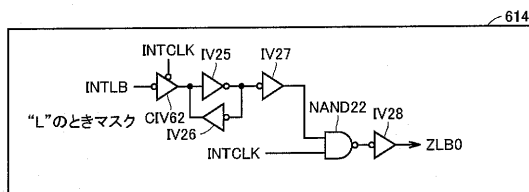
【図 43】



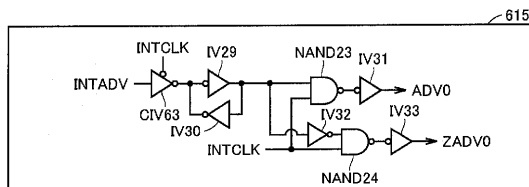
【図 4 4】



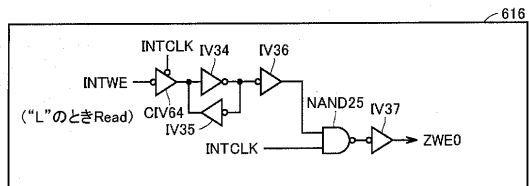
【図 4 8】



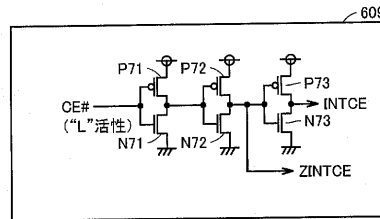
【図 4 9】



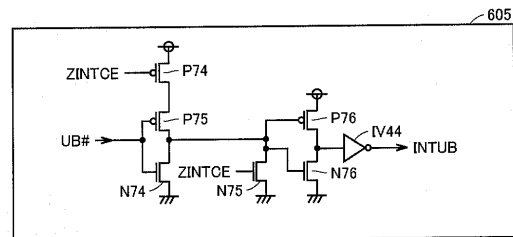
【図 5 0】



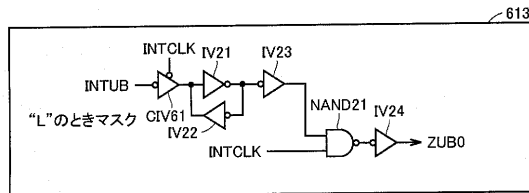
【図 4 5】



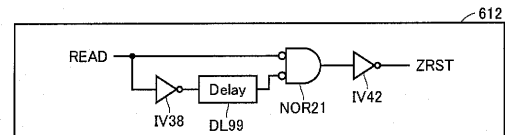
【図 4 6】



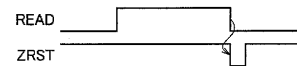
【図 4 7】



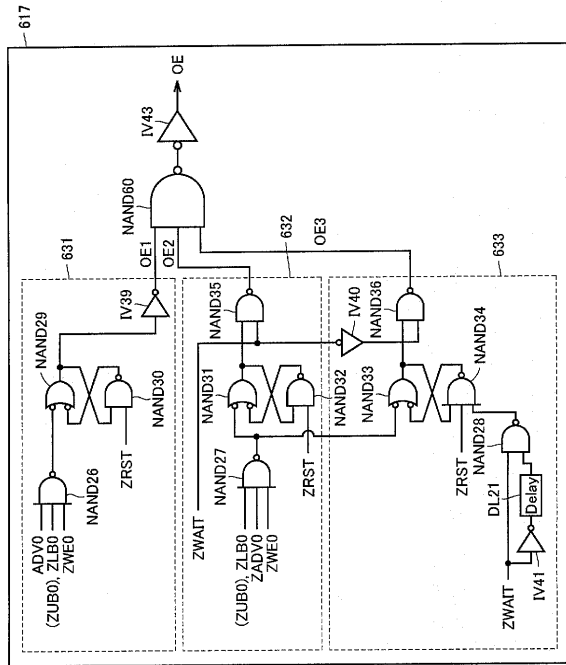
【図 5 1】



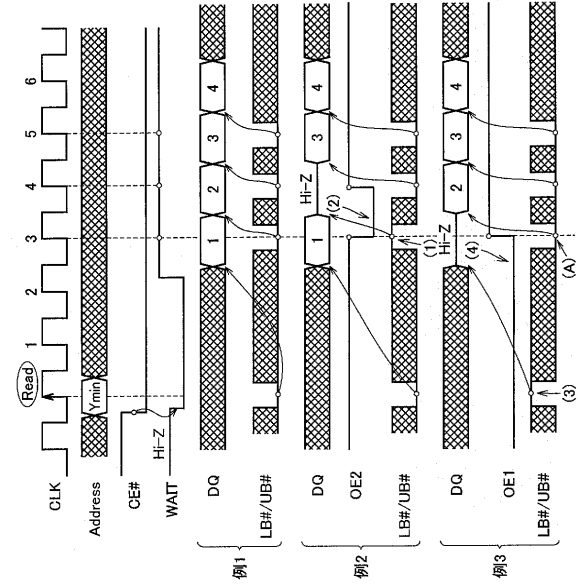
【図 5 2】



【図 5 3】



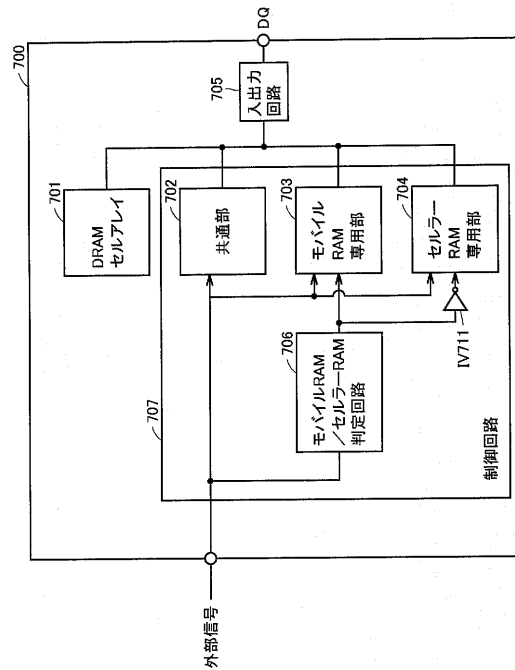
【図 5 4】



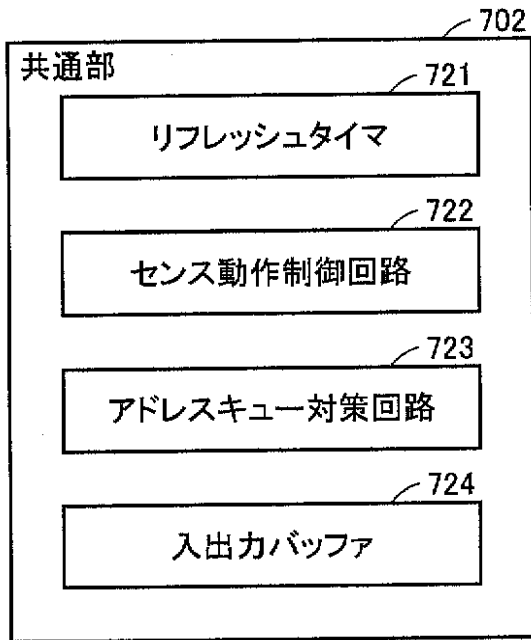
【図 5 5】



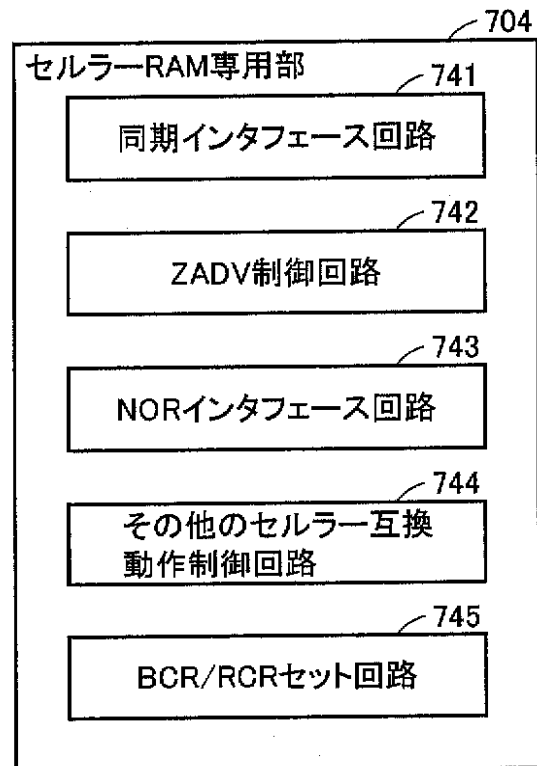
【図 5 6】



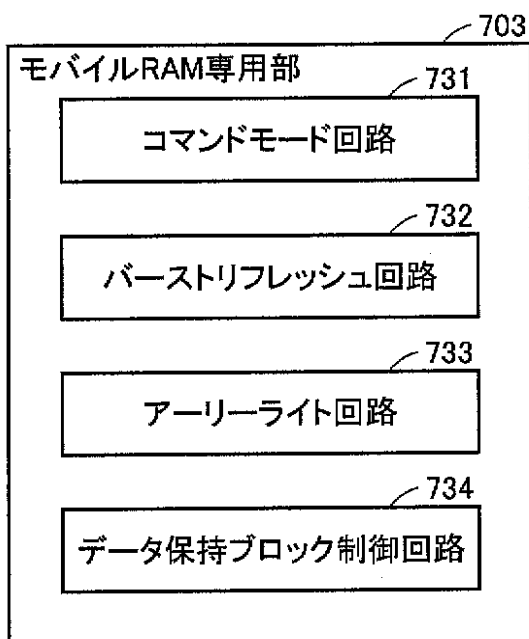
【図57】



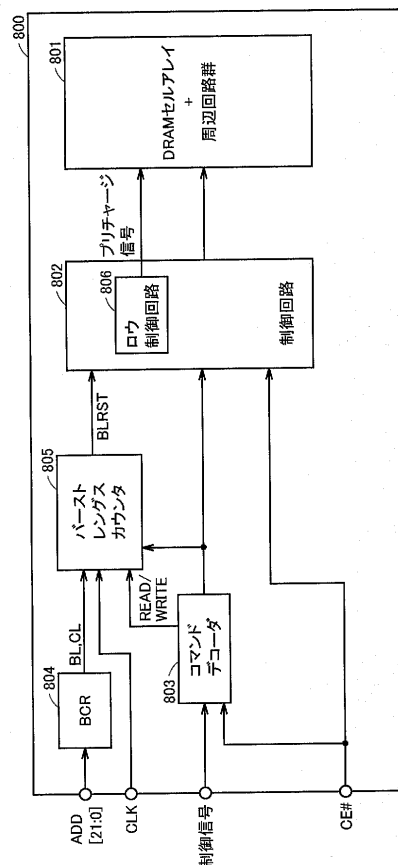
【図58】



【図59】

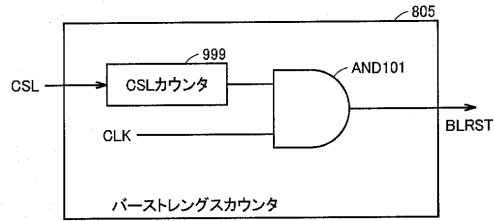


【図60】

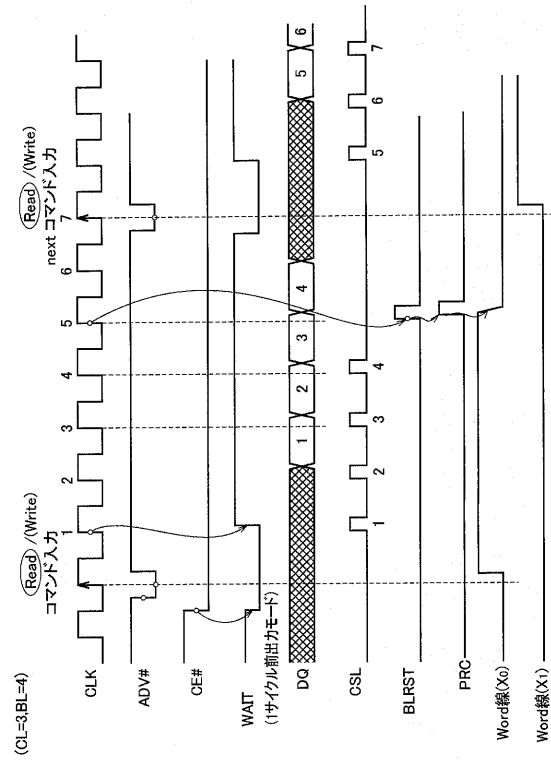




【図 6 1】



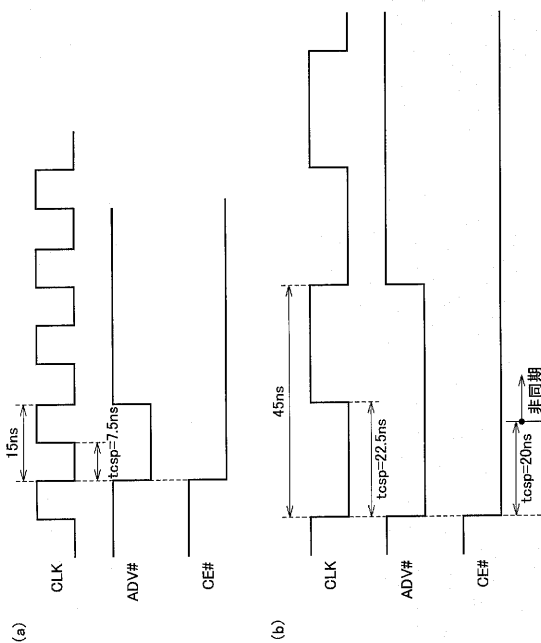
【図 6 2】



【図 6 3】

$tcsp \geq 20ns$	BCR[15]=0	非同期固定モード
	BCR[15]=1	非同期固定モード
$tcsp < 20ns$	BCR[15]=0	同期/非同期混合モード
	BCR[15]=1	非同期固定モード

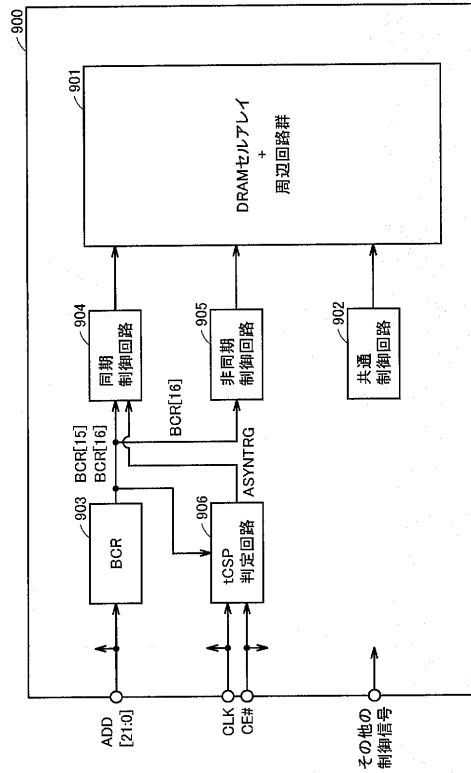
【図 6 4】



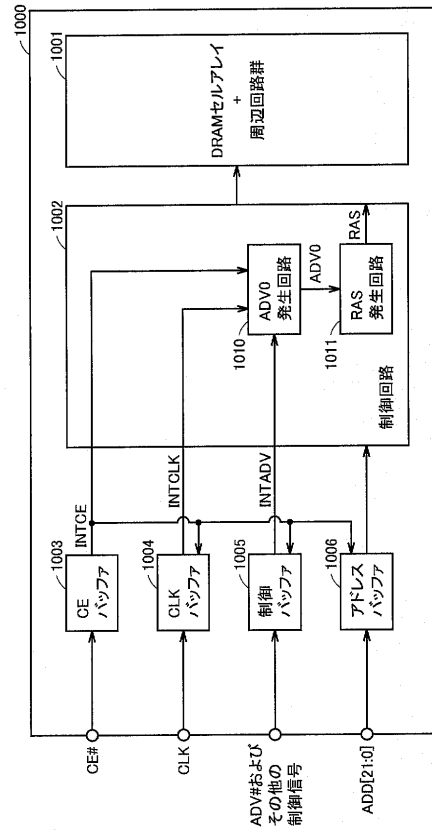
【図 6 5】

BCR[16]=0	$tcsp \geq 20ns$	BCR[15]=0	同期固定モード
	$tcsp < 20ns$	BCR[15]=1	非同期固定モード
	$tcsp \geq 20ns$	BCR[15]=0	同期/非同期混合モード
	$tcsp < 20ns$	BCR[15]=1	非同期固定モード
BCR[16]=1	$tcsp \geq 20ns$	BCR[15]=0	同期固定モード
	$tcsp < 20ns$	BCR[15]=1	非同期固定モード
	$tcsp \geq 20ns$	BCR[15]=0	同期/非同期混合モード
	$tcsp < 20ns$	BCR[15]=1	非同期固定モード

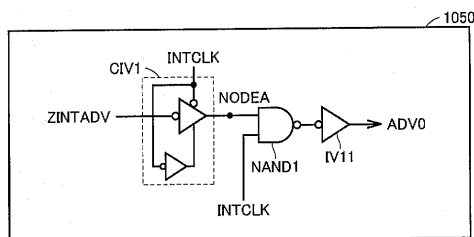
【図 66】



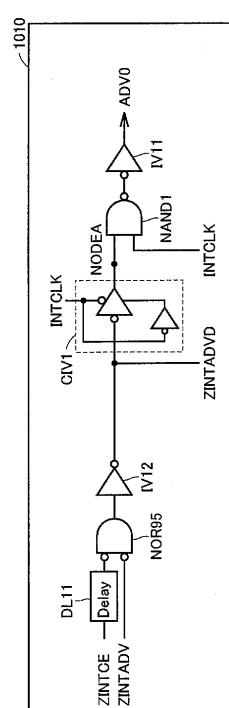
【図 67】



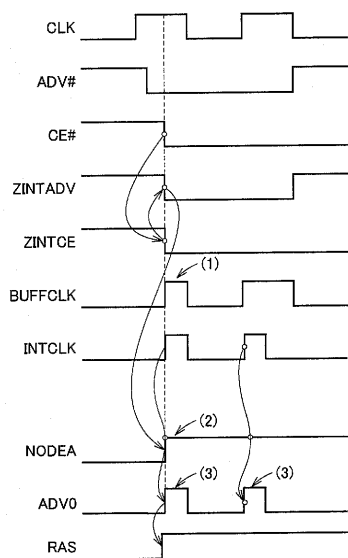
【図 68】



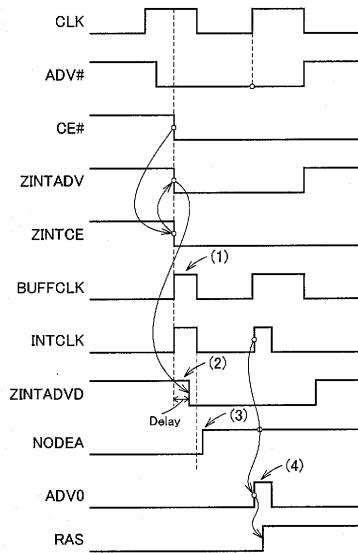
【図 70】



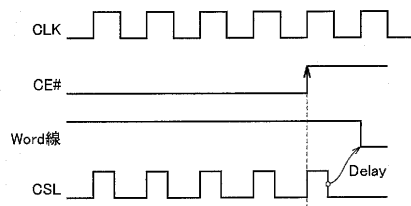
【図 69】



【図 7 1】



【図 7 2】



---

フロントページの続き

(72)発明者 三木 武夫  
東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

(72)発明者 澤田 誠二  
東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

(72)発明者 築出 正樹  
東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

Fターム(参考) 5M024 AA44 AA49 AA50 AA62 AA79 AA82 AA87 BB03 BB05 BB22  
BB28 BB34 BB35 BB36 CC68 DD22 DD23 DD52 DD59 DD83  
DD97 EE05 EE08 EE15 EE23 GG02 GG06 JJ02 JJ28 JJ42  
JJ48 JJ53 JJ54 JJ58 KK22 LL02 PP01 PP02 PP07