



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2011년03월25일  
 (11) 등록번호 10-1023726  
 (24) 등록일자 2011년03월14일

(51) Int. Cl.

G09G 3/36 (2006.01)

(21) 출원번호 10-2004-0021987  
 (22) 출원일자 2004년03월31일  
 심사청구일자 2009년02월11일  
 (65) 공개번호 10-2005-0096568  
 (43) 공개일자 2005년10월06일

(56) 선행기술조사문헌  
 KR1020020017530 A  
 KR1020030095467 A  
 KR1020010045445 A  
 KR1020040022358 A

전체 청구항 수 : 총 16 항

(73) 특허권자

엘지디스플레이 주식회사  
 서울 용산구 한강로3가 65-228

(72) 발명자

문수환  
 경상북도칠곡군북삼면인평리시티타운301동302호

(74) 대리인

김용인, 박영복

심사관 : 김홍섭

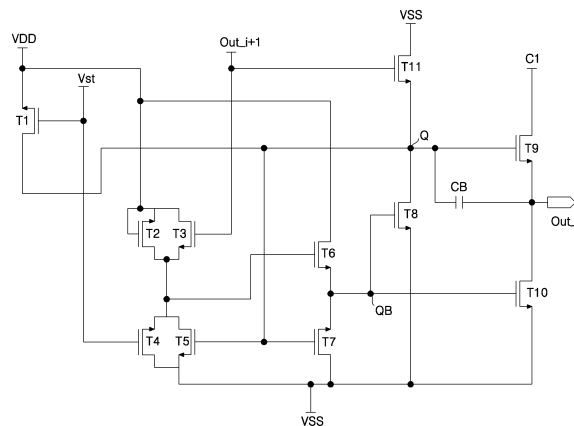
**(54) 쉬프트 레지스터**

**(57) 요약**

본 발명은 게이트 바이어스 스트레스로 인한 아모퍼스-실리콘 박막 트랜지스터를 오동작을 방지할 수 있는 쉬프트 레지스터를 제공하는 것이다.

이를 위하여, 본 발명의 쉬프트 레지스터는 스테이지들 각각이 제1 노드의 제어에 따라 상기 제1 클럭 신호를 출력 라인으로 공급하고, 제2 및 제3 노드의 제어에 따라 상기 제2 구동 전압을 상기 출력 라인으로 공급하는 출력 버퍼부와; 상기 스타트 펄스와 다음단 스테이지의 출력 신호를 이용하여 상기 제1 노드를 제어하는 제1 노드 제어부와; 상기 제1 및 제2 클럭 신호의 제어에 의해 제4 노드의 전압 및 상기 제2 구동 전압을 선택적으로 상기 제2 노드로 공급하는 제2 노드 제어부와; 상기 제1 및 제2 클럭 신호의 제어에 의해 상기 제4 노드의 전압 및 상기 제2 구동 전압을 상기 제2 노드와 상반되도록 상기 제3 노드로 공급하는 제3 노드 제어부와; 상기 제1 노드 및 제1 구동 전압을 이용하여 상기 제4노드가 상기 제1 노드와 상반된 전압을 갖도록 상기 제4 노드를 제어하는 제4 노드 제어부를 구비하는 것을 특징으로 한다.

**대표도 - 도4**



**특허청구의 범위**

**청구항 1**

제1 및 제2 구동 전압과, 제1 및 제2 클럭 신호를 이용하여 입력된 스타트 펄스를 쉬프트시켜 각각의 출력 신호와 다음단의 스타트 펄스로 공급하는 다수개의 스테이지들로 이루어진 쉬프트 레지스터에 있어서, 상기 스테이지들 각각은

제1 노드의 제어에 따라 상기 제1 클럭 신호를 출력 라인으로 공급하고, 제2 및 제3 노드의 제어에 따라 상기 제2 구동 전압을 상기 출력 라인으로 공급하는 출력 버퍼부와;

상기 스타트 펄스와 다음단 스테이지의 출력 신호를 이용하여 상기 제1 노드를 제어하는 제1 노드 제어부와;

상기 제1 및 제2 클럭 신호의 제어에 의해 제4 노드의 전압 및 상기 제2 구동 전압을 선택적으로 상기 제2 노드로 공급하는 제2 노드 제어부와;

상기 제1 및 제2 클럭 신호의 제어에 의해 상기 제4 노드의 전압 및 상기 제2 구동 전압을 상기 제2 노드와 상반되도록 상기 제3 노드로 공급하는 제3 노드 제어부와;

상기 제1 노드 및 제1 구동 전압을 이용하여 상기 제4노드가 상기 제1 노드와 상반된 전압을 갖도록 상기 제4 노드를 제어하는 제4 노드 제어부를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

**청구항 2**

제 1 항에 있어서,

상기 제1 및 제2 클럭 신호는 위상 반전된 것을 특징으로 하는 쉬프트 레지스터.

**청구항 3**

제 1 항에 있어서,

상기 제1 및 제2 클럭 신호는 상기 다수의 스테이지에 교번적으로 공급된 것을 특징으로 하는 쉬프트 레지스터.

**청구항 4**

제 1 항에 있어서,

상기 제1 구동 전압은 상기 제2 구동 전압 보다 높은 것을 특징으로 하는 쉬프트 레지스터.

**청구항 5**

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 제1 노드 제어부는

상기 제1 구동 전압의 입력 라인과 상기 제1 노드 사이에 접속되어 상기 스타트 펄스에 의해 제어되는 제1 트랜지스터와;

상기 제2 구동 전압의 입력 라인과 상기 제1 노드 사이에 접속되어 상기 다음단 스테이지의 출력 신호에 의해 제어되는 제2 트랜지스터를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

**청구항 6**

제 5 항에 있어서,

상기 제4 노드 제어부는

상기 제1 구동 전압 입력 라인과 상기 제4 노드 사이에 다이오드형으로 접속된 제3 트랜지스터와;

상기 제4 노드와 상기 제2 구동 전압의 입력 라인 사이에 접속되어 상기 제1 노드에 의해 제어되는 제4 트랜지스터를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

**청구항 7**

제 6 항에 있어서,

상기 제4 트랜지스터는 상기 제3 트랜지스터 보다 크게 형성된 것을 특징으로 하는 쉬프트 레지스터.

**청구항 8**

제 6 항에 있어서,

상기 제3 및 제4 트랜지스터의 크기 비는 대략 1:3인 것을 특징으로 하는 쉬프트 레지스터.

**청구항 9**

제 6 항에 있어서,

상기 출력 버퍼부는

상기 제1 클럭 신호의 입력 라인과 상기 스테이지의 출력 라인 사이에 접속되어 상기 제1 노드에 의해 제어되는 제5 트랜지스터와;

상기 스테이지의 출력 라인과 상기 제2 구동 전압의 입력 라인 사이에 접속되어 상기 제2 노드에 의해 제어되는 제6 트랜지스터와;

상기 제6 트랜지스터와 병렬 접속되어 상기 제3 노드에 의해 제어되는 제7 트랜지스터를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

**청구항 10**

제 9 항에 있어서,

상기 출력 버퍼부는

상기 제5 트랜지스터에 접속되어, 상기 제1 노드를 상기 제1 클럭 신호를 이용하여 부트스트래핑시키기 위한 캐패시터를 추가로 구비하는 것을 특징으로 하는 쉬프트 레지스터.

**청구항 11**

제 9 항에 있어서,

상기 제2 노드 제어부는

상기 제4 노드와 상기 제2 노드 사이에 접속되어 상기 제1 클럭 신호에 의해 제어되는 제8 트랜지스터와,

상기 제2 구동 전압의 입력 라인과 상기 제2 노드 사이에 접속되어 상기 제2 클럭 신호에 의해 제어되는 제9 트랜지스터를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

**청구항 12**

제 11 항에 있어서,

상기 제3 노드 제어부는

상기 제4 노드와 상기 제3 노드 사이에 접속되어 상기 제2 클럭 신호에 의해 제어되는 제10 트랜지스터와,

상기 제2 구동 전압의 입력 라인과 상기 제3 노드 사이에 접속되어 상기 제1 클럭 신호에 의해 제어되는 제11 트랜지스터를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

**청구항 13**

제 10 항에 있어서,

상기 제1 노드 제어부는

상기 제1 노드와 상기 제2 구동 전압의 입력 라인 사이에 접속되어 상기 제2 노드에 의해 제어되는 제12 트랜지스터와;

상기 제12 트랜지스터와 병렬 접속되어 상기 제3 노드에 의해 제어되는 제13 트랜지스터를 추가로 구비하는 것

을 특징으로 하는 쉬프트 레지스터

**청구항 14**

제 1 항에 있어서,

상기 스테이지는 동일 채널 타입의 트랜지스터로 구성된 것을 특징으로 하는 쉬프트 레지스터.

**청구항 15**

제 1 항에 있어서,

상기 스테이지는 NMOS 트랜지스터로 구성된 것을 특징으로 하는 쉬프트 레지스터.

**청구항 16**

제 1 항에 있어서,

상기 스테이지는 아모퍼스-실리콘 박막 트랜지스터로 구성된 것을 특징으로 하는 쉬프트 레지스터.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- [0008] 본 발명은 액정 표시 장치의 구동 회로에 관한 것으로, 특히 아모퍼스-실리콘 박막 트랜지스터를 이용한 쉬프트 레지스터에 관한 것이다.
- [0009] 텔레비전(Television) 및 컴퓨터(Computer)의 표시 장치로 사용되는 액정 표시 장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여, 액정 표시 장치는 액정셀들이 매트릭스 형태로 배열되어진 액정 패널과, 액정 패널을 구동하기 위한 구동 회로를 구비한다.
- [0010] 액정 패널에는 게이트 라인들과 데이터 라인들이 교차하게 배열되고 그 게이트 라인들과 데이터 라인들의 교차로 마련되는 영역에 액정셀들이 위치하게 된다. 이 액정 패널에는 액정셀들 각각에 전계를 인가하기 위한 화소 전극들과 공통 전극이 마련된다. 화소 전극들 각각은 스위칭 소자인 박막 트랜지스터(Thin Film Transistor)의 소스 및 드레인 단자들을 경유하여 데이터 라인들 중 어느 하나에 접속된다. 박막 트랜지스터의 게이트 단자는 게이트 라인들 중 어느 하나에 접속된다.
- [0011] 구동 회로는 게이트 라인들을 구동하기 위한 게이트 드라이버와, 데이터 라인들을 구동하기 위한 데이터 드라이버를 구비한다. 게이트 드라이버는 스캔 신호를 게이트 라인들에 순차적으로 공급하여 액정 패널 상의 액정셀들을 순차적으로 구동한다. 데이터 드라이버는 게이트 라인들 중 어느 하나에 스캔 신호가 공급될 때마다 데이터 라인들 각각에 비디오 신호를 공급한다. 이에 따라, 액정 표시 장치는 액정셀 별로 비디오 신호에 따라 화소 전극과 공통 전극 사이에 인가되는 전계에 의해 광투과율을 조절하여 화상을 표시한다.
- [0012] 이러한 구동 회로에서 게이트 드라이버는 쉬프트 레지스터를 이용하여 게이트 라인들을 순차적으로 구동시키기 위한 스캔 신호를 발생한다. 그리고, 데이터 드라이버는 쉬프트 레지스터를 이용하여 외부로부터 입력되는 비디오 신호를 일정 단위씩 순차적으로 샘플링할 수 있도록 하는 샘플링 신호를 발생한다.
- [0013] 도 1은 일반적인 2상 쉬프트 레지스터를 도시한 블록도로서, 도 1에 도시된 쉬프트 레지스터는 종속적으로 접속된 제1 내지 제n 스테이지를 구비한다.
- [0014] 제1 내지 제n 스테이지에는 고전위 및 고전위 구동 전압(미도시)과 함께 제1 및 제2 클럭 신호(C1, C2)가 공통으로 공급되고, 스타트 펄스(Vst) 또는 전단 스테이지의 출력 신호가 공급된다. 제1 스테이지는 스타트 펄스(Vst)와 제1 및 제2 클럭 신호(C1, C2)에 응답하여 제1 출력 신호(Out1)로 출력한다. 그리고, 제2 내지 제n 스테이지는 이전단 스테이지의 출력 신호와 제1 및 제2 클럭 신호(C1, C2)에 응답하여 제2 내지 제n 출력 신호(Out2 내지 Outn) 각각을 출력한다. 이러한 제1 내지 제n 스테이지는 동일한 회로 구성을 가지며 스타트 펄스

(Vst)의 특정 전압을 순차적으로 쉬프트시킨다. 제1 내지 제n 출력 신호(Out1 내지 Outn)는 역정 패널의 게이트 라인들을 순차적으로 구동하기 위한 스캔 신호로 공급되거나, 데이터 드라이버내에서 비디오 신호를 순차적으로 샘플링하기 위한 샘플링 신호로 공급된다.

- [0015] 도 2는 도 1에 도시된 한 스테이지의 구체적인 회로 구성을 나타낸 것이다.
- [0016] 도 2에 도시된 스테이지는 Q노드의 제어에 의해 제1 클럭 신호(C1)를 출력라인으로 출력하는 제5 NMOS 트랜지스터(T5)와, QB노드의 제어에 의해 저전위 구동 전압(VSS)을 출력 라인으로 출력하는 제6 NMOS 트랜지스터(T6)와, Q노드와 QB노드를 제어하는 제1 내지 제4 NMOS 트랜지스터(T1 내지 T4)를 구비한다.
- [0017] 이러한 스테이지에는 고전위 및 저전위 전압(VDD, VSS)이 공급됨과 아울러, 도 3과 같이 스타트 펄스(Vst)와, 제1 및 제2 클럭 신호(C1, C2)가 공급된다. 여기서, 제2 클럭 신호(C2)로는 일정한 펄스 폭을 갖는 하이 상태 전압 및 로우 상태 전압이 교번적으로 공급되고, 제1 클럭 신호(C1)에는 제2 클럭 신호(C2)와 상반된 전압이 공급된다. 여기서, 스타트 펄스(Vst)의 하이 상태는 제2 클럭 신호(C2)로 공급되는 어느 하나의 하이 상태와 동기한다. 이러한 스타트 펄스(Vst)는 외부로부터 공급되거나, 이전단 스테이지의 출력 신호가 공급된 것이다. 이하, 스테이지의 동작 과정을 도 3에 도시된 구동 파형을 참조하여 설명하기로 한다.
- [0018] A기간에서 하이 상태의 제2 클럭 신호(C2)에 의해 제1 NMOS 트랜지스터(T1)가 턴-온되어 스타트 펄스(Vst)의 하이 상태 전압이 Q노드로 공급, 즉 프리차지 된다. Q노드로 프리 차지된 하이 상태 전압에 의해 제5 NMOS 트랜지스터(T5)가 턴-온되어 제1 클럭 신호(C1)의 로우 상태 전압을 출력 라인으로 공급한다. 이때, 제2 NMOS 트랜지스터(T2)도 하이 상태의 제2 클럭 신호(C2)에 의해 턴-온되어 QB노드에 고전위 구동 전압(VDD)을 공급하고, QB노드에 공급된 고전위 구동 전압(VDD)에 의해 제6 NMOS 트랜지스터(T6)도 턴-온되어 저전위 구동 전압(VSS)을 공급한다. 이에 따라, A기간에서 스테이지의 출력 라인인 로우 상태의 출력 신호(OUT)를 출력하게 된다.
- [0019] B기간에서 로우 상태의 제2 클럭 신호(C2)에 의해 제1 NMOS 트랜지스터(T1)가 턴-오프됨으로써 Q노드는 하이 상태로 플로팅되므로 제5 NMOS 트랜지스터(T5)는 턴-온 상태를 유지한다. 이때, 제1 클럭 신호(C1)로 하이 상태의 전압이 공급됨에 따라 플로팅된 Q노드는 제5 NMOS 트랜지스터(T5)의 게이트와 드레인 사이에 형성된 내부 캐패시터(Cgs)와 캐패시터(CB)의 영향으로 부트스트래핑(Bootstrapping)된다. 이에 따라, Q노드 전압이 더욱 상승하여 제5 NMOS 트랜지스터(T5)가 확실하게 턴-오프됨으로써 제1 클럭 신호(C1)의 하이 상태의 전압이 출력 라인으로 빠르게 공급된다. 그리고, 하이 상태로 플로팅된 Q노드에 의해 제4 NMOS 트랜지스터(T4)가, 하이 상태의 제1 클럭 신호(C1)에 의해 제3 NMOS 트랜지스터(T3)가 턴-온되어 QB노드에는 저전위 구동 전압(VSS)이 공급되므로 제6 NMOS 트랜지스터(T6)는 턴-오프된다. 이에 따라, B기간에서 스테이지의 출력 라인인 하이 상태의 출력 신호(OUT)를 출력한다.
- [0020] C기간에서 하이 상태의 제2 클럭 신호(C2)에 의해 제1 NMOS 트랜지스터(T1)가 턴-온되어 스타트 펄스(Vst)의 로우 상태 전압이 Q노드로 공급되므로 제5 NMOS 트랜지스터(T5)는 턴-오프된다. 이때, 하이 상태의 제2 클럭 신호(C2)에 의해 제2 NMOS 트랜지스터(T2)가 턴-온되어 고전위 구동 전압(VDD)이 QB노드로 공급되므로 제6 NMOS 트랜지스터(T6)가 턴-온되어 저전위 구동 전압(VSS)을 출력 라인으로 출력한다. 이때, 제3 NMOS 트랜지스터(T3)는 로우 상태의 제1 클럭 신호(C1)에 의해 턴-오프되고, 제4 NMOS 트랜지스터(T4)는 로우 상태의 Q노드에 의해 턴-오프되어 QB노드에 고전위 구동 전압(VDD)이 유지된다. 이에 따라, C기간에서 스테이지의 출력 라인인 로우 상태의 출력 신호(OUT)를 출력 한다.
- [0021] D기간에서 로우 상태의 제2 클럭 신호(C2)에 의해 제2 NMOS 트랜지스터(T2)가 턴-오프되고, 로우 상태의 Q노드에 의해 제4 NMOS 트랜지스터(T4)가 턴-오프되므로 QB노드는 하이 상태의 제1 클럭 신호(C1)에 의해 제3 NMOS 트랜지스터(T3)가 턴-온되더라도 이전 기간(C)에서 공급된 고전위 구동 전압(VDD)을 유지한 채로 플로팅된다. 이에 따라, 제6 NMOS 트랜지스터(T6)는 턴-온 상태를 유지하여 저전위 구동 전압(VSS)을 출력 라인으로 출력한다. 이 결과, D기간에서 스테이지의 출력 라인인 로우 상태의 출력 신호(OUT)를 출력 한다.
- [0022] 그리고, 나머지 기간에서는 상기 C기간 및 D기간이 교번적으로 반복되므로 스테이지의 출력 신호(OUT)는 계속 로우 상태를 유지하게 된다.
- [0023] 최근에는 쉬프트 레지스터를 유리기관 상에 직접 형성할 수 있는 폴리-실리콘 박막트랜지스터 기술을 아포퍼스-실리콘 비정질 박막트랜지스터 기술에 적용하기 위한 많은 시도가 이루어지고 있다. 그런데 아모퍼스-실리콘 박막 트랜지스터는 고온 동작시 게이트 단자에 직류(DV) 전압이 계속 공급되면 바이어스 스트레스로 인하여 오 동작하게 되는 바이어스 템퍼레이처 스트레스(Bias Temperature Stress) 특성을 갖고 있다.
- [0024] 그런데, 종래의 쉬프트 레지스터에서는 도 3과 같이 제6 NMOS 트랜지스터(T6)의 게이트 노드인 QB노드에 대부분

의 기간동안(즉, Q노드가 하이 상태가 1H 또는 2H기간을 제외한 나머지 기간동안) 고전위 구동 전압(VDD)이 직류 형태로 인가됨을 알 수 있다. 이에 따라, 종래의 쉬프트 레지스터는 고온에서 동작하는 경우 제6 NMOS 트랜지스터(T6)가 게이트 바이어스 스트레스에 의해 오동작하게 되는 문제점이 있다.

**발명이 이루고자 하는 기술적 과제**

[0025] 따라서, 본 발명의 목적은 게이트 바이어스 스트레스로 인한 아모퍼스-실리콘 박막 트랜지스터를 오동작을 방지할 수 있는 쉬프트 레지스터를 제공하는 것이다.

**발명의 구성 및 작용**

[0026] 상기 목적을 달성하기 위하여, 본 발명의 실시 예에 따른 쉬프트 레지스터는 제1 및 제2 구동 전압과, 제1 및 제2 클럭 신호를 이용하여 입력된 스타트 펄스를 쉬프트시켜 각각의 출력 신호와 다음단의 스타트 펄스로 공급하는 다수개의 스테이지들로 이루어진 쉬프트 레지스터에 있어서, 상기 스테이지들 각각은 제1 노드의 제어에 따라 상기 제1 클럭 신호를 출력 라인으로 공급하고, 제2 및 제3 노드의 제어에 따라 상기 제2 구동 전압을 상기 출력 라인으로 공급하는 출력 버퍼부와; 상기 스타트 펄스와 다음단 스테이지의 출력 신호를 이용하여 상기 제1 노드를 제어하는 제1 노드 제어부와; 상기 제1 및 제2 클럭 신호의 제어에 의해 제4 노드의 전압 및 상기 제2 구동 전압을 선택적으로 상기 제2 노드로 공급하는 제2 노드 제어부와; 상기 제1 및 제2 클럭 신호의 제어에 의해 상기 제4 노드의 전압 및 상기 제2 구동 전압을 상기 제2 노드와 상반되도록 상기 제3 노드로 공급하는 제3 노드 제어부와; 상기 제1 노드 및 제1 구동 전압을 이용하여 상기 제4노드가 상기 제1 노드와 상반된 전압을 갖도록 상기 제4 노드를 제어하는 제4 노드 제어부를 구비한다.

[0027] 상기 제1 및 제2 클럭 신호는 위상 반전된다.

[0028] 상기 제1 및 제2 클럭 신호는 상기 다수의 스테이지에 교번적으로 공급된다.

[0029] 상기 제1 구동 전압 고전위 전압, 상기 제2 구동 전압은 저전위 전압이다.

[0030] 상기 제1 노드 제어부는 상기 제1 구동 전압의 입력 라인과 상기 제1 노드 사이에 접속되어 상기 스타트 펄스에 의해 제어되는 제1 트랜지스터와; 상기 제2 구동 전압의 입력 라인과 상기 제1 노드 사이에 접속되어 상기 다음단 스테이지의 출력 신호에 의해 제어되는 제2 트랜지스터를 구비한다.

[0031] 상기 제4 노드 제어부는 상기 제1 구동 전압 입력 라인과 상기 제4 노드 사이에 다이오드형으로 접속된 제3 트랜지스터와; 상기 제4 노드와 상기 제2 구동 전압의 입력 라인 사이에 접속되어 상기 제1 노드에 의해 제어되는 제4 트랜지스터를 구비한다.

[0032] 상기 제4 트랜지스터는 상기 제3 트랜지스터 보다 크게 형성된다.

[0033] 상기 제3 및 제4 트랜지스터의 크기 비는 대략 1:3이다.

[0034] 상기 출력 버퍼부는 상기 제1 클럭 신호의 입력 라인과 상기 스테이지의 출력 라인 사이에 접속되어 상기 제1 노드에 의해 제어되는 제5 트랜지스터와; 상기 스테이지의 출력 라인과 상기 제2 구동 전압의 입력 라인 사이에 접속되어 상기 제2 노드에 의해 제어되는 제6 트랜지스터와; 상기 제6 트랜지스터와 병렬 접속되어 상기 제3 노드에 의해 제어되는 제7 트랜지스터를 구비한다.

[0035] 상기 출력 버퍼부는 상기 제5 트랜지스터에 접속되어, 상기 제1 노드를 상기 제1 클럭 신호를 이용하여 부트스트래핑시키기 위한 캐패시터를 추가로 구비한다.

[0036] 상기 제2 노드 제어부는 상기 제4 노드와 상기 제2 노드 사이에 접속되어 상기 제1 클럭 신호에 의해 제어되는 제8 트랜지스터와, 상기 제2 구동 전압의 입력 라인과 상기 제2 노드 사이에 접속되어 상기 제2 클럭 신호에 의해 제어되는 제9 트랜지스터를 구비한다.

[0037] 상기 제3 노드 제어부는 상기 제4 노드와 상기 제3 노드 사이에 접속되어 상기 제2 클럭 신호에 의해 제어되는 제10 트랜지스터와, 상기 제2 구동 전압의 입력 라인과 상기 제3 노드 사이에 접속되어 상기 제1 클럭 신호에 의해 제어되는 제11 트랜지스터를 구비한다.



- [0038] 상기 제1 노드 제어부는 상기 제1 노드와 상기 제2 구동 전압의 입력 라인 사이에 접속되어 상기 제2 노드에 의해 제어되는 제12 트랜지스터와; 상기 제12 트랜지스터와 병렬 접속되어 상기 제3 노드에 의해 제어되는 제13 트랜지스터를 추가로 구비한다.
- [0039] 상기 스테이지는 동일 채널 타입의 트랜지스터로 구성된다.
- [0040] 상기 스테이지는 NMOS 트랜지스터로 구성된다.
- [0041] 상기 스테이지는 아모퍼스-실리콘 박막 트랜지스터로 구성된다.
- [0042] 상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부한 도면들을 참조한 본 발명의 바람직한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.
- [0043] 본 발명의 바람직한 실시 예들에 대한 설명에 앞서, 본 발명을 도출시키는데 배경이 된 선원 발명을 한가지 더 살펴보기로 한다.
- [0044] 도 4는 본 출원인에 의해 선출원된 쉬프트 레지스터의 한 스테이지에 대한 상세 회로를, 도 5는 구동 파형을 도시한 것이다.
- [0045] 도 4에 도시된 쉬프트 레지스터의 스테이지는 Q노드의 제어에 의해 제1 클럭 신호(C1)를 출력라인으로 출력하는 제9 NMOS 트랜지스터(T9)와, QB노드의 제어에 의해 저전위 구동 전압(VSS)을 출력 라인으로 출력하는 제10 NMOS 트랜지스터(T10)를 구비하는 출력버퍼와; Q노드를 프리차지시키는 제1 NMOS 트랜지스터(T1)를 구비하는 프리차지부와; QB노드를 제어하는 제2 내지 제7 NMOS 트랜지스터(T2 내지 T7)를 구비하는 제1 제어부와; Q노드를 제어하는 제8 및 제11 NMOS 트랜지스터(T8, T11)를 구비하는 제2 제어부를 구비한다.
- [0046] 출력 버퍼의 제9 NMOS 트랜지스터(T9)는 제1 클럭 신호(C1) 입력 라인과 스테이지의 출력 라인 사이에 접속되어 Q노드에 의해 제어되고, 제10 NMOS 트랜지스터(T10)는 스테이지의 출력 라인과 저전위 구동 전압(VSS) 입력 라인 사이에 접속되어 QB노드에 의해 제어된다.
- [0047] 프리차지부의 제1 NMOS 트랜지스터(T1)는 고전위 구동 전압(VDD) 공급 라인과 Q노드 사이에 접속되어 스타트 펄스(Vst)에 의해 제어된다.
- [0048] 제1 제어부의 제2 NMOS 트랜지스터(T2)는 고전위 구동 전압(VDD) 공급 라인과 P노드 사이에 다이오드 형태로 접속되고, 제3 NMOS 트랜지스터(T3)는 제2 NMOS 트랜지스터(T2)와 병렬 접속되어 다음단 스테이지의 출력 신호(Out<sub>i+1</sub>)에 의해 제어된다. 제4 NMOS 트랜지스터는 P노드와 저전위 구동 전압(VSS) 공급 라인 사이에 접속되어 스타트 펄스(Vst)에 의해 제어되고, 제5 NMOS 트랜지스터는 제4 NMOS 트랜지스터와 병렬 접속되어 Q노드에 의해 제어된다. 제6 NMOS 트랜지스터는 고전위 구동 전압(VDD) 입력 라인과 QB노드 사이에 접속되어 P노드에 의해 제어되고, 제7 NMOS 트랜지스터(T7)는 QB노드와 저전위 구동 전압(VSS) 입력 라인 사이에 접속되어 Q노드에 의해 제어된다.
- [0049] 제2 제어부의 제8 NMOS 트랜지스터(T8)는 Q노드와 저전위 구동 전압(VSS) 입력 라인 사이에 접속되어 QB노드에 의해 제어되고, 제11 NMOS 트랜지스터(T11)는 제8 NMOS 트랜지스터(T8)와 병렬 접속되어 다음단 스테이지의 출력 신호(Out<sub>i+1</sub>)에 의해 제어된다.
- [0050] 이하, 스테이지의 동작 과정을 도 5에 도시된 구동 파형을 참조하여 설명하기로 한다.
- [0051] A기간에서 하이 상태의 스타트 펄스(Vst)에 의해 제1 NMOS 트랜지스터(T1)가 턴-온되어 고전위 구동 전압(VDD)가 Q노드로 공급되어, Q노드 하이 상태로 프리차지된다. 하이 상태로 프리차지된 Q노드에 의해 제9 NMOS 트랜지스터(T9)가 턴-온되어 제1 클럭 신호(C1)의 로우 상태 전압을 출력 라인으로 공급한다. 이때, P노드는 항상 턴-온 상태를 유지하는 제2 NMOS 트랜지스터(T2)와, 하이 상태의 스타트 펄스(Vst)에 의해 턴-온된 제4 NMOS 트랜지스터(T4)와, 하이 상태의 Q노드에 의해 턴-온된 제5 NMOS 트랜지스터(T5)에 의해 P노드는 로우 상태가 된다. 이에 따라, 제6 NMOS 트랜지스터는 턴-오프되고, 제7 NMOS 트랜지스터(T7)는 하이 상태의 Q노드에 의해 턴-온되어 저전위 구동 전압(VSS)을 QB노드에 공급하므로 제10 NMOS 트랜지스터(T10)는 턴-오프된다. 그리고, 제8 NMOS 트랜지스터(T8)는 로우 상태의 QB노드에 의해, 제11 NMOS 트랜지스터(T11)는 로우 상태의 다음단 스테이지의 출력 신호(Out<sub>i+1</sub>)에 의해 턴-오프된다. 이에 따라, A기간에서 스테이지의 출력 라인은 로우 상태의 출력 신호(Out<sub>n</sub>)를 출력한다.
- [0052] B기간에서 로우 상태의 스타트 펄스(Vst)에 의해 제1 NMOS 트랜지스터(T1)가 턴-오프됨으로써 Q노드는 하이 상태로 플로팅되어 제9 NMOS 트랜지스터(T9)는 턴-온 상태를 유지한다. 이때, 제1 클럭 신호(C1)로 하이 상태의

전압이 공급됨에 따라 플로팅된 Q노드는 제5 NMOS 트랜지스터(T9)의 게이트와 드레인 사이에 형성된 내부 캐패시터(Cgs)와 캐패시터(CB)의 영향으로 부트스트래핑(Bootstrapping)된다. 이에 따라, Q노드 전압이 더욱 상승하여 제9 NMOS 트랜지스터(T9)가 확실하게 턴-온됨으로써 제1 클럭 신호(C1)의 하이 상태의 전압이 출력 라인으로 빠르게 공급된다. 그리고, 제2 내지 제8 NMOS 트랜지스터(T2 내지 T8)와, 제10 및 제11 NMOS 트랜지스터(T10, T11)는 상기 A기간과 동일하다. 이에 따라, B기간에서 스테이지의 출력 라인은 하이 상태의 출력 신호(Out\_n)를 출력한다.

[0053] C기간에서 로우 상태의 스타트 펄스(Vst)에 의해 제1 및 제4 NMOS 트랜지스터가 턴-오프된다. 이때, P노드는 턴-온 상태를 유지하는 제2 NMOS 트랜지스터(T2)에 의해 고전위 구동 전압(VDD)이 공급되어 하이 상태가 되므로 제6 NMOS 트랜지스터(T6)가 턴-온된다. 그리고, 턴-온된 제6 NMOS 트랜지스터(T6)에 의해 QB노드에는 고전위 구동 전압(VDD)이 공급되므로 제10 NMOS 트랜지스터(T10)가 턴-온되어 출력 라인에 저전위 구동 전압(VSS)을 공급한다. 이때, 하이 상태의 QB노드에 의해 제8 NMOS 트랜지스터(T8)가 턴-온되고, 하이 상태의 다음단 스테이지의 출력 신호(Out\_i+1)에 의해 제11 NMOS 트랜지스터(T11)가 턴-온되므로 Q노드에는 저전위 구동 전압(VSS)이 공급된다. 이에 따라, 로우 상태의 Q노드에 의해 제5, 제7, 제9 NMOS 트랜지스터(T5, T7, T9)가 턴-오프된다. 이 결과, C기간에서 스테이지의 출력 라인은 하이 상태의 출력 신호(Out\_n)를 출력한다.

[0054] D 기간에서 상기 C기간과 대비하여 다음단 출력 신호(Out\_i+1)가 로우 전압 상태가 되므로 제11 NMOS 트랜지스터(T11)가 턴-오프되나, Q노드는 턴-온된 제8 NMOS 트랜지스터(T8)에 의해 로우 상태를 유지한다. 이에 따라, C기간과 같이 P노드 및 QB노드는 턴-온된 제2 및 제6 NMOS 트랜지스터(T2, T3, T6)에 의해 고전위 구동 전압(VDD)이 계속 공급되므로 턴-오프된 박막 트랜지스터(T4, T5, T7)의 누설 전류에 관계없이 왜곡없는 하이 상태를 유지하게 된다. 이 결과, 제10 NMOS 트랜지스터(T10)가 정상적인 턴-온 상태를 유지하여 출력 라인으로 저전위 구동 전압(VSS)을 공급하므로 출력 신호(Out\_n)는 왜곡없는 로우 상태를 유지할 수 있게 된다.

[0055] 그리고, 나머지 기간에서도 스테이지는 상기 D기간과 동일하게 동작하므로 스테이지의 출력 신호(OUT)는 왜곡없는 로우 상태를 유지하게 된다.

[0056] 이와 같이, 선원 발명의 쉬프트 레지스터는 출력 라인 상에 로우 전압을 왜곡없이 공급하기 위하여 대부분의 구동 시간동안 QB노드에는 고전위 전압(VDD)이 공급되게 한다. 이에 따라, 제8 및 제10 NMOS 트랜지스터(T8, T10)의 게이트 전극에 직류(DC) 전압인 고전위 전압(VDD)이 공급됨으로써 고온에서 장시간 동작할 경우 게이트 바이어스 스트레스에 의해 오동작하게 된다.

[0057] 이러한 문제점을 해결하기 위한 본 발명의 바람직한 실시 예를 도 6 및 도 7을 참조하여 상세히 설명하기로 한다.

[0058] 도 6은 본 발명의 실시 예에 따른 쉬프트 레지스터에서 한 스테이지에 대한 상세 회로를 도시한 것이고, 도 7은 구동 파형을 도시한 것이다.

[0059] 도 6에 도시된 쉬프트 레지스터는 Q노드의 제어에 의해 클럭 신호(C1)를 출력 라인으로 출력하는 제5 NMOS 트랜지스터(T5)와, QB1 및 QB2 노드의 제어에 의해 저전위 구동 전압(VSS)을 출력 라인으로 출력하는 제6 및 제7 NMOS 트랜지스터(T6, T7)를 구비하는 출력 버퍼와; Q노드를 제어하는 제1 및 제2 NMOS 트랜지스터(T1, T2)와, 제12 및 제13 NMOS 트랜지스터(T12, T13)를 구비하는 Q노드 제어부와; QB노드를 제어하는 제3 및 제4 NMOS 트랜지스터(T3, T4)를 구비하는 QB노드 제어부와; QB1노드를 제어하는 제8 및 제9 NMOS 트랜지스터(T8, T9)를 구비하는 QB1노드 제어부와, QB2노드를 제어하는 제10 및 제11 NMOS 트랜지스터(T10, T11)를 구비하는 QB2노드 제어부를 구비한다.

[0060] 출력 버퍼에서 풀-업 트랜지스터인 제5 NMOS 트랜지스터(T5)는 클럭 신호(C1) 입력 라인과 스테이지의 출력 라인 사이에 접속되어 Q노드에 의해 제어된다. 그리고, 풀-다운 트랜지스터인 제6 및 제7 NMOS 트랜지스터(T6, T7)는 스테이지의 출력 라인과 저전위 전압(VSS) 입력 라인 사이에 병렬 접속되어 QB1 및 QB2 노드 각각에 의해 제어된다.

[0061] Q노드 제어부는 Q노드를 프리차지시키는 프리차지부와, 방전시키는 방전부로 구성된다,

[0062] Q노드 프리차지부의 제1 NMOS 트랜지스터(T1)는 고전위 전압(VDD) 공급 라인과 Q노드 사이에 접속되어 스타트 펄스(Vst)에 의해 제어된다.

[0063] Q노드 방전부는 저전위 전압(VSS) 공급 라인과 Q노드 사이에 접속되어 다음단 스테이지의 출력 신호(Out\_i+1)에 의해 제어되는 제2 NMOS 트랜지스터(T2), Q노드와 저전위 전압(VSS) 공급 라인 사이에 병렬 접속되어 QB1 및



QB2 노드 각각에 의해 제어되는 제12 및 제13 NMOS 트랜지스터(T12, T13)를 구비한다

- [0064] QB노드 제어부의 제3 NMOS 트랜지스터(T3)는 고전위 구동 전압(VDD) 공급 라인과 QB노드 사이에 접속되어 다이오드형으로 접속되고, 제4 NMOS 트랜지스터(T4)는 QB노드와 저전위 전압(VSS) 공급 라인 사이에 접속되어 Q노드에 의해 제어된다.
- [0065] QB1노드 제어부의 제8 NMOS 트랜지스터(T8)는 QB노드와 QB1 노드 사이에 접속되어 제1 클럭 신호(C1)에 의해 제어되고, 제9 NMOS 트랜지스터(T9)는 저전위 전압(VSS) 입력 라인과 QB1노드 사이에 접속되어 제2 클럭 신호(C2)에 의해 제어된다.
- [0066] QB2노드 제어부의 제10 NMOS 트랜지스터(T10)는 QB노드와 QB2 노드 사이에 접속되어 제2 클럭 신호(C2)에 의해 제어되고, 제11 NMOS 트랜지스터(T11)는 저전위 전압(VSS) 입력 라인과 QB2노드 사이에 접속되어 제1 클럭 신호(C1)에 의해 제어된다.
- [0067] Q노드와 저전위 전압(VSS)의 입력 라인 사이에 접속된 캐패시터(CB)와, QB노드와 저전위 전압(VSS)의 입력 라인 사이에 접속된 캐패시터(CQB)는 Q노드 및 QB노드의 노이즈를 제거한다.
- [0068] 이러한 스테이지의 동작 과정을 도 7에 도시된 구동 파형을 참조하여 설명하기로 한다.
- [0069] A기간에서 스타트 펄스(Vst)의 하이 전압에 의해 제1 NMOS 트랜지스터(T1)가 턴-온되어 고전위 구동 전압(VDD)이 Q노드로 공급되어, Q노드는 하이 상태로 프리차지된다. 하이 상태로 프리차지된 Q노드에 의해 제5 NMOS 트랜지스터(T5)가 턴-온되어 클럭 신호(C1)의 로우 전압이 출력 라인으로 공급된다. 동시에, 하이 상태로 프리차지된 Q노드에 의해 제4 NMOS 트랜지스터(T4)가 턴-온되고, 고전위 전압(VDD) 입력 라인에 다이오드형으로 접속된 제3 NMOS 트랜지스터(T3)가 턴-온된다. 이 경우, 제4 NMOS 트랜지스터(T4)를 제3 NMOS 트랜지스터(T3)보다 크게 형성하여 저전위 전압(VSS)이, 고전위 전압(VDD)보다 빠르게 QB노드에 도달되게 함으로써 QB노드가 로우 상태가 되게 한다. 예를 들면, 제3 및 제4 NMOS 트랜지스터(T3, T4)의 크기 비는 1:3 정도가 되도록 형성한다. 제2 클럭 신호(C2)에 의해 제9 및 제10 NMOS 트랜지스터(T9, T10)가 턴-온됨으로써, QB1노드에는 QB노드에 공급된 로우 전압이, QB2노드에는 저전위 전압(VSS)이 공급된다. 이에 따라, 제6 및 제7 NMOS 트랜지스터(T6, T7)와 제12 및 제13 NMOS 트랜지스터(T12, T13)는 턴-오프된다. 이에 따라, 제7 NMOS 트랜지스터(T7)가 턴-온되어 출력 라인으로 저전위 전압(VSS)이 공급된다. 이 결과, A기간에서 스테이지의 출력 라인은 로우 상태의 출력 신호(Out)를 출력한다.
- [0070] B기간에서 스타트 펄스(Vst)의 로우 전압에 의해 제1 NMOS 트랜지스터(T1)가 턴-오프됨으로써 Q노드는 하이 상태로 플로팅되므로 제5 NMOS 트랜지스터(T5)는 턴-온 상태를 유지한다. 이때, 제1 클럭 신호(C1)의 하이 전압이 공급됨에 따라 플로팅된 Q노드는 제5 NMOS 트랜지스터(T5)의 게이트 전극과 소스 전극 사이에 형성된 캐패시터(CGS) 영향으로 부트스트래핑(Bootstrapping)된다. 이에 따라, Q노드 전압이 더욱 상승하여 제5 NMOS 트랜지스터(T5)가 확실하게 턴-온됨으로써 제1 클럭 신호(C1)의 하이 전압이 출력 라인으로 빠르게 공급된다. 이때, 부트스트래핑된 Q노드에 의해 턴-온된 제4 NMOS 트랜지스터(T4)에 의해 제3 NMOS 트랜지스터(T3)가 턴-온 상태를 유지하고 있더라도 QB노드는 로우 상태가 된다. 그리고, 제1 클럭 신호(C1)에 의해 제8 및 제11 NMOS 트랜지스터(T8, T11)가 턴-온됨으로써, QB1노드에는 QB노드에 공급된 로우 전압이, QB2노드에는 저전위 전압(VSS)이 공급된다. 이에 따라, 제6 및 제7 NMOS 트랜지스터(T6, T7)와 제12 및 제13 NMOS 트랜지스터(T12, T13)는 턴-오프된다. 이 결과, B기간에서 스테이지의 출력 라인은 하이 상태의 출력 신호(Out)를 출력한다.
- [0071] C기간에서 다음단 스테이지의 출력 신호(Out<sub>i+1</sub>)의 하이 전압에 의해 제2 NMOS 트랜지스터(T1)가 턴-온되어 Q노드에는 저전위 전압(VSS)이 공급되므로 제5 NMOS 트랜지스터(T5)는 턴-오프된다. 그리고, Q노드의 저전위 전압(VSS)에 의해 제4 NMOS 트랜지스터(T4)가 턴-오프되어 QB노드에는 턴-온 상태를 유지하는 제3 NMOS 트랜지스터(T3)를 통해 고전위 전압(VDD)이 공급된다. 그리고, 제2 클럭 신호(C2)에 의해 제9 및 제10 NMOS 트랜지스터(T9, T10)가 턴-온됨으로써, QB1노드에는 저전위 구동 전압(VSS)이, QB2노드에는 QB노드에 공급된 고전위 구동 전압(VDD)이 공급된다. 이에 따라, 제7 NMOS 트랜지스터(T7)가 턴-온되어 출력 라인으로 저전위 구동 전압(VSS)이 공급된다. 또한, 제13 NMOS 트랜지스터(T13)가 턴-온되어 Q노드에 저전위 구동(VSS)을 공급한다. 이에 따라, 다음단 스테이지의 출력 신호(Out<sub>i+1</sub>)가 로우 상태가 되어 제2 NMOS 트랜지스터(T2)가 턴-오프된 경우에도 Q노드가 확실한 로우 상태가 되게 한다. 이 결과, C기간에서 스테이지의 출력 라인은 로우 상태의 출력 신호(Out)를 출력한다.
- [0072] D기간에서 스타트 펄스(Vst) 및 다음단 스테이지의 출력 신호(Out<sub>i+1</sub>)의 로우하이 전압에 의해 제1 및 제2 NMOS 트랜지스터(T1, T2)는 턴-오프된다. 이에 따라, Q노드의 로우 전압에 의해 제4 NMOS 트랜지스터(T4)가 턴

-오프되므로 QB노드에는 턴-온 상태를 유지하는 제3 NMOS 트랜지스터(T3)를 통해 고전위 전압(VDD)이 공급된다. 그리고, 클럭 신호(C1)에 의해 제8 및 제11 NMOS 트랜지스터(T9)가 턴-온됨으로써, QB1노드에는 QB노드에 공급된 고전위 전압(VDD)이, QB2노드에는 저전위 전압(VSS)이 공급된다. 이에 따라, 제6 NMOS 트랜지스터(T6)가 턴-온되어 출력 라인으로 저전위 구동 전압(VSS)을 공급한다. 또한, 제12 NMOS 트랜지스터(T12)가 턴-온되어 Q노드에 저전위 구동(VSS)을 공급한다. 이에 따라, 제1 및 제2 제2 NMOS 트랜지스터(N2)가 턴-오프된 경우에도 Q노드가 확실한 로우 상태가 되게 한다. 이 결과, D기간에서 스테이지의 출력 라인은 로우 상태의 출력 신호(Out)를 출력한다.

[0073] 그리고, 나머지 기간에서도 스테이지는 상기 C 및 D기간과 동일하게 동작하므로 스테이지의 출력 신호(OUT)는 로우 상태를 유지하게 된다.

[0074] 이와 같이, 본 발명에 따른 쉬프트 레지스터에서는 제6 NMOS 트랜지스터(T6)에 상반 동작하는 제7 NMOS 트랜지스터(T7)를 병렬로 접속시키고, 그들의 게이트 전극과 접속된 QB1 및 QB2노드를 제1 및 제2 클럭 신호에 따라 교류 구동시킴으로써 게이트 바이어스 스트레스로 인한 오동작을 방지할 수 있게 된다. 또한, Q노드를 로우 전압으로 홀딩시키기 위한 제12 및 제13 NMOS 트랜지스터(T12, T13)의 게이트 전극 또한 QB1 및 QB2에 의해 교류 구동시킴으로써 게이트 바이어스 스트레스로 인한 오동작을 방지할 수 있게 된다.

**발명의 효과**

[0075] 상술한 바와 같이, 본 발명에 따른 쉬프트 레지스터는 출력 라인에 대부분의 기간동안 저전위 전압(VSS)을 공급하는 제6 및 제7 NMOS 트랜지스터(T6, T7)의 게이트 전극을 교류 구동시키게 된다. 또한, 본 발명에 따른 쉬프트 레지스터는 Q노드에 저전위 전압(VSS)을 공급하는 제12 및 제13 NMOS 트랜지스터(T12, T13)의 게이트 전극을 교류 구동시키게 된다. 이에 따라, 제6 및 제7 NMOS 트랜지스터(T6, T7)와 제12 및 제13 NMOS 트랜지스터(T12, T13)의 게이트 전극에는 직류 바이어스가 인가되지 않으므로, 고온 구동시 게이트 바이어스 스트레스로 인해 오동작하는 것을 방지할 수 있게 된다.

[0076] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

**도면의 간단한 설명**

[0001] 도 1은 종래의 2상 쉬프트 레지스터를 도시한 블록도.

[0002] 도 2은 도 1에 도시된 제1 스테이지의 상세 회로도.

[0003] 도 3은 도 2에 도시된 스테이지의 구동 파형도.

[0004] 도 4는 선원 발명의 쉬프트 레지스터에서 한 스테이지에 대한 상세 회로도.

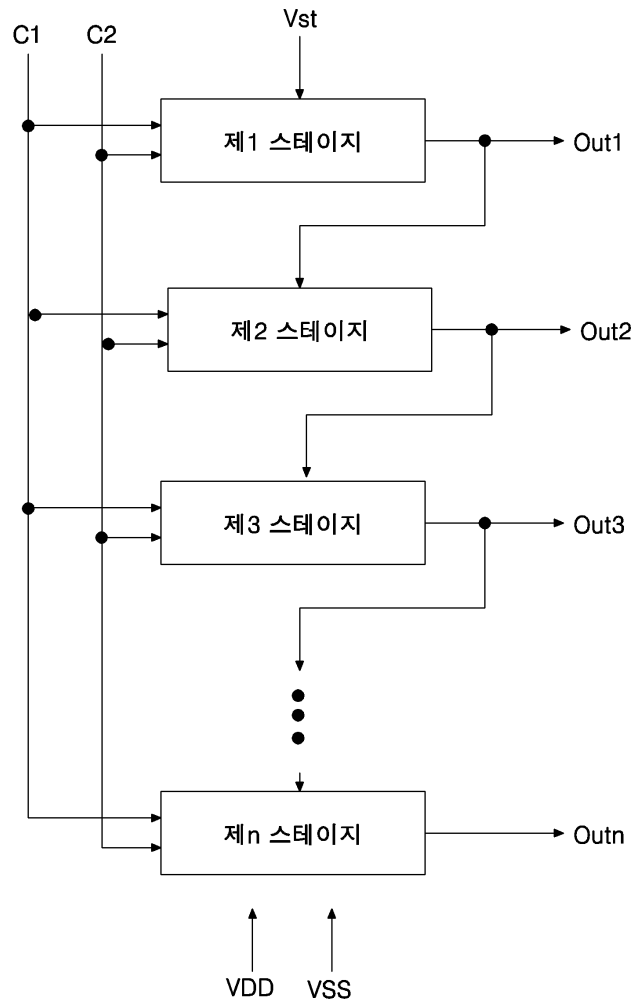
[0005] 도 5는 도 4에 도시된 스테이지의 구동 파형도.

[0006] 도 6은 본 발명의 실시 예에 따른 쉬프트 레지스터의 한 스테이지에 대한 상세 회로도.

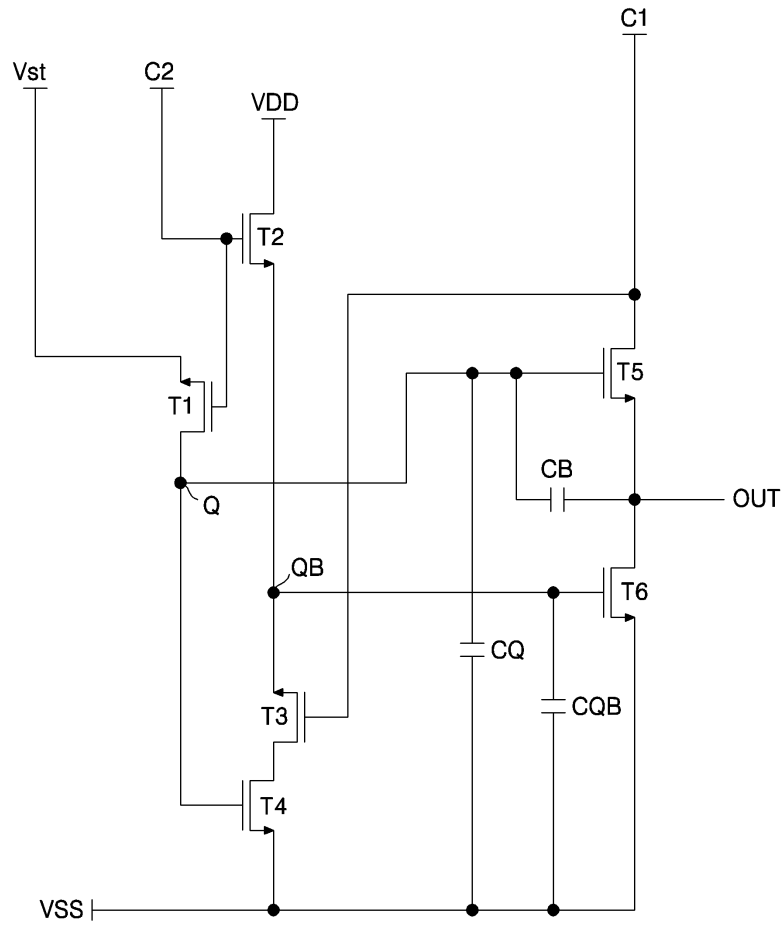
[0007] 도 7은 도 6에 도시된 스테이지의 구동 파형도.

도면

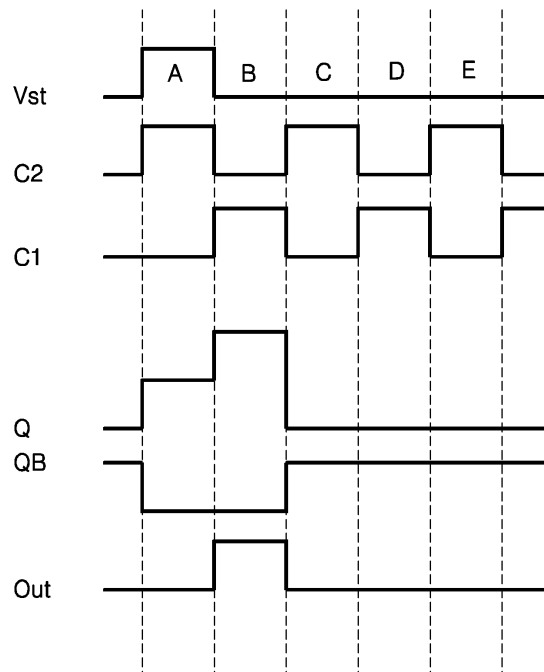
도면1



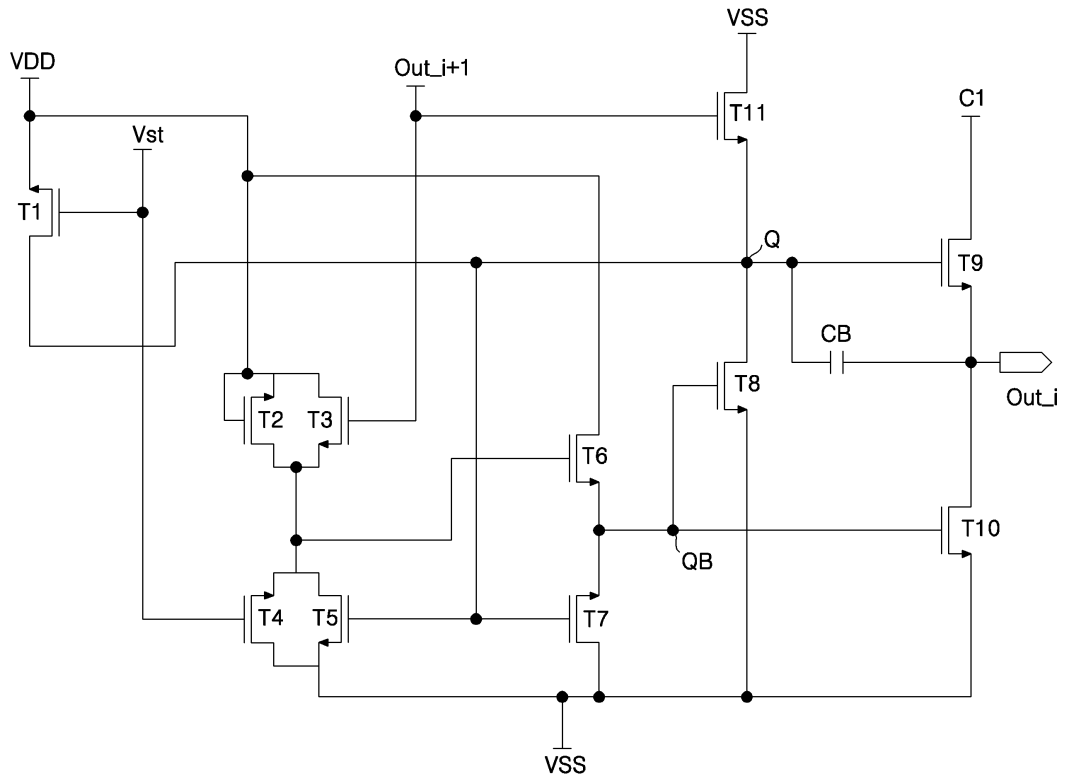
도면2



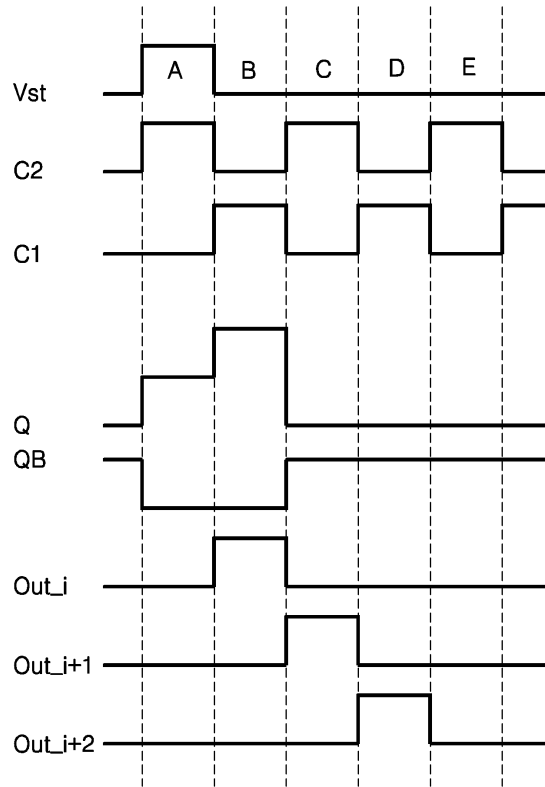
도면3



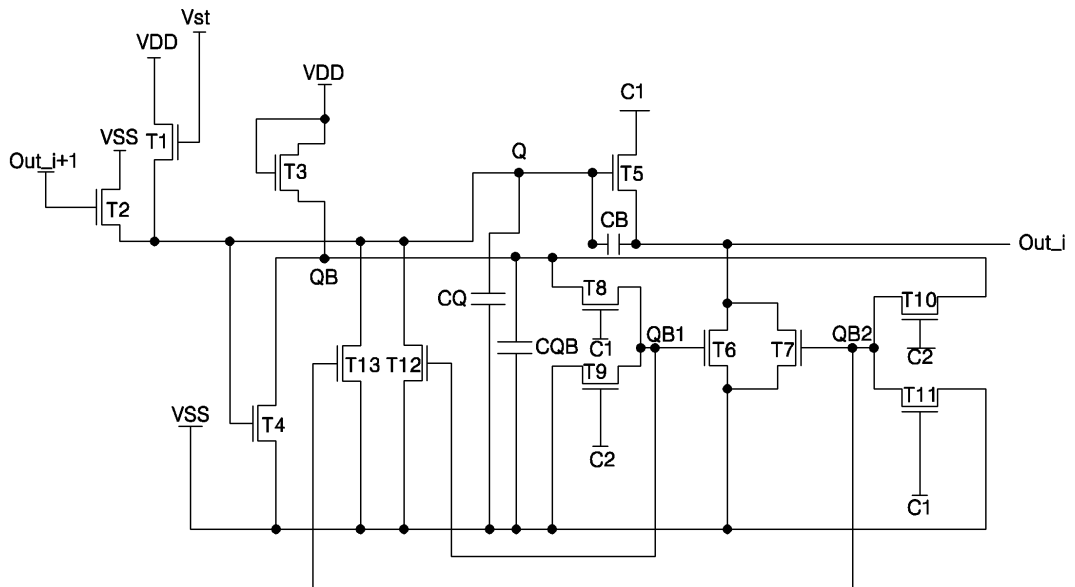
도면4



도면5



도면6





도면7

