(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7572421号
(P7572421)

(45)発行日　令和6年10月23日(2024.10.23)

(24)登録日　令和6年10月15日(2024.10.15)

(51)国際特許分類
Ｈ０２Ｍ　3/28　(2006.01)

ＦＩ
Ｈ０２Ｍ　3/28　Ｈ

請求項の数　10　（全18頁）

(21)出願番号　特願2022-503086(P2022-503086)
(86)(22)出願日　令和2年10月29日(2020.10.29)
(86)国際出願番号　PCT/JP2020/040618
(87)国際公開番号　WO2021/171700
(87)国際公開日　令和3年9月2日(2021.9.2)
審査請求日　令和5年5月10日(2023.5.10)
(31)優先権主張番号　特願2020-31188(P2020-31188)
(32)優先日　令和2年2月27日(2020.2.27)
(33)優先権主張国・地域又は機関
日本国(JP)

(73)特許権者　000116024
ローム株式会社
京都府京都市右京区西院溝崎町２１番地
(74)代理人　110001933
弁理士法人 佐野特許事務所
(72)発明者　佐藤 好則
京都府京都市右京区西院溝崎町２１番地
ローム株式会社内
(72)発明者　名手 智
京都府京都市右京区西院溝崎町２１番地
ローム株式会社内
審査官　清水 康

最終頁に続く

(54)【発明の名称】　電源制御装置、ＤＣ／ＤＣコンバータ、およびＡＣ／ＤＣコンバータ

(57)【特許請求の範囲】

【請求項１】

絶縁型のＤＣ／ＤＣコンバータに用いられる電源制御装置であって、

前記ＤＣ／ＤＣコンバータは、

１次巻線および２次巻線を有するトランスと、

前記１次巻線と接続されるスイッチングトランジスタと、

を有し、

前記電源制御装置は、

前記ＤＣ／ＤＣコンバータの出力電圧に基づいて生成されるフィードバック信号に応じたデューティを有するＰＷＭ制御の制御パルス信号を生成し、当該制御パルス信号に基づいて前記スイッチングトランジスタを駆動制御する制御パルス生成部と、

前記フィードバック信号を第１閾値または第２閾値と比較し、比較結果としてバーストイネーブル信号を生成するヒステリシスコンパレータとしてのバーストコンパレータと、

を有し、

前記制御パルス生成部は、前記バーストイネーブル信号のレベルに応じて前記スイッチングトランジスタの前記ＰＷＭ制御によるオンオフ駆動と、前記スイッチングトランジスタのオフ状態を維持することによる前記スイッチングトランジスタの駆動の停止とを切り替えることにより、前記スイッチングトランジスタのスイッチングを間欠的に行うバースト動作を行い、

前記電源制御装置は、

前記バースト動作において軽負荷を検出するとモードをノーマルモードから低電力モードに切り替えるモード設定部と、
前記低電力モードに切り替えられると、前記ＰＷＭ制御において前記スイッチングトランジスタのオン時間を最小限確保する最小オン時間を第１最小オン時間から当該第１最小オン時間より長い第２最小オン時間へ切り替える最小オン時間設定部と、
をさらに有する、電源制御装置。
【請求項２】
前記モード設定部は、前記スイッチングトランジスタの駆動を行うバースト解除期間における前記制御パルス信号のパルス数をカウントすることにより、前記軽負荷を検出する、請求項１に記載の電源制御装置。
【請求項３】
前記モードが前記低電力モードに切り替えられた後、前記モード設定部は、前記バースト解除期間における前記制御パルス信号のパルス数をカウントして当該パルス数が所定個数に達したときに、即座に前記モードを前記ノーマルモードへ切り替える、請求項２に記載の電源制御装置。
【請求項４】
前記モード設定部は、
前記パルス数をカウントし、前記バーストイネーブル信号に応じてリセット状態とリセット解除状態とが切り替えられる第１カウンタと、
前記第１カウンタの出力に基づく信号が印加されるクロック端子と、電源電圧が印加されるＤ端子と、前記バーストイネーブル信号が印加されるリセット端子と、を含む第１Ｄフリップフロップと、
前記第１ＤフリップフロップのＱ出力のレベルを反転させる第１インバータと、
前記バーストイネーブル信号のレベルを反転させる第２インバータと、
前記第１インバータの出力が印加されるＤ端子と、前記第２インバータの出力が印加されるクロック端子と、を含む第２Ｄフリップフロップと、
を有する、請求項２または請求項３に記載の電源制御装置。
【請求項５】
前記モード設定部は、
前記バーストイネーブル信号および前記第２ＤフリップフロップのＱ出力が入力されるＡＮＤ回路と、
前記パルス数をカウントし、前記ＡＮＤ回路の出力に応じてリセット状態とリセット解除状態とが切り替えられる第２カウンタと
前記第２カウンタの出力のレベルを反転させる第３インバータと、
前記第１カウンタの出力および前記第２カウンタの出力が入力されるＯＲ回路と、
をさらに有し、
前記ＯＲ回路の出力は、前記第１Ｄフリップフロップのクロック端子に印加され、
前記第３インバータの出力は、前記第２Ｄフリップフロップのリセット端子に印加される、請求項４に記載の電源制御装置。
【請求項６】
前記モード設定部は、前記スイッチングトランジスタの駆動を行うバースト解除期間と前記駆動が停止されるバースト有効期間とからなるバースト周期を測定することにより、前記軽負荷を検出する、請求項１に記載の電源制御装置。
【請求項７】
前記モードが前記低電力モードに切り替えられた後、前記モード設定部は、前記バースト解除期間の測定を開始し、測定された前記バースト解除期間が所定時間以上であった場合、前記モードを前記ノーマルモードへ切り替える、請求項６に記載の電源制御装置。
【請求項８】
前記ＤＣ／ＤＣコンバータの前段側において入力される交流電圧のレベルを検出する交流電圧検出部をさらに有し、

前記最小オン時間設定部は、検出された前記交流電圧のレベルに応じて前記最小オン時間を設定する、請求項１から請求項７のいずれか１項に記載の電源制御装置。
【請求項９】
トランスと、スイッチングトランジスタと、請求項１から請求項８のいずれか１項に記載の電源制御装置と、を有する、フライバック方式のＤＣ／ＤＣコンバータ。
【請求項１０】
交流電圧が入力されるダイオードブリッジと、前記ダイオードブリッジの後段に配置されるコンデンサと、請求項９に記載のＤＣ／ＤＣコンバータと、を有する、ＡＣ／ＤＣコンバータ。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、絶縁型のＤＣ／ＤＣコンバータ用の電源制御装置に関する。
【背景技術】
【０００２】
従来、ＡＣ／ＤＣコンバータなどに利用される電源回路として、フライバック方式のＤＣ／ＤＣコンバータが用いられる場合がある。フライバックコンバータ（フライバック方式のＤＣ／ＤＣコンバータ）は、絶縁型のＤＣ／ＤＣコンバータである。
【０００３】
このようなフライバックコンバータの一例が特許文献１に開示されている。特許文献１のフライバックコンバータには、軽負荷状態において、スイッチング損失に起因する効率低下を抑制するために、間欠モード（バーストモード）で動作する機能が備えられる。
【先行技術文献】
【特許文献】
【０００４】
特許文献１　特開２０１９－６８６８４号公報
【発明の概要】
【発明が解決しようとする課題】
【０００５】
ここで、現状、上記のようなフライバックコンバータには、間欠モードでの動作時における一層の効率向上が要望されている。
【０００６】
上記状況に鑑み、本発明は、軽負荷時の効率向上を図ることが可能となる電源制御装置を提供することを目的とする。
【課題を解決するための手段】
【０００７】
本発明の一態様は、絶縁型のＤＣ／ＤＣコンバータに用いられる電源制御装置であって、
前記ＤＣ／ＤＣコンバータは、
１次巻線および２次巻線を有するトランスと、
前記１次巻線と接続されるスイッチングトランジスタと、
を有し、
前記電源制御装置は、
前記ＤＣ／ＤＣコンバータの出力電圧に基づいて生成されるフィードバック信号に応じたデューティを有する制御パルス信号を生成し、当該制御パルス信号に基づいて前記スイッチングトランジスタを駆動制御する制御パルス生成部と、
前記フィードバック信号を閾値と比較し、比較結果としてバーストイネーブル信号を生成するバーストコンパレータと、
を有し、
前記制御パルス生成部は、前記バーストイネーブル信号のレベルに応じて前記スイッチングトランジスタの駆動と、当該駆動の停止とを切り替えることにより、前記スイッチン

グトランジスタのスイッチングを間欠的に行うバースト動作を行い、
前記電源制御装置は、
前記バースト動作において軽負荷を検出するとモードをノーマルモードから低電力モードに切り替えるモード設定部と、
前記低電力モードに切り替えられると、前記スイッチングトランジスタの最小オン時間を第１最小オン時間から当該第１最小オン時間より長い第２最小オン時間へ切り替える最小オン時間設定部と、
をさらに有する構成としている（第１の構成）。

【０００８】

また、上記第１の構成において、前記モード設定部は、前記スイッチングトランジスタの駆動を行うバースト解除期間における前記制御パルス信号のパルス数をカウントすることにより、前記軽負荷を検出する構成としてもよい（第２の構成）。

【０００９】

また、上記第２の構成において、前記モードが前記低電力モードに切り替えられた後、前記モード設定部は、前記バースト解除期間における前記制御パルス信号のパルス数をカウントして当該パルス数が所定個数に達したときに、即座に前記モードを前記ノーマルモードへ切り替える構成としてもよい（第３の構成）。

【００１０】

また、上記第２または第３の構成において、前記モード設定部は、
前記パルス数をカウントし、前記バーストイネーブル信号に応じてリセット状態とリセット解除状態とが切り替えられる第１カウンタと、
前記第１カウンタの出力に基づく信号が印加されるクロック端子と、電源電圧が印加されるＤ端子と、前記バーストイネーブル信号が印加されるリセット端子と、を含む第１Ｄフリップフロップと、
前記第１ＤフリップフロップのＱ出力のレベルを反転させる第１インバータと、
前記バーストイネーブル信号のレベルを反転させる第２インバータと、
前記第１インバータの出力が印加されるＤ端子と、前記第２インバータの出力が印加されるクロック端子と、を含む第２Ｄフリップフロップと、
を有する構成としてもよい（第４の構成）。

【００１１】

また、上記第４の構成において、前記モード設定部は、
前記バーストイネーブル信号および前記第２ＤフリップフロップのＱ出力が入力されるＡＮＤ回路と、
前記パルス数をカウントし、前記ＡＮＤ回路の出力に応じてリセット状態とリセット解除状態とが切り替えられる第２カウンタと、
前記第２カウンタの出力のレベルを反転させる第３インバータと、
前記第１カウンタの出力および前記第２カウンタの出力が入力されるＯＲ回路と、
をさらに有し、
前記ＯＲ回路の出力は、前記第１Ｄフリップフロップのクロック端子に印加され、
前記第３インバータの出力は、前記第２Ｄフリップフロップのリセット端子に印加される構成としてもよい（第５の構成）。

【００１２】

また、上記第１の構成において、前記モード設定部は、前記スイッチングトランジスタの駆動を行うバースト解除期間と前記駆動が停止されるバースト有効期間とからなるバースト周期を測定することにより、前記軽負荷を検出する構成としてもよい（第６の構成）。

【００１３】

また、上記第６の構成において、前記モードが前記低電力モードに切り替えられた後、前記モード設定部は、前記バースト解除期間の測定を開始し、測定された前記バースト解除期間が所定時間以上であった場合、前記モードを前記ノーマルモードへ切り替える構成としてもよい（第７の構成）。

【００１４】
　また、上記第１から第７のいずれかの構成において、前記ＤＣ／ＤＣコンバータの前段側において入力される交流電圧のレベルを検出する交流電圧検出部をさらに有し、前記最小オン時間設定部は、検出された前記交流電圧のレベルに応じて前記最小オン時間を設定する構成としてもよい（第８の構成）。
【００１５】
　また、本発明の別態様は、トランスと、スイッチングトランジスタと、上記第１から第８のいずれかの構成とした電源制御装置と、を有する、フライバック方式のＤＣ／ＤＣコンバータとしている（第９の構成）。
【００１６】
　また、本発明の別態様は、交流電圧が入力されるダイオードブリッジと、前記ダイオードブリッジの後段に配置されるコンデンサと、上記第９の構成のＤＣ／ＤＣコンバータと、を有する、ＡＣ／ＤＣコンバータとしている。
【発明の効果】
【００１７】
　本発明の電源制御装置によれば、軽負荷時の効率向上を図ることが可能となる。
【図面の簡単な説明】
【００１８】
【図１】本発明の例示的な実施形態に係るＡＣ／ＤＣコンバータの構成を示す図である。
【図２】電源制御装置の内部構成例を示す図である。
【図３】モード設定部の動作の流れを示すフローチャートである。
【図４】モード設定部の一構成例を示す回路図である。
【図５】図４に示すモード設定部の動作例を示すタイミングチャートである。
【図６】一変形例に係るモード設定部の構成を示すブロック図である。
【図７】図６に示すモード設定部における動作の流れを示すフローチャートである。
【発明を実施するための形態】
【００１９】
　以下に、本発明の例示的な実施形態について、図面を参照して説明する。
【００２０】
＜ＡＣ／ＤＣコンバータの構成＞
　図１は、本発明の例示的な実施形態に係るＡＣ／ＤＣコンバータ１００の構成を示す図である。ＡＣ／ＤＣコンバータ１００は、大きく分けて、入力段を構成するダイオードブリッジ２５、コンデンサＣ１、ダイオードＤ１，Ｄ２、および抵抗Ｒ１と、上記入力段の後段に配置されるフライバックコンバータ１００Ａと、を有している。
【００２１】
　ダイオードブリッジ２５は、入力端子Ｐ１に印加される交流電圧Ｖａｃを全波整流して、整流後の電圧を出力する。コンデンサＣ１は、ダイオードブリッジ２５から出力される電圧を平滑化して直流電圧である入力電圧Ｖｉｎを生成する。
【００２２】
　フライバックコンバータ１００Ａは、フライバック方式のＤＣ／ＤＣコンバータであり、絶縁型のスイッチング電源回路である。フライバックコンバータ１００Ａは、入力電圧Ｖｉｎを目標電圧に安定化された直流の出力電圧Ｖｏｕｔに変換し、出力電圧Ｖｏｕｔを出力端子Ｐ２に接続される負荷（不図示）に供給する。
【００２３】
　フライバックコンバータ１００Ａは、トランスＴ１と、ダイオードＤ３，Ｄ４と、平滑コンデンサＣ２と、出力コンデンサＣ３と、分圧抵抗Ｒ１１，Ｒ１２と、抵抗Ｒ２１，Ｒ２２と、フォトカプラ３０と、シャントレギュレータ３５と、電源制御装置１と、を有している。また、フライバックコンバータ１００Ａは、電源制御装置１に外付けされる検出抵抗Ｒｃｓおよび設定抵抗Ｒｓｅｔも有する。
【００２４】

電源制御装置１は、１次側コントローラとしてのＩＣであり、スイッチングトランジスタＭを内蔵している。なお、スイッチングトランジスタは、ＩＣに対して外付けであってもよい。また、電源制御装置１は、外部との電気的な接続を確立するために、ＶＨ端子、ＶＣＣ端子、ＤＲＡＩＮ端子、ＳＯＵＲＣＥ端子、ＦＢ端子、ＯＦＦ端子、およびＧＮＤ端子である各外部端子を有する。

【００２５】

トランスＴ１は、１次巻線Ｗ１と、２次巻線Ｗ３と、を有する。１次巻線Ｗ１の一端は、入力電圧Ｖｉｎの印加端に接続される。１次巻線Ｗ１の他端は、ＤＲＡＩＮ端子を介して、ＮＭＯＳトランジスタで構成されるスイッチングトランジスタＭのドレインに接続される。スイッチングトランジスタＭのソースは、ＳＯＵＲＣＥ端子を介してＩＣ外部の検出抵抗Ｒｃｓの一端に接続される。検出抵抗Ｒｃｓの他端は、接地端に接続される。検出抵抗Ｒｃｓは、スイッチングトランジスタＭに流れる電流Ｉｄを検出するための素子である。

【００２６】

ダイオードＤ４のアノードは、２次巻線Ｗ２の一端に接続される。ダイオードＤ４のカソードは、コンデンサＣ３の一端に接続される。ダイオードＤ４および出力コンデンサＣ３は、２次巻線Ｗ２に流れる電流を整流平滑し、出力電圧Ｖｏｕｔを生成する。

【００２７】

フライバックコンバータ１００Ａの動作としては、まずスイッチングトランジスタＭがオン状態とされると、１次巻線Ｗ１に電流Ｉｄが流れることにより磁束が発生し、トランスＴ１にエネルギーが蓄えられる。このとき、２次側のダイオードＤ４は、オフ状態である。その後、スイッチングトランジスタＭがオフ状態とされると、トランスＴ１に蓄えられたエネルギーが開放され、オン状態となったダイオードＤ４を介して電流が流れる。

【００２８】

フライバックコンバータ１００Ａは、フィードバック回路ＦＢＣを有する。フィードバック回路ＦＢＣは、分圧抵抗Ｒ１１，Ｒ１２と、抵抗Ｒ２１，Ｒ２２と、フォトカプラ３０と、シャントレギュレータ３５と、を有する。

【００２９】

出力電圧Ｖｏｕｔは、分圧抵抗Ｒ１１，Ｒ１２により分圧されて分圧電圧Ｖｏｕｔｓとされ、シャントレギュレータ３５に印加される。シャントレギュレータ３５は、印加される分圧電圧Ｖｏｕｔｓと所定の目標電圧との誤差に応じた電流Ｉｅｒｒを生成し、電流Ｉｅｒｒによりフォトカプラ３０の発光素子３０１を駆動する。発光素子３０１は、抵抗Ｒ２１，Ｒ２２によってバイアスされる。フォトカプラ３０の受光素子３０２には、上記誤差に応じたフィードバック電流Ｉｆｂが流れる。ＦＢ端子には、フィードバック電流Ｉｆｂに応じたフィードバック信号（電圧信号）Ｖｆｂが発生する。電源制御装置１は、フィードバック信号Ｖｆｂに基づいてデューティを調整した制御パルス信号を生成するＰＷＭ動作を行い、制御パルス信号に基づいてスイッチングトランジスタＭをオンオフ駆動する。

【００３０】

トランスＴ１の１次側には、補助巻線Ｗ３が設けられる。ダイオードＤ３および平滑コンデンサＣ２は、補助巻線Ｗ３に流れる電流を整流平滑して、１次側の電源電圧Ｖｃｃを生成する。電源電圧Ｖｃｃは、電源制御装置１のＶＣＣ端子に供給される。

【００３１】

ダイオードＤ１のアノードは、一方の入力端子Ｐ１に接続され、ダイオードＤ２のアノードは、他方の入力端子Ｐ１に接続される。ダイオードＤ１，Ｄ２のカソードは、抵抗Ｒ１の一端に共通接続される。抵抗Ｒ１の他端は、ＶＨ端子に接続される。

【００３２】

交流電圧Ｖａｃの印加開始時に、ダイオードＤ１，Ｄ２および抵抗Ｒ１により、ＶＨ端子にハイ電圧Ｖｈが印加される。ハイ電圧Ｖｈは、起動時における平滑コンデンサＣ２の充電に用いられる。

【００３３】

設定抵抗Ｒｓｅｔの一端は、ＯＦＦ端子に接続される。設定抵抗Ｒｓｅｔは、後述するスイッチングにおける最小オン時間の設定に用いられる。

【００３４】

＜電源制御装置の構成＞

次に、電源制御装置１の構成について、より詳細に説明する。図２は、電源制御装置１の内部構成例を示す図である。

【００３５】

図２に示すように、電源制御装置１は、起動回路２と、交流電圧検出部３と、プルアップ抵抗４と、最小オン時間設定部５と、プルアップ抵抗６と、モード設定部７と、最小オン時間カウンタ８と、バーストコンパレータ９と、制御パルス生成部１０と、ドライバ１１と、ＯＣＰ（過電流保護）コンパレータ１２と、スイッチングトランジスタＭと、を１つのチップに集積化して有する。

【００３６】

交流電圧Ｖａｃの印加開始時には、ＶＨ端子にハイ電圧Ｖｈが印加される。このとき、起動回路２を介してＶＣＣ端子に電流を流し、平滑コンデンサＣ２を充電する。電源電圧Ｖｃｃが上昇してＶＣＣ_ＵＶＬＯが解除されると、充電が停止される。

【００３７】

交流電圧検出部３は、ハイ電圧Ｖｈのピーク電圧を検出することにより、交流電圧Ｖａｃのレベル（例えばＡＣ１００Ｖ、ＡＣ２３０Ｖなど）を検出する。検出されたピーク電圧は、最小オン時間設定部５における最小オン時間の設定に用いられる。

【００３８】

プルアップ抵抗４の一端には、内部電源電圧Ｒｅｇが印加される。内部電源電圧Ｒｅｇは、電源制御装置１における内部電源電圧生成部（不図示）により電源電圧Ｖｃｃに基づき生成される。プルアップ抵抗４の他端は、ＯＦＦ端子を介して設定抵抗Ｒｓｅｔの一端に接続される。設定抵抗Ｒｓｅｔの他端は、接地端に接続される。

【００３９】

最小オン時間設定部５は、交流電圧検出部３による検出結果に基づき、第１最小オン時間Ｔｍｉｎ１を設定する。また、最小オン時間設定部５は、設定抵抗Ｒｓｅｔの抵抗値（オープン状態も含む）と、交流電圧検出部３による検出結果に基づき、第２最小オン時間Ｔｍｉｎ２を設定する。なお、第２最小オン時間Ｔｍｉｎ２は、第１最小オン時間Ｔｍｉｎ１よりも長い。後述のように、第１最小オン時間Ｔｍｉｎ１は、ノーマルモードで使用される設定値であり、第２最小オン時間Ｔｍｉｎ２は、低電力モードで使用される設定値である。

【００４０】

プルアップ抵抗６の一端には、内部電源電圧Ｒｅｇが印加される。プルアップ抵抗６の他端は、ＦＢ端子を介して受光素子３０２に接続される。受光素子３０２に流れるフィードバック電流Ｉｆｂにより、ＦＢ端子には、次式で示されるフィードバック信号Ｖｆｂが生成される。

Ｖｆｂ＝Ｒｅｇ－Ｒ・Ｉｆｂ（ただし、Ｒはプルアップ抵抗６の抵抗値）

【００４１】

バーストコンパレータ９の非反転入力端（＋）には、フィードバック信号Ｖｆｂが印加される。バーストコンパレータ９の反転入力端（－）には、バースト閾値電圧Ｖｂｓｔ１，Ｖｂｓｔ２が印加される。バーストコンパレータ９は、フィードバック信号Ｖｆｂとバースト閾値電圧Ｖｂｓｔ１，Ｖｂｓｔ２とを比較し、比較結果としてバーストイネーブル信号ＢＳＴＥＮを出力する。バーストコンパレータ９は、ヒステリシスコンパレータであり、バースト閾値電圧Ｖｂｓｔ２＞Ｖｂｓｔ１である。

【００４２】

フィードバック信号Ｖｆｂがバースト閾値電圧Ｖｂｓｔ２を上向きに超えてから、バースト閾値電圧Ｖｂｓｔ１を下向きに超えない場合、バーストイネーブル信号ＢＳＴＥＮはハイレベルとなり、バースト解除状態を表す。フィードバック信号Ｖｆｂがバースト閾値

電圧Ｖｂｓｔ１を下向きに超えてから、バースト閾値電圧Ｖｂｓｔ２を上向きに超えない場合、バーストイネーブル信号ＢＳＴＥＮはローレベルとなり、バースト有効状態を表す。

【００４３】

ＳＯＵＲＣＥ端子には、スイッチングトランジスタＭに流れる電流Ｉｄを検出抵抗Ｒｃｓにより電流・電圧変換して得られる電流検出信号Ｖｃｓが生成される。

【００４４】

制御パルス生成部１０は、ＰＷＭコンパレータ１０１と、ＡＮＤ回路１０２と、ＯＲ回路１０３と、ＯＲ回路１０４と、ＡＮＤ回路１０５と、フリップフロップ１０６と、を有する。

【００４５】

ＰＷＭコンパレータ１０１の非反転入力端（＋）には、電流検出信号Ｖｃｓが印加される。ＰＷＭコンパレータ１０１の反転入力端（－）には、フィードバック信号Ｖｆｂが印加される。ＰＷＭコンパレータ１０１は、電流検出信号Ｖｃｓとフィードバック信号Ｖｆｂとを比較し、比較結果をＡＮＤ回路１０２の第１入力端に出力する。

【００４６】

最小オン時間カウンタ８は、最小オン時間設定部５により設定された最小オン時間をカウントする。ＡＮＤ回路１０２の第２入力端には、最小オン時間カウンタ８から出力されるカウント出力ＭｉｎＯｎが入力される。ＯＲ回路１０３の第１入力端には、ＡＮＤ回路１０２の出力が入力される。

【００４７】

ＯＣＰコンパレータ１２の非反転入力端（＋）には、電流検出信号Ｖｃｓが印加される。ＯＣＰコンパレータ１２の反転入力端（－）には、基準電圧Ｏｃｐｒｅｆが印加される。ＯＣＰコンパレータ１２は、電流検出信号Ｖｃｓと基準電圧Ｏｃｐｒｅｆとを比較し、比較結果としてＯＣＰ信号Ｏｃｐを出力する。ＯＣＰ信号Ｏｃｐは、ＯＲ回路１０３の第２入力端に印加される。

【００４８】

ＯＲ回路１０３の出力は、ＯＲ回路１０４の第１入力端に印加される。ＯＲ回路１０４の第２入力端には、バーストイネーブル信号ＢＳＴＥＮがレベル反転されて印加される。ＯＲ回路１０４の出力は、フリップフロップ１０６のリセット端子（Ｒ）に印加される。

【００４９】

ＡＮＤ回路１０５の第１入力端には、発振信号Ｏｓが印加される。発振信号Ｏｓは、所定周波数のパルス信号である。当該所定周波数は、スイッチングトランジスタＭのスイッチング周波数を規定する。

【００５０】

ＡＮＤ回路１０５の第２入力端には、バーストイネーブル信号ＢＳＴＥＮが印加される。ＡＮＤ回路１０５の出力は、フリップフロップ１０６のセット端子（Ｓ）に印加される。フリップフロップ１０６のＱ出力端子より、制御パルス信号ＯＵＴが出力される。ドライバ１１は、制御パルス信号ＯＵＴに基づきゲート信号ＧｔをスイッチングトランジスタＭのゲートに印加させる。制御パルス信号ＯＵＴがハイレベルの場合、ゲート信号Ｇｔがハイレベルとなり、スイッチングトランジスタＭはオン状態となる。制御パルス信号ＯＵＴがローレベルの場合、ゲート信号Ｇｔがローレベルとなり、スイッチングトランジスタＭはオフ状態となる。

【００５１】

ここで、制御パルス生成部１０の動作について述べる。ここで、バーストイネーブル信号ＢＳＴＥＮがハイレベル（バースト解除状態）であるとする。このとき、発振信号Ｏｓがハイレベルに立ち上がると、フリップフロップ１０６がセットされ、制御パルス信号ＯＵＴがハイレベルに立ち上がる。これにより、最小オン時間カウンタ８は、リセットされて、カウンタ出力ＭｉｎＯｎはローレベルに立ち下がる。このとき、ドライバ１１により、ゲート信号Ｇｔはハイレベルとされ、スイッチングトランジスタＭはターンオンされてオン状態となる。

【００５２】
　すると、スイッチングトランジスタＭを電流Ｉｄが流れ始め、電流検出信号Ｖｃｓは０Ｖから上昇を開始する。そして、電流検出信号Ｖｃｓがフィードバック信号Ｖｆｂを上回ると、ＰＷＭコンパレータ１０１の出力がハイレベルに切り替わる。ここで、最小オン時間カウンタ８は、リセットにより最小オン時間のカウントを開始し、カウントを完了すると、カウンタ出力ＭｉｎＯｎをハイレベルに立ち上げる。もし、ＰＷＭコンパレータ１０１の出力がハイレベルに切り替わった時点で、カウンタ出力ＭｉｎＯｎが未だローレベルである場合は、その後にカウンタ出力ＭｉｎＯｎがハイレベルに立ち上がった時点でＡＮＤ回路１０２の出力はハイレベルに切り替わる。これにより、スイッチングトランジスタＭのオン時間は、最小オン時間以上に確保される。
【００５３】
　ＯＲ回路１０３は、ＯＣＰ信号ＯｃｐとＡＮＤ回路１０２の出力とのいずれかがハイレベルに切り替わった時点で、ハイレベルを出力する。ＯＲ回路１０３の出力がハイレベルに切り替われば、ＯＲ回路１０４の出力がハイレベルに切り替わるので、フリップフロップ１０６はリセットされ、制御パルス信号ＯＵＴはローレベルに立ち下がる。これにより、ドライバ１１により、ゲート信号Ｇｔはローレベルとされ、スイッチングトランジスタＭはターンオフされてオフ状態となる。
【００５４】
　その後、発振信号Ｏｓがハイレベルに立ち上がれば、再びフリップフロップ１０６がセットされ、制御パルス信号ＯＵＴがハイレベルに立ち上がる。
【００５５】
　すなわち、バーストイネーブル信号ＢＳＴＥＮがハイレベル（バースト解除状態）である場合、ＰＷＭコンパレータ１０１によるＰＷＭ制御により、デューティを調整された制御パルス信号ＯＵＴが生成され、スイッチングトランジスタＭはオンオフ駆動される。
【００５６】
　一方、バーストイネーブル信号ＢＳＴＥＮがローレベル（バースト有効状態）である場合、ＡＮＤ回路１０５の出力は発振信号Ｏｓに依らずにローレベルとなり、ＯＲ回路１０４の出力はＯＲ回路１０３の出力に依らずにハイレベルとなり、フリップフロップ１０６はリセット状態を維持され、制御パルス信号ＯＵＴはローレベルを維持される。これにより、ゲート信号Ｇｔはローレベルを維持されるので、スイッチングトランジスタＭはオフ状態を維持され、スイッチングが停止される。
【００５７】
　ここで、フライバックコンバータ１００Ａの負荷が軽負荷の場合、スイッチングトランジスタＭのスイッチングが行われるバースト解除状態と、スイッチングトランジスタＭのスイッチングが停止されるバースト有効状態とが繰り返す状態となり、バーストモード（間欠モード）での動作となる。これにより、軽負荷時のスイッチング損失による効率低下を抑制できる。
【００５８】
　また、モード設定部７は、バーストイネーブル信号ＢＳＴＥＮと制御パルス信号ＯＵＴとに基づき、ノーマルモード、低電力モードのいずれかのモードを設定する回路である。最小オン時間設定部５は、モード設定部７により設定されるモードに応じて、最小オン時間カウンタ８のカウントする最小オン時間として第１最小オン時間Ｔｍｉｎ１と第２最小オン時間Ｔｍｉｎ２を切り替える。
【００５９】
＜モード設定について＞
　次に、モード設定部７について詳細に述べる。図３は、モード設定部７の動作の流れを示すフローチャートである。
【００６０】
　ステップＳ１でモードがノーマルモードに設定された状態で、バースト解除状態により制御パルス信号ＯＵＴが生成される状態で、ステップＳ２にてモード設定部７は、制御パ

ルス信号ＯＵＴのパルス数をカウントする。このとき、スイッチングトランジスタＭの最小オン時間は、第１最小オン時間Ｔｍｉｎ１に設定されている。

【００６１】

バースト解除状態の期間においてカウントされたパルス数が３個（第１所定個数の一例）より多い場合（すなわち４個に達した場合）、ステップＳ１に戻り、モード設定部７は、モードをノーマルモードに設定する。一方、カウントされたパルス数が３個以下であった場合（すなわち４個に達しなかった場合）、軽負荷が検出されたと判断し、ステップＳ３にて、モード設定部７は、モードを低電力モードに設定する。この場合、最小オン時間設定部５は、最小オン時間カウンタ８によりカウントされる最小オン時間として、第２最小オン時間Ｔｍｉｎ２を設定する。

【００６２】

これにより、バースト有効状態となった後の再度のバースト解除状態で制御パルス信号ＯＵＴが生成される場合、スイッチングトランジスタＭは、最小オン時間を第２最小オン時間Ｔｍｉｎ２としてスイッチングされる。

【００６３】

低電力モード時に最小オン時間が第１最小オン時間Ｔｍｉｎ１よりも長い第２最小オン時間Ｔｍｉｎ２に設定されるので、スイッチングによる電力量が増加し、バースト解除状態の期間（バースト解除期間）とバースト有効状態の期間（バースト有効期間）とからなる単位期間であるバースト周期（後述の図５のＴｂｓｔ参照）が長くなり、所定期間におけるスイッチング回数を減少させ、スイッチング損失を低減させることができる。これにより、低消費電力の待機状態での効率を向上させることができる。また、バースト周期が長くなることで、バースト周期による周波数を可聴帯域から低く外すことができる。

【００６４】

ステップＳ４で、モード設定部７は、バースト解除期間における制御パルス信号ＯＵＴのパルス数をカウントする。カウントされたパルス数が１個の場合（すなわち２個に達しなかった場合）、ステップＳ３に戻り、モード設定部７は、モードを低電力モードに設定する。

【００６５】

一方、カウントされたパルス数が２個以上の場合（すなわち２個に達した場合）、ステップＳ１に戻り、モード設定部７は、モードをノーマルモードに設定する。このとき、カウントされたパルス数が２個に達した段階で即座にモードはノーマルモードにリセットされる。これにより、負荷が急峻に重負荷とされた場合などにノーマルモードに即座にリセットさせることができる。

【００６６】

図４は、モード設定部７の一構成例を示す回路図である。図４に示すモード設定部７は、制御パルス信号ＯＵＴをカウントする第１カウンタ７０と、制御パルス信号ＯＵＴをカウントする第２カウンタ７１と、ＯＲ回路７２と、Ｄフリップフロップ７３と、インバータ７４と、Ｄフロップフロップ７５と、ＡＮＤ回路７６と、インバータ７７と、インバータ７８と、インバータ７９と、を有している。

【００６７】

第１カウンタ７０は、ＤフリップフロップＦＦ１～ＦＦ４から構成される。前段側から後段側へかけてＤフリップフロップＦＦ１～ＦＦ４が順に配置される。ＤフリップフロップＦＦ１～ＦＦ４の各クロック端子には、制御パルス信号ＯＵＴが印加される。ＤフリップフロップＦＦ１のＤ端子には、電源電圧ＶＣＬＤが印加される。ＤフリップフロップＦＦ１～ＦＦ４においては、隣接する前段のＱ端子が隣接する後段のＤ端子と接続される。ＤフリップフロップＦＦ１～ＦＦ４の各リセット端子には、バーストイネーブル信号ＢＳＴＥＮが印加される。

【００６８】

これにより、ＤフリップフロップＦＦ１～ＦＦ４がリセット解除されると、制御パルス信号ＯＵＴのカウントが開始され、４個の制御パルス信号ＯＵＴをカウントした時点でＤ

フリップフロップＦＦ４のＱ端子からハイレベルに切り替わった信号が出力される。
【００６９】
第２カウンタ７１は、ＤフリップフロップＦＦ１１、Ｆ１２から構成される。前段側から後段側へかけてＤフリップフロップＦＦ１１、ＦＦ１２が順に配置される。ＤフリップフロップＦＦ１１、ＦＦ１２の各クロック端子には、制御パルス信号ＯＵＴが印加される。ＤフリップフロップＦＦ１１のＤ端子には、電源電圧ＶＣＬＤが印加される。ＤフリップフロップＦＦ１１１のＱ端子は、ＤフリップフロップＦＦ１２のＤ端子と接続される。ＤフリップフロップＦＦ１１、ＦＦ１２の各リセット端子には、ＡＮＤ回路７６の出力が印加される。
【００７０】
これにより、ＤフリップフロップＦＦ１１、ＦＦ１２がリセット解除されると、制御パルス信号ＯＵＴのカウントが開始され、２個の制御パルス信号ＯＵＴをカウントした時点でＤフリップフロップＦＦ１２のＱ端子からハイレベルに切り替わった信号が出力される。
【００７１】
ＯＲ回路７２の第１入力端には、ＤフリップフロップＦＦ４のＱ端子からの出力が印加される。ＯＲ回路７２の第２入力端には、ＤフリップフロップＦＦ１２のＱ端子からの出力が印加される。
【００７２】
ＯＲ回路７２の出力は、Ｄフリップフロップ７３のクロック端子に印加される。Ｄフリップフロップ７３のＤ端子には、電源電圧ＶＣＬＤが印加される。Ｄフリップフロップ７３のリセット端子には、バーストイネーブル信号ＢＳＴＥＮが印加される。
【００７３】
Ｄフリップフロップ７３のＱ端子からの出力は、インバータ７４に入力される。インバータ７４の出力は、Ｄフリップフロップ７５のＤ端子に入力される。Ｄフリップフロップ７５のクロック端子には、バーストイネーブル信号ＢＳＴＥＮがインバータ７８を介して印加される。
【００７４】
Ｄフリップフロップ７５のリセット端子には、ＤフリップフロップＦＦ１２のＱ端子からの出力がインバータ７７を介して印加される。Ｄフリップフロップ７５のＱ端子からの出力は、低電力モード信号ＬＯＷＰＷＲとなり、ＡＮＤ回路７６の第１入力端に印加される。ＡＮＤ回路７６の第２入力端には、バーストイネーブル信号ＢＳＴＥＮが印加される。また、Ｄフリップフロップ７５のＱ端子からの出力をインバータ７９によりレベル反転させた信号は、ノーマルモード信号ＮＯＲＭＡＬとなる。
【００７５】
最小オン時間設定部５（図２）には、ノーマルモード信号ＮＯＲＭＡＬを出力させてもよいし、低電力モード信号ＬＯＷＰＷＲを出力させてもよい。いずれにせよ、最小オン時間設定部５に設定モードを通知することができる。
【００７６】
図５は、図４に示すモード設定部７の動作例を示すタイミングチャートである。なお、図５においては、上段から順に、フィードバック信号Ｖｆｂ、制御パルス信号ＯＵＴ、ノーマルモード信号ＮＯＲＭＡＬ、低電力モード信号ＬＯＷＰＷＲ、バーストイネーブル信号ＢＳＴＥＮ、ＯＲ回路７２の出力ＯＲ、インバータ７４の出力Ａ、インバータ７８の出力Ｂ、ＡＮＤ回路７６の出力ＡＮＤ、およびインバータ７７の出力Ｃの各波形を示す。また、フィードバック信号Ｖｆｂと併せて、バースト閾値電圧Ｖｂｓｔ１，Ｖｂｓｔ２を示す。
【００７７】
図５に示すタイミングｔ０で、フィードバック信号Ｖｆｂはバースト閾値電圧Ｖｂｓｔ２よりも高く、バーストイネーブル信号ＢＳＴＥＮはハイレベルである（バースト解除状態）。これにより、第１カウンタ７０およびＤフリップフロップ７３は、リセット解除状態である。また、ノーマルモード信号ＮＯＲＭＡＬはハイレベル、すなわち低電力モード

信号ＬＯＷＰＷＲがローレベルであり、設定されたモードはノーマルモードである。また、ＡＮＤ回路７６の出力はローレベルであるので、第２カウンタ７１がリセット状態であり、出力Ｃはハイレベルである。これにより、Ｄフリップフロップ７５は、リセット解除状態である。

【００７８】

バースト解除状態において制御パルス信号ＯＵＴが生成され、タイミングｔ１にて、カウンタ７０は、４個の制御パルス信号ＯＵＴをカウントするので、ハイレベルに切り替えた信号を出力し、出力ＯＲがハイレベルに立ち上がる。これにより、出力Ａがローレベルに立ち下がる。

【００７９】

その後、タイミングｔ２にて、フィードバック信号Ｖｆｂがバースト閾値電圧Ｖｂｓｔ１を下回り、バーストイネーブル信号ＢＳＴＥＮがローレベルに立ち下がる。これにより、カウンタ７０，７１およびＤフリップフロップ７３はリセット状態とされ、出力ＯＲはローレベルに切り替わり、出力Ａはハイレベルに切り替わる。また、このとき、出力Ｂがハイレベルに立ち上がるので、これをトリガとしてＤフリップフロップ７５のＱ端子からの出力はローレベルとされる。従って、ノーマルモード信号ＮＯＲＭＡＬはハイレベルとなり、モードはノーマルモードに設定される。

【００８０】

その後、タイミングｔ３にて、フィードバック信号Ｖｆｂがバースト閾値電圧Ｖｂｓｔ２を上回り、バーストイネーブル信号ＢＳＴＥＮがハイレベルに立ち上がり、出力Ｂがローレベルに切り替わる。これにより、第１カウンタ７０およびＤフリップフロップ７３はリセット解除状態とされる。

【００８１】

第１カウンタ７０は、制御パルス信号ＯＵＴをカウントするが、バーストイネーブル信号ＢＳＴＥＮがローレベルに立ち下がるタイミングｔ４までに３個の制御パルス信号ＯＵＴをカウントするので、４個の制御パルス信号ＯＵＴのカウントには達せず、タイミングｔ３～ｔ４で出力ＯＲはローレベルを維持され、出力Ａはハイレベルを維持される。

【００８２】

これにより、タイミングｔ４にて出力Ｂがハイレベルに立ち上がると、これをトリガとしてＤフリップフロップ７５のＱ端子からの出力はハイレベルとされる。従って、ノーマルモード信号ＮＯＲＭＡＬはローレベルとなり、モードは低電力モードに変更される。すなわち、制御パルス信号ＯＵＴのパルス数が３個以下であることにより軽負荷を検出し、モードを低電力モードに移行させる。

【００８３】

タイミングｔ４にてバーストイネーブル信号ＢＳＴＥＮがローレベルとされるので、カウンタ７０，７１およびＤフリップフロップ７３はリセット状態とされ、出力ＯＲはローレベルにされ、出力Ａはハイレベルとされる。

【００８４】

その後、タイミングｔ５にて、フィードバック信号Ｖｆｂがバースト閾値電圧Ｖｂｓｔ２を上回り、バーストイネーブル信号ＢＳＴＥＮがハイレベルに立ち上がり、出力Ｂがローレベルに切り替わる。これにより、第１カウンタ７０およびＤフリップフロップ７３はリセット解除状態とされる。また、出力ＡＮＤがハイレベルに立ち上がり、第２カウンタ７１がリセット解除状態とされる。タイミングｔ５以降、生成される制御パルス信号ＯＵＴによるスイッチングトランジスタＭのスイッチングにおける最小オン時間は、第１最小オン時間Ｔｍｉｎ１から第２最小オン時間Ｔｍｉｎ２に切り替わる。

【００８５】

第２カウンタ７１は、制御パルス信号ＯＵＴをカウントするが、バーストイネーブル信号ＢＳＴＥＮがローレベルに立ち下がるタイミングｔ６までに１個の制御パルス信号ＯＵＴをカウントするので、２個の制御パルス信号ＯＵＴのカウントには達せず、タイミングｔ５～ｔ６でＤフリップフロップＦＦ１２のＱ端子からの出力はローレベルを維持され、

出力Ｃはハイレベルを維持される。
【００８６】
　また、タイミングｔ５～ｔ６で第１カウンタ７０によりカウントされる制御パルス信号ＯＵＴは１個であり、４個に達しないので、タイミングｔ５～ｔ６で出力Ａはハイレベルを維持される。
【００８７】
　これにより、バーストイネーブル信号ＢＳＴＥＮがローレベルに立ち下がるタイミングｔ６にて、出力Ｂがハイレベルに立ち上がるので、これをトリガとしてＤフリップフロップ７５のＱ端子からの出力はハイレベルとされる。従って、ノーマルモード信号ＮＯＲＭＡＬはローレベルとなり、モードは低電力モードに維持される。
【００８８】
　そして、タイミングｔ７にて、バーストイネーブル信号ＢＳＴＥＮがハイレベルに立ち上がると、出力ＡＮＤがハイレベルに立ち上がるので、第２カウンタ７１がリセット解除状態とされる。そして、タイミングｔ８にて、第２カウンタ７１が２個の制御パルス信号ＯＵＴをカウントすると、ＤフリップフロップＦＦ１２のＱ端子からの出力がハイレベルに立ち上がる。これにより、出力Ｃがローレベルに立ち下がり、Ｄフリップフロップ７５がリセットされ、ノーマルモード信号ＮＯＲＭＡＬはハイレベルに切り替わる。従って、モードはノーマルモードにリセットされる。これにより、タイミングｔ８以降、生成される制御パルス信号ＯＵＴによるスイッチングトランジスタＭのスイッチングにおける最小オン時間は、第１最小オン時間Ｔｍｉｎ１にリセットされる。
【００８９】
　また、このとき、出力ＯＲがハイレベルに立ち上がるので、これをトリガとして出力Ａがローレベルに立ち下がる。なお、Ｄフリップフロップ７５のリセットにより、出力ＡＮＤはローレベルに立ち下がるので、第２カウンタ７１がリセット状態とされ、出力ＯＲはローレベルに立ち下がり、出力Ｃはハイレベルに立ち上がる。
【００９０】
　そして、タイミングｔ９にてバーストイネーブル信号ＢＳＴＥＮがローレベルに立ち下がり、出力Ｂがハイレベルに立ち上がると、これをトリガとしてノーマルモード信号ＮＯＲＭＡＬはハイレベルとされる。
【００９１】
＜モード設定部の変形例＞
　図６は、一変形例に係るモード設定部７の構成を示すブロック図である。図６に示すモード設定部７は、バースト周期測定部７Ａと、モード出力部７Ｂと、バースト解除期間測定部７Ｃと、を有する。図６に示すモード設定部７では、制御パルス信号ＯＵＴの入力は不要である。
【００９２】
　バースト周期測定部７Ａは、バーストイネーブル信号ＢＳＴＥＮに基づき、バースト周期を測定する。バースト周期は、先述したように、バースト解除期間とバースト有効期間とからなる単位期間である。バースト周期測定部７Ａは、例えば、バーストイネーブル信号ＢＳＴＥＮがハイレベルに切り替わってから再びハイレベルに切り替わるまでの時間を測定する。
【００９３】
　バースト解除期間測定部７Ｃは、バースト解除期間を測定する。すなわち、バースト解除期間測定部７Ｃは、スイッチングトランジスタＭのスイッチングが行われる期間を測定する。
【００９４】
　モード出力部７Ｂは、バースト周期測定部７Ａによる測定結果およびバースト解除期間測定部７Ｃによる測定結果に基づき、ノーマルモード信号ＮＯＲＭＡＬのレベルを設定する。
【００９５】

図７は、図６に示すモード設定部７における動作の流れを示すフローチャートである。まず、ステップＳ１１でモードがノーマルモードに設定された状態で、ステップＳ１２でバースト周期測定部７Ａはバースト周期を測定する。測定されたバースト周期が第１所定時間（ここでは一例として３５０μｓ）より短い場合、ステップＳ１１に戻り、モード出力部７Ｂは、ノーマルモード信号ＮＯＲＭＡＬのハイレベルを維持し、ノーマルモードが維持される。一方、測定されたバースト周期が第１所定時間以上である場合、軽負荷が検出されたと判断し、モード出力部７Ｂは、ノーマルモード信号ＮＯＲＭＡＬをローレベルに切り替え、モードを低電力モードに切り替える（ステップＳ１３）。

【００９６】

ノーマルモード信号ＮＯＲＭＡＬがローレベルとなったことにより、バースト解除期間測定部７Ｃは、バースト解除期間の測定を開始する。測定されたバースト解除期間が第２所定時間（ここでは一例として２００μｓ）以上である場合は（ステップＳ１４のＹｅｓ）、ステップＳ１１に戻り、モード出力部７Ｂは、ノーマルモード信号ＮＯＲＭＡＬをハイレベルに切り替え、モードをノーマルモードに切り替える。これにより、負荷が急峻に重負荷となった場合などに、ノーマルモードにリセットできる。

【００９７】

一方、測定されたバースト解除期間が第２所定時間より短い場合は（ステップＳ１４のＮｏ）、ステップＳ１５に進む。ここでは、バースト周期測定部７Ａにより測定されたバースト周期が第１所定時間以上である場合（ステップＳ１５のＮｏ）、ステップＳ１３に戻り、モード出力部７Ｂは、低電力モードを維持させる。一方、測定されたバースト周期が第１所定時間より短い場合（ステップＳ１５のＹｅｓ）、ステップＳ１１に戻り、モード出力部７Ｂは、モードをノーマルモードに切り替える。

【００９８】

ただし、図６に示す変形例に比して、先述した図４に示す構成のほうが、軽負荷を検出する精度が高い点で有利である。

【００９９】

＜交流電圧レベルに基づく最小オン時間の設定＞

スイッチングトランジスタＭがターンオンされると、スイッチングトランジスタＭに流れる電流Ｉｄは、次式で表される時間的な傾きにより増加する。

Ｉｄ／Ｔｏｎ＝Ｖｉｎ／Ｌｐ

ただし、Ｔｏｎ：オン時間、Ｌｐ：１次巻線Ｗ１のインダクタンス

【０１００】

従って、Ｖｉｎが低くなるほど、Ｉｄの時間的な傾きが小さくなるので、ターンオンから一定の電流値までＩｄを到達させるには、最小オン時間を長くする必要がある。そこで、先述したように、交流電圧検出部３によりハイ電圧Ｖｈのピーク電圧を検出することにより、Ｖｉｎのレベルを検出し、最小オン時間設定部５は、検出されたピーク電圧に応じて最小オン時間を設定する。例えば、交流電圧ＶａｃがＡＣ２３０Ｖの場合よりもＡＣ１００Ｖの場合のほうがピーク電圧が低くなるので、最小オン時間を長く設定する。

【０１０１】

なお、交流電圧検出部３は、ダイオードブリッジ２５の出力のピーク電圧を検出してもよい。

【０１０２】

＜その他＞

なお、上記実施形態は、全ての点で例示であって、制限的なものではないと考えられるべきであり、本発明の技術的範囲は、上記実施形態の説明ではなく、特許請求の範囲によって示されるものであり、特許請求の範囲と均等の意味および範囲内に属する全ての変更が含まれると理解されるべきである。

【０１０３】

例えば、モード設定部７は、制御パルス信号ＯＵＴの代わりにゲート信号Ｇｔのパルス数をカウントしてもよい。ゲート信号Ｇｔと制御パルス信号ＯＵＴのパルス数は同じであ

るから、ゲート信号Ｇｔのパルス数をカウントすることは、制御パルス信号ＯＵＴのパルス数をカウントすることに相当する。

【産業上の利用可能性】

【０１０４】

本発明は、例えば、ＡＣ／ＤＣコンバータに利用することができる。

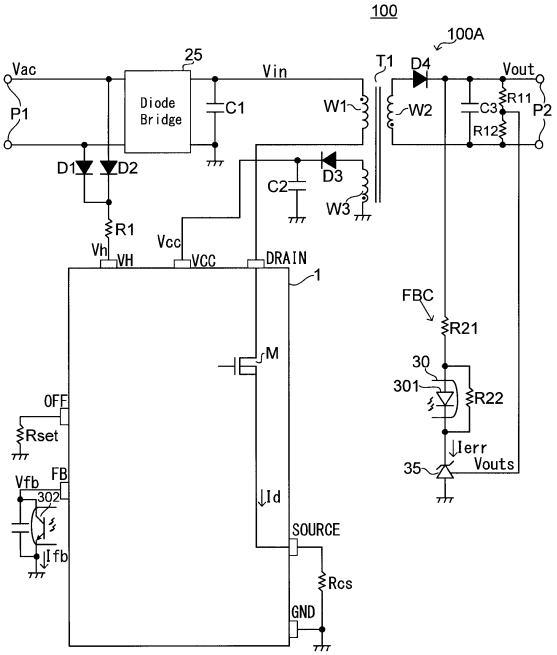
【符号の説明】

【０１０５】

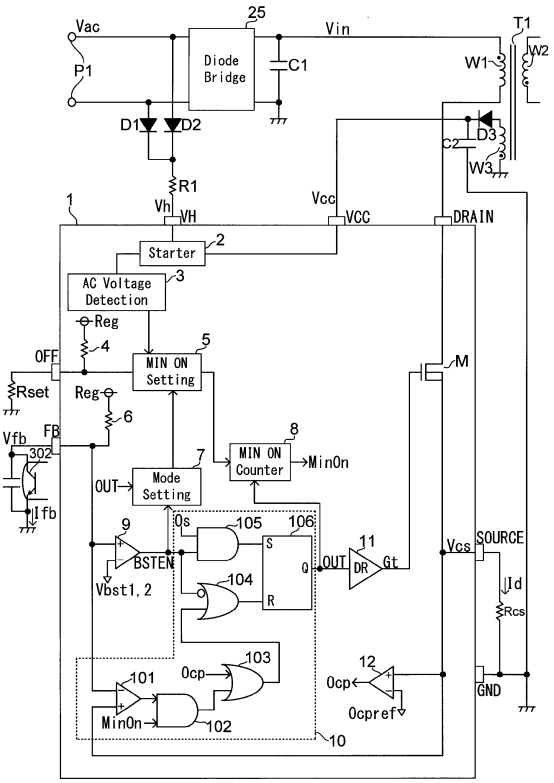
１　電源制御装置
２　起動回路
３　交流電圧検出部
４　プルアップ抵抗
５　最小オン時間設定部
６　プルアップ抵抗
７　モード設定部
７０　第１カウンタ
７１　第２カウンタ
７Ａ　バースト周期測定部
７Ｂ　モード出力部
７Ｃ　バースト解除期間測定部
８　最小オン時間カウンタ
９　バーストコンパレータ
１０　制御パルス生成部
１１　ドライバ
１２　ＯＣＰコンパレータ
２５　ダイオードブリッジ
３０　フォトカプラ
３０１　発光素子
３０２　受光素子
３５　シャントレギュレータ
１００　ＡＣ／ＤＣコンバータ
１００Ａ　フライバックコンバータ
Ｍ　スイッチングトランジスタ
Ｄ１～Ｄ４　ダイオード
Ｃ１　コンデンサ
Ｃ２　平滑コンデンサ
Ｃ３　出力コンデンサ
Ｒ１　抵抗
Ｒ１１，Ｒ１２　分圧抵抗
Ｒ２１，Ｒ２２　抵抗
Ｔ１　トランス
Ｗ１　１次巻線
Ｗ２　２次巻線
Ｗ３　補助巻線
Ｒｃｓ　検出抵抗
Ｒｓｅｔ　設定抵抗
Ｐ１　入力端子
Ｐ２　出力端子
ＦＢＣ　フィードバック回路

【図面】

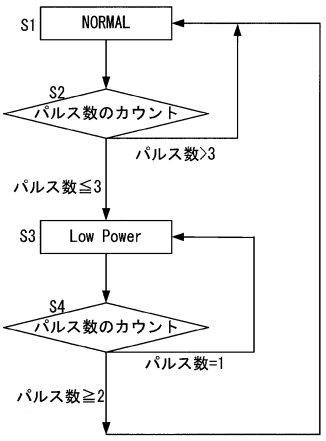
【図１】


100
100A
Vac
25
Diode Bridge
Vin
T1
D4
Vout
P1
C1
W1
W2
C3
R11
P2
R12
D1
D2
C2
D3
W3
R1
Vh
VH
Vcc
VCC
DRAIN
1
M
FBC
R21
30
301
R22
OFF
Rset
Ierr
35
Vouts
Vfb
FB
302
Id
SOURCE
Ifb
Rcs
GND

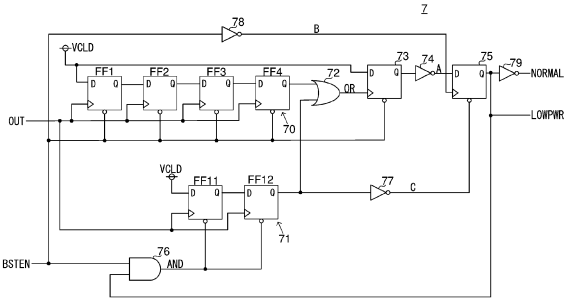
【図２】


Vac
25
Diode Bridge
Vin
T1
P1
C1
W1
W2
D1
D2
C2
D3
W3
R1
Vh
VH
Vcc
VCC
DRAIN
1
Starter
2
AC Voltage Detection
3
Reg
4
MIN ON Setting
5
OFF
Rset
Reg
6
Vfb
FB
302
8
MIN ON Counter
MinOn
7
Mode Setting
OUT
Ifb
9
0s
105
106
S
Q
R
11
DR
Gt
BSTEN
Vbst1,2
104
Vcs
SOURCE
Id
Rcs
103
0cp
101
12
0cp
0cpref
GND
MinOn
102
10

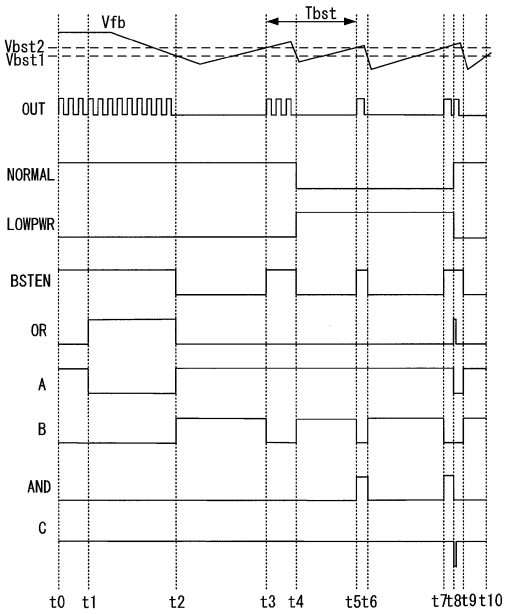
【図３】


S1
NORMAL
S2
パルス数のカウント
パルス数>3
パルス数≦3
S3
Low Power
S4
パルス数のカウント
パルス数=1
パルス数≧2

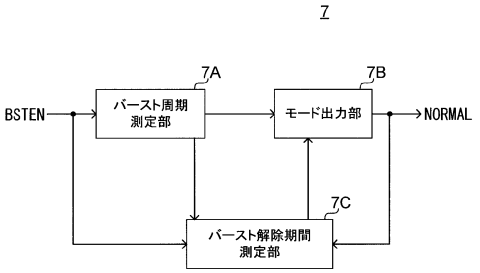
【図４】


Z
78
B
VCLD
FF1
FF2
FF3
FF4
72
OR
73
74
A
75
79
NORMAL
LOWPWR
OUT
70
VCLD
FF11
FF12
77
C
71
BSTEN
76
AND

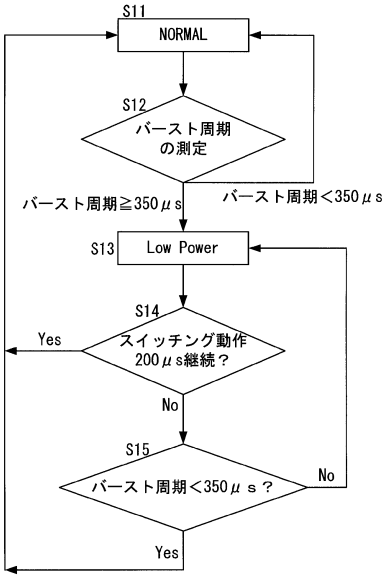
【図５】


Vfb
Tbst
Vbst2
Vbst1
OUT
NORMAL
LOWPWR
BSTEN
OR
A
B
AND
C
t0 t1 t2 t3 t4 t5t6 t7t8t9t10

【図６】


7
7A
7B
BSTEN
バースト周期
測定部
モード出力部
NORMAL
7C
バースト解除期間
測定部

【図７】


S11
NORMAL
S12
バースト周期
の測定
バースト周期≧350μs
バースト周期＜350μs
S13
Low Power
S14
Yes
スイッチング動作
200μs継続？
No
S15
バースト周期＜350μs？
No
Yes

フロントページの続き

(56)参考文献 特開２００６－３３３６１６（ＪＰ，Ａ）
米国特許出願公開第２０１８／０２８７４８１（ＵＳ，Ａ１）
米国特許出願公開第２００６／０２５０１２１（ＵＳ，Ａ１）
特開２０１２－２２６９２４（ＪＰ，Ａ）
特表２０１７－５０８４３７（ＪＰ，Ａ）
特開２０１９－０３７０７１（ＪＰ，Ａ）
特開２００１－１５７４４６（ＪＰ，Ａ）
特開２００４－３０４８８５（ＪＰ，Ａ）

(58)調査した分野 (Int.Cl.，ＤＢ名)
Ｈ０２Ｍ　３／００ －　３／４４