



(12) 发明专利申请

(10) 申请公布号 CN 116830443 A

(43) 申请公布日 2023. 09. 29

(21) 申请号 202280014429.9

(22) 申请日 2022.11.01

(30) 优先权数据
10-2021-0182457 2021.12.20 KR

(85) PCT国际申请进入国家阶段日
2023.08.10

(86) PCT国际申请的申请数据
PCT/KR2022/016944 2022.11.01

(87) PCT国际申请的公布数据
W02023/120955 KO 2023.06.29

(71) 申请人 株式会社LG新能源
地址 韩国首尔

(72) 发明人 金併建

(74) 专利代理机构 北京三友知识产权代理有限公司 11127
专利代理师 原宏宇 刘久亮

(51) Int.Cl.
H02M 1/34 (2006.01)

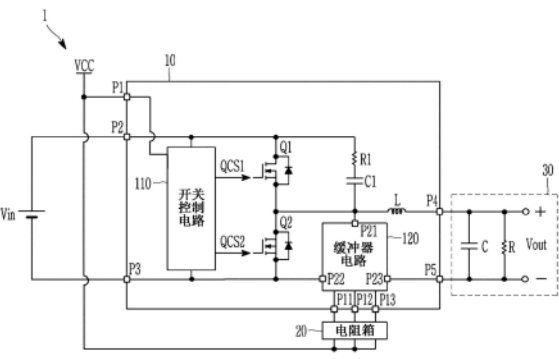
权利要求书2页 说明书7页 附图4页

(54) 发明名称

DC-DC转换器

(57) 摘要

本发明涉及一种DC-DC转换器。转换器包括：集成电路，所述集成电路包括至少一个功率晶体管和与所述至少一个功率晶体管并联连接的缓冲器电路；以及选择电阻器，所述选择电阻器连接在所述缓冲器电路和被供给给所述集成电路的电源电压之间，其中，所述缓冲器电路包括至少两个缓冲器，所述至少两个缓冲器中的每一个包括串联连接的第一晶体管、电容器和电阻器，并且所述选择电阻器连接到所述至少两个缓冲器的任何一个第一晶体管的栅极。



1. 一种转换器,所述转换器包括:

集成电路,所述集成电路包括至少一个功率晶体管和与所述至少一个功率晶体管并联连接的缓冲器电路;以及

选择电阻器,所述选择电阻器连接在被提供给所述集成电路的电源电压和所述缓冲器电路之间,

其中,所述缓冲器电路包括至少两个缓冲器,

其中,所述至少两个缓冲器中的每一个包括串联连接的电阻器、第一晶体管和电容器,并且所述选择电阻器连接到所述至少两个缓冲器中的任何一个缓冲器的所述第一晶体管的栅极。

2. 根据权利要求1所述的转换器,其中,

所述至少两个缓冲器中的任何一个缓冲器的所述第一晶体管由通过所述选择电阻器提供的所述电源电压导通。

3. 根据权利要求2所述的转换器,其中,

所述至少两个缓冲器中的除了所述任何一个缓冲器之外的其余缓冲器的所述第一晶体管截止。

4. 根据权利要求1所述的转换器,其中,

所述集成电路:

还包括开关控制电路,所述开关控制电路被配置为接收所述电源电压并且控制所述至少一个功率晶体管的开关操作。

5. 一种转换器,所述转换器包括:

集成电路,所述集成电路包括至少一个功率晶体管和与所述至少一个功率晶体管并联连接的缓冲器电路;以及

至少两个选择电阻器,所述至少两个选择电阻器连接在被提供给所述集成电路的电源电压和所述缓冲器电路之间,

其中,所述缓冲器电路:

包括至少两个电阻器、与所述至少两个电阻器中的每一个串联连接的至少两个第一晶体管、至少两个电容器、以及与所述至少两个电容器中的每一个串联连接的至少两个第二晶体管,所述至少两个选择电阻器中的第一选择电阻器连接到与所述至少两个电阻器中的任何一个电阻器串联连接的所述第一晶体管的栅极,并且所述至少两个选择电阻器中的第二选择电阻器连接到与所述至少两个电容器中的任何一个电容器串联连接的所述第二晶体管的栅极。

6. 根据权利要求5所述的转换器,其中,

串联连接到所述至少两个电阻器中的任何一个电阻器的所述第一晶体管由通过所述第一选择电阻器提供的所述电源电压导通,并且串联连接到所述至少两个电容器中的任何一个电容器的所述第二晶体管由通过所述第二选择电阻器提供的所述电源电压导通。

7. 根据权利要求6所述的转换器,其中,

串联连接到所述至少两个电阻器中的除了所述任何一个电阻器之外的其余电阻器的所述第一晶体管截止,并且串联连接到所述至少两个电容器中的除了所述任何一个电容器之外的其余电容器的所述第二晶体管截止。

8. 根据权利要求5所述的转换器,其中,
所述集成电路:
还包括开关控制电路,所述开关控制电路被配置为接收所述电源电压以控制所述至少一个功率晶体管。
9. 根据权利要求5所述的转换器,其中,
所述至少两个选择电阻器中的第三选择电阻器连接到与所述至少两个电阻器中的另一个电阻器串联连接的所述第一晶体管的栅极,并且
所述缓冲器电路的电阻值是所述至少两个电阻器中的一个电阻器和另一个电阻器的并联合成电阻。
10. 根据权利要求5所述的转换器,其中,
所述至少两个选择电阻器中的第三选择电阻器连接到与所述至少两个电容器中的另一个电容器串联连接的所述第二晶体管的栅极,并且
所述缓冲器电路的电容值是所述至少两个电容器中的一个电容器和另一个电容器的并联合成电容。

DC-DC转换器

技术领域

[0001] 相关专利申请的交叉引用

[0002] 本申请要求基于2021年12月20日提交的韩国专利申请No.10-2021-0182457的优先权权益,并且该韩国专利申请的文献中公开的所有内容被包括作为本说明书的一部分。

[0003] 本公开涉及一种DC-DC转换器。

背景技术

[0004] DC-DC转换器转换输入电压并提供具有所需电压电平的输出电压。在DC-DC转换器中,可能根据电压切换而产生瞬态电压。缓冲器电路(snubber circuit)可以应用于DC-DC转换器,以防止由于瞬态电压引起的部件损坏并且去除EMI辐射噪声。

[0005] 为了去除噪声,需要通过变更和设计缓冲器电路的诸如电阻和电容的缓冲值来优化缓冲器电路,并且当缓冲器电路嵌入IC器件中时,除非更换IC器件,否则难以更改缓冲器电路的缓冲值。

发明内容

[0006] 技术问题

[0007] 在包括缓冲器电路的DC-DC转换器中,当所述缓冲器电路嵌入IC器件中时,提供能够可变地应用缓冲值的DC-DC转换器。

[0008] 技术方案

[0009] 根据本发明的特征,一种转换器包括:集成电路,所述集成电路包括至少一个功率晶体管和与所述至少一个功率晶体管并联连接的缓冲器电路;以及选择电阻器,所述选择电阻器连接在被提供给所述集成电路的电源电压和所述缓冲器电路之间,其中,所述缓冲器电路包括至少两个缓冲器,所述至少两个缓冲器中的每一个包括串联连接的电阻器、第一晶体管和电容器,并且所述选择电阻器连接到所述至少两个缓冲器中的任何一个缓冲器的所述第一晶体管的栅极。

[0010] 所述至少两个缓冲器中的任何一个缓冲器的所述第一晶体管可以由通过所述选择电阻器提供的电源电压导通。

[0011] 所述至少两个缓冲器中的除了所述任何一个缓冲器之外的其余缓冲器的第一晶体管可以截止。

[0012] 所述集成电路还可以包括开关控制电路,所述开关控制电路被配置为接收所述电源电压并且控制所述至少一个功率晶体管的开关操作。

[0013] 根据本发明的另一方面,提供了一种转换器,所述转换器包括:集成电路,所述集成电路包括至少一个功率晶体管和并联连接到所述至少一个功率晶体管的缓冲器电路;以及连接在被提供给所述集成电路的电源电压和所述缓冲器电路之间的至少两个选择电阻器,其中,所述缓冲器电路包括至少两个电阻器、分别串联连接到所述至少两个电阻器的至少两个第一晶体管、至少两个电容器、以及分别串联连接到所述至少两个电容器的至少两

个第二晶体管,所述至少两个选择电阻器中的第一选择电阻器连接到串联连接到所述至少两个电阻器中的任何一个电阻器的第一晶体管的第一晶体管的栅极,并且所述至少两个选择电阻器中的第二选择电阻器连接到串联连接到所述至少两个电容器中的任何一个电容器的第二晶体管的栅极。

[0014] 串联连接到所述至少两个电阻器中的任何一个电阻器的第一晶体管可以由通过所述第一选择电阻器提供的电源电压导通,并且串联连接到所述至少两个电容器中的任何一个电容器的第二晶体管可以由通过所述第二选择电阻器提供的电源电压导通。

[0015] 串联连接到所述至少两个电阻器中的除了所述任何一个电阻器之外的其余电阻器的第一晶体管可以截止,并且串联连接到所述至少两个电容器中的除了所述任何一个电容器之外的其余电容器的第二晶体管可以截止。

[0016] 所述集成电路还可以包括开关控制电路,所述开关控制电路被配置为接收所述电源电压并且控制所述至少一个功率晶体管。

[0017] 所述至少两个选择电阻器中的第三选择电阻器可以连接到与所述至少两个电阻器中的另一个电阻器串联连接的第一晶体管的栅极,并且所述缓冲器电路的电阻值可以是所述至少两个电阻器中的一个和另一个电阻器的并联合成电阻。

[0018] 所述至少两个选择电阻器中的第三选择电阻器可以连接到与所述至少两个电容器中的另一个电容器串联连接的第二晶体管的栅极,并且所述缓冲器电路的电容值可以是所述至少两个电容器中的一个和另一个电容器的并联合成电容。

[0019] 有益效果

[0020] 根据本公开,在包括缓冲器电路的DC-DC转换器中,当所述缓冲器电路嵌入在IC器件中时,可以提供能够选择性地配置多个缓冲器中的缓冲器电路或者可变地应用缓冲器电路的电阻值和电容的DC-DC转换器。

附图说明

[0021] 图1是示意性地示出根据示例性实施方式的转换器的框图。

[0022] 图2是示出根据示例性实施方式的实现缓冲器电路和电阻箱的示例的电路图。

[0023] 图3是示出根据示例性实施方式的电阻箱的示例的电路图。

[0024] 图4是示出根据示例性实施方式的实现缓冲器电路和电阻箱的示例的电路图。

[0025] 图5是示出根据示例性实施方式的电阻箱的示例的电路图。

[0026] 图6是示出根据示例性实施方式的电阻箱的示例的电路图。

[0027] 图7是示出根据示例性实施方式的电阻箱的示例的电路图。

具体实施方式

[0028] 在下文中,将参照附图详细描述本说明书中公开的示例性实施方式,在附图中,相同或相似的部件被给予相同或相似的附图标记,并且将省略对其的重复描述。在下面的描述中,用于构成元件的后缀“模块”和/或“单元”仅考虑描述的便利性而给出或混合使用,并且不具有彼此区分的含义或作用。另外,在描述本说明书中公开的示例性实施方式时,当确定相关已知技术的详细描述可能使本说明书中公开的示例性实施方式的要点模糊时,将省略其详细描述。另外,提供附图仅仅是为了容易地理解本说明书中公开的示例性实施方

式,并且本说明书中公开的技术精神不受附图限制,并且应当理解,包括在本发明的精神和技术范围内的所有变化、等同物和替代物都被包括在内。

[0029] 可能使用包括诸如第一、第二等序数的术语来描述各种元件,但这些元件不受这些术语的限制。这些术语仅用于区分一个部件与另一个部件的目的。

[0030] 在本申请中,应当理解,术语“包括”或“具有”表示存在说明书中描述的特征、数字、步骤、操作、部件、部分或其组合,但不预先排除存在或添加一个或更多个其他特征、数字、步骤、操作、部件、部分或其组合的可能性。

[0031] 图1至图7示出了用于将输入DC电压转换为DC电压的转换器电路,其允许缓冲器电路以各种方式进行配置。

[0032] 图1是示意性地示出根据示例性实施方式的转换器的框图。

[0033] 转换器1可以对输入电压 V_{in} 进行DC-DC转换并输出输出电压 V_{out} 。转换器1可以包括集成电路(IC) 10、电阻箱20和输出单元30。转换器1可以安装在印刷电路板(PCB)上。

[0034] 电源电压VCC可以通过端子P1提供给IC 10,并且电源电压VCC可被提供给电阻箱20。

[0035] 输入电压 V_{in} 可以通过端子P1提供给IC 10。IC 10可以对输入电压 V_{in} 进行DC-DC转换,并且通过端子P4和端子P5将输出电压发送到输出单元30。

[0036] 电阻箱20可以通过多个选择端子P11至P13来选择IC 10的配置。虽然图1示出了IC 10包括三个选择端子P11至P13,但是本公开不限于此,并且IC 10可以被实现为包括两个或更多个选择端子。

[0037] IC 10可以通过多个晶体管和开关控制电路来转换输入电压。IC 10可以包括开关控制电路110、第一功率晶体管Q1、第一电阻器R1、第一电容器C1、第二功率晶体管Q2、缓冲器电路120和电感器L。

[0038] 开关控制电路110可以通过使用经由端子P1输入的电源电压VCC作为电源来产生用于控制第一功率晶体管Q1和第二功率晶体管Q2的开关操作的晶体管控制信号QCS1和QCS2。可以根据从开关控制电路110提供的晶体管控制信号QCS1和QCS2来控制第一功率晶体管Q1和第二功率晶体管Q2的开关操作。

[0039] 第一电阻器R1和第一电容器C1彼此串联连接,并且并联连接到第一功率晶体管Q1。第一功率晶体管Q1的一端连接到开关控制电路110的一端。第一功率晶体管Q1的另一端连接到第二功率晶体管Q2的一端、缓冲器电路120的端子P21和电感器L的一端所连接至的节点。第二功率晶体管Q2的另一端连接到开关控制电路110的另一端和缓冲器电路120的端子P22所连接至的节点。缓冲器电路120的端子P23连接到IC 10的端子P5。电感器L的另一端连接到端子P4,缓冲器电路120的端子P23连接到端子P5。

[0040] 输出单元30可以包括电容器C和负载R。在输出单元30中,输出电压 V_{out} 的一端连接到电容器C的一端和负载R的一端所连接至的节点,输出电压 V_{out} 的另一端连接到电容器C的另一端和电阻器R的另一端所连接至的节点。

[0041] 晶体管控制信号QCS1和QCS2的导通电平是高电平,而其截止电平是低电平。当通过高电平的晶体管控制信号QCS1和低电平的晶体管控制信号QCS2使第一功率晶体管Q1导通并使第二功率晶体管Q2截止时,输入电压 V_{in} 被提供给电感器L,使得流过电感器L的电流可以增加。当通过低电平的晶体管控制信号QCS1和高电平的晶体管控制信号QCS2使第一功

率晶体管Q1截止并使第二功率晶体管Q2导通时,流过电感器L的电流可在流过第二功率晶体管Q2时减小。流过电感器L的电流可以被提供给负载R,并且输出电压Vout可以通过电容器C而平稳到恒定电平。开关控制电路110可以感测输出电压Vout,并且可以控制第一功率晶体管Q1和第二功率晶体管Q2的开关操作,使得输出电压Vout可保持在预定电平。

[0042] 在下文中,将参照图2和图3描述根据电阻箱20的内部电路构造的缓冲器电路120的操作。

[0043] 图2是示出根据示例性实施方式的实现缓冲器电路和电阻箱的示例的电路图。

[0044] 根据图2所示示例的缓冲器电路可以在其中电阻器、电容器和晶体管串联连接的缓冲器单元中操作。

[0045] 缓冲器电路120可以包括第一缓冲器121、第二缓冲器122、第三缓冲器123和多个栅极电阻器RG21至RG23。第一缓冲器121可以包括电阻器R21、电容器C21和晶体管Q21,第二缓冲器122可以包括电阻器R22、电容器C22和晶体管Q22,第三缓冲器123可以包括电阻器R23、电容器C23和晶体管Q23。

[0046] 虽然图2示出缓冲器电路120包括三个缓冲器121至123,但是本公开不限于此,并且缓冲器电路120可以被实现为包括两个或更多个缓冲器。如图2所示,可以基于包括在缓冲器电路120中的缓冲器的数量来增加或减少选择端子P11至P13的数量。

[0047] 第一缓冲器121的一端、第二缓冲器122的一端和第三缓冲器123的一端连接到端子P21,第一缓冲器121的另一端、第二缓冲器122的另一端和第三缓冲器123的另一端连接到端子P22和端子P23所连接至的节点。

[0048] 端子P21连接到电阻器R21的一端、电阻器R22的一端和电阻器R23的一端所连接至的节点。

[0049] 电阻器R21的另一端连接到晶体管Q21的一端。晶体管Q21的另一端连接到电容器C21的一端。栅极电阻器RG21的一端连接到晶体管Q21的栅极端,栅极电阻器RG21的另一端连接到选择端子P11。

[0050] 电阻器R22的另一端连接到晶体管Q22的一端。晶体管Q22的另一端连接到电容器C22的一端。栅极电阻器RG22的一端连接到晶体管Q22的栅极端,栅极电阻器RG22的另一端连接到选择端子P12。

[0051] 电阻器R23的另一端连接到晶体管Q23的一端。晶体管Q23的另一端连接到电容器C23的一端。栅极电阻器RG23的一端连接到晶体管Q23的栅极端,并且栅极电阻器RG23的另一端连接到选择端子P13。

[0052] 电容器C21的另一端、电容器C22的另一端和电容器C23的另一端连接到端子P22和端子P23所连接至的节点。

[0053] 根据图2所示的示例性实施方式的缓冲器电路120可以根据电阻箱20的配置通过从第一缓冲器121、第二缓冲器122和第三缓冲器123中选择的至少一个来操作。

[0054] 电阻箱20可以包括多个独立电阻箱21至23。在图2中,电阻箱21被示为包括三个独立电阻箱21至23,但是本公开不限于此,并且电阻箱21可以被实现为包括两个或更多个独立电阻箱。可以基于选择端子P11至P13的数量来增加或减少独立电阻箱的数量。

[0055] 多个独立电阻箱21至23中的每一个可以包括选择电阻器。另选地,多个独立电阻箱21至23中的每一个可以是开路电路。在下文中,在多个独立电阻箱21至23中不包括选择

电阻器的电阻箱将被描述为开路的。

[0056] 在下文中,将参照图3描述包括在电阻箱20中的独立电阻箱21至23的示例性实施方式。

[0057] 图3是示出根据示例性实施方式的电阻箱的示例的电路图。

[0058] 在图3的示例中,选择电阻器RS1被包括在独立电阻箱21中,并且选择电阻器不被包括在其余的独立电阻箱22和23中。

[0059] 提供给电阻箱20的电源电压VCC可以通过多个独立电阻箱21至23中的包括选择电阻器的独立电阻箱(例如,21)向多个选择端子P11至P13中的相应选择端子(例如,P11)提供电流。

[0060] 在使用图2和图3的缓冲器电路120和电阻箱20的转换器1中,晶体管Q21由通过电阻器RS1和电阻器RG21提供的电源电压VCC而导通。当晶体管Q21被导通时,第一缓冲器121并联连接到第二功率晶体管Q2。即,第一缓冲器121可以针对在第二功率晶体管Q2的开关操作期间可能出现的瞬态电压来操作。

[0061] 当晶体管Q21被导通时,缓冲器电路120的电阻值可以是电阻器R21的电阻值,并且缓冲器电路120的电容可以被确定为电容器C21的电容。

[0062] 在下文中,将参照图4至图7描述根据能够分别控制缓冲器的电阻器和电容器的电阻箱20的内部电路配置的缓冲器电路120的操作。

[0063] 图4是示出根据示例性实施方式的实现缓冲器电路和电阻箱的示例的电路图。

[0064] 与根据图2所示的示例性实施方式的缓冲器电路不同,根据图4所示的示例性实施方式的缓冲器电路可以不在缓冲器单元中操作。

[0065] 缓冲器电路120可以包括多个电阻器R21至R23,多个电容器C21至C23,多个晶体管Q21至Q23、Q211、Q221和Q231,以及多个栅极电阻器RG21至RG23、RG211、RG221和RG231。

[0066] 端子P21连接到电阻器R21的一端、电阻器R22的一端和电阻器R23的一端所连接至的节点。

[0067] 电阻器R21的另一端连接到晶体管Q21的一端。栅极电阻器RG21的一端连接到晶体管Q21的栅极端,栅极电阻器RG21的另一端连接到选择端子P11。晶体管Q211的一端连接到电容器C21的一端。栅极电阻器RG211的一端连接到晶体管Q211的栅极端,栅极电阻器RG211的另一端连接到选择端子P14。

[0068] 电阻器R22的另一端连接到晶体管Q22的一端。栅极电阻器RG22的一端连接到晶体管Q22的栅极端,栅极电阻器RG22的另一端连接到选择端子P12。晶体管Q221的一端连接到电容器C22的一端。栅极电阻器RG221的一端连接到晶体管Q221的栅极端,栅极电阻器RG221的另一端连接到选择端子P15。

[0069] 电阻器R23的另一端连接到晶体管Q23的一端。栅极电阻器RG32的一端连接到晶体管Q23的栅极端,栅极电阻器RG32的另一端连接到选择端子P13。晶体管Q231的一端连接到电容器C23的一端。栅极电阻器RG231的一端连接到晶体管Q231的栅极端,栅极电阻器RG231的另一端连接到选择端子P16。

[0070] 晶体管Q21的另一端、晶体管Q211的另一端、晶体管Q22的另一端、晶体管Q221的另一端、晶体管Q23的另一端和晶体管Q231的另一端连接到节点NN。

[0071] 电容器C21的另一端、电容器C22的另一端和电容器C23的另一端连接到端子P22和

端子P23所连接至的节点。

[0072] 根据图4所示的示例性实施方式的缓冲器电路120可以通过多个电阻器R21至R23中的根据电阻箱20的配置而被选择的至少一个以及多个电容器C21至C23中的根据电阻箱20的配置而被选择的至少一个来操作。

[0073] 电阻箱20可以包括多个独立电阻箱21至26。在图4中,电阻箱21被示出为包括六个独立电阻箱21至26,并且选择端子P11至P16的数量被示出为六个。

[0074] 多个独立电阻箱21至26中的每一个可以包括选择电阻器。或者,多个独立电阻箱21至26中的每一个可以是开路电路。在下文中,多个独立电阻箱21至26中的不包括选择电阻器的电阻箱将被描述为开路的。

[0075] 在下文中,将参照图5描述被包括在电阻箱20中的独立电阻箱21至26的示例性实施方式。

[0076] 图5是示出根据示例性实施方式的电阻箱的示例的电路图。

[0077] 在图5的示例中,独立电阻箱21包括选择电阻器RS1,独立电阻箱25包括选择电阻器RS5,并且其余的独立电阻箱22至24和26不包括选择电阻器。

[0078] 被提供给电阻箱20的电源电压VCC可以通过多个独立电阻箱21至26中的包括选择电阻器的独立电阻箱(例如,21和25)向多个选择端子P11至P16中的相应选择端子(例如,P11和P15)提供电流。

[0079] 在使用图4和图5的缓冲器电路120和电阻箱20的转换器1中,晶体管Q21由通过电阻器RS1和电阻器RG21提供的电源电压VCC导通,晶体管Q221由通过电阻器RS5和电阻器RG221提供的电源电压VCC导通。通过使晶体管Q21和晶体管Q221导通,电阻器R21和电容器C22并联连接到第二功率晶体管Q2。

[0080] 通过使晶体管Q21和晶体管Q221导通,缓冲器电路120的电阻值可以是电阻器R21的电阻值,并且缓冲器电路120的电容可以被确定为电容器C22的电容。

[0081] 此外,在使用图4的缓冲器电路120的转换器1中,缓冲器电路120的电阻值可以被确定为使用多个电阻器的复合电阻,或者缓冲器电路120的电容可以被确定为使用多个电容器的复合电容。

[0082] 在下文中,将参照图6和图7描述允许缓冲器电路120具有复合电阻或复合电容的电阻箱的示例性实施方式。

[0083] 图6是示出根据示例性实施方式的电阻箱的示例的电路图。

[0084] 在图6的示例中,独立电阻箱21包括选择电阻器RS1,独立电阻箱23包括选择电阻器RS3,独立电阻箱25包括选择电阻器RS5,并且其余的独立电阻箱22、24和26不包括选择电阻器。

[0085] 提供给电阻箱20的电源电压VCC可以通过多个独立电阻箱21至26中的包括选择电阻器的独立电阻箱(例如,21、23和25)向多个选择端子P11至P16中的相应选择端子(例如,P11、P13和P15)提供电流。

[0086] 在使用图4和图6的缓冲器电路120和电阻箱20的转换器1中,晶体管Q21由通过电阻器RS1和电阻器RG21提供的电源电压VCC导通,晶体管Q23由通过电阻器RS3和电阻器RG23提供的电源电压VCC导通,晶体管Q221由通过电阻器RS5和电阻器RG221提供的电源电压VCC导通。当晶体管Q21、晶体管Q23和晶体管Q221导通时,电阻器R21、电阻器R23和电容器C22并

联连接到第二功率晶体管Q2。

[0087] 通过晶体管Q21、晶体管Q23和晶体管Q221的导通,缓冲器电路120的电阻值可以是电阻器R21和电阻器R23的并联合成电阻值,并且缓冲器电路120的电容可以被确定为电容器C22的电容。

[0088] 图7是示出根据示例性实施方式的电阻箱的示例的电路图。

[0089] 在图7的示例中,选择电阻器RS1被包括在独立电阻箱21中,选择电阻器RS5被包括在独立电阻箱25中,选择电阻器RS6被包括在独立电阻箱26中,并且选择电阻器不被包括在其余的独立电阻箱22至24中。

[0090] 提供给电阻箱20的电源电压VCC可以通过多个独立电阻箱21至26中的包括选择电阻器的独立电阻箱(例如,21、25和26)向多个选择端子P11至P16中的相应选择端子(例如,P11、P15和P16)提供电流。

[0091] 在使用图4和图7的缓冲器电路120和电阻箱20的转换器1中,晶体管Q21由通过电阻器RS1和电阻器RG21提供的电源电压VCC导通,晶体管Q221由通过电阻器RS5和电阻器RG221提供的电源电压VCC导通,晶体管Q231由通过电阻器RS6和电阻器RG231提供的电源电压VCC导通。当晶体管Q21、晶体管Q221和晶体管Q231导通时,电阻器R21、电容器C22和电容器C23并联连接到第二功率晶体管Q2。

[0092] 通过晶体管Q21、晶体管Q221和晶体管Q231的导通,缓冲器电路120的电阻值可以是电阻器R21电阻值,并且缓冲器电路120的电容可以被确定为电容器C22和电容器C23的并联合成电容。

[0093] 缓冲器电路120可以包括如图4和图6所示的多个电阻器,或者可以包括如图4和图7所示的多个电容器。另选地,缓冲器电路120可以包括其中图6所示的电阻箱和图7所示的电阻箱被组合以包括多个电阻器和多个电容器的电阻箱。

[0094] 通过根据示例性实施方式的缓冲器电路120,可以降低可能在第二功率晶体管Q2中产生的噪声,并且可以根据被包括在位于IC 10外部的电阻箱20中的选择电阻器的配置来调整安装在IC 10中的缓冲器电路120的缓冲值。可以在IC 10外部调整缓冲值以减少用于噪声去除的调试时间。

[0095] 虽然已经详细描述了本发明的示例性实施方式,但是本发明的范围不限于此,并且本发明所属领域的技术人员所做出的各种修改和改进也属于本发明的范围。

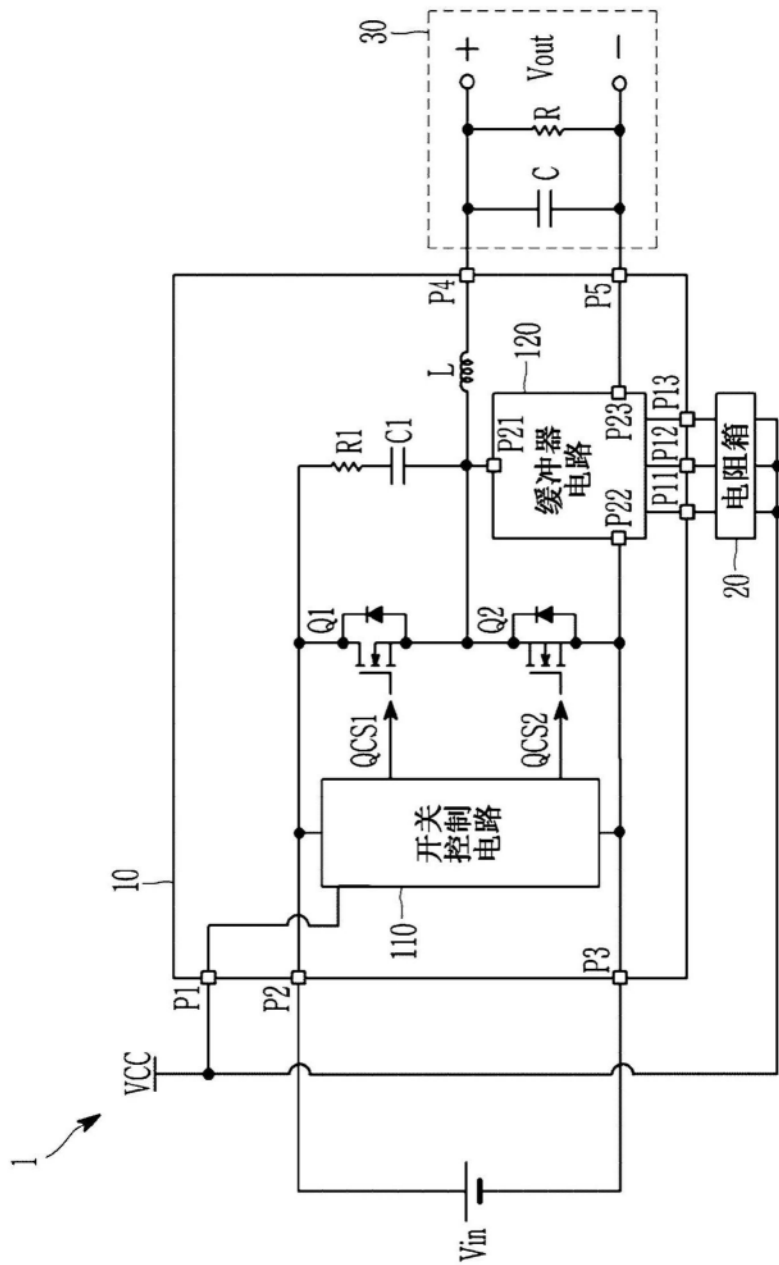


图1

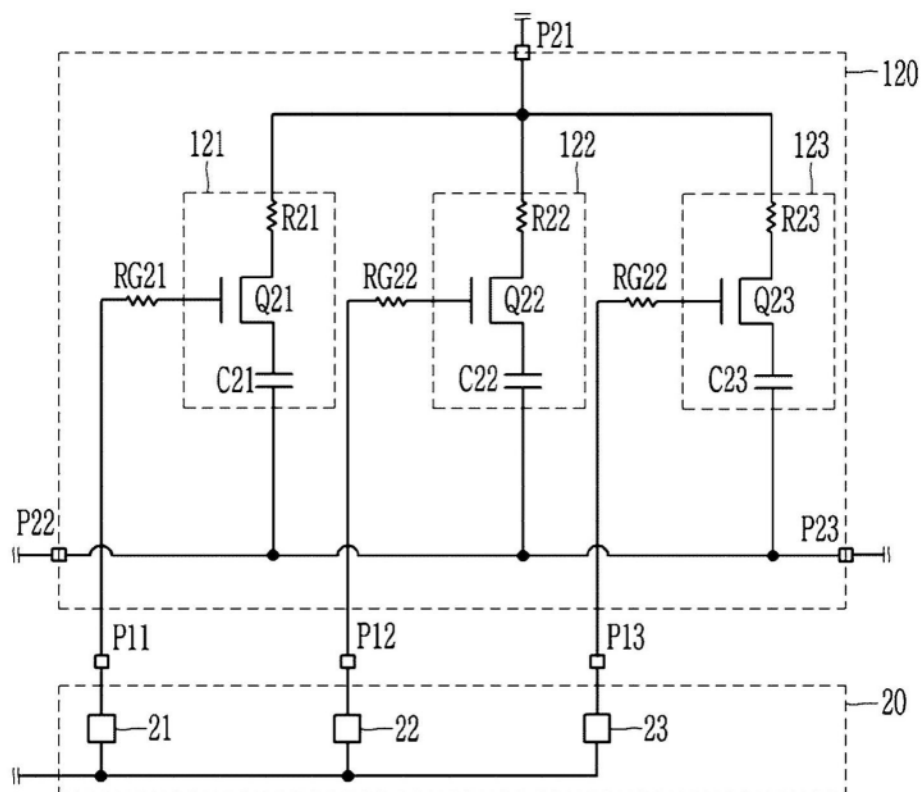


图2

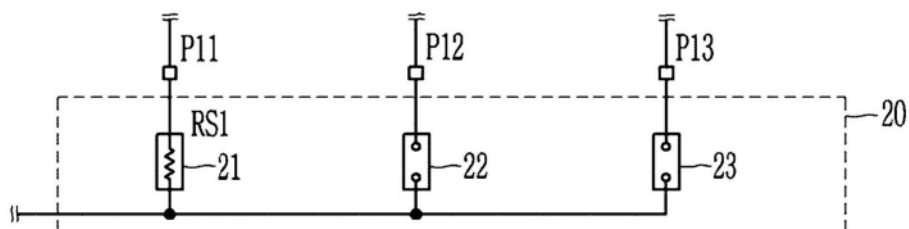


图3

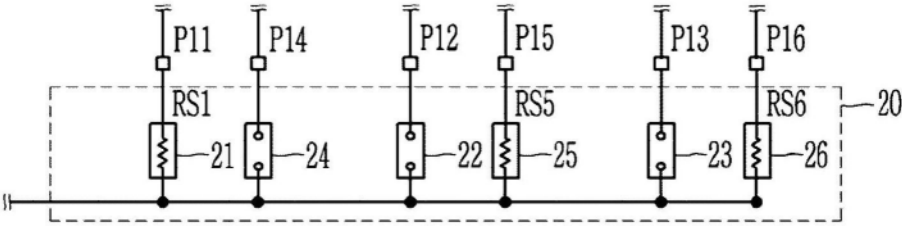


图7