



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0061134  
(43) 공개일자 2009년06월16일

(51) Int. Cl.

H03F 3/217 (2006.01)

(21) 출원번호 10-2007-0128002

(22) 출원일자 2007년12월11일

심사청구일자 2007년12월11일

(71) 출원인

한양대학교 산학협력단

서울 성동구 행당동 17 한양대학교 내

(72) 발명자

노정진

경기 용인시 기흥구 보정동 대림아파트 206동 702호

최영길

강원 춘천시 퇴계동 주공7차 APT 711동 603호

강경식

서울 용산구 신계동 1-30

(74) 대리인

특허법인이상

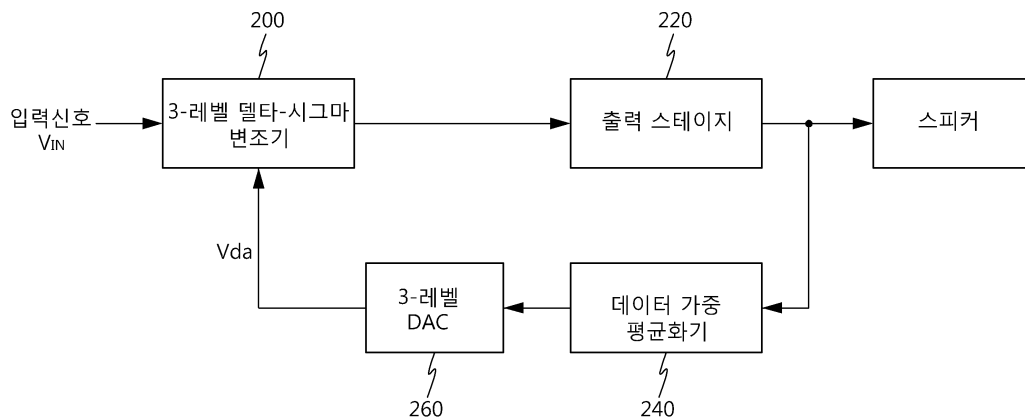
전체 청구항 수 : 총 8 항

(54) 데이터 가중 평균화 알고리즘을 이용하는 다급 오디오증폭기

### (57) 요약

데이터 가중 알고리즘을 이용하는 다(D)급 오디오 증폭기가 개시된다. 3-레벨 델타-시그마 변조기를 통과한 신호는 출력 스테이지에 인가되고, 출력 스테이지에서는 3가지 상태의 차동 신호를 생성한다. 또한, 출력 스테이지의 출력신호는 피드백 루프에 구비된 데이터 가중 평균화기에 입력된다. 데이터 가중 평균화기는 출력 스테이지의 출력신호를 온도계 코드로 이용하여, 데이터 가중 평균화 알고리즘을 수행한다.

대표도 - 도3



## 특허청구의 범위

### 청구항 1

입력신호를 수신하고 상기 입력신호에 상응하는 3가지 상태의 디지털 신호를 출력하기 위한 3-레벨 델타-시그마 변조기;

상기 3가지 상태의 디지털 신호에 따라 스피커의 양단에 3가지 상태의 출력신호를 생성하기 위한 출력 스테이지;

상기 3가지 상태의 출력신호를 온도계 코드로 이용하여 데이터 가중 평균화 알고리즘을 수행하기 위한 데이터 가중 평균화기; 및

상기 데이터 가중 평균화기의 제어에 따라 디지털 신호를 아날로그 신호로 변환하기 위한 3-레벨 ADC를 포함하는 디급 오디오 증폭기.

### 청구항 2

제1항에 있어서, 상기 3-레벨 델타-시그마 변조기는 적분기 또는 가산기의 출력을 상기 3상태의 디지털 신호로 출력하기 위한 1.5 비트 양자화기를 포함하는 것을 특징으로 하는 디급 오디오 증폭기.

### 청구항 3

제2항에 있어서, 상기 1.5 비트 양자화기는,

제1 기준값에 따라 상기 적분기 또는 가산기의 출력에 따른 레벨을 결정하기 위한 제1 비교기; 및

상기 제1 기준값보다 낮은 제2 기준값에 따라 상기 적분기 또는 가산기의 출력에 따른 레벨을 결정하기 위한 제2 비교기를 포함하는 것을 특징으로 하는 디급 오디오 증폭기.

### 청구항 4

제3항에 있어서, 상기 제1 기준값은 양의전원전압이며, 상기 제2 기준값은 음의전원전압인 것을 특징으로 하는 디급 오디오 증폭기.

### 청구항 5

제3항에 있어서, 상기 1.5 비트 양자화기는, 상기 제1 비교기에 연결된 인버터를 더 포함하는 것을 특징으로 하는 디급 오디오 증폭기.

### 청구항 6

제2항에 있어서, 상기 출력 스테이지는,

상기 1.5 비트 양자화기의 출력을 수신하고, 출력단 제어신호를 생성하기 위한 게이트 드라이버; 및

상기 출력단 제어신호에 따라 상기 3가지 상태의 출력신호를 생성하기 위한 출력단을 포함하는 것을 특징으로 하는 디급 오디오 증폭기.

### 청구항 7

제1항에 있어서, 상기 데이터 가중 평균화기는,

2비트에 해당하는 상기 출력 스테이지의 출력신호를 수신하고, 1비트의 신호로 인코딩하기 위한 인코더;

상기 인코더의 출력을 수신하고, 인에이블 신호에 따라 상기 출력 스테이지의 출력신호인 온도계 코드의 시프팅 동작을 제어하는 조정 신호를 형성하기 위한 선택기; 및

상기 조정 신호의 제어에 따라 상기 출력 스테이지의 출력신호의 시프팅 동작을 수행하기 위한 대수 시프터를 포함하는 것을 특징으로 하는 디급 오디오 증폭기.

### 청구항 8

제7항에 있어서, 상기 대수 시프터는,

상기 조정 신호에 따라 상기 2비트에 해당하는 출력 스테이지의 출력신호 중 하나의 비트에 대한 시프팅 동작을 수행하기 위한 제1 시프터; 및

상기 조정 신호에 대해 반전된 신호에 따라 상기 출력 스테이지의 출력신호 중 나머지 하나의 비트에 대한 시프팅 동작을 수행하기 위한 제2 시프터를 포함하고,

상기 제1 시프터 및 상기 제2 시프터는 서로 병렬 연결되는 것을 특징을 하는 다급 오디오 증폭기.

## 명세서

### 발명의 상세한 설명

#### 기술 분야

- <1> 본 발명은 다급 오디오 증폭기에 관한 것으로 더욱 상세하게는 DWA(Data Weighted Averaging) 기법을 이용한 다급 오디오 증폭기에 관한 것이다.

#### 배경 기술

- <2> 증폭기는 변환기 등의 다른 입력전원으로부터 신호를 받아서 이를 증폭하여 출력하는 장치이다. 대략, 증폭기에 입력되는 신호는 작은 레벨을 가지므로, 출력 장치 등을 구동시키기 위해서는 충분한 이득을 가지고 증폭되어야 한다.
- <3> 이러한 증폭기는 소신호 증폭기와 대신호 증폭기로 구분될 수 있다.
- <4> 소신호 증폭기는 작은 신호전압과 전력을 사용한다. 또한, 소신호 증폭기에서 설계자가 고려하여야 하는 요소는 증폭의 선형성과 이득의 크기이다. 그러나, 소신호 증폭에서는 신호전압이 작으므로 증폭시 사용되는 전력용량 및 전력효율을 중요한 요소로 감안되지 아니한다.
- <5> 그러나, 대신호 증폭기는 스피커나 다른 전력장비를 구동하여야 하므로 출력부하에 충분한 전력을 공급하여야 한다. 따라서, 대신호 증폭기에서 감안되어야 하는 요소는 회로의 전력효율, 최대 전력용량 및 임피던스 정합 등이다.
- <6> 증폭기는 동작점 및 동작의 양상에 따라 A급, B급, AB급, C급 및 D급으로 구분될 수 있다.
- <7> 특히, D급은 최대 출력에서 높은 효율을 가지며, 뛰어난 선형성을 가지므로 오디오용으로 사용된다. 이러한 D급 증폭기는 짧은 온 시간과 긴 오프 시간을 가지는 펄스 신호를 사용하며, 디지털 신호처리 기술을 사용하여 소모 전력을 최소화하고, 효율을 극대화할 수 있다. 펄스 신호의 사용은 펄스폭 변조 방식을 사용함을 의미하며, 트랜지스터를 스위칭 모드로만 사용하는 것을 의미한다. 따라서, 다른 타입의 증폭기에 비해 높은 효율을 가진다.
- <8> 그러나, 높은 전력효율을 가지는 D급 증폭기에는 다른 관점에서의 단점이 노출된다. 예컨대, 펄스폭 변조 방식이 사용되므로 트랜지스터의 스위칭 노이즈를 제거하기 위해 저역통과필터가 사용되어야 한다. 이러한 저역통과필터는 위상의 이동과 왜곡을 유발한다. 또한, 이러한 저역통과필터의 사용은 전력의 손실을 유발하는 문제점이 있다.
- <9> 도 1은 2-레벨 델타-시그마 변조를 이용한 D급 증폭기를 도시한 블록도이다.
- <10> 도 1을 참조하면, D급 증폭기는 델타-시그마 변조기(100), 출력 스테이지(120) 및 저역통과필터(140)로 구성된다.
- <11> 입력신호 Vin은 델타-시그마 변조기(100)로 입력된다. 델타-시그마 변조기(100)는 입력신호 Vin을 디지털 신호로 변환한다. 이를 위하여 델타-시그마 변조기(100)는 내부에 양자화기(quantizer)를 구비한다.
- <12> 또한, 상기 델타-시그마 변조기(100)는 2레벨을 구현한다. 즉, 델타-시그마 변조기(100)는 내부에 1비트 양자화기를 구비하여, 입력신호 Vin을 디지털 신호로 변환하여 2가지 상태의 신호로 출력한다. 또한, 통상적으로 델타-시그마 변조기(100)는 잡음변형(Noise Shaping)을 수행한다. 오버샘플링(oversampling)을 이용하여 샘플링 주파수 증가에 따라서 신호대 잡음비(SNR)은 개선된다. 이는 델타-시그마 변조기(100)가 입력신호 Vin을 그대로 통과시키면서 신호대역 이내의 양자화 잡음을 신호대역 밖으로 밀어내는 변환을 수행함을 의미한다.

- <13> 델타-시그마 변조기(100)의 출력은 출력 스테이지(120)로 인가되고, 입력신호 Vin에 피드백된다.
- <14> 출력 스테이지(120)에 인가되는 델타-시그마 변조기(100)의 출력은 출력 스테이지(120)를 제어한다. 출력 스테이지(120)는 온/오프 동작을 통해 구동 신호를 발생한다. 발생된 구동 신호는 구형파의 양상을 가진다. 구형파를 스피커에 직접 인가하는 경우, 리플에 기인한 소모 전력이 발생된다. 따라서, 구형파는 저역통과필터(140)로 입력되어 정현파의 양상으로 변환된다.
- <15> 출력 스테이지(120)에서 발생하는 구형파는 고주파 성분을 포함한다. 따라서, 저역통과필터(140)는 구형파에 포함된 고주파 성분을 필터링하여 제거한다.
- <16> 도 2a 및 도 2b는 종래 기술에 따른 출력 스테이지를 도시한 회로도 및 타이밍도이다.
- <17> 도 2a 및 도 2b를 참조하면, 출력 스테이지는 H-브릿지의 형태로 구성된다. 또한, 트랜지스터들의 스위칭 동작에 의해 2가지 상태를 구현한다.
- <18> 먼저, 상태 ①에서는 트랜지스터 M1 및 M3이 턴온된다. 따라서, Power TR+의 전압은 VDD가 되며, Power TR-의 전압은 접지 레벨이 된다. 즉, 로드(load)로 작용하는 스피커를 통과하는 전압차는 VDD가 된다.
- <19> 또한, 상태 ②에서는 트랜지스터 M2 및 M4가 턴온된다. 턴온된 트랜지스터들 M2 및 M4에 의해 Power TR+의 전압은 접지 레벨이 되며, Power TR-의 전압은 VDD레벨이 된다. 즉, 로드로 작용하는 스피커를 통과하는 양단간의 전압차인 차동전압은 -VDD가 된다.
- <20> 즉, 로드인 스피커를 통해 VDD 및 -VDD의 전압강하가 발생하며, 전압강하에 따라 스피커를 흐르는 전류는 삼각파의 양상을 가진다.
- <21> 상술한 출력 스테이지의 스위칭 동작에 의해 VDD로부터 -VDD로 변하는 구형파가 스피커에 인가된다. 즉, 비교적 높은 전압차의 구형파가 스피커에 인가됨에 따라, 스피커에는 리플 전류가 흐르게 되며, 이는 증폭기의 전력 소모의 증가를 유발한다.

## 발명의 내용

### 해결 하고자하는 과제

- <22> 상술한 문제점을 해결하기 위한 본 발명의 목적은 소모전력효율이 상승되고, 잡음 제거 능력이 향상된 디급 오디오 증폭기를 제공하는데 있다.

### 과제 해결수단

- <23> 상기 목적을 달성하기 위한 본 발명은, 입력신호를 수신하고 상기 입력신호에 상응하는 3가지 상태의 디지털 신호를 출력하기 위한 3-레벨 델타-시그마 변조기; 상기 3가지 상태의 디지털 신호에 따라 스피커의 양단에 3가지 상태의 출력신호를 생성하기 위한 출력 스테이지; 상기 3가지 상태의 출력신호를 온도계 코드로 이용하여 데이터 가중 평균화 알고리즘을 수행하기 위한 데이터 가중 평균화기; 및 상기 데이터 가중 평균화기의 제어에 따라 디지털 신호를 아날로그 신호로 변환하기 위한 3-레벨 ADC를 포함하는 디급 오디오 증폭기를 제공한다.

### 효과

- <24> 상술한 본 발명에 따르면, 디급 오디오 증폭기는 피드백 루프에 데이터 가중 평균화 알고리즘을 수행하는 데이터 가중 평균화기를 구비한다. 상기 데이터 가중 평균화기의 입력인 온도계 코드는 출력 스테이지의 출력신호가 된다. 따라서, 데이터 가중 평균화 알고리즘에 의해 출력신호는 잡음 특성이 개선된다.
- <25> 또한, 출력 스테이지는 3가지 상태의 출력을 구현한다. 따라서, 동일한 시간 구간에서 스피커의 양단에 인가되는 전압차는 최대 VDD레벨로 감소된다. 이를 통해 리플 전류의 발생에 따른 소모 전력의 발생을 억제할 수 있으며, 전력효율을 상승시킬 수 있다.

### 발명의 실시를 위한 구체적인 내용

- <26> 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다.

- <27> 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- <28> 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다.
- <29> 도 3은 본 발명의 바람직한 실시예에 따른 3-레벨 델타-시그마 변조를 이용하는 D급 증폭기의 블록도이다.
- <30> 도 3을 참조하면, D급 증폭기는 3-레벨 델타-시그마 변조기(200), 출력 스테이지(220), 데이터 가중 평균화기(240) 및 3-레벨 DAC(260)로 구성된다.
- <31> 상기 3-레벨 델타-시그마 변조기(200)는 1.5 비트 양자화기를 가진다. 따라서, 상기 3-레벨 델타-시그마 변조기(200)는 3가지 상태의 디지털 신호를 출력한다. 상기 1.5 비트 양자화기를 가지는 3-레벨 델타-시그마 변조기(200)의 출력은 출력 스테이지(220)에 인가된다.
- <32> 상기 출력 스테이지(220)는 게이트 드라이버 및 출력단으로 구성된다. 게이트 드라이버는 1.5 비트 양자화기에 의해 출력되는 디지털 신호를 수신하고, 이를 처리하여 출력단 제어신호를 형성한다. 출력단 제어신호에 의해 출력단은 3가지 상태를 구현한다.
- <33> 출력 스테이지(220)의 출력 신호는 데이터 가중 평균화기(240)에 입력된다. 상기 데이터 가중 평균화기(240)는 온도계 코드인 출력 스테이지(220)의 출력 신호를 수신하고 데이터 가중 평균화(Data Weighted Averaging) 알고리즘을 적용하여, 후단의 3-레벨 DAC(260)의 커패시터의 선택 동작을 제어한다. 즉, 출력 스테이지(220)의 출력 신호인 온도계 코드는 데이터 가중 평균화기(240)에 의해 2진 코드로 인코딩되고, 데이터 가중 평균화 알고리즘에 따라 처리된다. 처리된 신호는 3-레벨 DAC(260)로 입력된다.
- <34> 3-레벨 DAC(260)는 상기 데이터 가중 평균화 알고리즘에 따라 선택되는 커패시터의 동작에 따라 디지털 신호를 아날로그 신호로 변환한다.
- <35> 3-레벨 DAC(260)에 의해 변환된 신호는 다시 3-레벨 델타-시그마 변조기(200)로 입력된다.
- <36> 먼저, 상기 도 3에서 3-레벨 델타-시그마 변조기(200)는 입력신호  $V_{in}$ 과 피드백 루프 상의 3-레벨 DAC(260)의 출력  $V_{da}$ 를 수신한다.
- <37> 상기 3-레벨 델타-시그마 변조기(200)는 적분기 및 1.5비트 양자화기로 구성된다. 상기 적분기는 다수개가 설치될 수 있으며, 적분기의 출력은 1.5비트 양자화기로 입력된다.
- <38> 특히, 상기 3-레벨 델타-시그마 변조기(200)는 잡음변형(noise shaping) 동작을 수행한다. 델타-시그마 변조기가 잡음변형 동작을 수행하는 것은 당업계에는 공지的事实이므로 이에 대한 상세한 설명은 생략한다. 이러한, 잡음변형 동작은 oversampling 방식에서의 샘플링 주파수 증가에 따른 SNR 성능을 더욱 높이기 위해 사용된다. 즉, 잡음성형 동작은 델타-시그마 변조기의 전달함수에서 차수를 증가시켜서, 신호 대역폭 내에서의 양자화 잡음 전력 스펙트럼을 감소시킨다. 따라서 델타-시그마 변조기의 SNR 및 해상도는 증가한다.
- <39> 도 4a 및 도 4b는 본 발명의 3-레벨 델타-시그마 변조기의 1.5비트 양자화기 및 출력 스테이지를 도시한 블록도 및 타이밍도이다.
- <40> 도 4a 및 도 4b를 참조하면, 1.5비트 양자화기(210)는 2개의 비교기(211, 213)를 가지며, 출력 스테이지(220)는 게이트 드라이버() 및 출력단으로 구성된다.
- <41> 먼저, 상기 도 3에서 입력신호  $V_{in}$  및 3-비트 DAC(260)의 출력신호  $V_{da}$ 는 3-레벨 델타-시그마 변조기(200)로 입력되고, 적분기를 통과한다. 적분기로부터의 출력은 1.5비트 양자화기(210)로 입력된다. 또한, 실시의 형태에 따라서 다수의 적분기들이 구비되고, 적분기들 사이는 가산기가 더 구비될 수 있다. 다만, 본 발명에서의 적분기 및 가산기들은 잡음 성형을 위하여 높은 차수의 전달함수를 가지도록 다양하게 구성될 수 있다.
- <42> 적분기 또는 가산기의 출력은 1.5비트 양자화기(210)의 제1 비교기(211) 및 제2 비교기(213)로 입력된다. 제1 비교기(211)에는 제1 기준전압  $V_{ref1}$ 이 인가되고, 제2 비교기(213)에는 제2 기준전압  $V_{ref2}$ 가 인가된다. 또한, 상기 제1 기준전압  $V_{ref1}$ 은 양의전원전압이며, 제2 기준전압  $V_{ref2}$ 는 음의전원전압임이 바람직하다.

- <43> 예컨대, 제1 구간 T1에서 제1 비교기(211)는 로우 레벨을 출력하고, 제2 비교기(213)도 로우 레벨을 출력한다. 다만, 제1 비교기(211)의 출력은 인버터(215)를 거쳐서 하이 레벨로 게이트 드라이버(225)에 입력된다.
- <44> 또한, 제2 구간 T2에서는 제1 비교기(211)는 로우 레벨을 출력하며, 인버터(215)를 거쳐서 하이 레벨의 신호를 게이트 드라이버(225)에 인가한다. 또한, 제2 비교기(213)는 하이 레벨을 출력하며 이를 게이트 드라이버(225)에 인가한다.
- <45> 또한, 제3 구간 T3에서는 제1 비교기(211)는 로우 레벨을 출력하고, 인버터(215)를 거쳐 하이 레벨의 신호를 게이트 드라이버(225)에 인가한다. 또한, 제2 비교기(213)는 로우 레벨을 출력하며 이를 게이트 드라이버(225)에 입력한다.
- <46> 예컨대, 1.5비트 양자화기(210)의 출력을 2진수로 표현하고, 제1 비교기(211)의 출력을 MSB(Most Significant Bit)로 설정한다면, 게이트 드라이버(225)에 인가되는 신호는 '01', '11' 및 '10'의 3가지 상태로 인가된다.
- <47> 게이트 드라이버(225)는 인가되는 3가지의 상태신호들을 수신하고 이를 이용하여 3가지 상태의 차동 신호레벨로 구현하기 위한 출력단 제어신호를 생성한다.
- <48> 먼저, 게이트 드라이버(225)는 제1 구동부(226) 및 제2 구동부(228)로 구성된다.
- <49> 제1 구동부(226)는 상기 1.5비트 양자화기(210)의 출력을 수신한다. 특히, 제1 비교기(211)의 출력을 직접 수신하거나 반전된 상태로 출력한다. 다만, 본 발명에서 출력 스테이지(220)는 3가지의 출력 상태를 구현하는 것에 그 취지가 있으므로, 이를 달성하기 위해서는 구동부들(226, 228)의 적절한 회로 구성을 통해 인버터(215)를 사용하지 아니할 수도 있다.
- <50> 게이트 드라이버(225)를 구성하는 구동부들(226, 228)은 출력단(235)을 구성하는 트랜지스터들의 온/오프 동작을 제어한다. 이를 위해 상기 게이트 드라이버(225)의 출력신호인 출력단 제어신호는 출력단(235)을 구성하는 트랜지스터들의 게이트 단자로 입력된다.
- <51> 출력단(235)은 제1 출력부(236) 및 제2 출력부(238)로 구성된다. 상기 출력단(235)은 2개의 출력부(236, 238)의 조합에 의해 H-브릿지의 형태를 취한다.
- <52> 제1 출력부(236)는 양의전원전압 VDD와 음의전원전압 VSS 사이에 배치된 2개의 트랜지스터들 M1 및 M2로 구성되며, 각각의 트랜지스터들 M1 및 M2의 게이트 단자에는 제1 구동부(226)의 출력신호가 인가된다. 또한, 상기 음의전원전압 VSS는 접지 레벨일 수 있다. 따라서, 상기 도 4b에 표시된 로우 레벨의 전압은 이해의 용이성과 설명의 편의성을 위하여 접지 레벨로 설정한 것이다.
- <53> 또한, 제2 출력부(238)는 양의전원전압 VDD 및 음의전원전압 VSS 사이에 배치된 2개의 트랜지스터들 M3 및 M4로 구성되며, 게이트 단자를 통해 제2 구동부(228)의 출력신호를 수신한다.
- <54> 상기 제1 출력부(236) 및 제2 출력부(238)의 출력신호 Power TR+ 및 Power TR-는 로드(load)인 스피커에 인가되며, 데이터 가중 평균화기에 입력된다.
- <55> 예컨대, 제1 구간 T1에서 제1 트랜지스터 M2 및 제4 트랜지스터 M4는 턴온되어, 제1 출력부(236)는 VDD 레벨을 출력하고, 제2 출력부(238)는 VSS 레벨을 출력한다. 또한, 제2 구간 T2에서 제1 트랜지스터 M2 및 제3 트랜지스터 M3이 턴온되어, 제1 출력부(236) 및 제2 출력부(238)는 VSS 레벨을 출력한다. 또한, 제3 구간 T3에서 제2 트랜지스터 M2 및 제3 트랜지스터 M3이 턴온되고, 제1 출력부(236)는 VDD 레벨을 출력하고, 제2 출력부(238)는 VSS 레벨을 출력한다.
- <56> 상술한 3가지 상태는 로드(로드)에 해당하는 스피커의 양단에 인가되는 차동 전압의 양상에 의해 구별된다. 즉, 제1 구간에서는 스피커 양단의 전압차는 -VDD이며, 제2 구간에서는 스피커 양단의 전압차는 0이고, 제3 구간에서의 스피커 양단의 전압차는 VDD가 된다.
- <57> 도 5는 본 발명의 바람직한 실시예에 따른 상기 도 3의 데이터 가중 평균화기를 도시한 블록도이다.
- <58> 도 5를 참조하면, 데이터 가중 평균화기(240)는 인코더(241), 선택기(243), 대수 시프터(Logarithmic Shifter)(245) 및 레벨 리스토어러(Level Restorer)(249)로 구성된다. 상기 데이터 가중 평균화기(240)는 이후에 개시되는 3-level DAC의 동작에서 디지털 신호를 아날로그 신호로 변환하는데 사용되는 커패시터를 선택하는 신호를 양산한다. 다만, DAC 변환시에 커패시터를 선택하는 요소들을 환영구조로 선택한다. 즉, 온도계 코드로

하여금 이전에 선택된 커패시터 직후의 커패시터를 시작점으로 하여 선택할 수 있도록 한다.

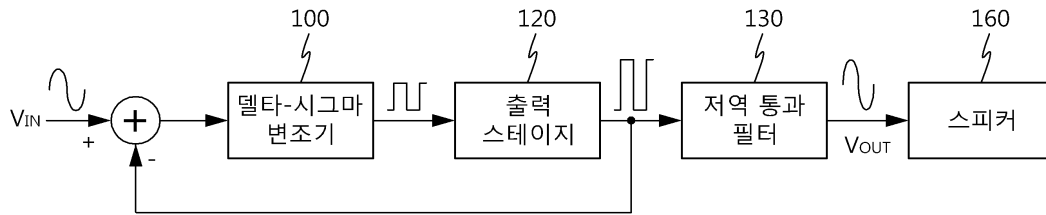
- <59> 먼저, 인코더(241)는 온도계 코드를 수신하고, 이를 2진 코드로 변환한다. 상기 온도계 코드는 실질적으로 출력단의 신호 Power TR+ 및 Power TR-가 된다. 인코딩된 신호는 선택기(243)로 입력된다.
- <60> 선택기(243)는 인에이블 신호  $\phi 2$ 에 따라 활성화되고, 스위칭 신호  $\phi 1$ 에 따른 스위칭 동작에 의해 선택적으로 입력되는 인코더(241)의 출력신호를 수신한다. 즉, 신호처리과정에서 요청되는 타이밍의 동기화를 위해 선택기의 전단에 배치되는 스위치를 동작시키는 스위칭 신호  $\phi 1$ 에 의해 인코딩된 신호는 선택적으로 입력된다. 다만, 이러한 스위칭 동작은 동작의 양상에 따라 채용되지 아니할 수도 있다.
- <61> 인코딩된 신호는 선택기(243)에 의해 조정신호 sh1 및 /sh1로 형성된다. 이러한 온도계 코드가 인코딩된 신호는 선택기(243)에 의해 재분배되고, 조정신호 sh1 및 /sh1로 형성된다. 상기 조정신호 sh1 및 /sh1은 서로 반전된 신호의 양상을 가진다. 또한, 인에이블 신호  $\phi 2$ 의 입력에 따라 조정신호 sh1 또는 /sh1은 활성화된다.
- <62> 대수 시프터(245)는 병렬 연결된 제1 시프터(246) 및 제2 시프터(248)로 구성된다. 상기 대수 시프터(245)는 병렬로 인가되는 2비트의 온도계 코드를 수신한다. 예컨대, 제1 시프터(246)는 2비트의 온도계 코드 중 MSB를 수신하고, 제2 시프터(248)는 LSB를 수신할 수 있다. 각각의 시프터는 인가되는 조정신호 sh1 및 /sh1에 따라 시프팅 동작을 수행한다.
- <63> 대수 시프터(245)를 통과한 신호는 레벨 리스토어러(249)에 입력된다. 상기 레벨 리스토어러(249)는 선택적으로 사용된다. 또한, 상기 레벨 리스토어러(249)는 3-비트 DAC에 입력되는 신호가 대수 시프트의 출력단에 영향을 미치지 않도록 하기 위해 구비된다. 또한, 레벨 리스토어러는 3-비트 DAC의 입력레벨을 일정하게 세팅시키는 역할을 수행한다.
- <64> 상기 3-비트 DAC는 대수 시프트로부터 신호를 수신하고, 이를 아날로그 신호로 변환하여, 3-레벨 델타-시그마 변조기로 출력한다. 3-레벨 델타-시그마 변조기에서는 입력신호와 피드백된 3-비트 DAC의 출력신호를 가산하고, 가산된 신호에 대한 적분 및 디지털 변조를 수행한다.
- <65> 본 발명에서는 출력 스테이지의 출력신호를 온도계 코드로 이용한다. 온도계 코드에 대해서 피드백 루프에서는 데이터 가중치 평균화 알고리즘을 수행한다. 데이터 가중치 평균화 알고리즘은 출력 스테이지의 출력신호의 잡음을 분산시키고, 이후의 DAC(Digital-Analog Conversion) 동작시, 비선형 잡음에 대한 잡음변형 효과를 가져온다.
- <66> 즉, DAC 동작에서 아날로그 신호로의 변환을 위해 동일한 단위 커패시터를 계속적으로 선택하는 동작을 회피하고, 연속되는 신호의 이벤트마다 커패시터 선택에 대해 새로운 시작점에서 출발할 수 있도록 한다. 이를 통해 DAC 동작에서의 평균적인 오차를 줄일 수 있다.
- <67> 또한, 본 발명에서는 출력 스테이지는 3가지의 출력 상태를 구현한다. 따라서, 스피커의 양단에 인가되는 전압차는 최대 |VDD|로 감소한다. 따라서, 종래와 같이 최대 |2VDD|의 전압 강하에 기인한 리플 전류의 발생은 억제된다. 이를 통하여 소모전력은 감소되며, D급 오디오 증폭기의 전력 효율은 개선된다.

### 도면의 간단한 설명

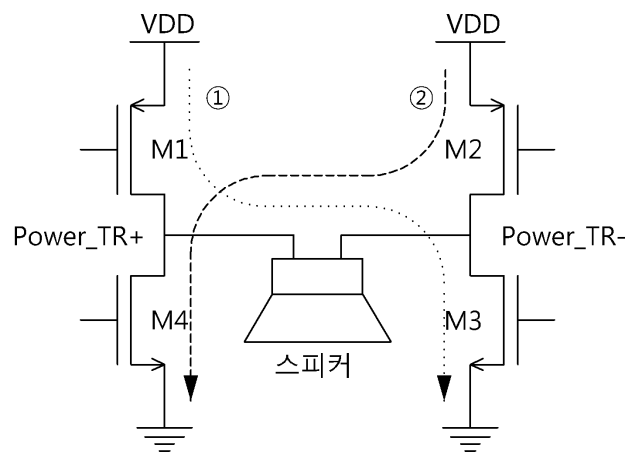
- <68> 도 1은 2-레벨 델타-시그마 변조를 이용한 D급 증폭기를 도시한 블록도이다.
- <69> 도 2a 및 도 2b는 종래 기술에 따른 출력 스테이지를 도시한 회로도 및 타이밍도이다.
- <70> 도 3은 본 발명의 바람직한 실시예에 따른 3-레벨 델타-시그마 변조를 이용하는 D급 증폭기의 블록도이다.
- <71> 도 4a 및 도 4b는 본 발명의 3-레벨 델타-시그마 변조기의 1.5비트 양자화기 및 출력 스테이지를 도시한 블록도 및 타이밍도이다.
- <72> 도 5는 본 발명의 바람직한 실시예에 따른 상기 도 3의 데이터 가중 평균화기를 도시한 블록도이다.

도면

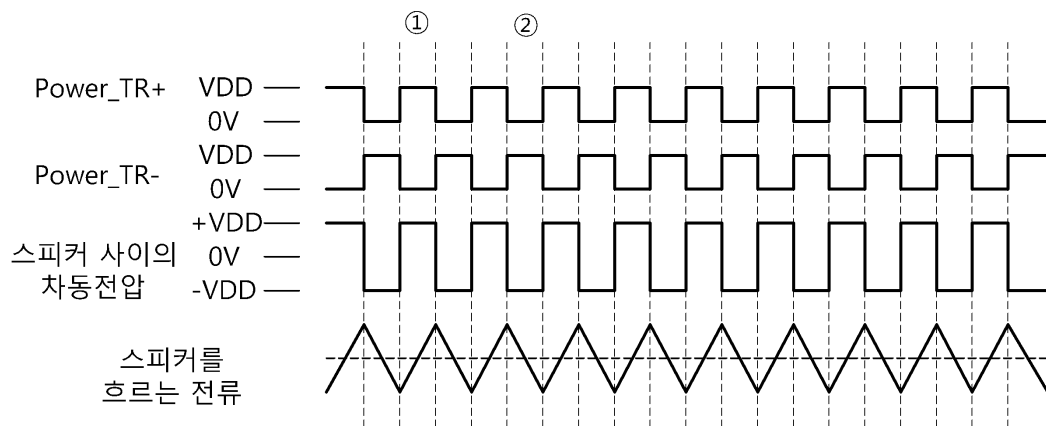
도면1



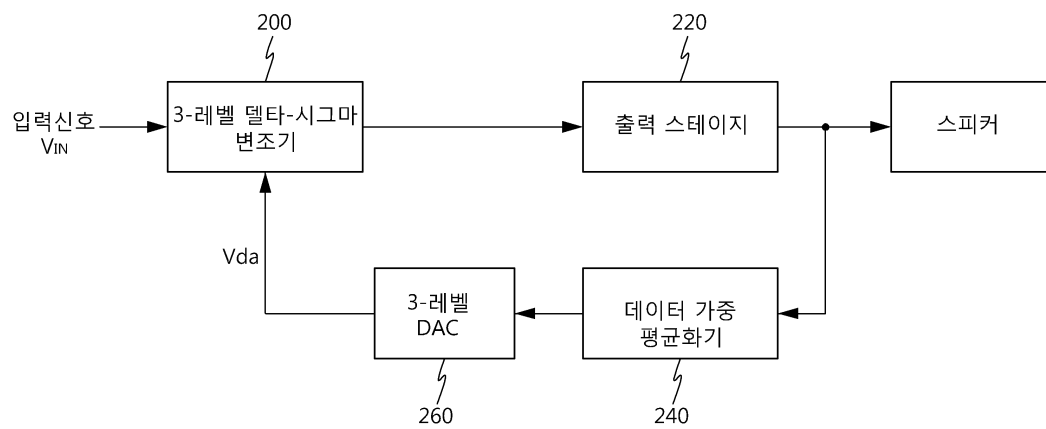
도면2a



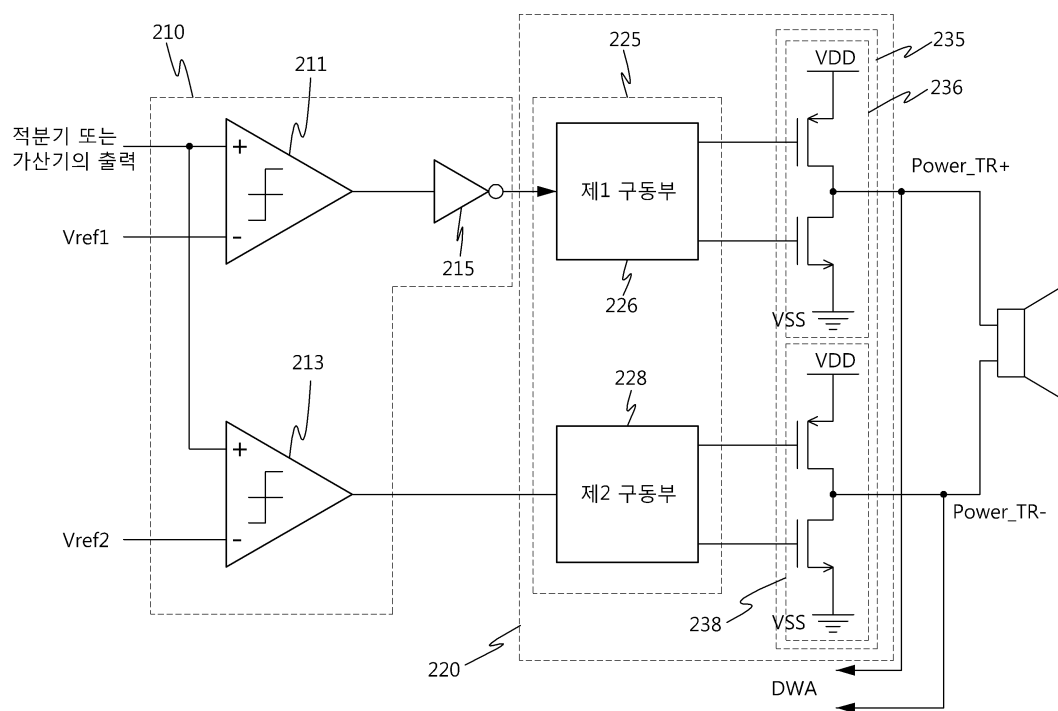
도면2b



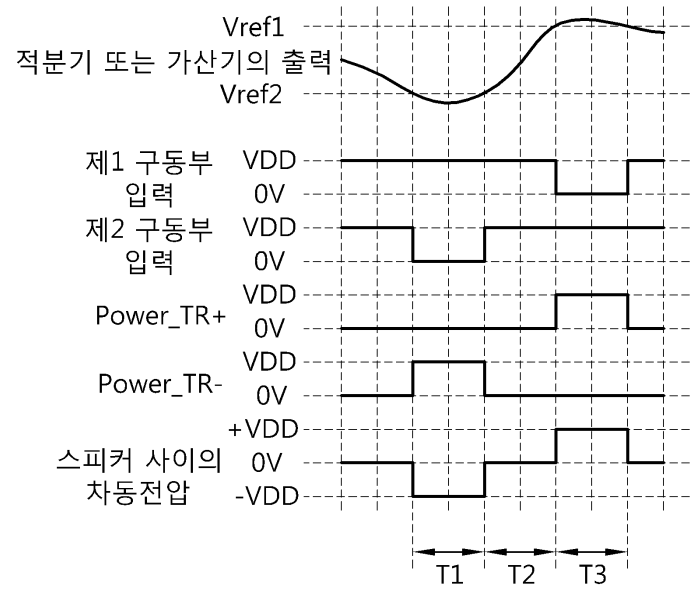
도면3



도면4a



도면4b



도면5

