

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第4994003号
(P4994003)

(45) 発行日 平成24年8月8日(2012.8.8)

(24) 登録日 平成24年5月18日(2012.5.18)

(51) Int.Cl.

F I

GO2F 1/1343 (2006.01)

GO2F 1/1368 (2006.01)

GO2F 1/1343

GO2F 1/1368

請求項の数 10 (全 19 頁)

(21) 出願番号	特願2006-306637 (P2006-306637)	(73) 特許権者	390019839
(22) 出願日	平成18年11月13日 (2006.11.13)		三星電子株式会社
(65) 公開番号	特開2008-40448 (P2008-40448A)		S a m s u n g E l e c t r o n i c s
(43) 公開日	平成20年2月21日 (2008.2.21)		C o . , L t d .
審査請求日	平成21年11月11日 (2009.11.11)		大韓民国京畿道水原市靈通区三星路129
(31) 優先権主張番号	10-2006-0073493		129, S a m s u n g - r o , Y e o n
(32) 優先日	平成18年8月3日 (2006.8.3)		g t o n g - g u , S u w o n - s i , G
(33) 優先権主張国	韓国 (KR)		y e o n g g i - d o , R e p u b l i c
			o f K o r e a
		(74) 代理人	110000408
			特許業務法人高橋・林アンドパートナーズ
		(72) 発明者	許 承 鉉
			大韓民国忠清南道天安市雙龍洞 雙龍マエ
			ウルランチャエアパートメント504棟
			1002號
			最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

PVAモードの液晶表示装置であって、

横方向にそれぞれ延長されている第1及び第2のゲートラインと、
前記第1及び第2のゲートラインと絶縁されて交差するデータラインと、
前記第1のゲートラインと前記データラインに接続された第1の薄膜トランジスタ及び前
記第2のゲートラインと前記データラインに接続された第2の薄膜トランジスタと、
両側面が前記第1及び第2のゲートラインと傾斜を形成してジグザグに延長されており、
前記延長方向に沿って第1の領域及び第2の領域に分割される画素電極とを含み、
前記画素電極は、前記第1の薄膜トランジスタに接続されており、前記第1の領域及び前
記第2の領域の上部及び下部を占有し、前記第1の領域と前記第2の領域が連結電極によ
って接続されている第1のサブ画素電極、及び前記第2の薄膜トランジスタに接続されて
おり、前記第2の領域の中央部を占有し、一側面が前記第1のサブ画素電極の第1の領域
に隣接し、上端及び下端が前記第1のサブ画素電極の前記第2の領域に隣接する第2のサ
ブ画素電極を含み、前記連結電極の少なくとも一つは前記第2のゲートラインとオーバー
ラップされている

ことを特徴とする液晶表示装置。

【請求項2】

前記第2のゲートラインは、前記第1のサブ画素電極の第1の領域及び前記第1のサブ画
素電極の第2の領域を横切ることを特徴とする請求項1に記載の液晶表示装置。

【請求項 3】

前記画素電極の両側面は平行に延長されており、
前記第 1 の領域及び前記第 2 の領域の境界部に前記画素電極の両側面と平行にジグザグに延長されている斜線型間隙を備えることを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 4】

前記画素電極の両側面及び前記斜線型間隙は、前記第 1 及び第 2 のゲートラインと 45° 又は -45° の傾斜角を形成することを特徴とする請求項 3 に記載の液晶表示装置。

【請求項 5】

前記画素電極は、前記両側面の傾斜方向がかえられる少なくとも一つの折り曲げ部を含み、前記折り曲げ部で前記第 1 及び第 2 のゲートラインと平行し、前記斜線型間隙と続く水平形間隙を備えることを特徴とする請求項 3 に記載の液晶表示装置。

10

【請求項 6】

前記画素電極は、3 個の折り曲げ部を備え、前記画素電極の上部から下側方向に第 1 の折り曲げ部、第 2 の折り曲げ部及び第 3 の折り曲げ部を備えることを特徴とする請求項 5 に記載の液晶表示装置。

【請求項 7】

前記第 2 のゲートラインは、前記第 1 の折り曲げ部より画素電極の上部に設けられ、前記画素電極は、前記第 2 の折り曲げ部を基準に上下が対称であることを特徴とする請求項 6 に記載の液晶表示装置。

【請求項 8】

20

PVA モードの液晶表示装置であって、

横方向にそれぞれ延長されている第 1 及び第 2 のゲートラインと、

前記第 1 及び第 2 のゲートラインと絶縁されて交差するデータライン、前記データラインから分枝された第 1 及び第 2 のソース電極、前記第 1 及び第 2 のソース電極と離隔されて対向する第 1 及び第 2 のドレイン電極、及び前記第 2 のドレイン電極から分枝された第 3 のドレイン電極を含むデータ配線と、

前記第 1 のゲートライン、前記第 1 のソース電極及び前記第 1 のドレイン電極と接続された第 1 の薄膜トランジスタと、

前記第 2 のゲートライン、前記第 2 のソース電極及び前記第 2 のドレイン電極と接続された第 2 の薄膜トランジスタと、

30

両側面が前記第 1 及び第 2 のゲートラインと傾斜を形成してジグザグに延長されており、

前記延長方向に沿って第 1 の領域及び第 2 の領域に分割される画素電極とを含み、

前記画素電極は、前記第 1 の薄膜トランジスタに接続されており、前記第 1 の領域及び前記第 2 の領域の上部及び下部を占有し、前記第 1 の領域と前記第 2 の領域が連結電極によって接続されている第 1 のサブ画素電極、及び前記第 2 の薄膜トランジスタに接続されており、前記第 2 の領域の中央部を占有し、一側面が前記第 1 のサブ画素電極の第 1 の領域に隣接し、上端及び下端が前記第 1 のサブ画素電極の前記第 2 の領域に隣接する第 2 のサブ画素電極を含み、

前記第 2 のゲートラインは、前記第 1 の領域及び前記第 2 の領域の境界部で前記第 3 のドレイン電極とオーバーラップされていることを特徴とする液晶表示装置。

40

【請求項 9】

前記第 2 のゲートラインは、前記第 1 のサブ画素電極の第 1 の領域及び前記第 1 のサブ画素電極の第 2 の領域を横切ることを特徴とする請求項 8 に記載の液晶表示装置。

【請求項 10】

PVA モードの液晶表示装置であって、

横方向にそれぞれ延長されている第 1 及び第 2 のゲートラインと、

前記第 1 及び第 2 のゲートラインと絶縁されて交差するデータライン、前記データラインから分枝された第 1 及び第 2 のソース電極、前記第 1 及び第 2 のソース電極と離隔されて対向する第 1 及び第 2 のドレイン電極、及び前記データラインから分枝された第 3 のソース電極を含むデータ配線と、

50

前記第 1 のゲートライン、前記第 1 のソース電極及び前記第 1 のドレイン電極と接続された第 1 の薄膜トランジスタと、

前記第 2 のゲートライン、前記第 2 のソース電極及び前記第 2 のドレイン電極と接続された第 2 の薄膜トランジスタと、

両側面が前記第 1 及び第 2 のゲートラインと傾斜を形成してジグザグに延長されており、前記延長方向に沿って第 1 の領域及び第 2 の領域に分割される画素電極とを含み、

前記画素電極は、前記第 1 の薄膜トランジスタに接続されており、前記第 1 の領域及び前記第 2 の領域の上部及び下部を占有し、前記第 1 の領域と前記第 2 の領域が連結電極によって接続されている第 1 のサブ画素電極、及び前記第 2 の薄膜トランジスタに接続されており、前記第 2 の領域の中央部を占有し、一側面が前記第 1 のサブ画素電極の第 1 の領域に隣接し、上端及び下端が前記第 1 のサブ画素電極の前記第 2 の領域に隣接する第 2 のサブ画素電極を含み、

前記第 2 のゲートラインは、前記第 1 の領域及び前記第 2 の領域の境界部で前記第 3 のソース電極とオーバーラップされていることを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置に係り、さらに詳細には、側面視認性に優れるだけでなく、光リーク現象が防止された液晶表示装置に関する。

【背景技術】

【0002】

液晶表示装置は、現在最も広く使用されているフラットパネルディスプレイ（平板表示装置）のうちのひとつであって、画素電極と共通電極など電界生成電極が形成されている二枚の表示板とその間に挿入されている液晶層からなり、電界生成電極に電圧を印加して液晶層に電界を生成し、これを通じて液晶層の液晶分子の配向を決定し、入射光の偏光を制御することによって映像を表示する。

【0003】

その中でも電界が印加されない状態で液晶分子の長軸を上下表示板について垂直を構成するように配列した垂直配向モード（Vertically Aligned Mode）液晶表示装置は、対比比が大きくて広い基準視野角実現が容易で脚光を浴びている。垂直配向モード液晶表示装置で広視野角を実現するための手段としては電界生成電極に間隙を形成する方法と電界生成電極上に突起を形成する方法などがある。

【0004】

ところで、間隙が備えられたPVA（Patterned Vertically Aligned）方式の場合、側面に行くほど映像が明るくなって側面視認性が落ちる。側面視認性を改善するため一つの画素を2個のサブ電極に分割し、これらそれぞれを別途の薄膜トランジスタを用いて駆動することによって、相異なる電圧を印加する方法が提示されている。2個の薄膜トランジスタを駆動するためには一つの画素に2本のゲートラインが備えられることが要求される。この中で追加されたゲートラインは画素を横切るようになる。ところで、ゲートラインが画素を横切りながら間隙によって露出される場合、この領域での液晶層がゲートラインによって形成される電界に影響を受ける。ゲートラインには通常ゲートオフ電圧が印加されているが、ゲートオフ電圧が周辺画素電圧よりかなり低いことが一般的であるため、露出されたゲートライン上の液晶層は、他の画素領域とは異なる配向角を示すようになり、これは液晶表示装置の駆動初期に光リーク（漏洩）現象として視認できる。

【特許文献1】韓国特許公開 10-2005-0080313号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

本発明が解決しようとする技術的課題は、側面視認性に優れるだけでなく、光リーク

10

20

30

40

50

現象が防止された液晶表示装置を提供することにある。

【 0 0 0 6 】

本発明の技術的課題は以上で言及した技術的課題で制限されないし、言及されないまた他の技術的課題は以下の記載から当業者に明確に理解することができる。

【課題を解決するための手段】

【 0 0 0 7 】

前記技術的課題を達成するための本発明の一実施形態による液晶表示装置は、横方向にそれぞれ延長されている第1及び第2のゲートラインと、前記第1及び第2のゲートラインと絶縁されて交差するデータラインと、前記第1及び第2のゲートラインと前記データラインにそれぞれ接続された第1及び第2の薄膜トランジスタと、両側面が前記第1及び第2のゲートラインと傾斜を形成してジグザグに延長されており、前記延長方向に沿って第1の領域及び第2の領域に分割される画素電極とを含み、前記画素電極は、前記第1の薄膜トランジスタに接続されており、前記第1の領域及び前記第2の領域の上部及び下部を占有し、前記第1の領域と前記第2の領域が連結電極によって接続されている第1のサブ画素電極、及び前記第2の薄膜トランジスタに接続されており、前記第2の領域の中央部を占有し、一側面が前記第1のサブ画素電極の第1の領域に隣接し、上端及び下端が前記第1のサブ画素電極の前記第2の領域に隣接する第2のサブ画素電極を含み、前記連結電極の少なくとも一つは前記第2のゲートラインとオーバーラップされている。

10

【 0 0 0 8 】

前記技術的課題を達成するための本発明の他の実施形態による液晶表示装置は、横方向にそれぞれ延長されている第1及び第2のゲートラインと、前記第1及び第2のゲートラインと絶縁されて交差するデータラインと、前記データラインから分枝された第1及び第2のソース電極と、前記第1及び第2のソース電極と離隔されて対向する第1及び第2のドレイン電極と、前記第2のドレイン電極から分枝された第3のドレイン電極を含むデータ配線と、前記第1のゲートライン、前記第1のソース電極及び前記第1のドレイン電極と接続された第1の薄膜トランジスタと、前記第2のゲートライン、前記第2のソース電極及び前記第2のドレイン電極と接続された第2の薄膜トランジスタと、両側面が前記第1及び第2のゲートラインと傾斜を形成してジグザグに延長されており、前記延長方向に沿って第1の領域及び第2の領域に分割される画素電極とを含み、前記画素電極は、前記第1の薄膜トランジスタに接続されており、前記第1の領域及び前記第2の領域の上部及び下部を占有し、前記第1の領域と前記第2の領域が連結電極によって接続されている第1のサブ画素電極、及び前記第2の薄膜トランジスタに接続されており、前記第2の領域の中央部を占有し、一側面が前記第1のサブ画素電極の第1の領域に隣接し、上端及び下端が前記第1のサブ画素電極の前記第2の領域に隣接する第2のサブ画素電極を含み、前記第2のゲートラインは、前記第1の領域及び前記第2の領域の境界部で前記第3のドレイン電極とオーバーラップされている。

20

30

【 0 0 0 9 】

前記技術的課題を達成するための本発明のさらに他の実施形態による液晶表示装置は、横方向にそれぞれ延長されている第1及び第2のゲートラインと、前記第1及び第2のゲートラインと絶縁されて交差するデータラインと、前記データラインから分枝された第1及び第2のソース電極と、前記第1及び第2のソース電極と離隔されて対向する第1及び第2のドレイン電極と、前記データラインから分枝された第3のソース電極を含むデータ配線、前記第1のゲートライン、前記第1のソース電極及び前記第1のドレイン電極と接続された第1の薄膜トランジスタと、前記第2のゲートライン、前記第2のソース電極及び前記第2のドレイン電極と接続された第2の薄膜トランジスタと、両側面が前記第1及び第2のゲートラインと傾斜を形成してジグザグに延長されており、前記延長方向に沿って第1の領域及び第2の領域に分割される画素電極とを含み、前記画素電極は、前記第1の薄膜トランジスタに接続されており、前記第1の領域及び前記第2の領域の上部及び下部を占有し、前記第1の領域と前記第2の領域が連結電極によって接続されている第1のサブ画素電極、及び前記第2の薄膜トランジスタに接続されており、前記第2の領域の中

40

50

央部を占有し、一側面が前記第 1 のサブ画素電極の第 1 の領域に隣接し、上端及び下端が前記第 1 のサブ画素電極の前記第 2 の領域に隣接する第 2 のサブ画素電極を含み、前記第 2 のゲートラインは、前記第 1 の領域及び前記第 2 の領域の境界部で前記第 3 のソース電極とオーバーラップされている。

【 0 0 1 0 】

その他実施形態の具体的な事項は詳細な説明及び図面に記載されたとおりである。

【発明の効果】

【 0 0 1 1 】

本発明の実施形態による液晶表示装置によれば、画素電極を 2 個のサブ画素電極に分割し、それぞれの 2 個の薄膜トランジスタで駆動することによって、側面視認性を確保できるだけでなく、第 2 のゲートラインから生成した電界が液晶層に伝達されることを遮断することによって、光リーク現象を防止できる。

10

【発明を実施するための最良の形態】

【 0 0 1 2 】

本発明の利点及び特徴、そしてそれらを達成するための方法は添付する図面と共に後述する詳細な実施形態を参照すれば明確になる。しかしながら、本発明は、以下で開示される実施形態に限定されるものではなく、相異なる多様な形態で具現されるものであり、本実施形態は、本発明の開示が完全となり、当業者に発明の範疇を完全に知らせるために提供されるものであり、本発明は、特許請求の範囲の記載に基づいて決められなければならない。図面で層及び領域の大きさ及び相対的な大きさは、説明の明瞭性のため誇張されることがありうる。

20

【 0 0 1 3 】

素子又は層が他の素子又は層の

「上」にある指称されるときは、他の素子又は層の真上だけではなく、中間に他の層又は他の素子を介在した場合を全て含む。なお、明細書全体にかけて同一参照符号は同一構成要素を示すものとする。

【 0 0 1 4 】

空間的に相対的な用語である「下」、「上」などは図面に示すように一つの素子又は構成要素と他の素子又は構成要素との相間関係を容易に記述するため使用される。空間的に相対的な用語は、図面に示す方向に加えて使用時又は動作時素子の相異なる方向を含む用語に理解されなければならない。なお、明細書全体にかけて同一参照符号は同一構成要素を示すものとする。

30

【 0 0 1 5 】

本明細書で記述する実施形態は、本発明の理想的な概略図である平面図及び断面図を参照して説明される。従って、製造技術ないし許容誤差などによって例示図の形成が変形できる。これにより、本発明の実施形態は示す特定形状で制限されることなく、製造工程に起因する形状の変化も含むことである。図面で例示された領域の形は素子の領域の特定形状を例示するためのことであり、発明の範疇を制限するためのことではない。

【 0 0 1 6 】

以下、添付した図面を参照して本発明の実施形態による液晶表示装置について詳細に説明する。

40

【 0 0 1 7 】

図 1 A は、本発明の一実施形態による第 1 の表示板のレイアウト図である。図 1 B は、図 1 A の第 1 及び第 2 のゲートラインと画素電極との関係を示したレイアウト図である。図 2 は、本発明の一実施形態による第 2 の表示板のレイアウト図である。図 3 は、本発明の一実施形態による液晶表示装置のレイアウト図である。図 4 は、図 3 の I V - I V ' 線に沿って切った断面図である。図 5 は図 3 の V - V ' 線に沿って切った断面図である。

【 0 0 1 8 】

本発明の一実施形態による液晶表示装置は、図 4 及び図 5 に示すように第 1 の表示板、第 1 の表示板と対向して配置されている第 2 の表示板、及び第 1 の表示板と第 2 の表示板

50

の間に介在されている液晶層を含む。

【 0 0 1 9 】

先ず、図 1 A 及び図 3 ~ 図 5 を参照して、本発明の一実施形態による液晶表示装置の第 1 の表示板についてさらに詳細に説明する。

【 0 0 2 0 】

第 1 の表示板は、透明なガラスやプラスチックなどから構成される第 1 の絶縁基板 1 1 0 をベース基板とする。第 1 の絶縁基板 1 1 0 の上には、第 1 の方向、例えば横方向に延長されている第 1 のゲートライン 1 2 2 a 及び第 2 のゲートライン 1 2 2 b が形成されている。第 1 のゲートライン 1 2 2 a は、画素の境界部に設けられ、第 2 のゲートライン 1 2 2 b は第 1 のゲートライン 1 2 2 a と平行に延長されており、画素の上部を横切る。

10

【 0 0 2 1 】

第 1 のゲートライン 1 2 2 a 及び第 2 のゲートライン 1 2 2 b は、それぞれ一定領域で部分的に拡張されてそれぞれ第 1 のゲート電極 1 2 4 a 及び第 2 のゲート電極 1 2 4 b を構成する。第 1 のゲート電極 1 2 4 a 及び第 2 のゲート電極 1 2 4 b の形状は多様に変形可能なことはもちろんである。

【 0 0 2 2 】

第 1 の絶縁基板 1 1 0 上の第 1 及び第 2 のゲートライン 1 2 2 a、1 2 2 b と同一な層には蓄積電極ライン 1 2 8 が形成されている。蓄積電極ライン 1 2 8 の配置形状は、多様なことができるが、例えば図 1 に示すように画素の横方向を横切るように形成でき、例えば画素を上下に両分するように横切ることができる。蓄積電極ライン 1 2 8 は、一定領域で拡張された蓄積電極拡張部 1 2 8 a を含むことができる。蓄積電極拡張部 1 2 8 a は後述する第 1 のサブ画素電極 1 8 2 及び第 2 のサブ画素電極 1 8 4 にそれぞれオーバーラップされるように形成される。

20

【 0 0 2 3 】

第 1 のゲートライン 1 2 2 a、第 2 のゲートライン 1 2 2 b とこれらに接続された第 1 のゲート電極 1 2 4 a 及び第 2 のゲート電極 1 2 4 b、蓄積電極ライン 1 2 8 は例えばアルミニウム (A l)、銀 (A g)、銅 (C u)、モリブデン (M o)、クロム (C r)、チタン (T i)、タンタル (T a) 又はこれらの合金からなった単一膜又は多層膜でありうる。具体的な例として、モリブデン下部膜とアルミニウム上部膜からなった二層膜が適用できる。

30

【 0 0 2 4 】

第 1 のゲートライン (1 2 2 a)、第 2 のゲートライン (1 2 2 b)、及び蓄積電極ライン 1 2 8 の上には窒化シリコン、酸化シリコンなどになったゲート絶縁膜 1 3 0 が積層されている。ゲート絶縁膜 1 3 0 上には、水素化アモルファスシリコンなどになった第 1 の半導体層 (1 4 0 a) 及び第 2 の半導体層 (1 4 0 b) が形成されている。第 1 の半導体層 (1 4 0 a) は、第 1 のゲート電極 (1 2 4 a) にオーバーラップされており、第 2 の半導体層 (1 4 0 b) は第 2 のゲート電極 (1 2 4 b) にオーバーラップされている。

【 0 0 2 5 】

第 1 及び第 2 の半導体層 (1 4 0 a、1 4 0 b) 上又はゲート絶縁膜 1 3 0 上にはデータ配線が形成されている。データ配線 (1 6 2、1 6 5 a、1 6 6 a、1 6 5 b、1 6 6 b) は、第 2 の方向、例えば縦方向に延長されているデータライン 1 6 2、データライン 1 6 2 から第 1 のゲート電極 (1 2 4 a) 側に分枝された第 1 のソース電極 (1 6 5 a)、第 1 のソース電極 (1 6 5 a) と離隔されて対向する第 1 のドレイン電極 (1 6 6 a)、データライン 1 6 2 から第 2 のゲート電極 (1 2 4 b) 側に分枝された第 2 のソース電極 (1 6 5 b)、及び第 2 のソース電極 (1 6 5 b) と離隔されて対向する第 2 のドレイン電極 (1 6 6 b) を含む。データライン 1 6 2 は、縦方向に直線に延長されていることもできるが、図 1 A に示すように画素の中央領域でジグザグ形状を有する画素電極側に湾入された形状を有してもよい。第 1 のソース電極 (1 6 5 a) 及び第 1 のドレイン電極 (1 6 6 a) は、少なくとも一部が第 1 のゲート電極 (1 2 4 a) 及び第 1 の半導体層 (1 4 0 a) とオーバーラップされており、第 2 のソース電極 (1 6 5 b) 及び第 2 のドレイン

40

50

ン電極（１６６ｂ）は少なくとも一部が第２のゲート電極（１２４ｂ）及び第２の半導体層（１４０ｂ）とオーバーラップされている。

【００２６】

このようなデータ配線（１６２、１６５ａ、１６６ａ、１６５ｂ、１６６ｂ）は、アルミニウム、銀、銅、モリブデン、クロム、チタン、タンタル又はこれらの合金からなった単一膜又は多層膜でありうる。具体的な例として、モリブデン下部膜、アルミニウム中間膜及びモリブデン上部膜からなった三層膜が適用できる。

【００２７】

第１のゲート電極（１２４ａ）、第１のソース電極（１６５ａ）及び第１のドレイン電極（１６６ａ）は、第１の半導体層（１４０ａ）をチャネル部とする第１の薄膜トランジスタを構成し、第２のゲート電極（１２４ｂ）、第２のソース電極（１６５ｂ）及び第２のドレイン電極（１６６ｂ）は第２の半導体層（１４０ｂ）をチャネル部とする第２の薄膜トランジスタを構成する。一方、第１の半導体層（１４０ａ）とその上の第１のソース電極（１６５ａ）及び第１のドレイン電極（１６６ａ）、第２の半導体層（１４０ｂ）とその上の第２のソース電極（１６５ｂ）及び第２のドレイン電極（１６６ｂ）の間にはそれぞれ高濃度にドーピングされたｎ＋水素化アモルファスシリコンなどになったオーミックコンタクト層（１５５ａ、１５６ａ、１５５ｂ、１５６ｂ）が介在されてこれら間のコンタクト抵抗を低める。

【００２８】

データ配線（１６２、１６５ａ、１６６ａ、１６５ｂ、１６６ｂ）上には、パッシベーション膜１７０が形成されている。パッシベーション膜１７０は、窒化シリコンなどの無機物質又は有機絶縁物質から構成することができ、これらを全て含んだ２以上の積層膜から構成されてもよい。パッシベーション膜１７０には、第１のドレイン電極（１６６ａ）及び第２のドレイン電極（１６６ｂ）の少なくとも一部を露出するコンタクトホール（１７６ａ、１７６ｂ）が形成されている。

【００２９】

パッシベーション膜１７０上には、ITO、IZOなどのような透明な導電物質からなる画素電極１８２、１８４が形成されている。

【００３０】

画素電極１８２、１８４は、全体的に見ると、両側面が第１のゲートライン（１２２ａ）及び第２のゲートライン（１２２ｂ）と傾斜を形成し、ジグザグに延長された形状を有する。画素電極１８２、１８４の両側面は実質的に同一な形状に互いに平行に延長されていることができる。画素電極１８２、１８４の上端及び下端は第１のゲート電極（１２４ａ）及び第２のゲート電極（１２４ｂ）と平行する。

【００３１】

画素電極１８２、１８４の両側面はジグザグ形状によって少なくとも一つの折り曲げ部を有する。図１Ａ及び図１Ｂには、３個の折り曲げ部（１８７ａ、１８７ｂ、１８７ｃ）を備えた場合が例示されている。図１Ａ及び図１Ｂに示す例を説明すれば、画素電極１８２、１８４の両側面は上端から第１のゲートライン（１２２ａ）及び第２のゲートライン（１２２ｂ）とマイナスの傾斜角、例えば－４５°の傾斜角を形成して延長されてから、第１の折り曲げ部（１８７ａ）に至って折れてプラスの傾斜角、例えば４５°の傾斜角を形成して延長される。第１の折り曲げ部（１８７ａ）は、第２のゲートライン（１２２ｂ）の下側に設けられ、第２のゲートライン（１２２ｂ）とオーバーラップされない。画素電極１８２、１８４の両側面が第２の折り曲げ部（１８７ｂ）に至れば、延長方向が折れて再びマイナスの傾斜角に延長され、第３の折り曲げ部（１８７ｃ）に至るようになれば、再びプラスの傾斜角に延長される。ここで、第２の折り曲げ部（１８７ｂ）は、画素電極１８２、１８４の縦方向を基準に中央部に設けられる。画素電極１８２、１８４は、第２の折り曲げ部（１８７ｂ）を中心に上下が全体的に対称の形状を有することが望ましい。

【００３２】

10

20

30

40

50

一方、画素電極 182、184 は、図 1 B に示すように両側面の延長方向に沿って第 1 の領域 (A1) 及び第 2 の領域 (A2) に分割できる。第 1 の領域 (A1) 及び第 2 の領域 (A2) は、全体的に画素電極 182、184 を両分できる。第 1 の領域 (A1) と第 2 の領域 (A2) の境界部は、画素電極 182、184 の両側面のジグザグ形状と同一な形状を有することができる。画素電極 182、184 の両側面が平行に延長された場合、第 1 の領域 (A1) と第 2 の領域 (A2) の境界部は両側面と平行に延長される。

【0033】

このような画素電極は、電氣的に互いに分離されている第 1 のサブ画素電極 182 及び第 2 のサブ画素電極 184 を含む。

【0034】

第 1 のサブ画素電極 182 は、コンタクトホール 176 a を通じて第 1 のドレイン電極 (166 a) に電氣的に接続されており、第 1 の薄膜トランジスタによって駆動される。第 2 のサブ画素電極 184 は、コンタクトホール 176 b を通じて第 2 のドレイン電極 (166 b) に電氣的に接続されており、第 2 の薄膜トランジスタによって駆動される。従って、第 1 のサブ画素電極 182 及び第 2 のサブ画素電極 184 には相異なる画素電圧が印加できるため、ガンマ曲線の歪曲を防止して側面視認性を改善できる。

【0035】

以下、図 1 A 及び図 1 B を参照して第 1 のサブ画素電極 182 及び第 2 のサブ画素電極 184 についてさらに詳細に説明する。

【0036】

図 1 B を参照すれば、第 1 のサブ画素電極 182 は、第 1 の領域 (A1)、及び第 2 の領域 (A2) の上部及び下部を占有している。

【0037】

第 2 のサブ画素電極 184 は、第 2 の領域 (A2) の中央部を占有する。第 2 のサブ画素電極 184 の一側面は、第 1 のサブ画素電極 182 の第 1 の領域 (182 a) に隣接し、互いに離隔されている。前記離隔空間は、斜線型間隙 185 を形成する。ここで、斜線型間隙 185 は、第 1 の領域 (A1) 及び第 2 の領域 (A2) の境界部に設けられるようになる。

【0038】

第 2 のサブ画素電極 184 の上端と下端は、第 1 のサブ画素電極の第 2 の領域 (182 b) に隣接し、互いに離隔されている。前記離隔空間を挟んで第 2 の領域 (A2) の上部に設けられる第 1 のサブ画素電極 182 の下端及び第 2 の領域 (A2) の下部に設けられる第 1 のサブ画素電極 182 の上端と、第 2 のサブ画素電極 184 の上端及び下端はそれぞれ第 1 のゲートライン (122 a) 及び第 2 のゲートライン (122 b) に平行できる。前記離隔空間は、水平型間隙 186 を形成できる。ひいては、第 1 のサブ画素電極 182 の第 2 の折り曲げ部 (187 b) にも水平に湾入された水平型間隙 186 が備えられることができる。すなわち、水平型間隙 186 は、各折り曲げ部 (187 a、187 b、187 c) に全て備えられる。

【0039】

前記のような斜線型間隙 185 及び水平型間隙 186 はフリンジフィールドを形成することによって、液晶層にドメインを限定することに寄与する。

【0040】

斜線型間隙 185 は、第 1 の折り曲げ部 (187 a)、第 2 の折り曲げ部 (187 b) 及び第 3 の折り曲げ部 (187 c) でそれぞれ水平型間隙 186 と接続される。斜線型間隙 185 は、第 1 の折り曲げ部 (187 a) から上側及び第 3 の折り曲げ部 (187 c) から下側にそれぞれ延長されて第 1 のサブ画素電極の第 1 の領域 (182 a) と第 1 のサブ画素電極の第 2 の領域 (182 b) の一部を分離する。但し、第 1 のサブ画素電極の第 1 の領域 (182 a) 及び第 2 の領域 (182 b) の間には連結電極 (183 a、183 b) が設けられてこれらを電氣的に接続する。従って、斜線型間隙 185 は連結電極 (183 a、183 b) が形成されている第 1 のサブ画素電極 182 の上部及び下部で不連続

10

20

30

40

50

的でありうる。

【0041】

画素電極の上部で第1のサブ画素電極の第1の領域(182a)及び第2の領域(182b)を接続する第1の連結電極(183a)は、第2のゲートライン(122b)とオーバーラップされる。第1の連結電極(183a)は、第2のゲートライン(122b)を完全に覆ってもよく、一部のみを覆ってもよい。このような第1の連結電極(183a)は、第2のゲートライン(122b)によって生成される電界を遮断する役割をするようになる。第1の連結電極(183a)についてのさらに詳細な説明は後述する。

【0042】

画素電極の下部で第1のサブ画素電極の第1の領域(182a)及び第2の領域(182b)を接続する第2の連結電極(183b)は第1のゲートライン(122a)の一部を覆う。しかしながら、第2の連結電極(183b)は第1のゲートライン(122a)の位置と関係なく他の位置に形成されてもよい。

10

【0043】

一方、図面に示さないが、画素電極182、184上には配向膜がさらに備えられることができる。配向膜は例えば液晶301の長軸を実質的に垂直に初期配向する垂直配向膜でありうる。

【0044】

続けて、図2～図5を参照して、本発明の一実施形態による液晶表示装置の第2の表示板について説明する。

20

【0045】

第2の表示板のベース基板である第2の絶縁基板210は、第1の絶縁基板110と同様に透明なガラス又はプラスチックなどから構成される。第2の絶縁基板210上には、ブラックマトリックス220が形成されている。ブラックマトリックス220は、第1の表示板の第1のゲートライン(122a)及びデータライン162とオーバーラップされるように形成される。ブラックマトリックス220によって取り囲まれた領域にはカラーフィルター230が形成されている。カラーフィルター230は、第1の表示板の画素電極182、184とオーバーラップされるように整列される。

【0046】

ブラックマトリックス220及びカラーフィルター230上には、これらの段差を平坦化するためのオーバーコート層240が形成されている。

30

【0047】

オーバーコート層240上には、ITO、IZOなどのような透明な導電物質からなる共通電極250が形成されている。共通電極250は、画素と関係なく第2の表示板の全面に形成されており、各画素毎に切開部252を備える。切開部252は、例えば図2及び図3に示すように各画素毎に2個ずつ備えられることが望ましい。各切開部252は、第1の表示板の斜線型間隙185と類似した斜線部及び第1の表示板の水平型間隙186と類似した水平部を含むことができる。切開部252は、第1の表示板と第2の表示板を対向配置したとき、斜線部が第1の表示板の斜線型間隙185の中間に平行に配置されるようにし、水平部が第1の表示板の水平型間隙186と同一線上に一部オーバーラップされるか、又はオーバーラップされないように配置されるように形成してもよい。

40

【0048】

このような共通電極250の切開部252は、第1の表示板の間隙185、186と一緒にフリンジフィールドを誘発して液晶301の統一的挙動方向を示すドメインを限定することに寄与する。

【0049】

また、図面に示さないが、共通電極250上には配向膜がさらに備えられてもよい。その配向膜は、第1の表示板に用いるものと同様な垂直配向膜でもよい。

【0050】

図4及び図5を参照すれば、第1の表示板と第2の表示板との間には多数の液晶301

50

を含む液晶層が介在されている。液晶 301 は、例えば負の誘電率異方性を有することができる。電界未印加時各表示板を基準に垂直なように初期配向されていることができる。液晶 301 は、前述した第 1 の表示板の間隙 185、186 と、第 2 の表示板の切開部 252 によって限定されるドメインによって統一的挙動方向を有することができる。すなわち、図 4 及び図 5 に模式的に示すように液晶 301 は、間隙 185、186 又は切開部 252 を中心に回転方向が互いに異なって区別できる。

【0051】

前記のような液晶表示装置の回路図が図 6 に示されている。図 6 で GLa は、第 1 のゲートラインを、GLb は第 2 のゲートラインを、DL はデータラインを、SL は蓄積電極ラインを、PX は画素電極を、PXa は第 1 のサブ画素電極を、PXb は第 2 のサブ画素電極を示す。また、Qa は第 1 の薄膜トランジスタを、Qb は第 2 の薄膜トランジスタを、Clca は第 1 のサブ画素電極と共通電極の間に形成される液晶キャパシタを、Csta は第 1 のサブ画素電極と蓄積電極ラインの間に形成されるストレージキャパシタを、Clcb は第 2 のサブ画素電極と共通電極の間に形成される液晶キャパシタを、Cstb は第 2 のサブ画素電極と蓄積電極ラインの間に形成されるストレージキャパシタを示す。

【0052】

図 6 を参照すれば、第 1 のゲートライン (GLa) に例えば約 20 V のゲートオン電圧が印加されれば、第 1 の薄膜トランジスタ (Qa) がターンオンされて第 1 のサブ画素電極 (PXa) に第 1 のサブデータ電圧が印加され、同時に液晶キャパシタ (Clca) 及びストレージキャパシタ (Csta) に第 1 のサブ画素電圧が充電される。以後、第 1 のゲートライン (GLa) に例えば約 -7 V のゲートオフ電圧が印加されれば、第 1 の薄膜トランジスタ (Qa) がターンオフされ、第 1 のサブ画素電極 (PXa) と共通電極の間の液晶層では 1 フレームの間液晶キャパシタ (Clca) とストレージキャパシタ (Csta) によって充電された第 1 のサブ画素電圧が蓄積される。液晶層の液晶は、充電された第 1 のサブ画素電圧の大きさによって配向角がかえられて透過される光の位相を変化させ、偏光板を通過する光の透過率を変化させる。

【0053】

続いて、第 2 のゲートライン (GLb) に例えば、約 20 V のゲートオン電圧が印加されれば、第 2 の薄膜トランジスタ (Qb) がターンオンされて第 2 のサブ画素電極 (PXb) に第 2 のサブデータ電圧が印加され、同時に液晶キャパシタ (Clcb) 及びストレージキャパシタ (Cstb) に第 2 のサブ画素電圧が充電される。以後、第 2 のゲートライン (GLb) に例えば約 -7 V のゲートオフ電圧が印加されれば、第 2 の薄膜トランジスタ (Qb) がターンオフされ、第 2 のサブ画素電極 (PXb) と共通電極の間の液晶層では、1 フレームの間液晶キャパシタ (Clcb) とストレージキャパシタ (Cstb) によって充電された第 2 のサブ画素電圧が蓄積される。液晶層の液晶は、充電された第 1 のサブ画素電圧の大きさによって配向角がかえられて透過される光の位相を変化させ、偏光板を通過する光の透過率を変化させる。

【0054】

このように、一つの画素電極 (PX) を構成する第 1 のサブ画素電極 (PXa) 及び第 2 のサブ画素電極 (PXb) を相異なる薄膜トランジスタ (Qa、Qb) によって駆動することによって、これらに相異なる電圧を充電できる。例えば、第 1 のサブ画素電極 (PXa) には、相対的に低い電圧を、第 2 のサブ画素電極 (PXb) には、相対的に高い電圧を充電できる。ここで、画素電極 (PX) の透過率は各サブ画素電極 (PXa、PXb) によって決定された液晶の透過率の合成値で計算できる。従って、一つの画素のガンマ曲線が 2 個のガンマ曲線の合成値で表現できるため、ガンマ曲線の歪曲防止及び、側面視認性改善に有利である。

【0055】

再び図 1A 及び図 3 ~ 図 5 を参照すれば、第 2 の薄膜トランジスタがターンオンされる時間を除外して大部分のフレームの間第 2 のゲートライン (122b) にはゲートオフ電圧が印加されている。第 1 のサブ画素電極 182 及び第 2 のサブ画素電極 184 に充電さ

10

20

30

40

50

れる電圧は、例えば0 V ~ 15 V程度であるが、ゲートオフ電圧は前述したように例えば約 - 7 V程度であって、これら間の電圧差が相対的に大きい。一方、第2のゲートライン(122b)は図1A、図1Bなどで分かるように、画素の上部を横切っているが、画素の上部には斜線型間隙185が形成されていて、第2のゲートライン(122b)が斜線型間隙185などを通じて上部に露出される場合液晶層は第2のゲートライン(122b)に印加されるゲートオフ電圧に影響を受けるようになる。すなわち、斜線型間隙185領域で第2のゲートライン(122b)上にある液晶層は第1のサブ画素電極182又は第2のサブ画素電極184に印加される電圧によって制御されず、第2のゲートライン(122b)によって形成された電界によって制御でき、これは液晶表示装置の初期駆動時光リークで視認できる。

10

【0056】

従って、本実施形態による液晶表示装置では、図1A及び図1Bなどに示すように第2のゲートライン(122b)とオーバーラップされている領域に第1のサブ画素電極の第1の領域(182a)と第1のサブ画素電極の第2の領域(182b)を接続する第1の連結電極(183a)が形成されている。すなわち、第2のゲートライン(122b)は、第1の連結電極(183a)によって覆われているので、液晶層は第2のゲートライン(122b)ではない第1の連結電極(183a)によって形成された電界によって配向角が制御される。ここで、第1の連結電極(183a)は第1のサブ画素電極の第1の領域及び第2の領域(182a、182b)と同一な電位を有するので、第2のゲートライン(122b)とオーバーラップされている液晶層の場合にも他の第1のサブ画素電極の第1の領域及び第2の領域(182a、182b)上の液晶層と同一な配向角を有することができる。従って、光リーク現象が防止できる。

20

【0057】

以上の観点で第1の連結電極(183a)は、第2のゲートライン(122b)を完全に覆うように形成できる。しかしながら、一部のみを覆っても第2のゲートライン(122b)から生成される電界を遮断する効果を有することができるので、適用可能である。

【0058】

以下、本発明の他の実施形態による液晶表示装置について説明する。以下の実施形態で図2に対応する第2の表示板のレイアウト図、及び図4に対応する断面図は、前述した本発明の一実施形態と実質的に同一なのでその図示を省略することである。また、以下の実施形態で既に言及された実施形態で同一な構造及び機能を有する部材については同一な参照符号と示し、その説明を省略するか、簡略化する。

30

【0059】

図7Aは、本発明の他の実施形態による第1の表示板のレイアウト図である。図7Bは、図7Aの第1及び第2のゲートラインと画素電極との関係を示すレイアウト図である。図8は、本発明の他の実施形態による液晶表示装置のレイアウト図である。図9は図8のIX-IX'線に沿って切った断面図である。

【0060】

図7A~図9を参照すれば、本実施形態による液晶表示装置は第1の表示板の第2のゲートライン(122b)が第1の折り曲げ部(187a)を横切っている。また、本発明の一実施形態に比べて第1の表示板の第2のサブ画素電極184の上端下側に設けられる。

40

【0061】

第1のサブ画素電極の第1の領域(182a)及び第2の領域(182b)は、第2のゲートライン(122b)とオーバーラップされている第1の連結電極(183a__1)によって接続されている。第1の連結電極(183a__1)の下端は、第1のサブ画素電極の第2の領域(182b)の下端と実質的に同一線上に設けられる。すなわち、第1の連結電極(183a__1)を中心に斜線型間隙185の傾斜角がマイナスからプラスに変化する。また、第1のサブ画素電極の第2の領域(182b)と第2のサブ画素電極184の間の水平型間隙186は第2のゲートライン(122b)の下側に設けられる。第2

50

のゲートライン(122b)は、第1のサブ画素電極の第1の領域(182a)と第2の領域(182b)及び第1の連結電極(183a_1)によって覆われている。

【0062】

本実施形態による液晶表示装置では、第2のゲートライン(122b)が第1の折り曲げ部(187a)を横切っているが、第2のサブ画素電極184の上端が本発明の一実施形態によって下側に設けられ、水平型間隙186と第2のゲートライン(122b)がオーバーラップされない。従って、第1の連結電極(183a_1)が第1のサブ画素電極の第1の領域(182a)及び第2の領域(182b)を接続しながらも同時に第2のゲートライン(122b)を覆うことができ、第2のゲートライン(122b)の露出による電界歪曲及びそれによる光リーク現象が防止できる。

10

【0063】

図10Aは、本発明のさらに他の実施形態による第1の表示板のレイアウト図である。図10Bは、図10Aの第1及び第2のゲートラインと画素電極との関係を示すレイアウト図である。図11は、本発明のさらに他の実施形態による液晶表示装置のレイアウト図である。図12は、図11のXII-XII'線に沿って切った断面図である。

【0064】

図10A～図12を参照すれば、本実施形態による液晶表示装置は図7A～図9の液晶表示装置のように第1の表示板の第2のゲートライン(122b)が第1の折り曲げ部(187a)を横切っている。第1のサブ画素電極182及び第2のサブ画素電極184の形状は、本発明の一実施形態と実質的に同一である。但し、第1のサブ画素電極の第1の領域(182a)及び第2の領域(182b)を接続する第1の連結電極(183a')は、これらの上端側に設けられる。斜線型間隙185は第2のゲートライン(122b)と交差し、オーバーラップされている。

20

【0065】

一方、本実施形態による液晶表示装置は、斜線型間隙185と第2のゲートライン(122b)がオーバーラップされる領域で第2のゲートライン(122b)を覆う第3のドレイン電極(166c)をさらに含む。第3のドレイン電極(166c)は、第2のドレイン電極(166b)から分枝されて斜線型間隙185と第2のゲートライン(122b)がオーバーラップされる領域で拡張されている。すなわち、第2のゲートライン(122b)の露出領域に第3のドレイン電極(166c)が介在されることによって、第2のゲートライン(122b)から生成される電界を遮断し、第2のゲートライン(122b)及び斜線型間隙185のオーバーラップされた領域での液晶層は、第3のドレイン電極(166c)によって形成される電界に影響を受けるようになる。ここで、第2のドレイン電極(166b)は第2のサブ画素電極184と同一な電位を有し、第2のドレイン電極(166b)に接続された第3のドレイン電極(166c)また第2のサブ画素電極184と同一な電位を有するので、前記オーバーラップ領域での液晶層は第2のサブ画素電極184上に設けられる他の液晶層と同一な配向角を有することができる。従って、電界歪曲及びそれによる光リーク現象が防止できる。

30

【0066】

図13Aは、本発明のさらに他の実施形態による第1の表示板のレイアウト図である。図13Bは、図13Aの第1及び第2のゲートラインと画素電極との関係を示すレイアウト図である。図14は、本発明のさらに他の実施形態による液晶表示装置のレイアウト図である。図15は、図14のXV-XV'線に沿って切った断面図である。

40

【0067】

図13A～図15を参照すれば、本実施形態による液晶表示装置は、図10A～図12の液晶表示装置のように第1の表示板の第2のゲートライン(122b)が第1の折り曲げ部(187a)を横切っており、第1のサブ画素電極182及び第2のサブ画素電極184の形状また図10A～図12の液晶表示装置でと実質的に同一である。

【0068】

但し、本実施形態では、第2のゲートライン(122b)と斜線型間隙185がオーバ

50

ーラップされる領域に第3のドレイン電極の代わりに第3のソース電極(165c)が存在する。図面で第3のソース電極(165c)は、隣接するデータライン162から分枝している。図面の図示例とは違って、第3のソース電極(165c)は当該画素を管轄するデータライン162から分枝されてもよい。第3のソース電極(165c)には、データライン162に印加される電圧によって多様なデータ電圧が印加できる。しかしながら、前述したようにデータライン162に印加される電圧は約0V~15Vの範囲であることと例示でき、この場合第2のゲートライン(122b)の約-7Vより周辺のサブ画素電極との電圧差が大きくないので、液晶の配向角に大きい差が生じない。従って光リーク現象が緩和できる。

【0069】

10

一方、図10A~図12の実施形態及び図13A~図15の実施形態では、第3のドレイン電極又は第3のソース電極が斜線型間隙にオーバーラップされるように形成された場合を例示したが、第2のゲートラインが水平型間隙を通じて露出される場合には水平型間隙にオーバーラップされるように形成されてもよい。

【0070】

以上、添付した図面を参照して本発明の好適な実施形態を説明したが、当業者であれば、本発明の技術的思想や必須的な特徴を変更せずに他の具体的な形態で実施されうることができる。したがって、上述した好適な実施形態は、例示的なものであり、限定的なものではないと理解されるべきである。

【産業上の利用可能性】

20

【0071】

本発明は、垂直配向特性を有するPVAモードの液晶表示装置に適用できる。

【図面の簡単な説明】

【0072】

【図1A】本発明の一実施形態による第1の表示板のレイアウト図である。

【図1B】図1Aの第1及び第2のゲートラインと画素電極との関係を示すレイアウト図である。

【図2】本発明の一実施形態による第2の表示板のレイアウト図である。

【図3】本発明の一実施形態による液晶表示装置のレイアウト図である。

【図4】図3のIV-IV'線に沿って切った断面図である。

30

【図5】図3のV-V'線に沿って切った断面図である。

【図6】本発明の一実施形態による液晶表示装置の回路図である。

【図7A】本発明の他の実施形態による第1の表示板のレイアウト図である。

【図7B】図7Aの第1及び第2のゲートラインと画素電極との関係を示すレイアウト図である。

【図8】本発明の他の実施形態による液晶表示装置のレイアウト図である。

【図9】図8-IX'線に沿って切った断面図である。

【図10A】本発明のさらに他の実施形態による第1の表示板のレイアウト図である。

【図10B】図10Aの第1及び第2のゲートラインと画素電極との関係を示すレイアウト図である。

40

【図11】本発明のさらに他の実施形態による液晶表示装置のレイアウト図である。

【図12】図11のXII-XII'線に沿って切った断面図である。

【図13A】本発明のさらに他の実施形態による第1の表示板のレイアウト図である。

【図13B】図13Aの第1及び第2のゲートラインと画素電極との関係を示すレイアウト図である。

【図14】本発明のさらに他の実施形態による液晶表示装置のレイアウト図である。

【図15】図14のXV-XV'線に沿って切った断面図である。

【符号の説明】

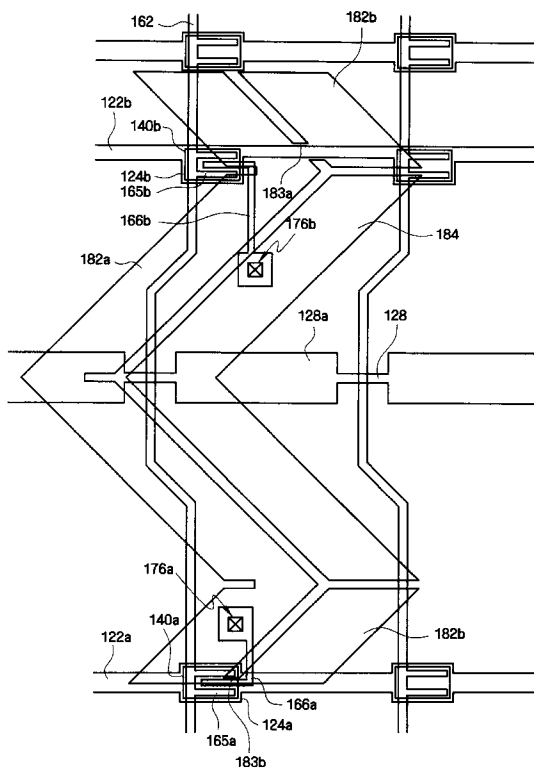
【0073】

122a 第1のゲートライン

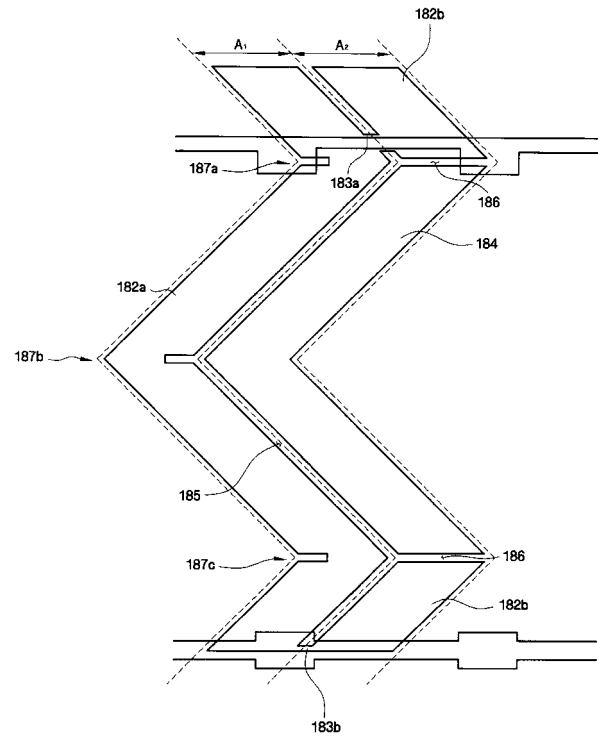
50

- 1 2 2 b 第 2 のゲートライン
- 1 6 5 c 第 3 のソース電極
- 1 6 6 c 第 3 のドレイン電極
- 1 8 2 第 1 のサブ画素電極
- 1 8 4 第 2 のサブ画素電極
- 1 8 5 斜線型間隙
- 1 8 6 水平型間隙

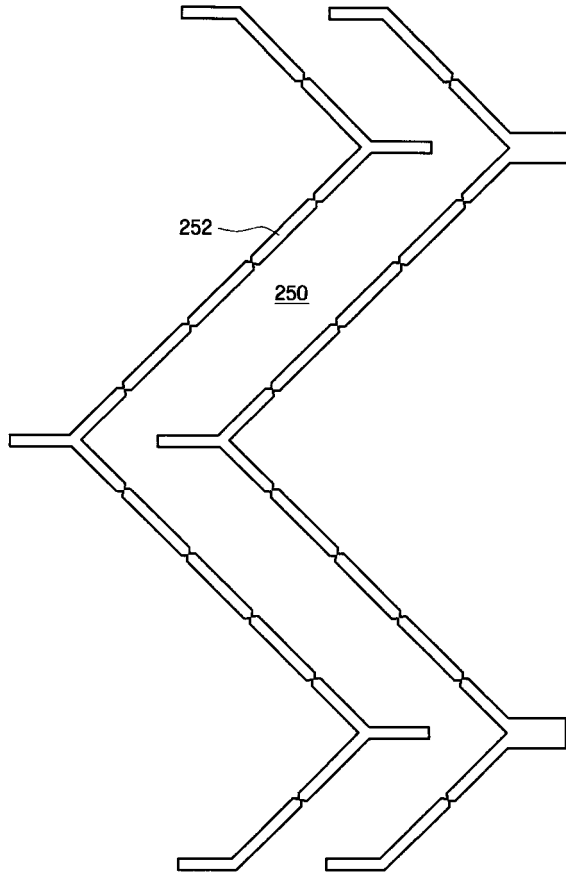
【図 1 A】



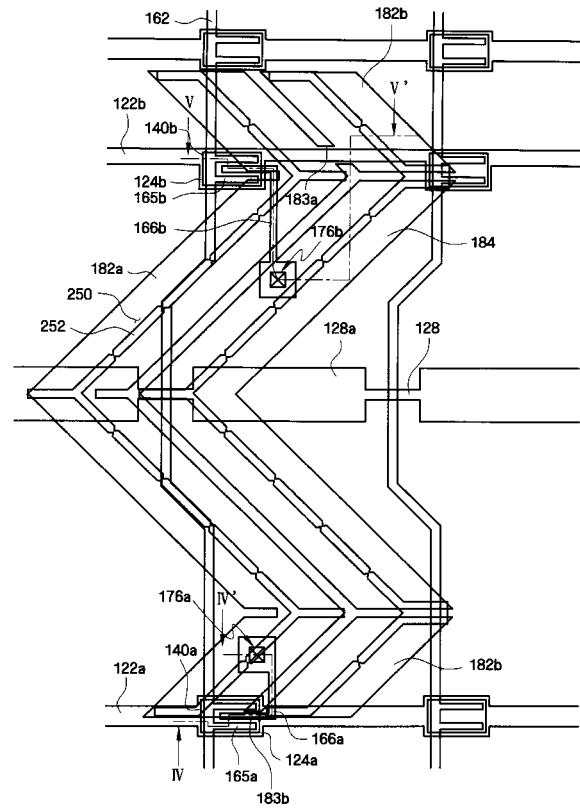
【図 1 B】



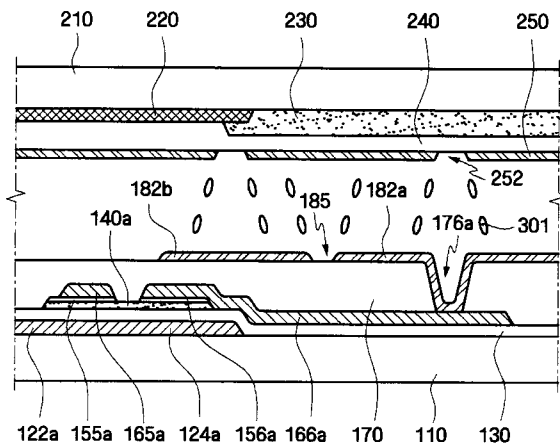
【図 2】



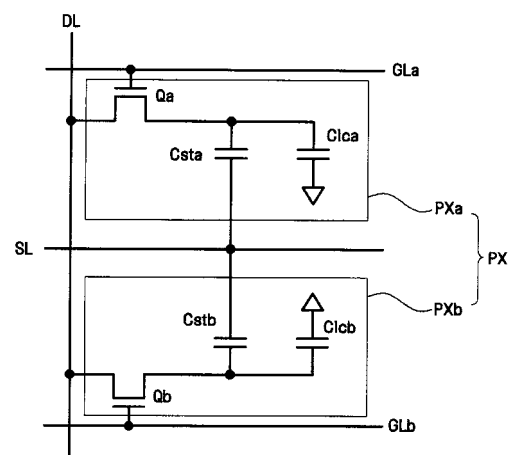
【図 3】



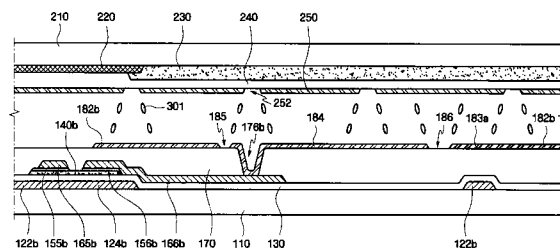
【図 4】



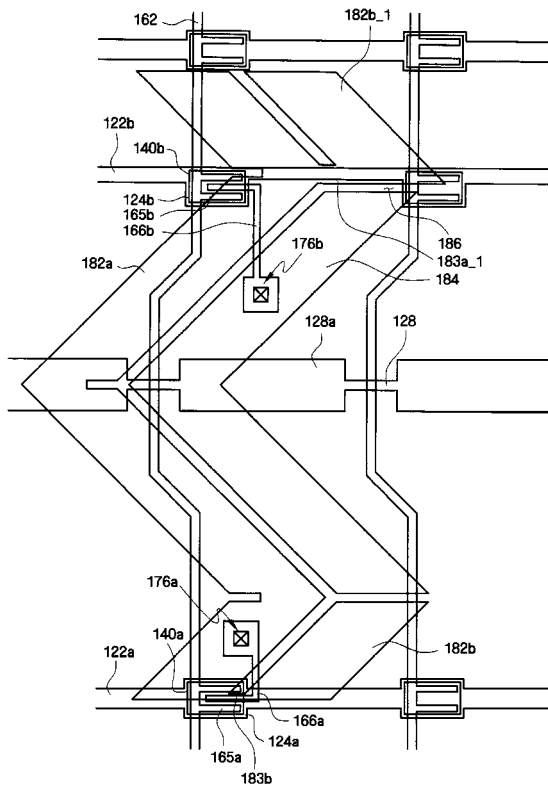
【図 6】



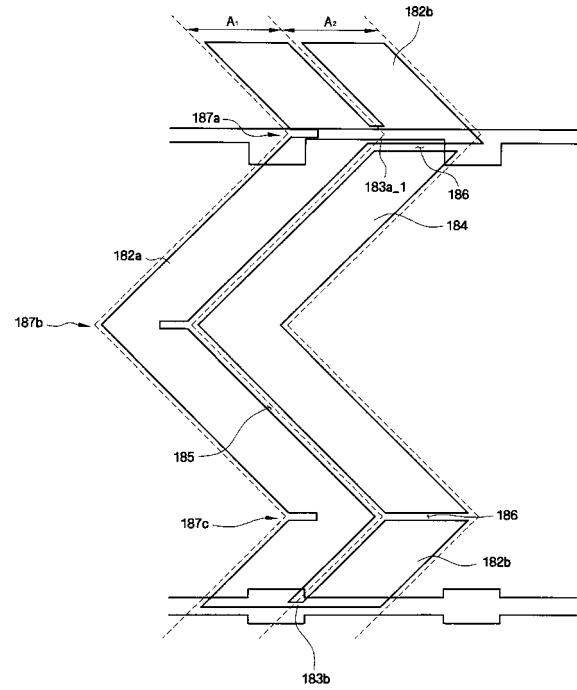
【図 5】



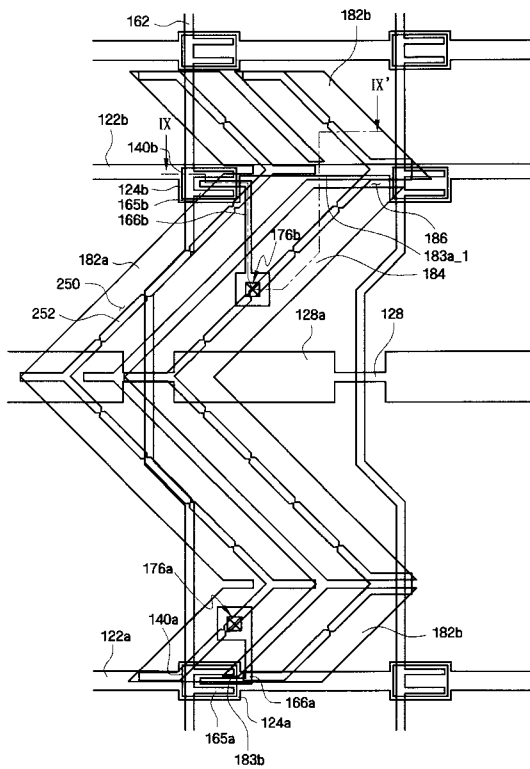
【図 7 A】



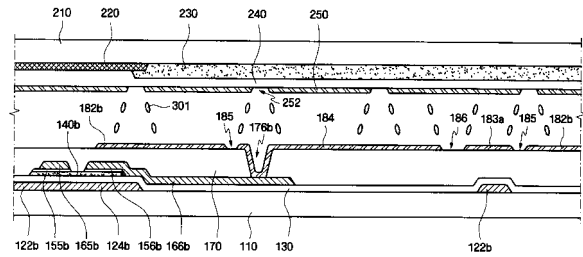
【図 7 B】



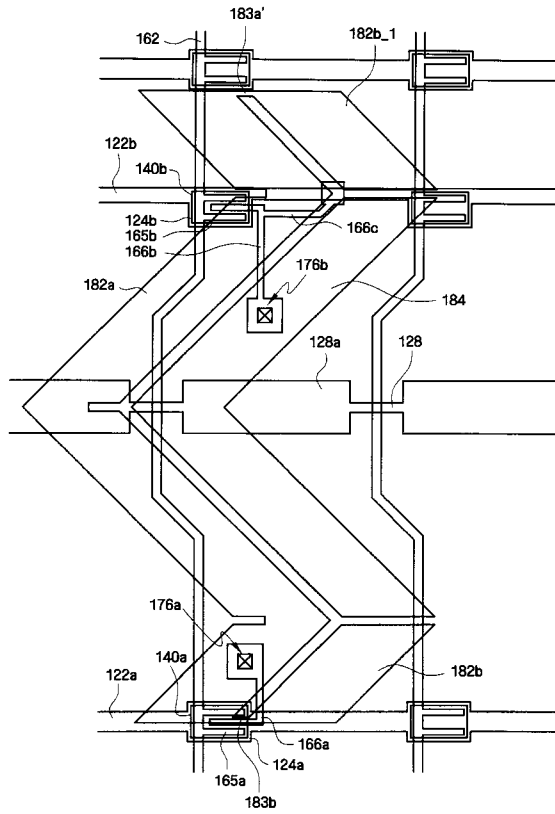
【図 8】



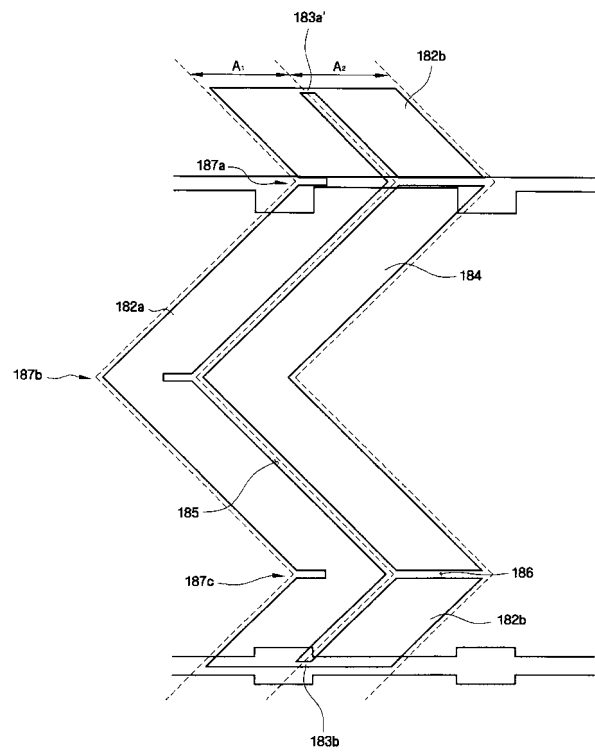
【図 9】



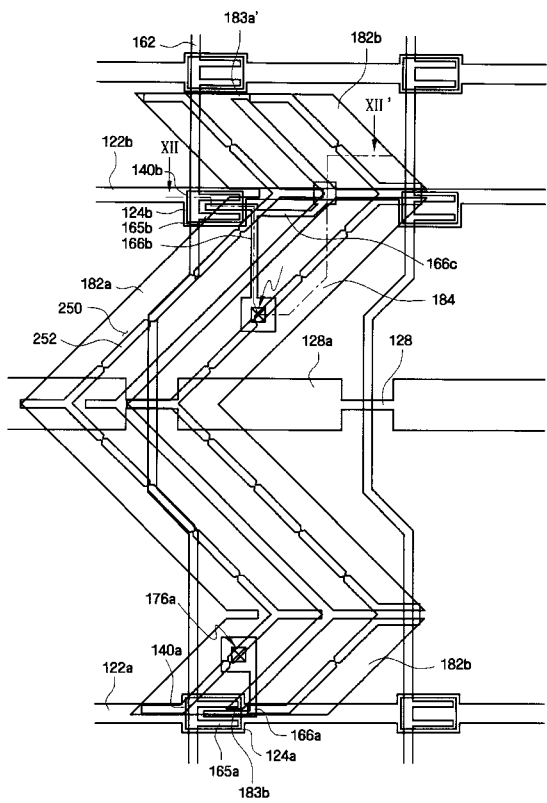
【図10A】



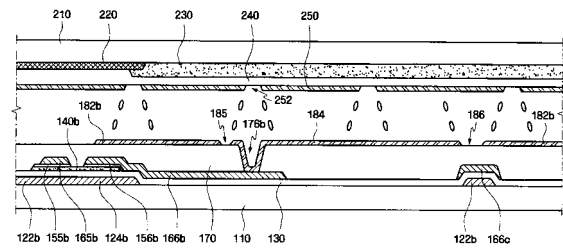
【図10B】



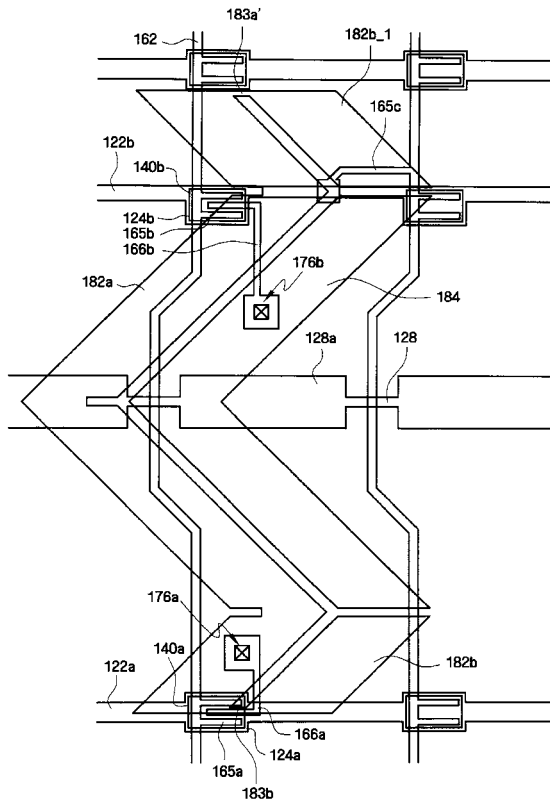
【図11】



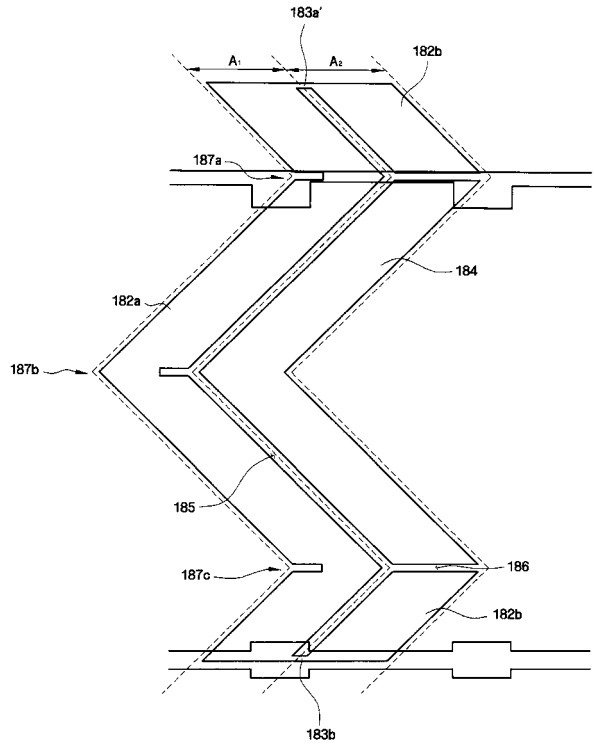
【図12】



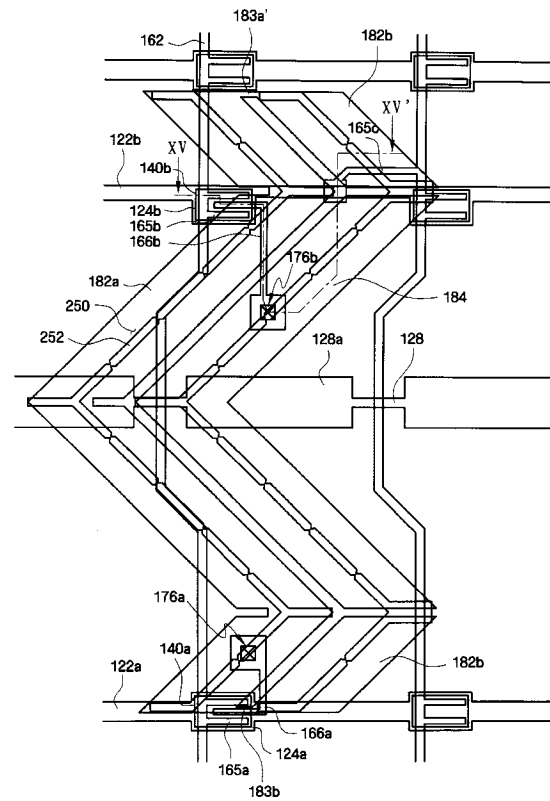
【図 13 A】



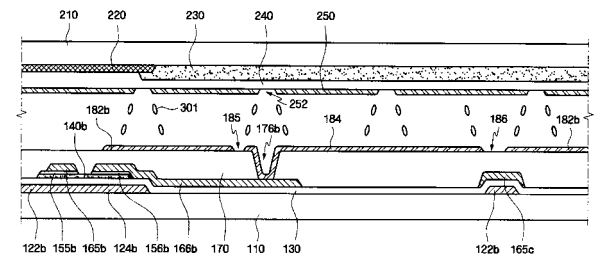
【図 13 B】



【図 14】



【図 15】



フロントページの続き

- (72)発明者 李 栢 遠
大韓民国忠清南道天安市佛堂洞 大同ダスアップ 1 1 0 棟 8 0 2 號
- (72)発明者 丁 采 祐
大韓民国忠清南道天安市雙龍洞 1 9 2 3 番地 龍岩東亜碧山アパートメント 1 0 2 棟 2 0 1 號
- (72)発明者 田 尚 盆
大韓民国京畿道龍仁市器興區南羅洞 現代モーニングサイド 2 次アパートメント 1 0 3 棟 1 7 0 2 號
- (72)発明者 洪 權 三
大韓民国ソウル特別市銅雀區大方洞 盛源アパートメント 1 0 2 棟 9 0 2 號
- (72)発明者 崔 相 虔
大韓民国京畿道水原市靈通區靈通洞 ワンゴルマエウル 2 團地 ワンゴル雙龍アパートメント 2 4 8 棟 1 9 0 3 號
- (72)発明者 李 庸 羽
大韓民国ソウル特別市龍山區厚岩洞 1 4 3 - 3 6 番地
- (72)発明者 金 容 照
大韓民国ソウル特別市西大門區弘恩 3 洞 現代アパートメント 2 0 2 棟 9 0 6 號
- (72)発明者 孫 賢 徳
大韓民国京畿道龍仁市水枝區上現洞 瑞元マエウル錦湖ベストヴィル 5 0 8 棟 8 0 1 號

審査官 小濱 健太

- (56)参考文献 特開 2 0 0 6 - 1 8 4 9 1 3 (J P , A)
特開 2 0 0 5 - 0 5 5 8 9 7 (J P , A)
特開 2 0 0 4 - 3 4 8 1 3 1 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 2 F 1 / 1 3 4 3
G 0 2 F 1 / 1 3 6 8