



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년06월05일
 (11) 등록번호 10-1152403
 (24) 등록일자 2012년05월25일

(51) 국제특허분류(Int. Cl.)
G11C 16/34 (2006.01) **G11C 16/24** (2006.01)
G11C 16/30 (2006.01)
 (21) 출원번호 10-2010-0065390
 (22) 출원일자 2010년07월07일
 심사청구일자 2010년07월07일
 (65) 공개번호 10-2012-0004740
 (43) 공개일자 2012년01월13일
 (56) 선행기술조사문헌
 KR1020060095655 A*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
에스케이하이닉스 주식회사
 경기도 이천시 부발읍 경충대로 2091
 (72) 발명자
최원범
 서울특별시 동작구 동작대로29길 115, 우성 아파트 304동 1402호 (사당동)
 (74) 대리인
특허법인 신성

전체 청구항 수 : 총 6 항

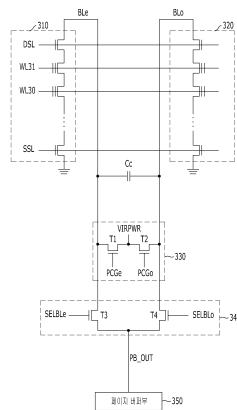
심사관 : 이진익

(54) 발명의 명칭 **비휘발성 메모리 및 이의 동작방법**

(57) 요약

비휘발성 메모리는, 이븐 셀스트링에 연결된 이븐 비트라인; 오드 셀스트링에 연결된 오드 비트라인; 프로그램 동작 전에 상기 이븐 비트라인과 상기 오드 비트라인을 프리차지하되, 상기 이븐 비트라인과 상기 오드 비트라인 중 선택된 비트라인은 목표값보다 작게 프리차지하고, 선택되지 않은 비트라인은 목표값으로 프리차지하는 비트라인 프리차지부; 및 프로그램 동작시에, 상기 선택된 비트라인의 데이터가 프로그램 데이터이면 상기 선택된 비트라인이 디스차지되도록 하고 상기 선택된 비트라인의 데이터가 프로그램 데이터가 아니면 상기 선택된 비트라인이 상기 목표값으로 프리차지되도록 하는 페이지 버퍼부를 포함한다.

대표도 - 도3



특허청구의 범위

청구항 1

이븐 셀스트링에 연결된 이븐 비트라인;

오드 셀스트링에 연결된 오드 비트라인;

이븐 프리차지 신호에 응답하여 프리차지 전압을 상기 이븐 비트라인에 전달하기 위한 제1트랜지스터; 및

오드 프리차지 신호에 응답하여 상기 프리차지 전압을 상기 오드 비트라인에 전달하기 위한 제2트랜지스터를 포함하고,

프로그램 동작 이전의 프리차지 동작시에, 상기 이븐 프리차지 신호와 상기 오드 프리차지 신호 중 선택된 비트라인에 대응되는 프리차지 신호가 선택되지 않은 비트라인에 대응되는 프리차지 신호보다 낮은 전압 레벨을 갖는

비휘발성 메모리.

청구항 2

제 1항에 있어서,

상기 프로그램 동작 이전의 프리차지 동작시에, 상기 선택된 비트라인은 목표값보다 작게 프리차지되고, 선택되지 않은 비트라인은 목표값으로 프리차지되는

비휘발성 메모리.

청구항 3

제 2항에 있어서,

프로그램 동작시에, 상기 선택된 비트라인의 데이터가 프로그램 데이터이면 상기 선택된 비트라인이 디스차지 되도록 하고 상기 선택된 비트라인의 데이터가 프로그램 데이터가 아니면 상기 선택된 비트라인이 상기 목표값으로 프로그램되도록 하는 페이지 버퍼부를

더 포함하는 비휘발성 메모리.

청구항 4

제 3항에 있어서,

프로그램 동작시에, 상기 이븐 프리차지 신호와 상기 오드 프리차지 신호중 선택되지 않은 비트라인에 대응되는 프리차지 신호는 활성화 레벨을 유지하는

비휘발성 메모리.

청구항 5

제 3항에 있어서,

상기 비휘발성 메모리는

상기 선택된 비트라인에 상기 페이지 버퍼부를 전기적으로 연결시켜주기 위한 비트라인 선택부를

를 더 포함하는 비휘발성 메모리.

청구항 6

제 2항에 있어서,
 상기 선택된 비트라인은 목표값*(2/5)~목표값*(3/5)로 프리차지되는 비휘발성 메모리.

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

명세서

기술분야

[0001] 본 발명은 비휘발성 메모리에 관한 것이다.

배경기술

[0002] 메모리소자는 전원공급 차단시 데이터의 유지 여부에 따라 휘발성 메모리소자와 비휘발성 메모리소자로 나누어진다. 휘발성 메모리소자는 전원공급 차단시 데이터가 소멸되는 메모리소자로서, 디램 및 에스램이 이에 속한다. 비휘발성 메모리소자는 전원공급이 차단되더라도 저장된 데이터가 그대로 유지되는 메모리소자로, 플래쉬 메모리소자가 이에 속한다.

[0003] 도 1은 비휘발성 메모리의 비트라인에 발생하는 기생 캐패시턴스 성분을 나타낸 도면이다.

[0004] 도 1을 참조하면, 이븐 비트라인(BLe)과 오드 비트라인(BLo) 사이의 커플링에 의해 커플링 캐패시터(Cc) 성분이 발생한다. 또한, 이븐 비트라인(BLe)과 접지(ground) 사이의 커플링에 의해 그라운드 캐패시터(Cg) 성분이 발생하며, 오드 비트라인과 접지 사이의 커플링에 의해 그라운드 캐패시터(Cg) 성분이 발생한다. 일반적으로 비트라인(BLe, BLo) 간의 커플링에 의한 커플링 캐패시터(Cc) 성분이 비트라인(BLe, BLo)과 접지 간의 커플링에 의한 그라운드 캐패시터(Cg) 성분보다 9배 정도 크게 발생된다.

[0005] 도 2a,b는 종래의 비휘발성 메모리에서 프로그램 동작 전에 비트라인이 프리차지 및 리커버리(precharge & recovery)되는 과정을 도시한 도면이다.

[0006] 도 2a를 참조하여 구성을 살펴보면, 이븐 비트라인(BLe)과 오드 비트라인(BLo)에는 각각 대응되는 셀스트링(210, 220)이 연결된다. 또한, 이븐 비트라인(BLe)과 오드 비트라인(BLo)을 프리차지 하기 위해 비트라인 프리차지부(230)가 구비된다. 또한, 비트라인 선택부(240)는 이븐 비트라인(BLe)과 오드 비트라인(BLo) 중 선택된 비트라인을 페이지 버퍼부(250)에 전기적으로 연결시킨다.

[0007] 도 2a를 참조하여 비트라인(BLe, BLo)이 프리차지 되는 과정을 살펴보면, 이븐 프리차지 신호(PCGe)와 오드 프리차지 신호(PCGo)가 '하이'레벨이 되어 트랜지스터(T1, T2)가 턴온되고, 버추얼 파워단(VIRPWR)에 인가된 프리차지 전압이 이븐 비트라인(BLe)과 오드 비트라인(BLo)에 공급된다. 도면의 화살표(a),(b)가 비트라인(BLe, BLo)에 전류가 공급되는 것을 나타내는데, 이 경우에는 이븐 비트라인(BLe)과 오드 비트라인(BLo)이 동

시에 프리차지되므로, 커플링 캐패시터(Cc)에 의한 영향이 크지 않다.

- [0008] 도 2b를 참조하면, 비트라인(BLe, BLo)의 프리차지 이후에, 이븐 비트라인(BLe)과 오드 비트라인(BLo) 중 페이지 버퍼부(250)에 의해 제어되도록 선택된 비트라인이 페이지 버퍼부(250)의 출력노드(PB_OUT)와 전기적으로 연결되고 선택되지 않은 비트라인은 이전과 동일한 상태를 유지한다. 이븐 페이지 동작시에는 이븐 비트라인(BLe)이 선택된 비트라인이 되고, 오드 페이지 동작시에는 오드 비트라인(BLo)이 선택된 비트라인이 된다. 이하에서는 이븐 비트라인(BLe)이 선택된 비트라인이라고 가정하기로 한다. 이븐 비트라인(BLe)이 선택된 비트라인이므로 이븐 선택신호(SELe)는 '하이'로 활성화되고, 오드 선택신호(SELo)는 '로우'로 비활성화된다. 또한, 이븐 프리차지 신호(PCGe)는 '로우'로 비활성화되고 오드 프리차지 신호(PCGo)는 '하이'로 활성화된 상태를 유지한다.
- [0009] 페이지 버퍼(250)의 출력노드(PB_OUT)는 입력된 데이터에 의해 전압 레벨이 변경되는데, 입력된 데이터가 프로그램 데이터(메모리셀을 프로그램해야할 데이터)이면 출력노드(PB_OUT)의 전압 레벨이 '로우'레벨이 되고, 입력된 데이터가 프로그램 데이터가 아니면(즉, inhibit 데이터이면) 출력노드(PB_OUT)의 전압 레벨이 '하이'레벨이 된다. 따라서, 비트라인(BLe, BLo)에 흐르는 전류의 방향은 다음의 경우(case)(1),(2)와 같이 된다.
- [0010] 경우(1) 입력된 데이터가 프로그램 데이터인 경우에는, 페이지 버퍼(250)의 출력노드(PB_OUT)가 '로우'레벨이 되므로 선택된 비트라인(BLe)에는 (c)방향으로 전류가 흐르며 그 결과 선택된 비트라인(BLe)은 '로우'레벨로 디스차지된다. 한편, 선택되지 않은 비트라인(BLo)에는 (e)방향으로 전류가 흐른다. 이 경우에, 선택된 비트라인(BLe)과 선택되지 않은 비트라인(BLo) 간에는 반대방향의 전류가 흐르는데, 이는 결국 커플링 캐패시터(Cc)를 충전하는 것과 같은 효과를 발생시켜 이 구간 동안에는 매우 큰 순간 전류(peak current)가 소모된다.
- [0011] 경우(2) 입력된 데이터가 프로그램 데이터가 아닌 경우에는, 페이지 버퍼의 출력노드(PB_OUT)가 '하이'레벨이 되므로 선택된 비트라인(BLe)에는 (d)방향으로 전류가 흐르며, 선택되지 않은 비트라인(BLo)에는 (e)방향으로 전류가 흐른다. 이 경우에, 선택된 비트라인(BLe)과 선택되지 않은 비트라인(BLo) 간에는 동일한 방향의 전류가 흐르므로, 많은 피크 전류가 소모되지 않는다.
- [0012] 상기한 경우(1)은 한 페이지(프로그램 동작의 단위) 내의 모든 이븐 비트라인(BLe)과 오드 비트라인(BLo) 사이에서 동시에 발생할 수 있는데, 수많은 커플링 캐패시터(Cc)를 충전하는 방향으로 전류가 흐르게 되므로, 비휘발성 메모리 내에서는 매우 많은 순간 전류가 소모되며, 이는 비휘발성 메모리의 전체 동작 중 순간 전류가 가장 많이 소모되는 구간에 해당한다. 이때에는 과도한 순간전류로 인해 비휘발성 메모리의 전원이 불안정해지며, 결국 동작의 페일까지도 유발한다.

발명의 내용

해결하려는 과제

- [0013] 본 발명은 상기한 종래기술의 문제점을 해결하기 위해 제안된 것으로, 비휘발성 메모리의 피크 전류를 줄이고자 하는데, 그 목적이 있다.

과제의 해결 수단

- [0014] 상기한 목적을 달성하기 위한 본 발명의 일실시예에 따른 비휘발성 메모리는, 이븐 셀스트링에 연결된 이븐 비트라인; 오드 셀스트링에 연결된 오드 비트라인; 프로그램 동작 전에 상기 이븐 비트라인과 상기 오드 비트라인을 프리차지하되, 상기 이븐 비트라인과 상기 오드 비트라인 중 선택된 비트라인은 목표값보다 작게 프리차지하고, 선택되지 않은 비트라인은 목표값으로 프리차지하는 비트라인 프리차지부; 및 프로그램 동작시에, 상기 선택된 비트라인의 데이터가 프로그램 데이터이면 상기 선택된 비트라인이 디스차지되도록 하고 상기 선택된 비트라인의 데이터가 프로그램 데이터가 아니면 상기 선택된 비트라인이 상기 목표값으로 프리차지되도록 하는 페이지 버퍼부를 포함한다.
- [0015] 상기 비트라인 프리차지부는, 이븐 프리차지 신호에 응답하여 프리차지 전압을 상기 이븐 비트라인에 전달하

기 위한 제1트랜지스터; 및 오드 프리차지 신호에 응답하여 상기 프리차지 전압을 상기 오드 비트라인에 전달하기 위한 제2트랜지스터를 포함하고, 프리차지 동작시에 상기 이븐 프리차지 신호와 상기 오드 프리차지 신호 중 선택된 비트라인에 대응되는 프리차지 신호가 선택되지 않은 비트라인에 대응되는 프리차지 신호보다 낮은 전압 레벨을 갖는 것을 특징으로 할 수 있다.

[0016] 또한, 본 발명의 일실시예에 따른 비휘발성 메모리의 동작방법은, 이븐 비트라인과 오드 비트라인을 프리차지 하되, 상기 이븐 비트라인과 상기 오드 비트라인 중 선택된 비트라인은 목표값보다 작게 프리차지하고, 선택되지 않은 비트라인은 목표값으로 프리차지하는 제1단계; 및 상기 선택된 비트라인의 데이터가 프로그램 데이터이면 상기 선택된 비트라인을 디스차지하고 상기 선택된 비트라인의 데이터가 프로그램 데이터가 아니면 상기 선택된 비트라인을 상기 목표값으로 프리차지하는 제2단계를 포함한다.

[0017] 상기 제1단계에서 상기 선택된 비트라인은 목표값*(2/5)~목표값*(3/5)로 프리차지 되는 것을 특징으로 할 수 있다.

발명의 효과

[0018] 본 발명에 따르면, 선택된 비트라인이 비트라인 프리차지부에 의해 일부 프리차지된 이후에, 페이지 버퍼부에 의해 디스차지되거나 완전히 프리차지된다. 따라서, 비휘발성 메모리의 전류소모가 분산되고, 그 결과 비휘발성 메모리의 피크전류를 감소시킬 수 있다.

도면의 간단한 설명

[0019] 도 1은 비휘발성 메모리의 비트라인에 발생하는 기생 캐패시턴스 성분을 나타낸 도면.

도 2a,b는 종래의 비휘발성 메모리에서 프로그램 동작 전에 비트라인이 프리차지 및 리커버리(precharge & recovery)되는 과정을 도시한 도면.

도 3은 본 발명에 따른 비휘발성 메모리의 일실시예 구성도.

도 4a,b,c는 본 발명에 따른 비휘발성 메모리의 동작을 설명하기 위한 도면.

발명을 실시하기 위한 구체적인 내용

[0020] 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있도록 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.

[0021] 도 3은 본 발명에 따른 비휘발성 메모리의 일실시예 구성도이다.

[0022] 도 3을 참조하면, 비휘발성 메모리는 이븐 비트라인(BLe), 오드 비트라인(BLo), 비트라인 프리차지부(330), 페이지 버퍼부(350), 비트라인 선택부(340)를 포함한다.

[0023] 이븐 비트라인(BLe)은 이븐 셀스트링(310)에 연결된 비트라인이고, 오드 비트라인(BLo)은 오드 셀스트링(320)에 연결된 비트라인이다. 이븐 페이지의 동작시에는 이븐 셀스트링(310)이 프로그램되고, 오드 페이지의 동작시에는 오드 셀스트링(320)이 프로그램된다.

[0024] 비트라인 프리차지부(330)는 프로그램 동작 전에 이븐 비트라인(BLe)과 오드 비트라인(BLo)을 프리차지한다. 종래의 비트라인 프리차지부(도 2 230)는 이븐 비트라인(BLe)과 오드 비트라인(BLo)을 동일한 전압 레벨로 프리차지 했지만, 본 발명의 비트라인 프리차지부(330)는 이븐 비트라인(BLe)과 오드 비트라인(BLo) 중 선택되지 않은 비트라인은 목표값(일반적으로 VCC)까지 프리차지하고, 선택된 비트라인은 목표값보다 낮게 프리차지한다. 여기서 목표 레벨보다 낮은 레벨이란 대략 목표값의 1/2정도의 레벨을 의미하는데, 그 범위는 (목표값*2/5~목표값*3/5)를 의미한다. 또한, 비트라인 프리차지부(330)는 프리차지 동작 이후(즉, 프로그램 동작시)에는 선택된 비트라인으로의 전류 패스를 끊고, 선택되지 않는 비트라인으로의 전류 패스만을 유지시킨다. 선택된 비트라인은 이븐 페이지 동작시에는 이븐 비트라인(BLe)을 의미하고, 오드 페이지 동작시에는 오드 비트라인(BLo)을 의미한다.

- [0025] 비트라인 프리차지부(330)는 이븐 프리차지 신호(PCGe)에 응답하여 버추얼 파워단(VIRPWR)에 인가된 프리차지 전압을 이븐 비트라인(BLe)에 전달하는 제1트랜지스터(T1)와 오드 프리차지 신호(PCGo)에 응답하여 버추얼 파워단(VIRPWR)에 인가된 프리차지 전압을 오드 비트라인(BLo)에 전달하는 제2트랜지스터(T2)를 포함하여 구성될 수 있다. 프리차지 동작시에 선택된 비트라인에 대응되는 프리차지 신호는 선택되지 않은 비트라인에 대응되는 프리차지 신호보다 낮은 전압 레벨을 가지며, 이로 인해 선택된 비트라인에 전류를 공급하는 트랜지스터는 선택되지 않은 비트라인에 전류를 공급하는 트랜지스터보다 약하게 턴온되고, 선택된 비트라인이 목표값보다 작게 프리차지되는 것이 가능해진다. 예를 들어, 이븐 비트라인(BLe)이 선택된 비트라인이라면 프리차지 동작시에 이븐 프리차지 신호(PCGe)가 오드 프리차지 신호(PCGo)보다 낮은 전압 레벨을 갖는다.
- [0026] 비트라인 선택부(340)는 프로그램 동작시에 선택된 비트라인을 페이지 버퍼부(350)의 출력노드(PB_OUT)와 연결시킨다. 즉, 이븐 페이지 동작시에는 이븐 선택신호(SELBLe)가 활성화되어 트랜지스터(T3)가 턴온되고, 오드 페이지 동작시에는 오드 선택신호(SELBLo)가 활성화되어 트랜지스터(T4)가 턴온된다.
- [0027] 페이지 버퍼부(350)는 입력된 데이터가 프로그램 데이터(메모리셀을 프로그램해야 할 데이터)이면 출력노드(PB_OUT)를 '하이'레벨(VCC레벨)로 하고, 입력된 데이터가 프로그램 데이터가 아니면(메모리셀을 프로그램 하지 않는 데이터)이면 출력노드(PB_OUT)를 '로우'레벨(접지레벨)로 만든다. 따라서 프로그램 동작시에 출력노드(PB_OUT)에 연결되는 선택된 비트라인은 페이지 버퍼부(350)에 의해 '하이'레벨로 프리차지되거나, '로우'레벨로 디스차지된다.
- [0028] 도 4a,b,c는 본 발명에 따른 비휘발성 메모리의 동작을 설명하기 위한 도면인데, 도 4a,b,c를 참조하여 비휘발성 메모리의 동작에 대해 살펴보기로 한다. 이하에서는 이븐 비트라인(BLe)이 선택된 비트라인이고 오드 비트라인(BLo)이 선택되지 않은 비트라인이라 가정하고 설명하기로 한다. 도 4a,b,c에 도시된 Cc는 커플링에 의해 발생하는 커플링 캐패시터 성분을 나타낸다.
- [0029] 도 4a는 프로그램 동작 전에 비트라인이 프리차지되는 과정을 나타낸다. 도 4a를 참조하면, 비트라인 프리차지부(330)는 선택된 비트라인(BLe)과 선택되지 않은 비트라인(BLo)을 모두 프리차지한다. 그런데, 선택된 비트라인(BLe)의 프리차지 신호(PCGe)는 선택되지 않은 비트라인(BLo)의 프리차지 신호(PCGo)보다는 낮은 레벨(트랜지스터를 약하게 턴온시키는 레벨)을 갖는다. 따라서 트랜지스터(T1)는 트랜지스터(T2)보다는 약하게 턴온된다. 그러므로, 선택된 비트라인(BLe)은 목표값(VCC)*1/2 정도의 레벨로 프리차지되고, 선택되지 않은 비트라인(BLo)은 목표값(VCC)으로 프리차지된다. 이때에는 선택된 비트라인(BLe)과 선택되지 않은 비트라인(BLo) 모두 페이지 버퍼부(350)와 연결되지 않는다. 즉, 이븐 선택신호(SELBLe)와 오드 선택신호(SELBLo)는 모두 '로우'레벨로 비활성화된 상태를 유지한다. 도 4a의 화살표는 전류가 이동하는 경로를 나타낸다.
- [0030] 도 4b는 프로그램 데이터가 입력된 경우의 프로그램 동작을 나타낸다. 프로그램 데이터가 인가된 경우에 페이지 버퍼부(350)의 출력노드(PB_OUT)는 '로우'레벨(GND)을 가지며, 선택된 비트라인(BLe)에 연결된다. 따라서 선택된 비트라인(BLe)은 페이지 버퍼부(350)에 의해 '로우'레벨로 디스차지된다. 한편, 오드 프리차지 신호(PCGo)는 계속 활성화된 상태를 유지하기에, 선택된 비트라인(BLe)의 전압 레벨이 낮아지더라도 선택되지 않은 비트라인(BLo)의 전압 레벨은 목표레벨(VCC)로 계속 유지된다. 도 4b의 화살표는 전류가 이동하는 경로를 나타낸다.
- [0031] 도 4b의 동작을 보면, 목표값(VCC)의 1/2정도로 프리차지되어 있던 선택된 비트라인(BLe)은 디스차지되며, 목표값(VCC)으로 프리차지되어 있던 선택되지 않은 비트라인(BLo)은 목표값(VCC)을 계속 유지한다. 이 경우에 커플링 캐패시터(Cc)에 의해 전류가 소모되기는 하지만, 종래와 같이 선택된 비트라인(BLe)이 목표값(VCC)으로부터 접지전압으로 디스차지되는 것이 아니라, 목표값(VCC)*1/2의 값으로부터 접지전압으로 디스차지되므로, 전류의 소모는 종래에 비해 반으로 줄어든다. 도 4b의 동작구간이 종래의 비휘발성 메모리에서 가장 큰 피크전류(peak current)가 소모되는 구간이었으나, 본 발명은 이를 반으로 줄임으로써 피크전류에 의해 발생하는 문제점을 제거할 수 있다.
- [0032] 도 4c는 프로그램 데이터가 아닌 데이터가 입력된 경우의 프로그램 동작을 나타낸다. 프로그램 데이터가 아닌 데이터가 인가된 경우에 페이지 버퍼부(350)의 출력노드(PB_OUT)는 '하이'레벨(VCC)을 가지며, 선택된 비트라인(BLe)에 연결된다. 따라서 선택된 비트라인(BLe)은 페이지 버퍼부(350)에 의해 목표값(VCC)과 동일한 값으로

로 프리차지된다. 이 경우에는 선택된 비트라인(BLe)은 높은 레벨을 유지하므로, 선택된 비트라인(BLe)에 연결된 셀스트링(310) 내의 메모리셀이 프로그램되지 않는다. 이를 일반적으로 프로그램 인히비트(program inhibit) 된다고 한다. 한편, 오드 프리차지 신호(BLo)는 계속 활성화된 레벨을 유지하기에 선택되지 않은 비트라인(BLo)은 계속 목표값을 유지한다.

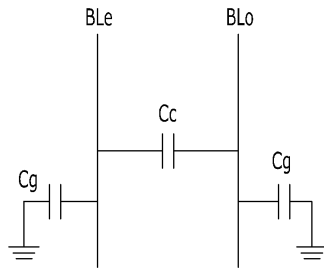
[0033] 본 발명의 기술사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예들은 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술분야에서 통상의 전문가라면 본 발명의 기술사상의 범위 내에서 다양한 실시예가 가능함을 알 수 있을 것이다.

부호의 설명

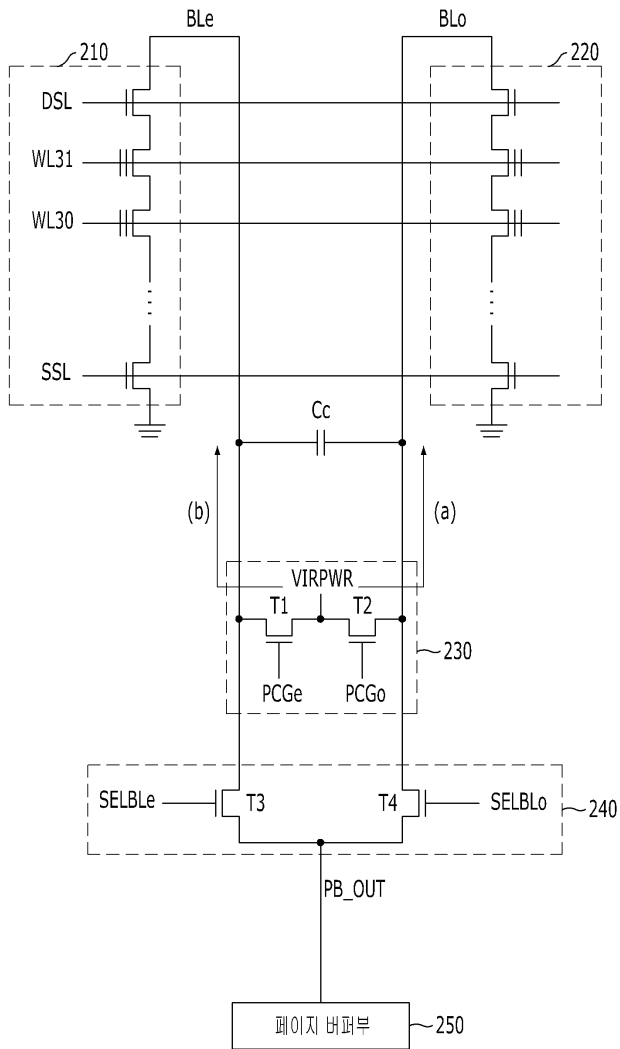
- | | | |
|--------|-----------------|---------------|
| [0034] | BLe: 이븐 비트라인 | BLo: 오드 비트라인 |
| | 310: 이븐 셀스트링 | 320: 오드 셀스트링 |
| | 330: 비트라인 프리차지부 | 340: 비트라인 선택부 |
| | 350: 페이지 버퍼부 | |

도면

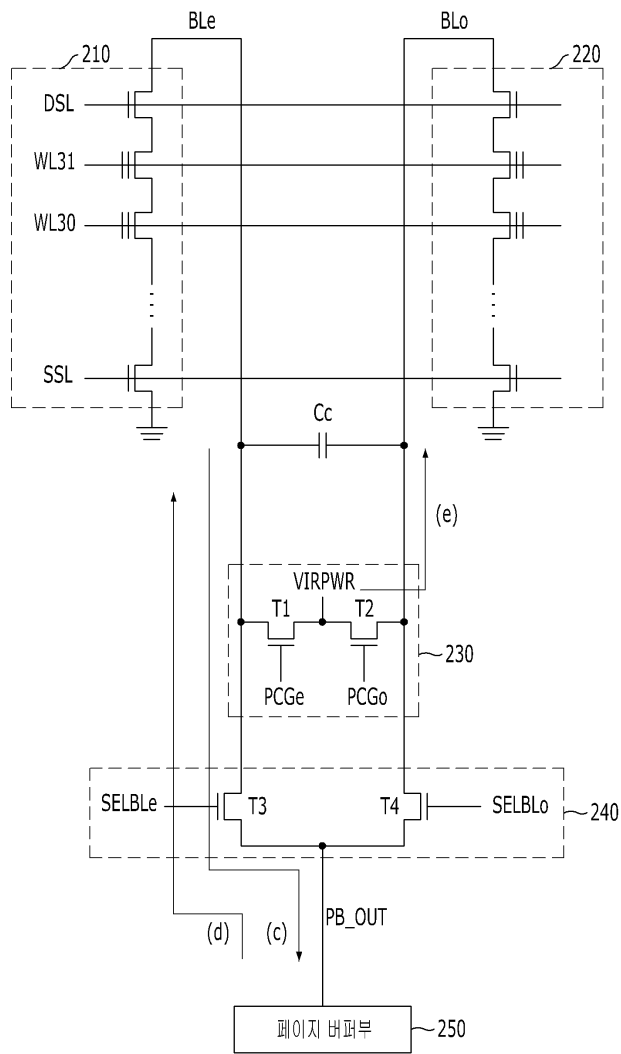
도면1



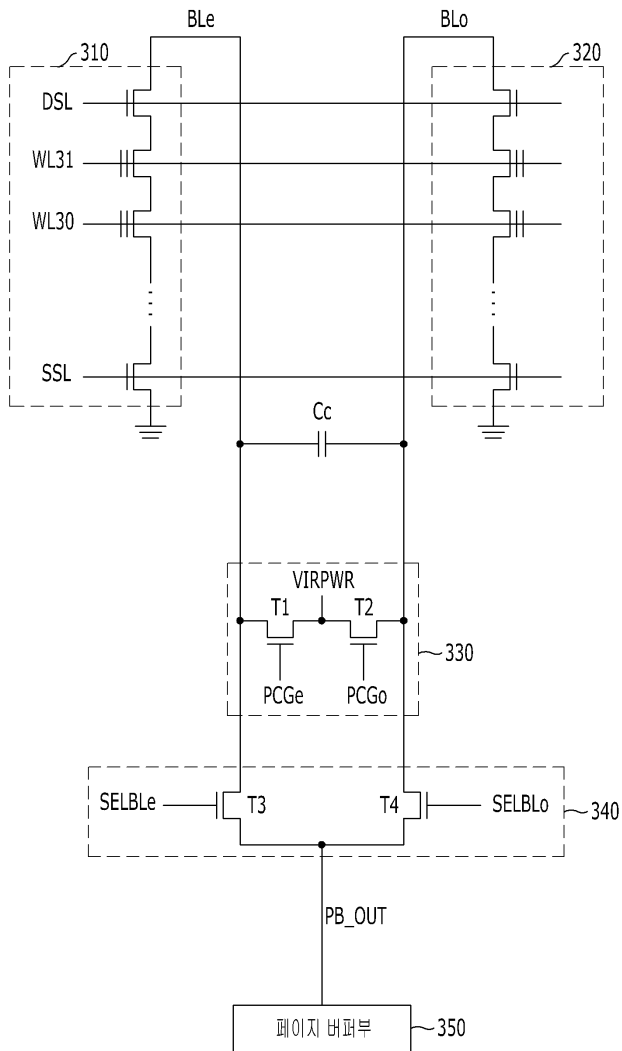
도면2a



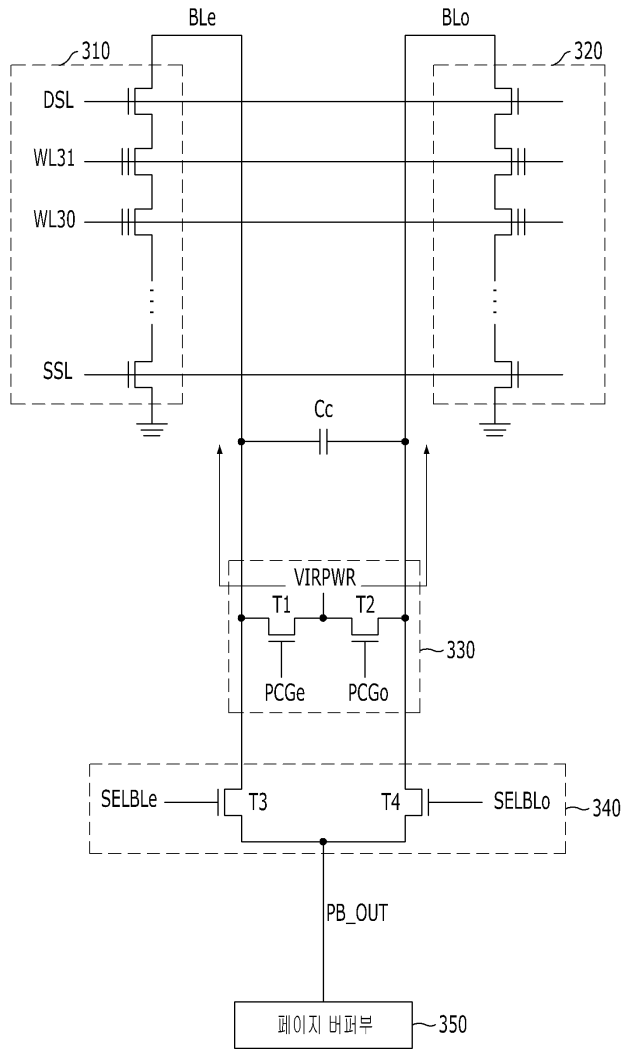
도면2b



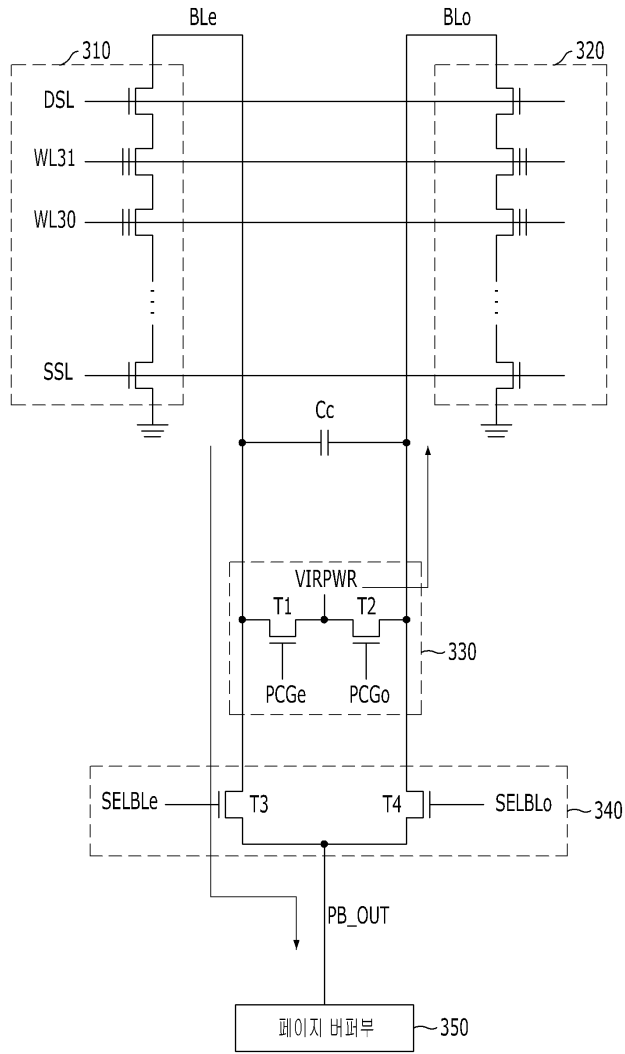
도면3



도면4a



도면4b



도면4c

