

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年11月23日(23.11.2017)



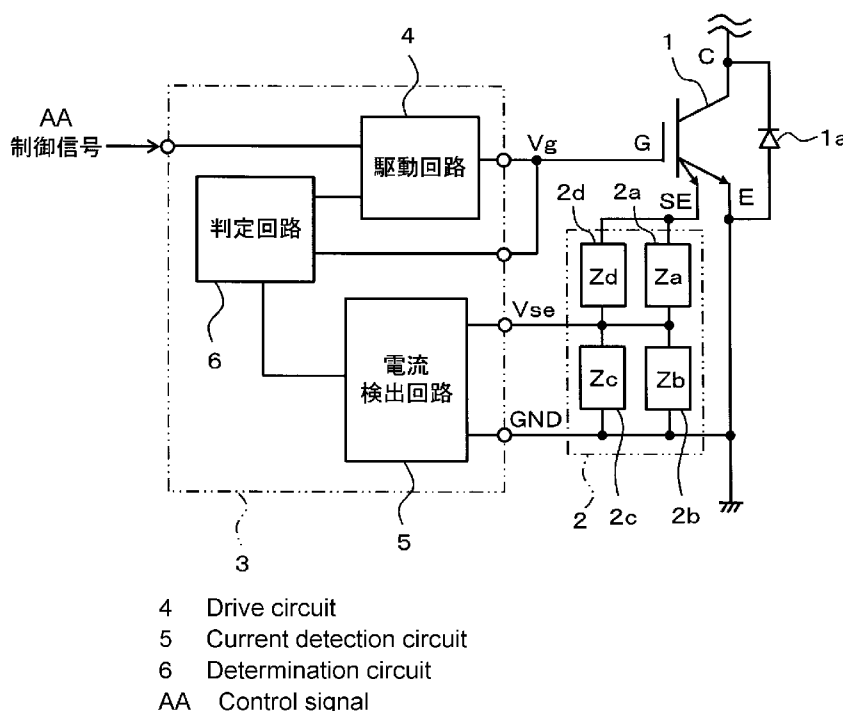
(10) 国際公開番号

WO 2017/199949 A1

- (51) 国際特許分類:
H03K 17/08 (2006.01) H03K 17/082 (2006.01)
H02M 1/00 (2007.01) H03K 17/56 (2006.01)
H02M 1/08 (2006.01) H03K 17/687 (2006.01)
- (21) 国際出願番号: PCT/JP2017/018355
- (22) 国際出願日: 2017年5月16日(16.05.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-101408 2016年5月20日(20.05.2016) JP
特願 2017-093059 2017年5月9日(09.05.2017) JP
- (71) 出願人: 株式会社デンソー (DENSO CORPORATION) [JP/JP]; 〒4488661 愛知県刈谷市昭和町1丁目1番地 Aichi (JP).
- (72) 発明者: 井上 剛志(INOUE, Takeshi); 〒4488661 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内 Aichi (JP).
- (74) 代理人: 特許業務法人 サトー国際特許事務所 (SATO INTERNATIONAL PATENT FIRM); 〒4600008 愛知県名古屋市中区栄四丁目6番15号 フォーティーンヒルズセンタービル Aichi (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,

(54) Title: SWITCHING ELEMENT DRIVE CONTROL DEVICE

(54) 発明の名称: スイッチング素子の駆動制御装置



(57) **Abstract:** A switching element drive control device for driving a switching element (1) provided with a sense element is provided with: a drive circuit (4, 40, 40a) which feeds a gate drive signal to the switching element; a transient characteristics absorption circuit (20, 20a, 20b, 20c, 20d, 20e, 60, 70) which absorbs the transient characteristics of the sense element when the switching element is turned on; and a determination circuit (6, 6a, 60, 60a, 60b, 70, 70a, 70b) which determines, from the output of the sense element, an overcurrent or short circuit state of the switching element.

CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KH, KN,
KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA,
MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA,
NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA,
RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

(57) 要約: スイッチング素子の駆動制御装置は、センス素子を備えたスイッチング素子 (1) を駆動するものであって、前記スイッチング素子にゲート駆動信号を与える駆動回路 (4、40、40a) と、前記スイッチング素子のオン時に前記センス素子の過渡特性を吸収する過渡特性吸収回路 (20、20a、20b、20c、20d、20e、60、70) と、前記センス素子の出力から前記スイッチング素子の過電流もしくは短絡状態を判定する判定回路 (6、6a、60、60a、60b、70、70a、70b) とを備える。

明 細 書

発明の名称：スイッチング素子の駆動制御装置

関連出願の相互参照

[0001] 本出願は、2016年5月20日に出願された日本出願番号2016-101408号と、2017年5月9日に出願された日本出願番号2017-93059号に基づくもので、ここにその記載内容を援用する。

技術分野

[0002] 本開示は、スイッチング素子の駆動制御装置に関する。

背景技術

[0003] パワー系の半導体スイッチング素子においては、自身に流れる電流をモニタするためのセンス素子を備えたものがある。このようなスイッチング素子は、センス素子に接続したセンス抵抗の電圧からスイッチング素子に流れる電流値を推定している。これにより、スイッチング素子の過電流や短絡発生時に保護動作を行うことができ、スイッチング素子の電流容量を低減して素子サイズを小さくできる。

[0004] また、負荷として接続したモータの制御やスイッチング損失あるいは導通損の低減を行うため、スイッチング素子のゲート駆動制御にフィードバックすることができ、これによって電流センサの削減や、損失低減による効率向上などの効果が期待できる。

先行技術文献

特許文献

[0005] 特許文献1：特開2008-206348号公報
特許文献2：特開2013-123329号公報
特許文献3：特開2014-110497号公報

発明の概要

[0006] しかしながら、従来、このようなスイッチング素子の電流検出回路の構成においては、電流検出時に、センス抵抗やセンス素子の容量特性などによっ

てセンス比がずれてしまうため、正確な電流が検出できないという課題が見出された。

[0007] 例えば、特許文献1のものでは、電流検出を正確に行うために、外部回路により補正を行うように構成している。しかし、この構成では、外部回路が必要な上に過渡的な変化への制御の追従が困難となる課題が見出された。

[0008] また、特許文献2のものでは、センス出力結果とゲート電圧の差分から、正常動作であるか過電流や短絡などの異常動作であるかを判断する構成としている。しかし、この構成では、ゲート電圧が正常動作時でも負荷状況によって変化する上、異常動作時も都度ゲート電圧波形が異なるため、異常動作の判定をすることが難しくなる課題も見出された。

[0009] そして、特許文献3のものでは、センス出力から容量変化分をキャンセルして電流検出保護を行う構成としている。しかし、容量変化分をキャンセルするためのキャパシタの設定が難しいことに加えて、追加部品が多くなるため、実用上は採用が難しいという課題が見出された。

[0010] 本開示は、簡単且つ安価な構成で過電流を迅速に検出してスイッチング素子の寿命低下を抑制することができるスイッチング素子の駆動制御装置を提供することを目的とする。

本開示の第一の態様において、センス素子を備えたスイッチング素子を駆動するものであって、前記スイッチング素子にゲート駆動信号を与える駆動回路と、前記スイッチング素子のオン時に前記センス素子の過渡特性を吸収する過渡特性吸収回路と、前記センス素子の出力から前記スイッチング素子の過電流もしくは短絡状態を判定する判定回路とを備えている。

[0011] 上記構成を採用することにより、スイッチング素子がオンする際に発生する過渡特性を、過渡特性吸収回路により吸収することができるので、過渡特性が終わるのを待つことなく、スイッチング素子の過電流あるいは短絡状態の判定を、センス素子からの出力を判定回路によりすることができる。これにより、スイッチング素子に過電流あるいは短絡などで判定までに間に電流が流れ続けるのを抑制することができるので、スイッチング素子として、電

流量を低減したものを使用することができるようになる。

図面の簡単な説明

- [0012] 本開示についての上記目的およびその他の目的、特徴や利点は、添付の図面を参照しながら下記の詳細な記述により、より明確になる。その図面は、
- [図1]図1は、第1実施形態を示す基本構成の電氣的構成図であり、
- [図2]図2は、具体的な電氣的構成図であり、
- [図3]図3は、センス電圧のしきい値電圧切り替えの説明図であり、
- [図4]図4は、各部の信号のタイムチャートであり、
- [図5]図5は、スイッチング素子のメイン素子およびセンス素子の電圧電流特性図であり、
- [図6]図6は、第2実施形態を示す電氣的構成図であり、
- [図7]図7は、第3実施形態を示すセンス電圧のしきい値電圧切り替えの説明図であり、
- [図8]図8は、第4実施形態を示すセンス電圧のしきい値電圧切り替えの説明図であり、
- [図9]図9は、電氣的構成図であり、
- [図10]図10は、第5実施形態を示す基本構成の電氣的構成図であり、
- [図11]図11は、具体的な電氣的構成図であり、
- [図12]図12は、通常時における各部の信号のタイムチャートであり、
- [図13]図13は、短絡時における各部の信号のタイムチャートであり、
- [図14]図14は、第6実施形態を示す具体的な電氣的構成図であり、
- [図15]図15は、各部の信号のタイムチャートであり、
- [図16]図16は、第7実施形態を示す具体的な電氣的構成図であり、
- [図17]図17は、通常時における各部の信号のタイムチャートであり、
- [図18]図18は、短絡時における各部の信号のタイムチャートであり、
- [図19]図19は、第8実施形態を示す電流検出回路のブロック構成図であり、
- 、
- [図20]図20は、オートゲイン回路の電氣的構成図であり、

[図21]図21は、オートゲイン回路による動作説明図（その1）であり、

[図22]図22は、オートゲイン回路による動作説明図（その2）であり、

[図23]図23は、第9実施形態を示すスイッチング素子の構成図（その1）であり、

[図24]図24は、スイッチング素子の構成図（その2）であり、

[図25]図25は、スイッチング素子の構成図（その3）であり、

[図26]図26は、スイッチング素子の構成図（その4）であり、

[図27]図27は、スイッチング素子の構成図（その5）であり、

[図28]図28は、第10実施形態を示す基本構成の電氣的構成図であり、

[図29]図29は、具体的な電氣的構成図であり、

[図30]図30は、通常時における各部の信号のタイムチャートであり、

[図31]図31は、短絡時における各部の信号のタイムチャートであり、

[図32]図32は、第11実施形態を示す具体的な電氣的構成図であり、

[図33]図33は、短絡時における各部の信号のタイムチャートであり、

[図34]図34は、第12実施形態を示す具体的な電氣的構成図であり、

[図35]図35は、通常時における各部の信号のタイムチャートであり、

[図36]図36は、通常時における各部の信号のタイムチャート（比較例）であり、

[図37]図37は、第13実施形態を示す具体的な電氣的構成図であり、

[図38]図38は、第14実施形態を示す具体的な電氣的構成図であり、

[図39]図39は、第15実施形態を示す具体的な電氣的構成図であり、

[図40]図40は、通常時における各部の信号のタイムチャートであり、

[図41]図41は、短絡時における各部の信号のタイムチャートであり、

[図42]図42は、第16実施形態を示す電氣的構成図（その1）であり、

[図43]図43は、電氣的構成図（その2）であり、

[図44]図44は、電氣的構成図（その3）であり、

[図45]図45は、電氣的構成図（その4）である。

発明を実施するための形態

[0013] (第1実施形態)

以下、第1実施形態について、図1～図5を参照して説明する。

この第1実施形態では、スイッチング素子であるIGBT1の過電流・短絡などの状態を迅速に検出して保護動作が行えるようにするため、第1方式として、ゲート電圧をモニタする方式のものについて説明する。

[0014] 第1方式の基本構成を示す図1において、IGBT1は、メイン素子とセンス素子とを一体に備えたもので、メイン素子とセンス素子とはコレクタCおよびゲートGを共通に接続されている。メイン素子のエミッタEに対して、センス素子はセンスエミッタSEとしてメイン素子に流れる電流に比例した電流を検出するように設けられている。また、IGBT1にはコレクタC－エミッタE間にダイオード1aが接続されている。このダイオード1aは、IGBT1に内蔵されるものでも良いし、外付けで設けるものでも良い。

[0015] IGBT1は、コレクタC－エミッタE間が、図示しない負荷とグラウンドとの間に接続されている。センスエミッタSEは、電流検出用のインピーダンス回路2を介してグラウンドに接続されている。インピーダンス回路2は、第1～第4インピーダンス2a～2dを有する。センスエミッタSEとグラウンド端子との間に第1および第2インピーダンス2aおよび2bの直列回路が接続され、第2インピーダンス2bに並列に第3インピーダンス2cが接続され、第1インピーダンス2aに並列に第4インピーダンス2dが接続されている。

[0016] IGBT1のセンス素子の電流は、第2インピーダンス2bの端子電圧により検出する。第1～第4インピーダンス2a～2dは、電流検出用の抵抗や過渡変動の特性を吸収するコンデンサあるいは、スイッチなどから選択されたものにより構成される。また、第1～第4インピーダンス2a～2dは、インピーダンス値として Z_a 、 Z_b 、 Z_c 、 Z_d として設定されている。

[0017] 制御回路3は、IGBT1のゲートGにゲート信号を与える駆動回路4、IGBT1の電流を検出する電流検出回路5、過電流あるいは短絡状態を判定する判定回路6などを備えている。駆動回路4は、外部から与えられる駆

動信号に基いて IGBT 1 の駆動に適したゲート電圧を与える。電流検出回路 5 は、インピーダンス回路 2 の第 2 インピーダンス 2 b の端子電圧を取り込んで、センス素子の電流値を検出し、これによって IGBT 1 のメイン素子の電流を検出する。

[0018] 判定回路 6 は、電流検出回路 4 により検出された IGBT 1 の電流が過電流あるいは短絡のレベルである場合に、これを異常状態と判定して駆動回路 4 による動作を停止させる。この場合、判定回路 6 は、IGBT 1 のゲート電圧 V_g を取り込んでいて、ゲート電圧 V_g の値に応じて判定レベルを変化させるように構成されている。判定回路 6 は、この実施形態においては、過渡特性吸収回路として機能する。

[0019] ゲート駆動型の半導体スイッチング素子においては、オンさせるためにゲートに駆動信号を印加したときに、一般にミラー期間が存在しており、この期間中はゲート電圧が上昇しない。これは、ミラー容量を充電するための時間に相当しており、このミラー期間が経過するまでゲート電圧を所定電圧まで上昇させることができない。

[0020] IGBT 1 に定格電流を流したときに、ミラー期間中に印加されているゲート電圧 V_g と、ミラー期間経過後に印加されているゲート電圧 V_g との間の変化に起因して、コレクターエミッタ間電圧 V_{ce} が、図 5 の上段に A 点、B 点で示したように変化する。このときセンスエミッタ SE に現れる電圧 V_{se} は、ミラー期間中に高くなり、ミラー期間が経過すると低くなる。

[0021] これに伴い、センス電圧 V_{se} は、図 5 の下段に示すように、 V_{ce} に対して図中ゲート電圧 V_g が 10 V では 2 V 程度、ゲート電圧 V_g が 15 V になると 1.3 V 程度になる。これは、図 4 にタイムチャートでも示すように、ミラー期間中でゲート電圧 V_g が 10 V 程度に留まるときにはセンス電圧 V_{se} が 2 V 付近になり、この後ミラー期間が終了するとセンス電圧 V_{se} が 1.3 V 程度に低下する。

[0022] この実施形態では、このようにミラー期間中に検出されるセンス電圧 V_{se} が、ミラー期間が経過した後のセンス電圧 V_{se} よりも高い場合でも、そ

の条件に合わせて過電流状態あるいは短絡状態などの異常状態であるか否かを検出するものである。このため、例えば、ミラー期間中のゲート電圧 V_g が 10 V で、ミラー期間後が 15 V である場合には、切り替え電圧 V_{g1} を 12 V などに設定しておく。

[0023] 図3に示すように、判定回路6では、 IGBT1 の動作状態がミラー期間中で、ゲート電圧 V_g が V_{g1} ($=12\text{ V}$) 未満の場合には、センス電圧 V_{se} から過電流あるいは短絡状態を判定するしきい値電圧 V_{th2} として設定している。また、ミラー期間が経過して IGBT1 の動作状態が通常状態で、ゲート電圧 V_g が切り替え電圧 V_{g1} ($=12\text{ V}$) 以下の場合には、センス電圧 V_{se} から過電流あるいは短絡状態を判定するしきい値電圧 V_{th1} として、しきい値電圧 V_{th2} よりも低い電圧を設定している。

[0024] 図3では、センス電圧 V_{se} が、ゲート電圧 V_g の値に応じて、図中斜線領域となる値を取る場合に、過電流・短絡の異常状態であることを判定するものである。これにより、 IGBT1 の動作状態がゲートのミラー期間である過渡状態にある場合でも、しきい値電圧 V_{th2} によりセンス電圧 V_{se} による判定をすることができるようになる。

[0025] 図2は、上記した図1の回路について、具体的な回路で実施した場合の一例を示す回路図で、以下、この構成について説明する。インピーダンス回路20は、センスエミッタ SE とグランドとの間に接続される電流検出抵抗21がセンス抵抗として設けられる。図1で示したインピーダンス回路2に対応付けると、第2インピーダンス2bに相当し、インピーダンス Z_b が抵抗値となる。また、図1で示したインピーダンス部2における第1インピーダンス2aはインピーダンス Z_a が抵抗値ゼロに相当する状態つまり短絡状態とされる。第3インピーダンス2cはインピーダンス Z_c が抵抗値無限大に相当する状態つまり開放状態とされる。また、第1インピーダンス2aが短絡状態であるから、第4インピーダンス2dは無効化されるので、インピーダンス Z_d はいずれの値でも良い。

[0026] 制御回路30は、駆動回路40を備えると共に、電流検出回路50および

判定回路60を備えている。駆動回路40は、外部から受ける制御信号をIGBT1のゲートにゲート電圧 V_g として印加するドライバ回路41と判定回路60から停止信号を受けて駆動停止するためのAND回路42により構成される。制御信号はAND回路42の入出力端子を介してドライバ回路41に入力される。AND回路42は、3つの入力端子を備え、残りの2つの入力端子には判定回路60から停止信号が入力される。ドライバ回路41から出力されるゲート電圧 V_g は、判定回路60にも入力される。

[0027] 電流検出回路50は、電流検出抵抗21の端子間に現れるセンス電圧 V_{se} のレベルを検出する第1コンパレータ51および第2コンパレータ52を備える。第1コンパレータ51は、センス電圧 V_{se} のレベルを参照電源53で設定されるしきい値電圧 V_{th1} と比較して大きい場合にハイレベルの検出信号を出力する。しきい値電圧 V_{th1} は、ミラー期間が経過した後において、センス電圧 V_{se} により検出されるコレクタ電流 I_c が過電流状態あるいは短絡状態にあることを検出する。

[0028] 第2コンパレータ52は、センス電圧 V_{se} のレベルを参照電源54で設定されるしきい値電圧 V_{th2} と比較して大きい場合にハイレベルの検出信号を出力する。しきい値電圧 V_{th2} は、しきい値電圧 V_{th1} よりも大きい電圧に設定され、ミラー期間中にセンス電圧 V_{se} により検出されるコレクタ電流 I_c が過電流状態あるいは短絡状態にあることを検出する。しきい値電圧 V_{th1} 、 V_{th2} は、図3に示した関係で設定されている。

[0029] 判定回路60において、第3コンパレータ61は、ゲート電圧 V_g のレベルを判定するもので、参照電源62から判定レベルとなる切り替え電圧 V_{g1} が与えられる。第3コンパレータ61は、ゲート電圧 V_g が切り替え電圧 V_{g1} を超えた状態ではハイレベルの信号を出力する。NAND回路63は、2つの入力端子に第1コンパレータ51および第3コンパレータ61の出力端子が接続され、出力端子はAND回路42の入力端子に接続されている。NAND回路64は、一方の入力端子に第2コンパレータ51の出力端子が接続され、他方の入力端子にインバータ回路65を介して第3コンパレー

タ 6 1 の出力端子が接続されている。NAND 回路 6 4 の出力端子は、AND 回路 4 2 の入力端子に接続されている。

[0030] 上記構成によれば、外部から制御信号が与えられ、駆動回路 4 0 から IGBT 1 のゲート G にゲート電圧 V_g が印加されると IGBT 1 はオン動作する。このとき、IGBT 1 は、ゲート電圧 V_g が上昇して、ミラー期間に入ると所定レベルよりも低いゲート電圧のままとなり、ミラー期間が経過すると所定レベルまで上昇する。

[0031] 第 1 コンパレータ 5 1 は、IGBT 1 の動作に伴うセンス電圧 V_{se} がしきい値電圧 V_{th1} を超えるか否かを判断している。第 2 コンパレータ 5 2 は、センス電圧 V_{se} がしきい値電圧 V_{th2} を超えるか否かを判断している。判定回路 6 0 においては、ゲート電圧 V_g が低いときすなわち IGBT 1 の動作においてミラー期間中は第 3 コンパレータ 6 1 がローレベルの信号を出力するので、インバータ回路 6 5 を介して NAND 回路 6 4 にハイレベルの信号が入力される。

[0032] したがって、ミラー期間中は、センス電圧 V_{se} が高く設定されているしきい値電圧 V_{th2} を超えるときに過電流あるいは短絡状態が発生していることとなって NAND 回路 6 4 はローレベルの信号を AND 回路 4 2 に入力する。これにより、駆動回路 4 0 は、IGBT 1 のゲート G へのゲート電圧 V_g の印加を停止する。

[0033] 一方、IGBT 1 がミラー期間を脱してゲート電圧 V_g が切り替え電圧 V_{g1} を超えると、判定回路 6 0 においては、第 3 コンパレータ 6 1 がハイレベルの信号を出力するので、NAND 回路 6 3 にハイレベルの信号が入力される。したがって、ミラー期間経過後は、センス電圧 V_{se} が通常のしきい値電圧 V_{th1} を超えるときに過電流あるいは短絡状態が発生していることとなって NAND 回路 6 3 はローレベルの信号を AND 回路 4 2 に入力する。これにより、駆動回路 4 0 は、IGBT 1 のゲート G へのゲート電圧 V_g の印加を停止する。

[0034] また、上記の場合以外には 2 つの NAND 回路 6 3、6 4 はいずれかの入

力がローレベルあるいは2つの入力がローレベルであることから、共にハイレベルの信号を出力しており、駆動回路40のAND回路42は、制御信号のレベルに応じてゲート電圧 V_g が生成される。

[0035] この結果、IGBT1のオン動作時に、ゲート電圧 V_g がミラー期間中で低い電圧レベルに留まる場合でも、過電流あるいは短絡の異常状態が発生していることを迅速に検出することができ、これによって駆動回路40を停止させる保護動作を行わせることができる。この結果、IGBT1の異常時に過電流が流れ続ける時間を極力短い時間に制限することができるので、電流容量を大きいものにすることなく確実に保護動作を行わせることができるようになる。

[0036] (第2実施形態)

図6は第2実施形態を示すもので、以下、第1実施形態と異なる部分について説明する。この実施形態では、IGBT1のゲート電圧 V_g を検出する構成として、図6に示すように、抵抗66および67の分圧回路を用いた判定回路60aを設けている。ゲートGとグランドとの間に抵抗66、67の直列回路を接続し、その共通接続点を判別回路60aの第3コンパレータ61に入力する構成としている。

[0037] ゲート電圧 V_g は抵抗66、67で分圧され、ゲート電圧 V_g に比例する電圧 V_{ga} として第3コンパレータ61に入力される。これに応じて、参照電源62は、切り替えのための電圧 V_{g1} に代えて V_{g2} を設定している。

[0038] したがって、このような第2実施形態によっても、第1実施形態と同様の作用効果を得ることができる。また、抵抗66、67によりゲート電圧 V_g を分圧しているので、IGBT1を駆動するゲート電圧 V_g が高い場合でも、判定回路60aにおいては、低電圧に対応した第3コンパレータ61を用いることができる。

[0039] (第3実施形態)

図7は第3実施形態を示すもので、第1実施形態と異なるところは、ゲート電圧 V_g の領域を、 V_{g1} 、 V_{g2} により3つに区分し、3つの各領域に

において、センス電圧 V_{se} のしきい値電圧 V_{th1} 、 V_{th2} 、 V_{th3} を設定するところである。

[0040] 図7に示しているように、ゲート電圧 V_g に対する標準的なセンス電圧 V_{se} の関係を考慮して、さらに細かくしきい値電圧を設定することで、異常の検出精度を高めるようにしている。この場合、センス電圧 V_{se} の値が過電流・短絡異常となる条件は、ゲート電圧 V_g の値に応じて、次式 (a) ~ (c) となる。図7中、斜線で示す領域に該当する場合の条件である。判定回路60においては、ゲート電圧 V_g に応じて3つのコンパレータを設けて切り替えるように構成することができる。

$$V_g \geq V_{g1} \text{ のとき、 } V_{se} > V_{th3} \quad \dots (a)$$

$$V_{g1} \leq V_g \leq V_{g2} \text{ のとき、 } V_{se} > V_{th2} \quad \dots (b)$$

$$V_{g2} \leq V_g \text{ のとき、 } V_{se} > V_{th1} \quad \dots (c)$$

[0041] このような第3実施形態によっても第1実施形態と同様の作用効果を得ることができると共に、さらにきめ細かくセンス電圧 V_{se} により過電流・短絡異常の検出を行うことができるようになる。

なお、ゲート電圧 V_g に応じて、さらに領域を細かく区分してそれぞれにしきい値電圧を設定する構成とすることもできる。

[0042] (第4実施形態)

図8および図9は第4実施形態を示すもので、第3実施形態と異なるところは、ゲート電圧 V_g に応じてセンス電圧 V_{se} のしきい値電圧を連続的に変化させるように設定するところである。

[0043] 図8に示しているように、ゲート電圧 V_g に対する標準的なセンス電圧 V_{se} の関係を考慮して、ゲート電圧 V_g の変化に伴いセンス電圧 V_{se} が変化する部分の傾斜に合わせて傾斜線 L_g を設定し、しきい値電圧 V_{th} をゲート電圧 V_g に応じて傾斜線 L_g にそって連続的に変化させるように設定している。

[0044] 例えば、ゲート電圧 V_g に対してセンス電圧 V_{se} が平坦な部分、 $V_g < V_{g1}$ や $V_{g2} \leq V_g$ では、しきい値電圧を V_{th2} あるいは V_{th1} と

して一定としている。そして、ゲート電圧 V_g が V_{g1} と V_{g2} との間では、傾斜線 L_g にそってしきい値電圧 V_{th} を変化させることができる。図 8 中、斜線で示す領域に該当する場合は過電流あるいは短絡の異状状態となるセンス電圧 V_{se} の領域である。

[0045] このような第 4 実施形態によっても第 3 実施形態と同様の作用効果を得ることができると共に、さらにきめ細かくセンス電圧 V_{se} により過電流・短絡異常の検出を行うことができるようになる。

[0046] なお、上記した実施形態の構成について、図 9 ではゲート電圧 V_g の変化に伴いセンス電圧 V_{se} が変化する部分の傾斜に合わせてしきい値電圧 V_{th} を連続的に変化させる構成を示している。

[0047] 制御回路 30a は、駆動回路 40 を備えると共に、電流検出回路および判定回路を兼ね備えた過電流検出回路 70 を備えている。過電流検出回路 70 において、第 4 コンパレータ 71 は、非反転入力端子にセンス電圧 V_{se} が入力され、反転入力端子にはゲート電圧 V_g を分圧した電圧 V_{gx} が入力される。抵抗 72 および 73 の直列回路の端子間にゲート電圧 V_g を印加するように構成され、共通接続点に現れる分圧電圧 V_{gx} がゲート電圧 V_g に比例する電圧となる。

[0048] コンパレータ 71 は、出力端子がインバータ回路 74 を介して駆動回路 40 の AND 回路 42 の入力端子に接続されている。センス電圧 V_{se} が分圧電圧 V_{gx} を超えると、第 4 コンパレータ 71 は、ハイレベルの検出信号を出力する。これは IGBT1 が過電流あるいは短絡状態となっている場合で、図 8 中斜線領域で示す部分に対応している。駆動回路 40 は、インバータ回路 74 を介して AND 回路 42 にローレベルの信号が入力されるので、IGBT1 のゲート電圧 V_g を停止してオフ状態に移行させる保護動作を行う。

[0049] なお、この図 9 には示していないが、ゲート電圧 V_{g1} 以下のしきい値電圧 V_{th2} 、ゲート電圧 V_{g2} を超えるときのしきい値電圧 V_{th1} を設定する回路を付加することで、図 8 に示す条件により IGBT1 の過電流・短

絡状態を迅速かつ正確に判定することができるようになる。

また、ゲート電圧 V_g に応じたしきい値電圧の設定は、直線的に設定する方式以外に、適宜ゲート電圧 V_g の変化に追従して変更設定することもできる。

[0050] (第5実施形態)

図10～図13は第5実施形態を示すもので、以下、第1実施形態と異なる部分について説明する。この実施形態は、IGBT1の過電流・短絡状態を迅速に検出して保護動作が行える第2方式として、ゲート電圧をモニタしない方式のものについて説明する。図10は、第2方式の基本構成を示している。なお、図10の基本構成は、後述する第3方式、第4方式の基本構成にも対応している。

[0051] 図10において、制御回路3は、判定回路6に代えて判定回路6aを備えている。判定回路6aにはゲート電圧 V_g は入力されない構成である。また、インピーダンス回路2は、過渡特性吸収回路としても機能する構成とされる。過渡特性吸収回路の機能は、例えば第3インピーダンス2cとしてコンデンサを用いることで達成している。また、第1インピーダンス2aは短絡状態、第2インピーダンス2bは電流検出用の抵抗を用いたり、抵抗値無限大とした構成などを用いている。また、第1インピーダンス2aが短絡状態であるから、第4インピーダンス2dは無効化されるのでインピーダンス Z_d はいずれの値でも良い。

[0052] 図11は、第2方式の具体的な回路構成の一例である。インピーダンス回路20aは、センスエミッタSEとグランドとの間に接続されるセンス抵抗である電流検出抵抗21およびコンデンサ22として設けられる。図10で示したインピーダンス回路2に対応付けると、電流検出抵抗21は第2インピーダンス2bに相当し、インピーダンス Z_b が抵抗値となる。コンデンサ22は第3インピーダンス2cに相当し、インピーダンス Z_c が容量値となる。また、図10で示したインピーダンス部2における第1インピーダンス2aは、インピーダンス Z_a が抵抗値ゼロに相当する状態つまり短絡状態と

される。

[0053] 制御回路30bは、駆動回路40を備えると共に、電流検出回路および判定回路を兼ね備えた過電流検出回路70aを備えている。過電流検出回路70aにおいて、第4コンパレータ71は、非反転入力端子にセンス電圧 V_{se} が入力され、反転入力端子にはセンス電圧 V_{se} のレベルを参照電源75で設定されるしきい値電圧 V_{th} と比較して大きい場合にハイレベルの検出信号を出力する。しきい値電圧 V_{th} は、センス電圧 V_{se} により検出されるコレクタ電流 I_c が過電流状態あるいは短絡状態にあることを検出するように設定されている。

[0054] コンパレータ71は、出力端子がインバータ回路74を介して駆動回路40のAND回路42の入力端子に接続されている。センス電圧 V_{se} がしきい値電圧 V_{th} を超えると、第4コンパレータ71は、ハイレベルの検出信号を出力する。これはIGBT1が過電流あるいは短絡状態となっている場合である。駆動回路40は、インバータ回路74を介してAND回路42にローレベルの信号が入力されるので、IGBT1のゲート電圧 V_g を停止してオフ状態に移行させる保護動作を行う。

[0055] 次に、上記構成の作用について図12、図13も参照して説明する。図12および図13は、正常状態つまり通常状態と、短絡時のIGBT1にゲート電圧 V_g を印加してからの素子電流 I_c 、センス電圧 V_{se} の時間変化のシミュレーション結果を示している。また、比較のために、センス電圧 V_{se} は、従来相当の構成および前述した第1実施形態～第4実施形態における波形についても示している。

[0056] 上記構成において、外部から制御信号が与えられ、駆動回路40からIGBT1のゲートGにゲート電圧 V_g が印加されるとIGBT1はオン動作する。このとき、IGBT1においては、図12に示すように、ゲート電圧 V_g が上昇して、ミラー期間に入ると所定レベルよりも低いゲート電圧のままとなり、ミラー期間が経過すると所定レベルまで上昇する。

[0057] また、素子電流 I_c はゲート電圧 V_g の立ち上がり時に過渡的にオーバー

シュートしてから一定レベルに落ち着く。センス電圧 V_{se} は、従来構成のものでは、図 12 中に示すように、ゲート電圧 V_g の立ち上がり時に小さいピークが現れ、この後、ミラー期間中は高い電圧となり、ミラー期間が経過すると少し低下して一定レベルになる。

[0058] これに対して、この実施形態では、センス電圧 V_{se} は、図示のように、ピーク値を呈したり、ミラー期間での高い電圧となることがなく、過渡変動が吸収された状態で徐々に上昇していく。これは、インピーダンス回路 20a のコンデンサ 22 により過渡変動分が吸収されて、センス電圧 V_{se} はコンデンサ 22 の充電に伴う端子電圧として得られるからである。

[0059] 一方、IGBT1 が短絡している状態では、図 13 に示すように、素子電流 I_c が所定レベルを超えて大幅に増大する。また、ゲート電圧 V_g もミラー期間を経ることなく上昇する。この場合には、センス電圧 V_{se} は、従来方式においても本実施形態の方式においてもミラー期間を経ることなく上昇していくので類似した波形となる。

[0060] このようにセンス電圧 V_{se} が変化するのに対して、従来方式では、ゲート電圧 V_g が印加されてから過渡変動が終了するミラー期間が経過した後に検出動作を行うことになるため、図示のものでは例えば数マイクロ秒を要する。これに対して、本実施形態の方式では、通常時においても短絡時においても過渡変動成分がないので、短期間で検出動作を行うことができる。図示のものでは、例えば従来方式に比べて $1/10$ 程度に短縮できる。

[0061] この結果、正常動作時で IGBT1 のオン動作時に、ゲート電圧 V_g がミラー期間中で低い電圧レベルに留まる場合でも、過電流あるいは短絡の異常状態が発生しているか否かを迅速に判定することができ、これによって駆動回路 40 を停止させる保護動作を行わせることができる。IGBT1 の異常時に過電流が流れ続ける時間を極力短い時間に制限することができるので、電流容量を大きいものにすることなく確実に保護動作を行わせることができるようになる。

[0062] なお、コンデンサ 22 は、IGBT1 のオン時に充電されるが、ゲート電

圧 V_g の印加がなくなってオフすると充電が停止され、蓄積された電荷は電流検出抵抗21を介して放電するので、時間が経てば端子電圧はゼロになる。

[0063] (第6実施形態)

図14および図15は第6実施形態を示すもので、以下、第5実施形態と異なる部分について説明する。この実施形態は、図10で示した基本構成による第3方式の具体的な構成に対応したものである。図14に示すように、インピーダンス回路20bは、第1インピーダンスがセンス抵抗としての抵抗23、第2インピーダンスがコンデンサ22、第3インピーダンスが放電スイッチとしてのスイッチ24により構成され、第4インピーダンスが開放状態に設定されている。

[0064] 制御回路30cは、スイッチ24を制御するスイッチ制御回路80を備えている。スイッチ制御回路80は、外部から入力される制御信号により、スイッチ24をオンオフ制御する。この場合、スイッチ制御回路80は、IGBT1をオンさせる制御信号が入力されるとスイッチ24をオフ状態に制御し、IGBT1をオフさせる制御信号が入力されるとスイッチ24をオン状態に制御する。なお、インピーダンス回路20bにおいては、制御信号が与えられるまでの期間中は、スイッチ24がオン状態とされているので、コンデンサ22の電荷は放電されており、端子間電圧はゼロになっている。

[0065] 上記構成によれば、第5実施形態と同様に、外部から制御信号が与えられ、駆動回路40からIGBT1のゲートGにゲート電圧 V_g が印加されるとIGBT1はオン動作する。また、制御信号により、スイッチ24はスイッチ制御回路80からオフ動作の信号が与えられるので開放状態となる。IGBT1においては、図15に示すように、ゲート電圧 V_g が上昇して、ミラー期間に入ると所定レベルよりも低いゲート電圧のままとなり、ミラー期間が経過すると所定レベルまで上昇する。

[0066] 素子電流 I_c はゲート電圧 V_g の立ち上がり時に過渡的にオーバーシュートしてから一定レベルに落ち着く。ここで、センス端子SEでは、図12、

図 13 で示した従来相当のセンス電圧 V_{se} と同等の電圧が現れている。そして、この実施形態におけるセンス電圧 V_{se} は、第 5 実施形態と同様に、ピーク値を呈したり、ミラー期間での高い電圧となることがなく、過渡変動が吸収された状態で徐々に上昇していく。これは、インピーダンス回路 20b のコンデンサ 22 により過渡変動分が吸収されて、センス電圧 V_{se} はコンデンサ 22 の充電に伴う端子電圧として得られるからである。

[0067] 一方、IGBT1 が短絡している状態では、前述した図 13 に示すように、素子電流 I_c が所定レベルを超えて大幅に増大する。また、ゲート電圧 V_g もミラー期間を経ることなく上昇する。この場合には、センス電圧 V_{se} は、従来方式においても本実施形態の方式においてもミラー期間を経ることなく上昇していくので類似した波形となる。

[0068] したがって、第 5 実施形態と同様にして、本実施形態の方式においても、通常時においても短絡時においても過渡変動成分を低減させることができ、短期間で検出動作を行うことができる。この結果、第 5 実施形態と同様の作用効果を得ることができる。

[0069] なお、この実施形態では、IGBT1 のオフ時に、スイッチ制御回路 80 によりスイッチ 24 をオンさせてコンデンサ 22 の電荷を瞬時に放電することができるので、応答性の向上を図ることができる。

[0070] (第 7 実施形態)

図 16～図 18 は、第 7 実施形態を示すもので、以下、第 5 実施形態と異なる部分について説明する。この実施形態は、図 10 で示した基本構成による第 4 方式の具体的な構成に対応したものである。図 16 に示すように、第 5 実施形態の構成において、インピーダンス回路 20c ではコンデンサ 22 を単独で設け、電流検出抵抗 21 を設けない構成としている。

[0071] 本実施形態においては、インピーダンス回路 20c として、センス端子 SE にコンデンサ 22 を接続した構成としているので、センス電圧 V_{se} は、センス素子のセンス電流を検出するのではなく、コンデンサ 22 の端子電圧を検出する構成である。

[0072] このような構成によれば、センス電圧 V_{se} は、センス電流つまり I_{GBT1} のコレクタ電流に応じた電圧すなわちオン電圧として現れるので、センス電圧 V_{se} の大きさにより電流レベルを検出することができる。オン電圧 V_{on} は、オン抵抗 R_{on} と電流 I_c との積により決まる値であるから、オン抵抗 R_{on} を予め測定しておくことで電流 I_c に相当するレベルを検出することができるのである。

[0073] したがって、図 17 に示すように、制御信号が与えられて駆動回路 40 により I_{GBT1} のゲート G にゲート電圧 V_g を印加した時点から、センス電圧 V_{se} が正常時の電流レベルに相当する値に変化していけば正常動作状態であることを判定できる。

[0074] また、図 18 に示すように、センス電圧 V_{se} が正常時の電流レベルを判定するしきい値 V_{th} を超える場合には、過電流あるいは短絡状態であることで過大な電流が流れていることを判定することができる。コンパレータ 71 は、センス電圧 V_{se} のレベルにより過電流あるいは短絡状態により過大な電流が流れていることを検出すると、ハイレベルの検出信号を出力する。これにより、駆動回路 40 の AND 回路 42a は、NOT 回路 74 を介してローレベルの信号が入力されるので、 I_{GBT1} へのゲート電圧 V_g の印加を停止してオフさせ、保護動作を行うことができる。

[0075] このような第 7 実施形態によれば、 I_{GBT1} のオン動作時に、ゲート電圧 V_g が一定レベルに留まるミラー期間がある場合でも、オン電圧 V_{on} に対応するセンス電圧 V_{se} のレベルを見ることで迅速に過電流あるいは短絡の異常状態が発生していることを検出することができ、これによって駆動回路 40 を停止させる保護動作を行わせることができる。

[0076] なお、この実施形態では、上記した電流レベルを判定する原理に基づいて、 I_{GBT1} が正常状態にある場合に、オン期間中のセンス電圧 V_{se} によって I_{GBT1} の電流 I_c を検出することもできる。

[0077] (第 8 実施形態)

図 19～図 22 は第 8 実施形態を示すもので、この実施形態は、第 6 実施

形態あるいは第7実施形態における電流検出機能の精度を向上させるための回路構成である。IGBT1の電流 I_c の検出は、過電流・短絡の検出動作に加えて、正常時における電流の検出も可能であるから、その検出を精度よく行えるようにしたものである。

[0078] 図19において、制御回路30bには、電流検出回路90が設けられている。電流検出回路90は、センス電圧 V_{se} が入力されるように設けられる。電流検出回路90は、オートゲイン回路91、A/D変換回路92およびフィルタ93を備えている。オートゲイン回路91は、センス電圧 V_{se} のレベルに応じてゲインを自動的に調整することで、広い検出範囲において、大電流レンジから小電流レンジに切り替わると分解能が高くなる。

[0079] 図20はオートゲイン回路91の具体回路構成の一例である。ゲインアンプ91aおよび判定用アンプ91bを備えている。ゲインアンプ91aは、スイッチトキャパシタ回路からなるもので、アンプ94による入力電圧 V_{in1} の2倍の増幅結果が $-V_{ref} \sim +V_{ref}$ の範囲に収まっている場合に、もう一度増幅動作を行うものである。これにより、入力電圧 V_{in} の大きさがA/D変換において適切な範囲になるように増幅される。

[0080] 判定用アンプ91bは、正側判定用アンプ95および負側判定用アンプ96を備えている。正側判定用アンプ95および負側判定用アンプ96は、参照電圧 V_{ref} との差分を演算して出力する。A/D変換回路92を介してデジタル信号に変換した信号を、フィルタ93を介して出力する。これにより、電流値に相当するデジタル化したセンサデータが得られる。

[0081] このようにして得られるデジタルデータは、図21に示すように、素子電流 I_c の値に対して正負のそれぞれでリニアなセンサデータとして得ることができる。なお、図22にはオートゲイン回路91により増幅した際にデジタルデータとして発生する誤差率を示している。素子電流 I_c が小さい領域では8倍、中間領域では4倍、大きい領域では2倍に増幅した場合の誤差率となっている。広い範囲に渡って誤差率を平坦化した特性とすることができる。

[0082] これにより、広い電流範囲において素子電流 I_c をデジタルデータとして取り込むことができるようになる。

なお、この実施形態の構成は、第1～第5実施形態あるいは後述する第10、第11実施形態の構成においても付加的に設けることができ、例えば制御回路3、30、30a、30b、30c、30d、30eなどに設けることでIGBT1のオン状態での電流を検出し、モータ等の負荷制御にも応用することができる。

[0083] (第9実施形態)

図23～図27は第9実施形態を示すもので、スイッチング素子として適用するIGBT1の適用例を示している。上記した第1実施形態～第6実施形態においては、スイッチング素子としてのIGBT1は、メイン素子に付随するセンサ素子としてセンスエミッタSEを分岐させたシンボルで示していた。このIGBT1は、例えば図23あるいは図26のように示すことができる。

[0084] 例えば、図23に示すものでは、メイン素子1にダイオード1aを接続しており、センス素子10にはダイオードは接続されていない構成である。また、図26に示すものでは、メイン素子1にダイオード1aを接続しており、センス素子10にもダイオード10aを接続している構成である。

[0085] これら図23、図26に示すものでは、メイン素子1とセンス素子10とで、コレクタCおよびゲートGを共通に接続し、メイン素子1のエミッタEに対して、センス素子10のエミッタをセンスエミッタSEとしている。

[0086] これに対して、第7実施形態で示したものでは、図16に示したように、センス電流を見るのではなくセンス素子のオン電圧 V_{on} を検出する構成であるから、センス素子10として電流を流す構成を有する必要がない。したがって、センス素子10の部分に、ダイオードなどのpn接合の逆方向特性を利用した容量素子を設ける構成とすることができる。

[0087] 例えば、図23に示すセンス素子10にダイオードが接続されていない構成では、図24に示すように、センス素子10に代えてダイオード11を設

ける構成としている。これは、例えばセンス素子10の内部においてゲートをエミッタあるいはコレクタにショートさせるパターンを付加したり、センス素子10をダイオード構造に変更することで実施できる。

[0088] また、図23に示すセンス素子10にダイオードが接続されていない構成では、図25に示すように、センス素子10のゲートGをエミッタEとショートするように接続した構成とすることで同様の構成とすることができる。この場合、図23に示すセンス素子10にダイオードが接続されていない構成では、ゲートGをコレクタCにショートさせる構成とすることで同様の効果を得ることができる。

[0089] 次に、図26に示すセンス素子10にダイオード10aが接続されている構成では、図27に示すように、センス素子10のゲートGとセンスエミッタSEとの間を短絡させた配線を施すことで、センス素子10およびダイオード10aを共にダイオードとして機能させる構成とすることができる。この場合、図26に示すセンス素子10にダイオードが接続されている構成では、ゲートをコレクタにショートさせる構成とすることで同様の効果を得ることができる。

[0090] したがって、図16に示した構成のIGBT1として、図24、図25、図27に示すものを用いることができる。このように、センス素子10をダイオードとして設けるので、IGBT1がオンしている状態で、センス電圧 V_{se} を検出することで、オン電圧に相当する電圧を検出することができる。また、これによって、素子電流 I_c を検出することができる。

[0091] (第10実施形態)

図28～図31は第10実施形態を示すもので、以下、第6実施形態と異なる部分について説明する。この実施形態は、図28に示すように、図10で示した基本構成による第3方式について、センス電圧 V_{se} をセンス電圧 V_{se2} とし、IGBT1のセンスエミッタSEの電圧をセンス電圧 V_{se1} として検出する構成である。すなわち、抵抗23の端子電圧がセンス電圧 V_{se1} とされ、コンデンサ22の端子電圧がセンス電圧 V_{se2} とされる

。

[0092] 具体的には、図29に示すように、制御回路30dは、駆動回路40a、電流検出回路50a、判定回路60bおよびスイッチ制御回路80を備えている。駆動回路40aにおいては、通常駆動回路43、クランプ回路44およびソフト遮断回路45が並列に設けられ、IGBT1のゲートGにゲート電圧 V_g を与えたり、遮断したりするように構成されている。駆動回路40aは、電圧印加用の電源VBとICグランドとの間に接続されている。

[0093] 通常駆動回路43は、第6実施形態におけるドライバ回路41と同様のもので、外部から受ける制御信号を受け、IGBT1のゲートにゲート電圧 V_g として印加する。クランプ回路44は、クランプ信号が与えられると、ゲート電圧 V_g を所定電圧にクランプする回路である。また、ソフト遮断回路45は、ソフト遮断信号が与えられると、IGBT1のゲート電圧 V_g を通常駆動回路43よりも遅い速度で低下させることで、IGBT1のコレクタ・エミッタ間のサージ電圧の発生を抑制してコレクタ電流 I_c をソフト遮断させる。

[0094] 駆動回路40aは、後述するように、通常状態では通常駆動回路43が駆動されるように構成されており、IGBT1に過電流が流れて、クランプ信号が与えられると、通常駆動回路43がオフされ、代わりにクランプ回路44が動作される。過電流が流れる状態が継続してクランプ信号が解除されない状態でソフト遮断信号が入力されると、クランプ回路44がオフされ、代わりにソフト遮断回路45が動作される。なお、クランプ回路44が動作している状態でソフト遮断信号が入力される前にクランプ信号が解除されると、クランプ回路44は動作が停止され、再び通常駆動回路43が動作される状態に戻ることもできる。

[0095] 電流検出回路50aは、第5コンパレータ55および第6コンパレータ56を備えると共に、参照電源57および58を備えている。電流検出回路50aにおいて、第5コンパレータ55は、非反転入力端子にセンス電圧 V_{se1} が入力され、反転入力端子には参照電源57によりしきい値電圧 V_{th}

Aが入力される。第5コンパレータ55は、センス電圧 V_{se1} がしきい値電圧 V_{thA} を超えるとクランプ信号を出力する。

[0096] 第6コンパレータ56は、非反転入力端子にセンス電圧 V_{se2} が入力され、反転入力端子には参照電源58によりしきい値電圧 V_{thB} が入力される。第6コンパレータ56は、センス電圧 V_{se2} がしきい値電圧 V_{thB} を超えると、過電流を検出したとしてソフト遮断信号をソフト遮断回路45の入力端子に与える。

[0097] 判定回路60bは、AND回路68、69およびインバータ回路65a、65bを備える。AND回路68は3つの入力端子を備え、その一つに外部から受ける制御信号が入力される。AND回路68の他の入力端子には、第5コンパレータ55からインバータ回路65aを介してクランプ信号が入力されると共に、第6コンパレータ56からインバータ回路65bを介してソフト遮断信号が入力される。AND回路68の出力端子は駆動回路40aの通常駆動回路43の入力端子に接続される。

[0098] AND回路69は3つの入力端子を備え、その一つに外部から受ける制御信号が入力される。AND回路69の他の入力端子には、第5コンパレータ55からクランプ信号が入力されると共に、第6コンパレータ56からインバータ回路65bを介してローレベルに反転した信号が入力される。AND回路69の出力端子はクランプ回路44の入力端子に接続される。

[0099] 上記構成において、参照電源57のしきい値電圧 V_{thA} は、IGBT1のコレクタ電流 I_c が通常時ではセンス電圧 V_{se1} が達することがなく、コレクタ電流 I_c が過電流になるとセンス電圧 V_{se1} を超えるように設定されたレベルである。また、参照電源58のしきい値電圧 V_{thB} は、IGBT1のコレクタ電流 I_c が通常時ではセンス電圧 V_{se2} が達することがなく、コレクタ電流 I_c が過電流になるとセンス電圧 V_{se2} を超えるように設定されたレベルである。

[0100] 次に、図30および図31も参照して上記構成の動作について説明する。図30および図31は、正常状態である通常状態と、短絡時におけるIGB

T 1 に、ゲート電圧 V_g を印加してからの素子電流 I_c 、センス電圧 V_{se1} および V_{se2} の時間変化のシミュレーション結果を示している。

[0101] 上記構成において、外部から制御信号が与えられ、判定回路 60b の AND 回路 68 から駆動回路 40a の通常駆動回路 43 にハイレベルの駆動信号が与えられると、通常駆動回路 43 から IGBT 1 のゲート G にゲート電圧 V_g が印加される。これにより、IGBT 1 はオン動作する。なお、IGBT 1 がオン動作を開始で電流が立ち上がるよりも前に、スイッチ 24 はオフ状態に制御される。なお、スイッチ 24 がオフ状態に制御される前に、スイッチ 24 はスイッチ制御回路 80 によりオン状態とされ、コンデンサ 22 の電荷は放電された状態となっている。

[0102] これにより、IGBT 1 においては、図 30 に示すように、ゲート電圧 V_g が上昇して、ミラー期間に入ると所定レベルよりも低いゲート電圧のままとなり、ミラー期間が経過すると所定レベルまで上昇する。また、素子電流 I_c はゲート電圧 V_g の立ち上がり時に過渡的にリカバリ電流が発生してから一定レベルに落ち着く。

[0103] センス電圧 V_{se1} は、ゲート電圧 V_g の立ち上がり時に小さいピークが現れ、この後、ミラー期間中は高い電圧となり、ミラー期間が経過すると少し低下してしきい値電圧 V_{thA} よりも低い一定レベルになる。センス電圧 V_{se2} は、過渡変動が吸収された状態で徐々に上昇していく。これは、インピーダンス回路 20b のコンデンサ 22 により過渡変動分が吸収されて、センス電圧 V_{se2} はコンデンサ 22 の充電に伴う端子電圧として得られるからである。このとき、センス電圧 V_{se2} も、しきい値電圧 V_{thB} よりも低い電圧である。

[0104] これに対して、IGBT 1 が短絡している状態では、図 31 に示すように、素子電流 I_c が所定レベルを超えて大幅に増大する。また、ゲート電圧 V_g もミラー期間を経ることなく上昇する。この場合には、センスエミッタの電圧であるセンス電圧 V_{se1} は、ミラー期間を経ることなく上昇していく。また、センス電圧 V_{se2} は、コンデンサ 22 の充電に伴って徐々に上昇

していく。

[0105] 図31に細線の一点鎖線で示しているように、センス電圧 V_{se1} は、時刻 t_x で先にしきい値電圧 V_{thA} に達する。これにより、電流検出回路50aにおいては、第5コンパレータ55の出力はハイレベルとなり、AND回路69を介してクランプ回路44にクランプ信号を出力する。また、インバータ回路65bを介してローレベルに反転した信号を、AND回路68を介して通常駆動回路43に出力する。これにより、通常駆動回路43はIGBT1へのゲート電圧 V_g を停止し、クランプ回路44は、IGBT1のゲート電圧 V_g が所定電圧となるようにクランプ状態とする。

[0106] 図31に太線の二点鎖線で示しているように、ゲート電圧 V_g は時刻 t_x 以降においてフラットな状態が保持される。クランプしない場合には、ゲート電圧 V_g が時刻 t_x 以降においても、さらに図31中細線の二点鎖線で示しているように上昇していく。そして、ゲート電圧 V_g がクランプされることで、図31中太線の破線で示しているように、IGBT1のコレクタ電流 I_c もゲート電圧 V_g に追従してクランプされた状態となる。なお、ゲート電圧 V_g がクランプされない場合には、IGBT1のコレクタ電流 I_c は、図31中細線の破線で示しているようにさらに上昇していくので、この電流増加分を流さない状態で保持することができる。

[0107] この後、IGBT1の過電流が継続すると、図31中実線で示したように、センス電圧 V_{se2} は、時刻 t_y でしきい値電圧 V_{thB} に達する。これにより、電流検出回路50aにおいては、第6コンパレータ56の出力は過電流検出のハイレベルとなり、ソフト遮断回路45にハイレベルのソフト遮断信号を入力する。また、インバータ回路65bを介してローレベルに反転した信号をAND回路68および69に入力する。

[0108] これにより、通常駆動回路43はIGBT1へのゲート電圧 V_g を停止した状態が保持され、クランプ回路44は、IGBT1へのクランプされたゲート電圧 V_g の印加を停止する。そして、ソフト遮断回路45は、ソフト駆動信号に応じてIGBT1のゲート電圧 V_g をゆっくり低下させてオフ状態

に移行させる。これによって IGBT1 はオフされ、過電流が流れる状態は解消される。

[0109] なお、上述の場合に、一旦しきい値電圧 V_{thA} でセンス電圧 V_{se1} を判定してゲート電圧 V_g をクランプするのは、IGBT1 に流れるコレクタ電流 I_c が一時的に過電流状態となる場合を想定しているからである。すなわち、IGBT1 の過電流が一時的であって、センス電圧 V_{se2} がしきい値電圧 V_{thB} に達する前に、通常状態に戻る場合には、第5コンパレータ 71a による過電流検出状態は解消され、IGBT1 は通常状態の駆動制御に戻ることができる。

[0110] このような第10実施形態によれば、IGBT1 に過電流が流れ始めてセンス電圧 V_{se1} がしきい値 V_{thA} を超える場合に、IGBT1 のゲート電圧 V_g をクランプして過電流が増加するのを抑制するようにした。これにより、IGBT1 に過電流が流れ続けるのを抑制することができる。

[0111] そして、IGBT1 に過電流が流れ続ける場合には、ソフト遮断回路45によりゲート電圧 V_g を徐々に低下させるので、オフ時にサージ電圧の発生を抑制した状態でオフ状態に移行させることができる。

[0112] また、IGBT1 に過電流が流れ続けてセンス電圧 V_{se2} がしきい値 V_{thB} を超える場合に、IGBT1 をオフさせるようにした。これにより、IGBT1 に過電流が流れ続けて破壊するのを抑制することができる。さらに、IGBT1 の過電流が一時的である場合には、IGBT1 をオフさせることなく通電状態を継続させることができる。

なお、上記実施形態では、駆動回路40aにソフト遮断回路45を設ける構成の場合を示したが、ソフト遮断回路を省略した構成とすることもできる。

[0113] (第11実施形態)

図32および図33は第11実施形態を示すもので、以下、第10実施形態と異なる部分について説明する。この実施形態においては、第10実施形態において、センス電圧 V_{se1} および V_{se2} を検出してIGBT1 のゲ

ート駆動制御をしていたのに対して、センス電圧 V_{se1} のみにより IGBT1 のゲート駆動制御をする構成としている。

[0114] 図32において、制御回路30eは、駆動回路40、過電流検出回路70bおよびスイッチ制御回路80を備えている。過電流検出回路70bは、図28に示した電流検出回路5および判定回路6aを兼ね備えたものである。駆動回路40は、ドライバ回路41およびAND回路42aからなり、クランプ回路は備えない構成である。

[0115] 過電流検出回路70bにおいて、第5コンパレータ71aは、非反転入力端子にセンス電圧 V_{se1} が入力され、反転入力端子には参照電源75aによりしきい値電圧 V_{thA} が入力される。第5コンパレータ71aは、センス電圧 V_{se1} がしきい値電圧 V_{thA} を超えるとインバータ回路74cを介して駆動回路40のAND回路42aに過電流の検出信号を出力する。

[0116] 次に、図33も参照して上記構成の動作について説明する。図33は、短絡時のIGBT1に、ゲート電圧 V_g を印加してからの素子電流 I_c 、センス電圧 V_{se1} および V_{se2} の時間変化のシミュレーション結果を示している。

[0117] 前述同様にして外部から制御信号が与えられ、駆動回路40aからIGBT1のゲートGにゲート電圧 V_g が印加されるとIGBT1はオン動作する。通常状態においては、第10実施形態で示した図30に示したように素子電流 I_c 、ゲート電圧 V_g 、センス電圧 V_{se1} 、 V_{se2} が変化する。

[0118] そして、IGBT1が短絡している状態では、図33に示すように、素子電流 I_c が所定レベルを超えて大幅に増大し、ゲート電圧 V_g もミラー期間を経ることなく上昇する。また、センス電圧 V_{se1} は、ミラー期間を経ることなく上昇し、センス電圧 V_{se2} は、コンデンサ22の充電に伴って徐々に上昇していく。

[0119] 図33に細線の一点鎖線で示しているように、センス電圧 V_{se1} は、時刻 t_x で先にしきい値電圧 V_{thA} に達すると、過電流検出回路70bにおいては、第5コンパレータ71aの出力はハイレベルの過電流の検出信号を

出力する。これにより、駆動回路40のAND回路42aには、インバータ回路74cを介してローレベルの信号が入力され、駆動回路40はIGBT1をオフさせる。これによってIGBT1はオフ状態となって、過電流が流れる状態は解消される。

[0120] つまり、この実施形態では、第10実施形態でセンス電圧 V_{se1} がしきい値電圧 V_{thA} に達したときに、一旦ゲート電圧 V_g をクランプさせたのに対して、この時点でIGBT1をオフさせるように制御するものである。

[0121] したがって、このような第11実施形態によれば、IGBT1に過電流が流れ始めてセンス電圧 V_{se1} がしきい値 V_{thA} を超える場合に、IGBT1をオフさせるようにした。これにより、IGBT1に過電流が流れ続けて破壊するのを抑制することができる。

[0122] なお、第10実施形態および第11実施形態は、IGBT1の耐量や制御回路30d、30eの検出精度や、あるいはノイズ環境などの条件に応じて適宜有用なものを選択して使用することができる。

[0123] (第12実施形態)

図34～図36は、第12実施形態を示すもので、以下、第6実施形態と異なる部分について説明する。この実施形態では、インピーダンス部20dの構成において、センス抵抗としての抵抗23のインピーダンス Z_a の抵抗値が比較的大きく設定されている場合に有効に機能するものである。抵抗23の抵抗値が大きいことで、IGBT1のスイッチングオフ時に、センスエミッタの電位が変動しやすくなる構成である。

[0124] すなわち、図34において、インピーダンス部20dでは、コンデンサ22の両端子間に接続するスイッチ24に代えて、放電スイッチとして、抵抗23とコンデンサ22の直列回路の両端子間に接続するスイッチ25を設けている。スイッチ25は、抵抗23を介した状態でコンデンサ22の放電経路を形成している。また、スイッチ25は、センスエミッタの容量成分による電荷の放電にも機能する。外部から制御信号が与えられていない状態では、スイッチ制御回路80によりスイッチ25はオン状態に保持されている。

これにより、コンデンサ 22 は、抵抗 23 を通じて電荷が放電された状態となっている。

[0125] ここで、センス電圧 V_{se2} は、コンデンサ 22 の端子電圧として過電流検出回路 70a のコンパレータ 71 の非反転入力端子に入力される。また、センス電圧 V_{se1} は、センスエミッタ SE の端子電圧であり、制御回路 30c には入力されないが、後述する作用説明で比較のために用いている。

[0126] 上記構成によれば、外部から制御信号が与えられると、駆動回路 40 は、IGBT 1 のゲート G にゲート電圧 V_g を印加して IGBT 1 をオン動作させる。このとき、スイッチ 25 は、スイッチ制御回路 80 からオフ動作の信号が与えられるので開放状態となる。IGBT 1 においては、通常状態においては、図 35 に示すように、ゲート電圧 V_g が上昇して、ミラー期間を経て所定レベルまで上昇する。

[0127] IGBT 1 の素子電流 I_c は、前述同様にしてゲート電圧 V_g の立ち上がり時に過渡的にオーバーシュートしてから一定レベルに落ち着く。ここで、センス端子 SE では、センス電圧 V_{se1} が、ミラー期間中高い電圧に保持された後、所定レベルに下がって落ち着く。また、センス電圧 V_{se2} は、ミラー期間での高い電圧となることがなく、過渡変動が吸収された状態で徐々に上昇していく。これは、インピーダンス回路 20d のコンデンサ 22 により過渡変動分が吸収されて、センス電圧 V_{se2} はコンデンサ 22 の充電に伴う端子電圧として得られるからである。

[0128] この後、図 35 に示すように、外部から制御信号が時刻 t_z でオフ動作に対応する状態に変化すると、駆動回路 40 は IGBT 1 のゲートに与えていたゲート電圧 V_g をローレベルにする。これにより、IGBT 1 はオフされ、素子電流 I_c およびゲート電圧 V_g が低下していく。また、時刻 t_z で、スイッチ制御回路 80 によりスイッチ 25 がオンされるので、コンデンサ 22 および抵抗 23 の直列回路が短絡状態になる。スイッチ 25 のオン時点で、センス電圧 V_{se1} はグラウンドレベルに変化する。また、スイッチ 25 のオンにより、コンデンサ 22 の電荷が抵抗 23 を介して徐々に放電すること

で、センス電圧 V_{se2} は徐々に低下していく。

[0129] 図36は、本実施形態と比較のために示すもので、第6実施形態の構成と同様に、スイッチ24をコンデンサ22の両端子間を短絡するように設けている構成の場合の波形である。この構成では、外部から制御信号が時刻 t_z でオフ動作に対応する状態に変化すると、スイッチ24によりコンデンサ22が短絡されたときに、センスエミッタSEのセンス電圧 V_{se1} が、図示のように急上昇してしまうことがある。これは、センスエミッタの容量成分による電荷が抵抗23を介して放電されることで、一時的にセンス電圧 V_{se1} が急上昇するからである。そして、この傾向は抵抗23の抵抗値が大きいと顕著になり、これにより、上昇する電圧が高くなる場合には、IGBT1に誤動作が起こったり、あるいは素子破壊などに至ったりする恐れがある。

[0130] この点、本実施形態においては、スイッチ25により、抵抗23を介してコンデンサ22の電荷を放電するので、センス電圧 V_{se1} は急激な変動を来すことなく、IGBT1の誤動作や素子破壊を回避することができる。なお、一方、IGBT1が短絡している場合の動作については、第6実施形態と同様である。

[0131] したがって、このような第12実施形態によれば、第6実施形態と同様の効果を得ることができる。また、本実施形態によれば、次のような効果が得られる。この実施形態のように、コンデンサ22と抵抗23による時定数のレベルを保持した状態でコンデンサ22の容量を小さく設定する場合には抵抗23の抵抗値が大きく設定することとなる。このような構成とした場合でも、抵抗23を介してコンデンサ22の電荷をスイッチ25で放電する構成とすることで、オフ時のIGBT1の誤動作や素子破壊を回避することができる。

[0132] なお、上記構成において用いたインピーダンス部20dの構成を、センス電圧 V_{se1} 、 V_{se2} を用いるように、第10実施形態あるいは第11実施形態に適用することもできる。

[0133] (第13実施形態)

図37は、第13実施形態を示すもので、以下、第12実施形態と異なる部分について説明する。この実施形態では、インピーダンス部20eの構成において、放電スイッチとして2個のスイッチ24、25を設ける構成としている。

[0134] すなわち、図37において、インピーダンス部20eでは、スイッチ24をコンデンサ22の両端子間に接続し、スイッチ25を抵抗23とコンデンサ22の直列回路の両端子間に接続している。スイッチ24および25は、スイッチ制御回路80から同じ駆動信号が与えられる構成であり、外部から制御信号が与えられていない状態では、スイッチ制御回路80によりオン状態に保持され、制御信号が与えられるとオフ状態に移行する。これにより、コンデンサ22は、抵抗23を通じて電荷が放電された状態となっている。

[0135] 前述同様にして、外部から制御信号が与えられると、駆動回路40は、IGBT1のゲートGにゲート電圧 V_g を印加してIGBT1をオン動作させる。このとき、スイッチ24および25は、スイッチ制御回路80からオフ動作の信号が与えられるので開放状態となる。IGBT1においては、通常状態においては、図35に示したように、ゲート電圧 V_g が上昇して、ミラー期間を経て所定レベルまで上昇する。

[0136] そして、外部から制御信号が時刻 t_z でオフ動作に対応する状態に変化すると、駆動回路40はIGBT1のゲートに与えていたゲート電圧 V_g をローレベルにする。これにより、IGBT1はオフされ、素子電流 I_c およびゲート電圧 V_g が低下していく。また、時刻 t_z で、スイッチ制御回路80によりスイッチ24、25が共にオンされるので、コンデンサ22および抵抗23の直列回路が短絡状態になる。これにより、スイッチ24、25のオン時点で、センス電圧 V_{se1} はグラウンドレベルに変化し、センス電圧 V_{se2} もコンデンサ22の電荷が瞬時に放電されることでグラウンドレベルに変化する。

[0137] この結果、例えば抵抗23の抵抗値が大きい場合で、第12実施形態のよ

うにコンデンサ22の電荷を抵抗23介してスイッチ25で放電する構成では、センス電圧 V_{se2} の低下に時間を要するときに、本実施形態のようにスイッチ24を設けることで迅速に低下させることができる。これにより、IGBT1のオフ期間の制約を少なくして駆動制御することができる。

[0138] このような第13実施形態によれば、第12実施形態の作用効果に加えて、IGBT1のオフ時にセンス電圧 V_{se1} および V_{se2} を共に迅速にグラウンドレベルに低下させることで、センス電圧 V_{se2} を迅速に低下させることができる。

なお、上記構成において用いたインピーダンス部20eの構成を、センス電圧 V_{se1} 、 V_{se2} を用いるように、第10実施形態あるいは第11実施形態に適用することもできる。

[0139] (第14実施形態)

図38は、第14実施形態を示すもので、以下、第6実施形態と異なる部分について説明する。この実施形態では、第6実施形態におけるインピーダンス部20bと同等の構成であるが、抵抗23aの抵抗値を小さく設定し、コンデンサ22の容量が大きく設定されている。この場合、コンデンサ22の容量は、過渡電流を吸収することができる程度に設定されることが好ましい。抵抗23aは、抵抗値をゼロにすることもできる。この場合には、第7実施形態で示した図16の構成と類似するが、スイッチ24を備えているところが異なる。

[0140] この構成においては、抵抗23aは小さい抵抗値であるから、抵抗23aに電流が流れたときに、センス電圧 V_{se1} と V_{se2} の電位差が少なく、ほぼ同じレベルとなる。このため、この実施形態では、センス電圧 V_{se1} を用いることをやめて、センス電圧 V_{se2} を過電流判定用の信号として制御回路30cに取り込む構成としている。コンデンサ22は、IGBT1のオフ時にはスイッチ24がオンされることで電荷が放電された状態となっており、センス電圧 V_{se2} はゼロレベルとなっている。

[0141] 上記構成において、IGBT1がオン駆動されると、スイッチ24がオフ

となり、センス電圧 V_{se2} は、ピーク値を呈したり、あるいはミラー期間での高い電圧になったりすることがなく、過渡変動が吸収された状態で徐々に上昇していく。これは、コンデンサ 22 により過渡変動分が吸収されて、センス電圧 V_{se2} はコンデンサ 22 の充電に伴う端子電圧として得られるからである。

[0142] 前述同様に、しきい値電圧 V_{th} を過電流レベルの電圧に設定しておくことで、通常動作時にはセンス電圧 V_{se2} がしきい値電圧 V_{th} を超えることがない。そして、IGBT 1 に過電流が流れる状態では、センス電圧 V_{se2} も、しきい値電圧 V_{th} を超えて上昇することで過電流状態を検出することができる。

[0143] したがって、このような第 14 実施形態においても、第 6 実施形態と同様の効果を得ることができる。

なお、この実施形態では、スイッチ 24 をオフ状態に保持しておくことで、第 7 実施形態と同じ動作を行わせることもできる。

[0144] (第 15 実施形態)

図 39～図 41 は、第 15 実施形態を示すもので、以下、第 14 実施形態と異なる部分について説明する。この実施形態では、第 14 実施形態で抵抗 23a を設けていたのに対して、これを抵抗値ゼロすなわち短絡状態の構成としている。また、この実施形態では、コンデンサ 22 に代えて、合成容量が同じ容量となるように直列に接続した 2 個のコンデンサ 22a、22b を設けている。スイッチ 24 は、そのまま 2 個のコンデンサ 22a、22b の電荷を放電するように設けている。

[0145] この構成では、第 14 実施形態と同様にして作用効果を得ることができ、さらに、コンデンサ 22a、22b の直列回路を構成することで、電圧を分圧して制御回路 30c に取り込む構成となっている。これにより、過電流検出回路 70a 側に低電圧で入力して判定処理を行うことができる。

[0146] 図 40 は正常状態である通常状態、図 41 は短絡時において、IGBT 1 に、ゲート電圧 V_g を印加してからの素子電流 I_c 、センス電圧 V_{se1} お

よび V_{se2} の時間変化のシミュレーション結果を示している。

[0147] 上記構成において、外部から制御信号が与えられ、駆動回路40aからIGBT1のゲートGにゲート電圧 V_g が印加されるとIGBT1はオン動作する。このとき、IGBT1においては、図40に示すように、ゲート電圧 V_g および素子電流 I_c は、前述同様にして推移し、所定レベルに落ち着く。

[0148] このとき、センス電圧 V_{se1} および V_{se2} は、コンデンサ22a、22bにより過渡変動分が吸収されることで、過渡変動が吸収された状態で徐々に上昇していく。この場合、センス電圧 V_{se1} は、コンデンサ22aおよび22bの端子電圧の合成電圧となり、センス電圧 V_{se2} は、コンデンサ22bの端子電圧として得られる。また、コンデンサ22aと22bの各端子電圧は、容量に反比例した分担電圧となっているので、低い電圧として過電流検出回路70aに取り込むことができる。

[0149] そして、IGBT1に過電流が流れる場合には、図41に実線で示しているように、センス電圧 V_{se2} は、比較的低い電圧として過電流を検出できる電圧レベルで得ることができる。センス電圧 V_{se2} がしきい値電圧 V_{th} を超えるときには、コンパレータ71により過電流状態が検出され、IGBT1をオフさせる。

[0150] したがって、このような第15実施形態によれば、第14実施形態と同様の効果が得られると共に、直列に接続したコンデンサ22a、22bによりセンス電圧 V_{se2} を低電圧で取り込むことができるので、過電流検出回路70aの構成を低電圧対応の回路構成とすることができる。

[0151] (第16実施形態)

図42から図45は第16実施形態を示すものである。この実施形態では、上記した各実施形態において用いていた駆動回路40のドライバ回路41の具体例、あるいは駆動回路40aの通常駆動回路43、クランプ回路44、ソフト遮断回路45の具体例について示している。

[0152] 図42は、第10実施形態を除いた第1～第15実施形態における駆動回

路40のドライバ回路41の具体回路の一例を示すものである。ドライバ回路41は、Pチャンネル型のMOSFET41a、Nチャンネル型のMOSFET41bを直列に接続した構成で、ゲート駆動用の電源VBとICグラウンドとの間に接続されている。MOSFET41aおよび41bの共通接続点がIGBT1のゲートGに接続される。なお、各MOSFET41a、41bには寄生ダイオード41c、41dが存在する。

[0153] 上記構成において、IGBT1を駆動する場合には、MOSFET41aをオン、MOSFET41bをオフの状態にすることで、IGBT1のゲートGに電源VBからゲート電圧Vgを印加する。

[0154] IGBT1をオフさせる場合には、MOSFET41aをオフ、MOSFET41bをオンの状態にすることでIGBT1のゲートGの電位をグラウンドレベルに低下させる。

次に、図43において、図42で示したドライバ回路41にソフト遮断回路45を付加して構成した駆動回路40bを示している。IGBT1に過電流が流れて強制的に遮断する場合に、駆動回路41のMOSFET41a、41bを共にオフ状態にさせた後に、ソフト遮断回路45を動作させるようにしたものである。

[0155] ソフト遮断回路45は、IGBT1のゲートGとグラウンドとの間に、Nチャンネル型のMOSFET45aを抵抗45bを介して接続したものである。なお、MOSFET45aには寄生ダイオード45cが存在する。

[0156] 前述したように、IGBT1の過電流状態が継続して強制的にオフさせる場合に、ソフト遮断回路45が駆動される。この場合には、ドライバ回路41のMOSFET41aおよび41bを共にオフ状態にした後、ソフト遮断回路45のMOSFET45aをオンさせる。これにより、IGBT1のゲートGは抵抗45bを介してグラウンドに接続されるので、ゲートGから電荷が徐々に放電されることでゲート電圧Vgがゆっくり低下し、IGBT1がオフ状態に移行する。これにより、IGBT1をソフト遮断をすることができる。

[0157] 次に、図44において、第10実施形態で示した駆動回路40aの具体的な回路について説明する。通常駆動回路43は、ドライバ回路41と同様に、Pチャンネル型のMOSFET43a、Nチャンネル型のMOSFET43bを直列に接続した構成で、電源VBとICグランドとの間に接続されている。MOSFET43aおよび43bの共通接続点がIGBT1のゲートGに接続される。なお、各MOSFET43a、43bには寄生ダイオード43c、43dが存在する。

[0158] クランプ回路44は、Pチャンネル型のMOSFET44a、Nチャンネル型のMOSFET44bを、それぞれ抵抗44c、44dを介在させた状態で直列に接続した構成で、電源VBとICグランドとの間に接続されている。抵抗44cおよび抵抗44dの共通接続点がIGBT1のゲートGに接続される。なお、各MOSFET44a、44bには寄生ダイオード44e、44fが存在する。また、MOSFET44aはインバータ44gを介して駆動され、MOSFET44bはバッファ44hを介してクランプ信号に基づいた駆動信号により駆動される。

[0159] ソフト遮断回路45は、IGBT1のゲートGとグランドとの間に、Nチャンネル型のMOSFET45aを抵抗45bを介して接続したものである。なお、MOSFET45aには寄生ダイオード45cが存在する。

[0160] この構成では、通常駆動回路43を動作させる場合には、図42の構成の場合と同じである。そして、IGBT1のゲートGにゲート電圧Vgを印加してオン動作させている状態で、過電流が流れてクランプ信号が入力された場合には、通常駆動回路43のMOSFET43a、43bを共にオフ状態にし、クランプ回路44を駆動する。

[0161] クランプ回路44では、クランプ信号に基づいた信号がインバータ回路44gおよびバッファ回路44hに入力される。これにより、MOSFET44aおよび44bが共にオン状態となる。これにより、IGBT1のゲートGは、抵抗44cと44dの直列回路にかかる電圧VBを分圧したクランプ電圧がかかるようになる。クランプ電圧は、IGBT1に過電流が流れるの

を抑制できるようにしたゲート電圧 V_g を印加するように抵抗44cおよび44dの抵抗比を設定し、クランプ電圧に移行する速度および駆動ICの許容消費電流により抵抗値を適時調整する。

[0162] この後、IGBT1の過電流状態が継続して強制的にオフさせる場合には、ソフト遮断回路45が駆動される。この場合には、通常駆動回路43をオフ状態に保持すると共に、クランプ回路44のMOSFET44a、44bを共にオフ状態にし、ソフト遮断回路45のMOSFET45aをオンさせる。これにより、IGBT1のゲートGは抵抗45bを介してグラウンドに接続されるので、ゲートGから電荷が徐々に放電されることでゲート電圧 V_g がゆっくり低下し、IGBT1がオフ状態に移行する。これにより、IGBT1をソフト遮断することができる。

[0163] また、図45は、図43で示した駆動回路40aの構成で、ソフト遮断回路45を設けない構成とした駆動回路40cを示したものである。この構成では、ソフト遮断回路45の機能をクランプ回路44により兼用している。

[0164] この構成では、IGBT1の過電流状態が継続して強制的にオフさせる場合には、クランプ回路44のMOSFET44aをオフさせ、MOSFET44bをオンさせる。これにより、IGBT1のゲートGは抵抗44dを介してグラウンドに接続されるので、ゲートGから電荷が徐々に放電されることでゲート電圧 V_g がゆっくり低下し、IGBT1がオフ状態に移行する。これにより、IGBT1をソフト遮断をすることができる。

[0165] このような第16実施形態によれば、ドライバ回路41にソフト遮断回路45を付加することで、過電流が流れている状態のIGBT1のオフ動作においてゲート電圧 V_g を徐々に低下させることでサージ電圧の発生を抑制してIGBT1の保護を図ることができる。

[0166] また、クランプ回路44を、MOSFET44a、44bを共にオンさせて抵抗44cおよび44dの分圧回路を形成することでIGBT1のゲートGに所定電圧を印加する構成としたので、簡単な構成で実現できる。

[0167] さらに、クランプ回路44によりソフト遮断回路45の構成を兼用する動

作を行わせることで、簡単な構成でソフト遮断回路の機能を実現させることができる。

上記実施形態において、クランプ回路44は、抵抗44cおよび44dによる分圧回路によりIGBT1のゲートGに所定電圧を印加するようにしたが、これに限らず、例えば定電流回路により実現することも可能である。

[0168] (他の実施形態)

なお、本開示は、上述した実施形態のみに限定されるものではなく、その要旨を逸脱しない範囲で種々の実施形態に適用可能であり、例えば、以下のように変形または拡張することができる。

[0169] IGBT1は、メイン素子にセンス素子を内蔵したもの以外に、メイン素子単体のものを用い、これに外付けでセンス素子を設けることができる。

スイッチング素子は、IGBT1を用いた場合で示したが、他の素子でも良い。例えばMOSFETやRC-IGBTなどの場合、内蔵されているダイオードを、図21で示したダイオード1a、10a、11として適用することもできる。

[0170] 本開示は、実施例に準拠して記述されたが、本開示は当該実施例や構造に限定されるものではないと理解される。本開示は、様々な変形例や均等範囲内の変形をも包含する。加えて、様々な組み合わせや形態、さらには、それらに一要素のみ、それ以上、あるいはそれ以下、を含む他の組み合わせや形態をも、本開示の範疇や思想範囲に入るものである。

請求の範囲

- [請求項1] センス素子を備えたスイッチング素子（１）を駆動する駆動制御装置であって、
- 前記スイッチング素子にゲート駆動信号を与える駆動回路（４、４０、４０ａ）と、
- 前記スイッチング素子のオン時に前記センス素子の過渡特性を吸収する過渡特性吸収回路（２０、２０ａ、２０ｂ、２０ｃ、２０ｄ、２０ｅ、６０、７０）と、
- 前記センス素子の出力から前記スイッチング素子の過電流もしくは短絡状態を判定する判定回路（６、６ａ、６０、６０ａ、６０ｂ、７０、７０ａ、７０ｂ）と、
- を備えたスイッチング素子の駆動制御装置。
- [請求項2] 前記判定回路（６、６ａ、６０）は、前記センス素子に接続されたセンス抵抗（２１）の電圧をしきい値電圧と比較した結果に基づいて前記スイッチング素子の過電流もしくは短絡状態を検出するように設けられ、
- 前記過渡特性吸収回路（６０）は、前記判定回路における前記しきい値電圧を、前記スイッチング素子のゲート電圧のレベルに応じて切り替え設定する構成の請求項１に記載のスイッチング素子の駆動制御装置。
- [請求項3] 前記過渡特性吸収回路（２０ａ）は、前記センス素子の電流をセンス電圧として検出するセンス抵抗（２１）と、前記センス抵抗に並列に接続されセンス電圧の過渡変動を吸収する容量（２２）とを備え、
- 前記判定回路（７０）は、前記センス素子のセンス電圧をしきい値電圧と比較することで前記スイッチング素子の過電流もしくは短絡状態を検出するように設けられている請求項１に記載のスイッチング素子の駆動制御装置。
- [請求項4] 前記過渡特性吸収回路（２０ｂ、２０ｃ、２０ｆ）は、前記センス

素子に接続されるセンス電圧の過渡変動を吸収する容量（24）であり、

前記判定回路（70a）は、前記容量の端子電圧に基づいて前記スイッチング素子の過電流もしくは短絡状態を検出するように設けられている請求項1に記載のスイッチング素子の駆動制御装置。

[請求項5] 前記過渡特性吸収回路（20b、20d、20e）は、前記センス抵抗（23）に直列接続され前記センス電圧の過渡変動を吸収する容量（22）と、前記容量に充電された電荷を放電させるための放電スイッチ（24、25）とを備え、

前記判定回路（60b、70a、70b）は、前記センス素子のセンス電圧をしきい値電圧と比較することで前記スイッチング素子の過電流もしくは短絡状態を検出するように設けられている請求項1に記載のスイッチング素子の駆動制御装置。

[請求項6] 前記判定回路（70a）は、前記センス素子のセンス電圧からオン電圧を検出し、そのオン電圧とオン抵抗から素子電流を算出して前記スイッチング素子の過電流もしくは短絡状態を検出するように設けられている請求項5に記載のスイッチング素子の駆動制御装置。

[請求項7] 前記スイッチング素子のオン状態で得られる前記センス電圧から、前記スイッチング素子のオン電圧を検出し、そのオン電圧とオン抵抗から素子電流を検出する電流検出回路（5、50）を備えている請求項1から6のいずれか一項に記載のスイッチング素子の駆動制御装置。

[請求項8] 前記スイッチング素子（1）は、センス素子が前記メイン素子に並列で逆方向に接続されたダイオード（10a、11）として設けられる請求項4または6に記載のスイッチング素子の駆動制御装置。

[請求項9] 前記センス素子のセンス電圧として、前記抵抗（23）の端子電圧を第1センス電圧（ V_{se1} ）、前記容量（22）の端子電圧を第2センス電圧（ V_{se2} ）として検出し、前記第1センス電圧を第1し

きい値電圧 (V_{thA}) と比較することで前記スイッチング素子の過電流もしくは短絡状態を検出する電流検出回路 (50a) を備え、

前記判定回路 (60b) は、前記電流検出回路 (50a) の検出信号に基づいて前記スイッチング素子のゲート電圧をクランプし、前記第2センス電圧を第2しきい値電圧 (V_{thB}) と比較することで前記スイッチング素子の過電流もしくは短絡状態を検出するように設けられている請求項5に記載のスイッチング素子の駆動制御装置。

[請求項10] 前記過電流検出回路 (70b) は、前記センス素子のセンス電圧として、前記抵抗 (23) の端子電圧 (V_{se1}) を検出し、前記センス電圧をしきい値電圧 (V_{thA}) と比較することで前記スイッチング素子の過電流もしくは短絡状態を検出する請求項5に記載のスイッチング素子の駆動制御装置。

[請求項11] 前記過渡特性吸収回路 (20d) は、前記容量に充電された電荷を放電する前記放電スイッチ (25) が、前記センス抵抗 (23) を介して放電させるように設けられる請求項5に記載のスイッチング素子の駆動制御装置。

[請求項12] 前記過渡特性吸収回路 (20d) は、前記容量の端子間に接続される放電スイッチ (24) と、前記容量および前記センス抵抗の直列回路の端子間に接続される放電スイッチ (25) とを備えた請求項5に記載のスイッチング素子の駆動制御装置。

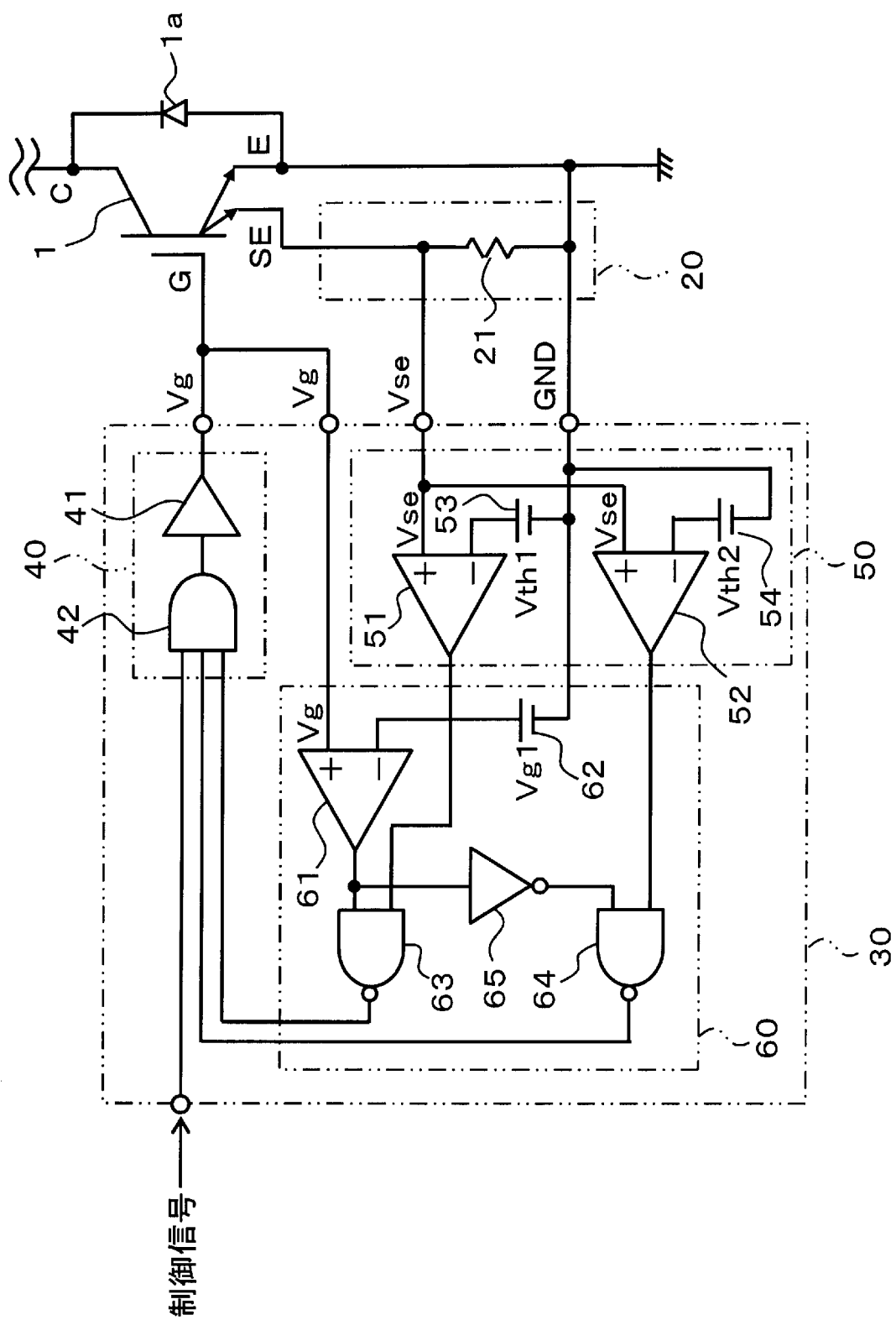
[請求項13] 前記過渡特性吸収回路 (20b) は、前記容量 (22) の電荷を放電させる放電スイッチ (24) を備える請求項4に記載のスイッチング素子の駆動制御装置。

[請求項14] 前記容量は、直列接続された複数個の容量 (22a、22b) からなり、

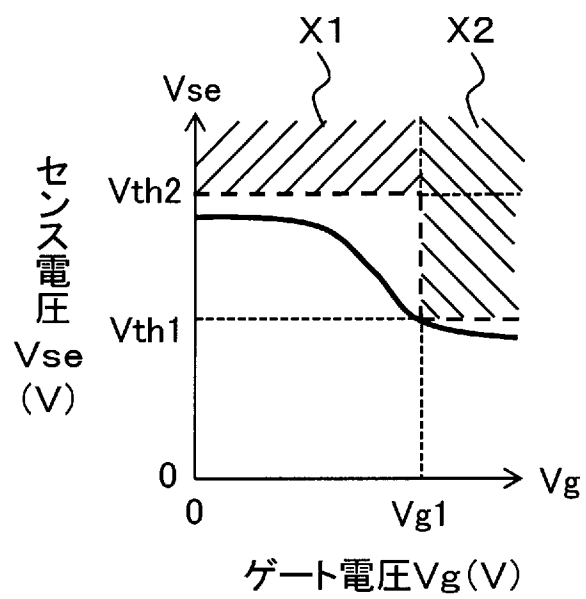
前記過電流検出回路 (70a) は、前記複数個の容量で分圧された端子電圧に基づいて前記スイッチング素子の過電流もしくは短絡状態を検出するように設けられている請求項13に記載のスイッチング素

子の駆動制御装置。

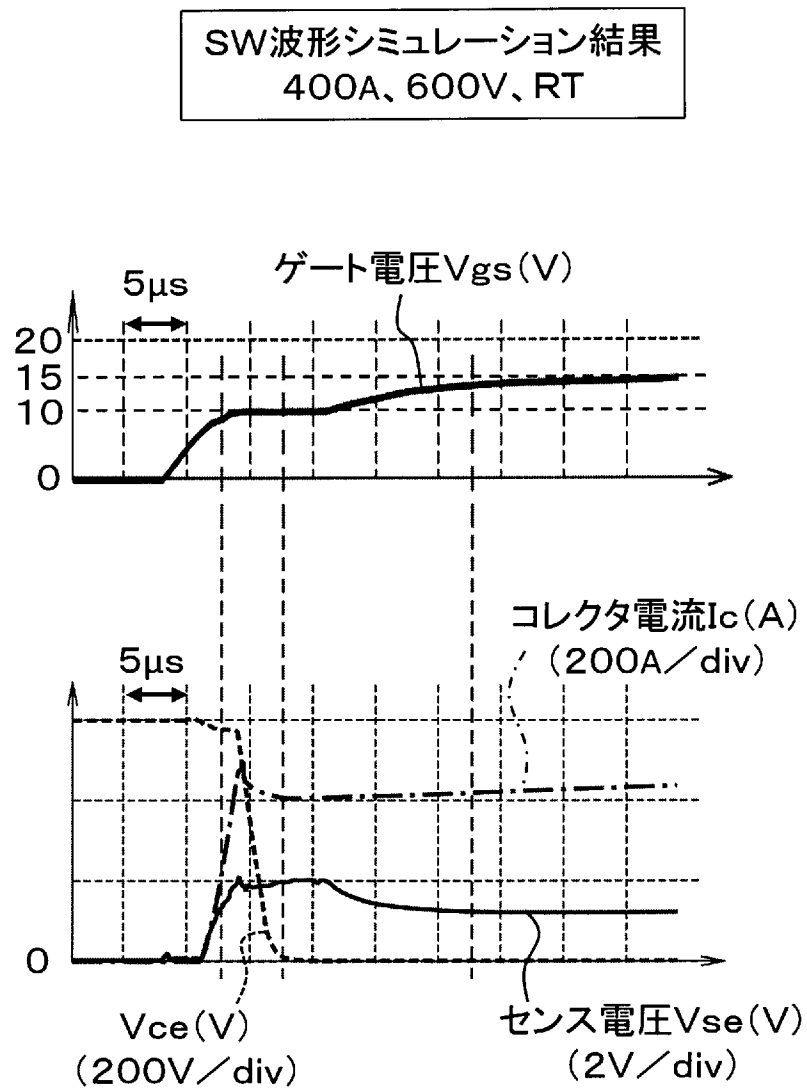
[図2]



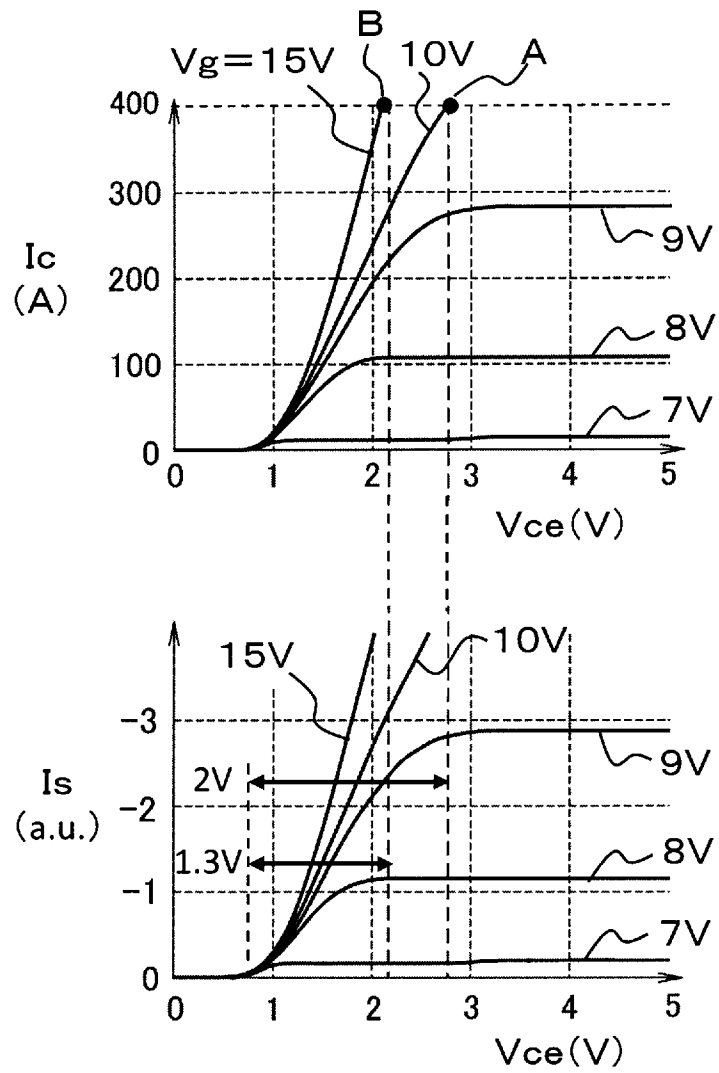
[図3]



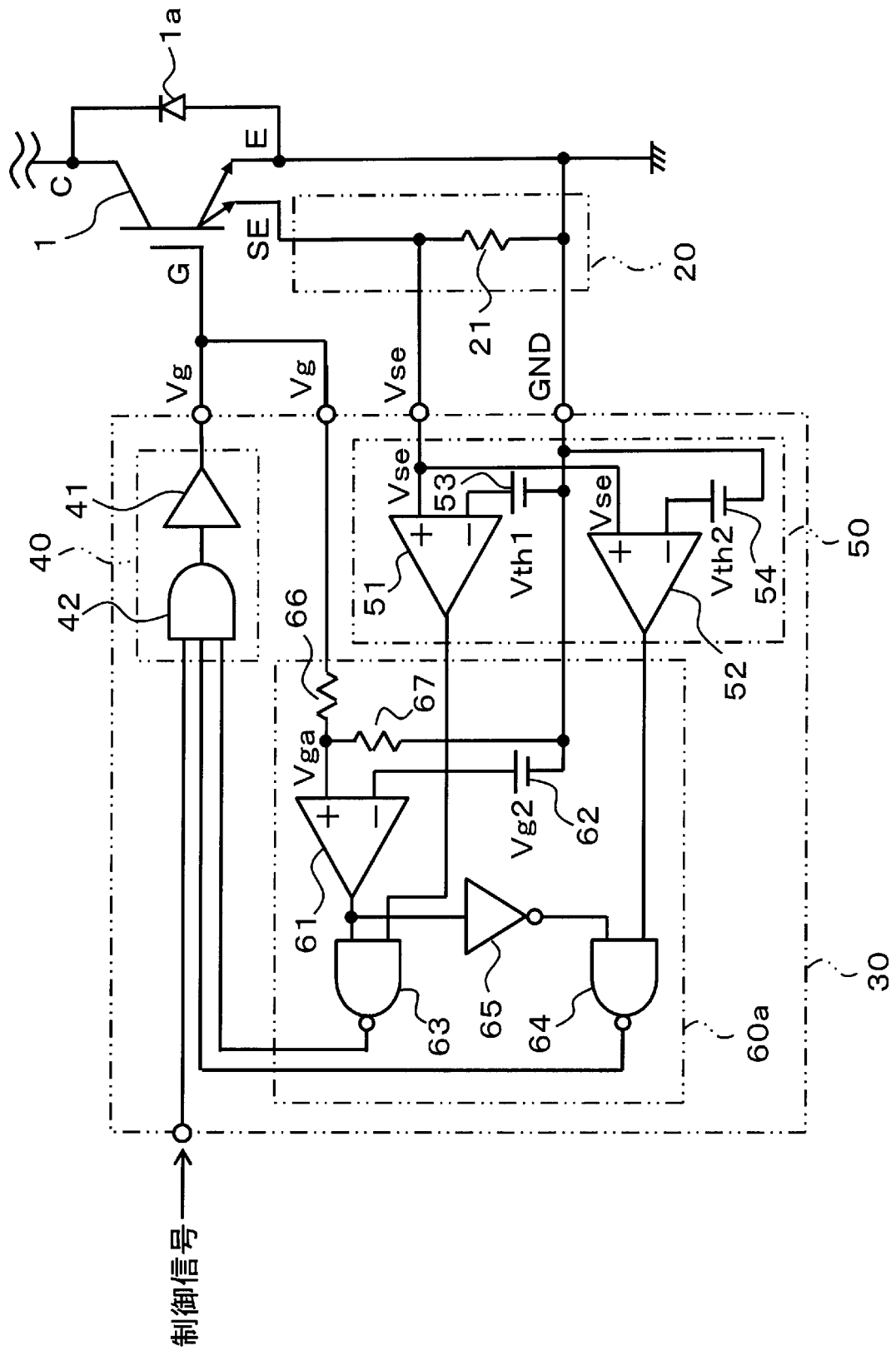
[図4]



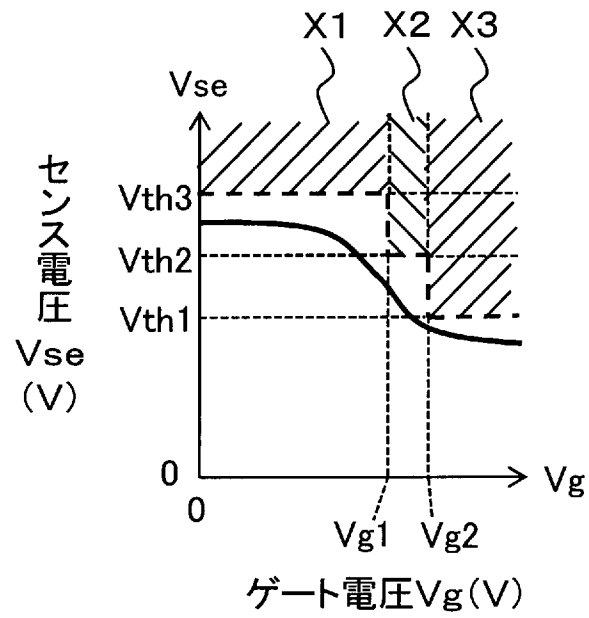
[図5]



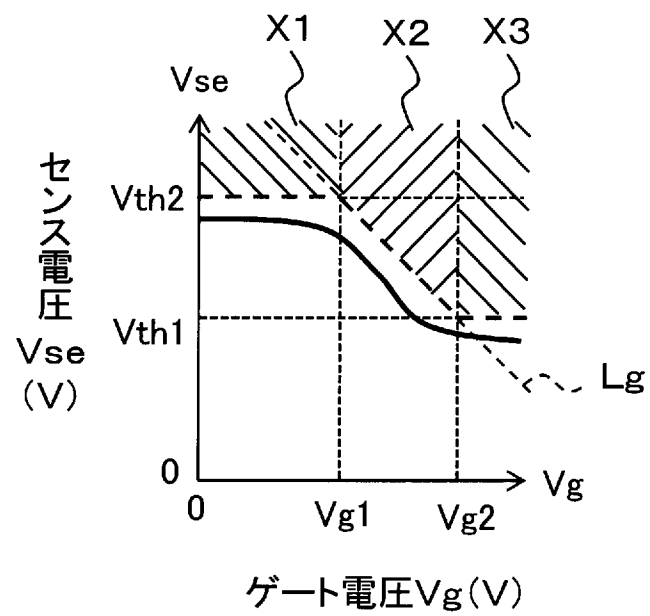
[図6]



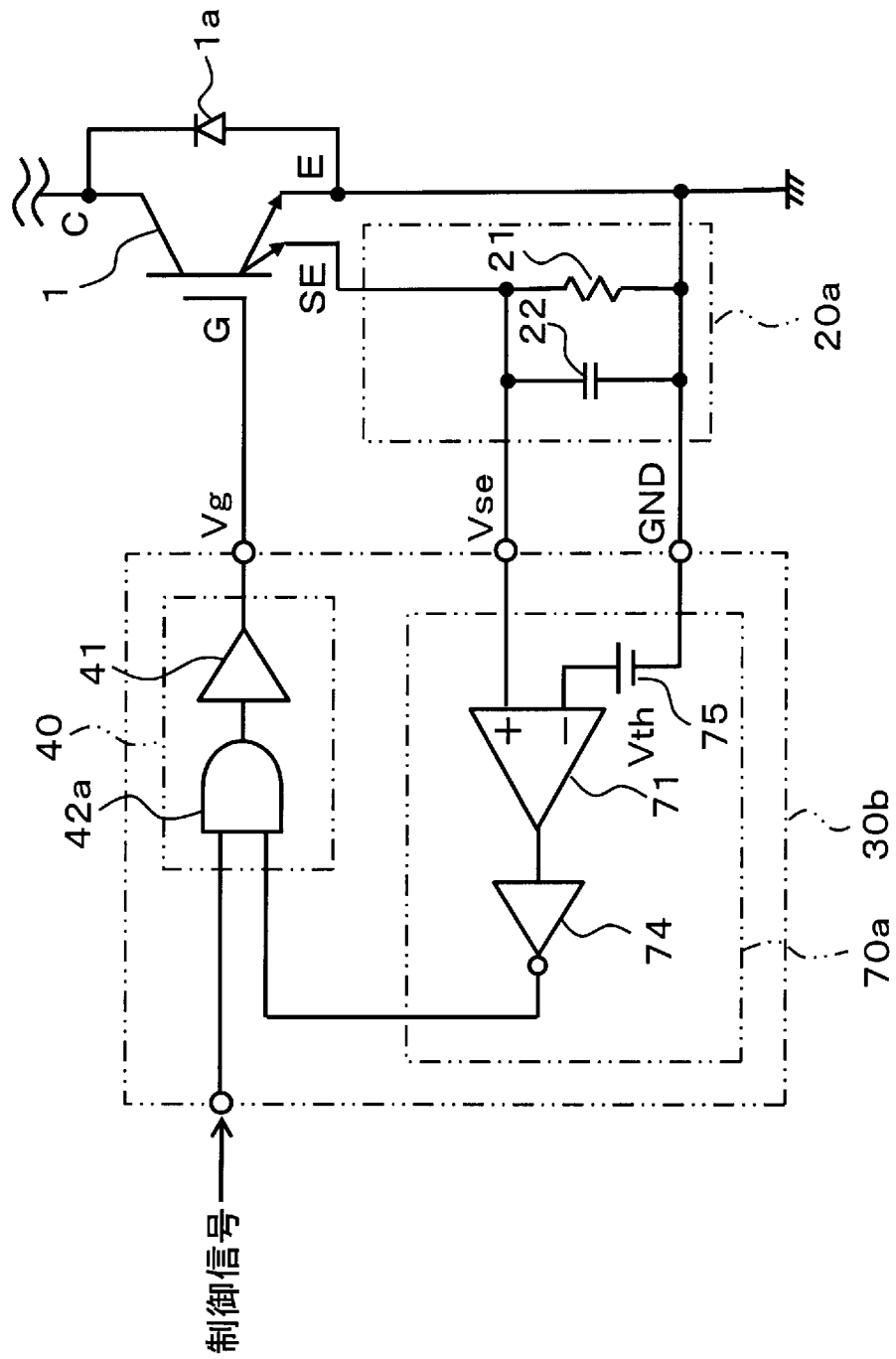
[図7]



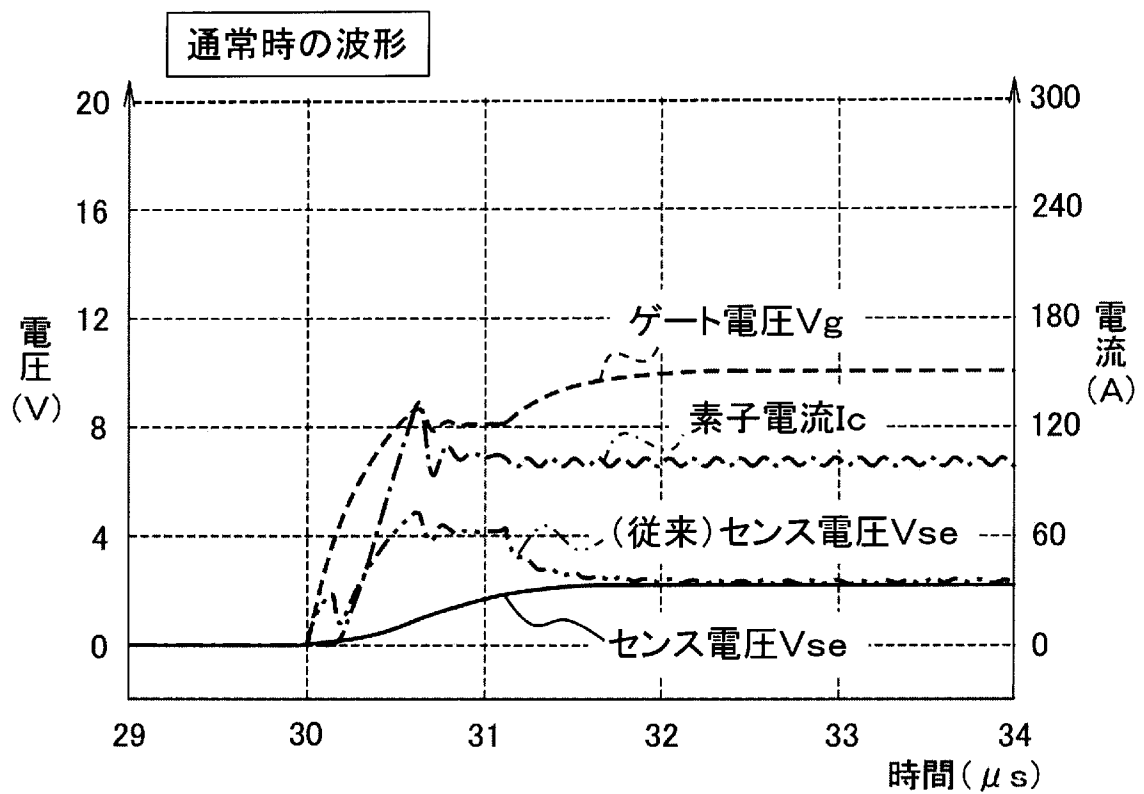
[図8]



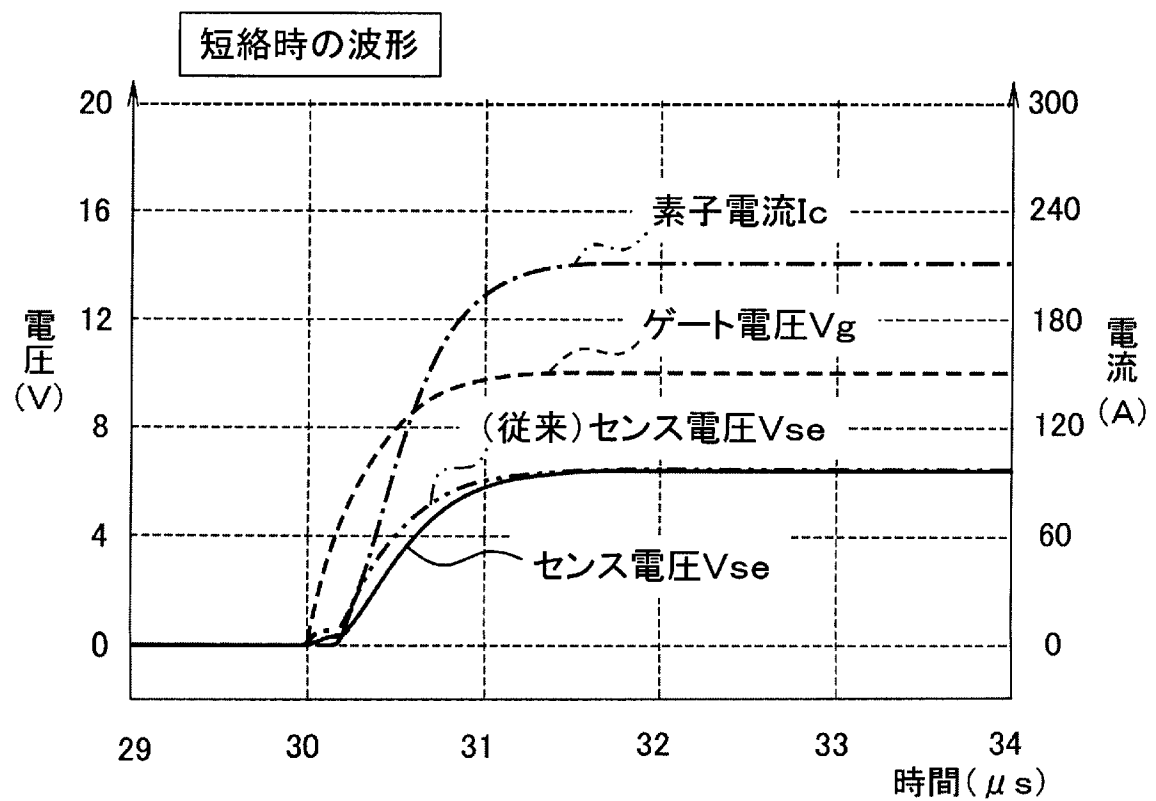
[図11]



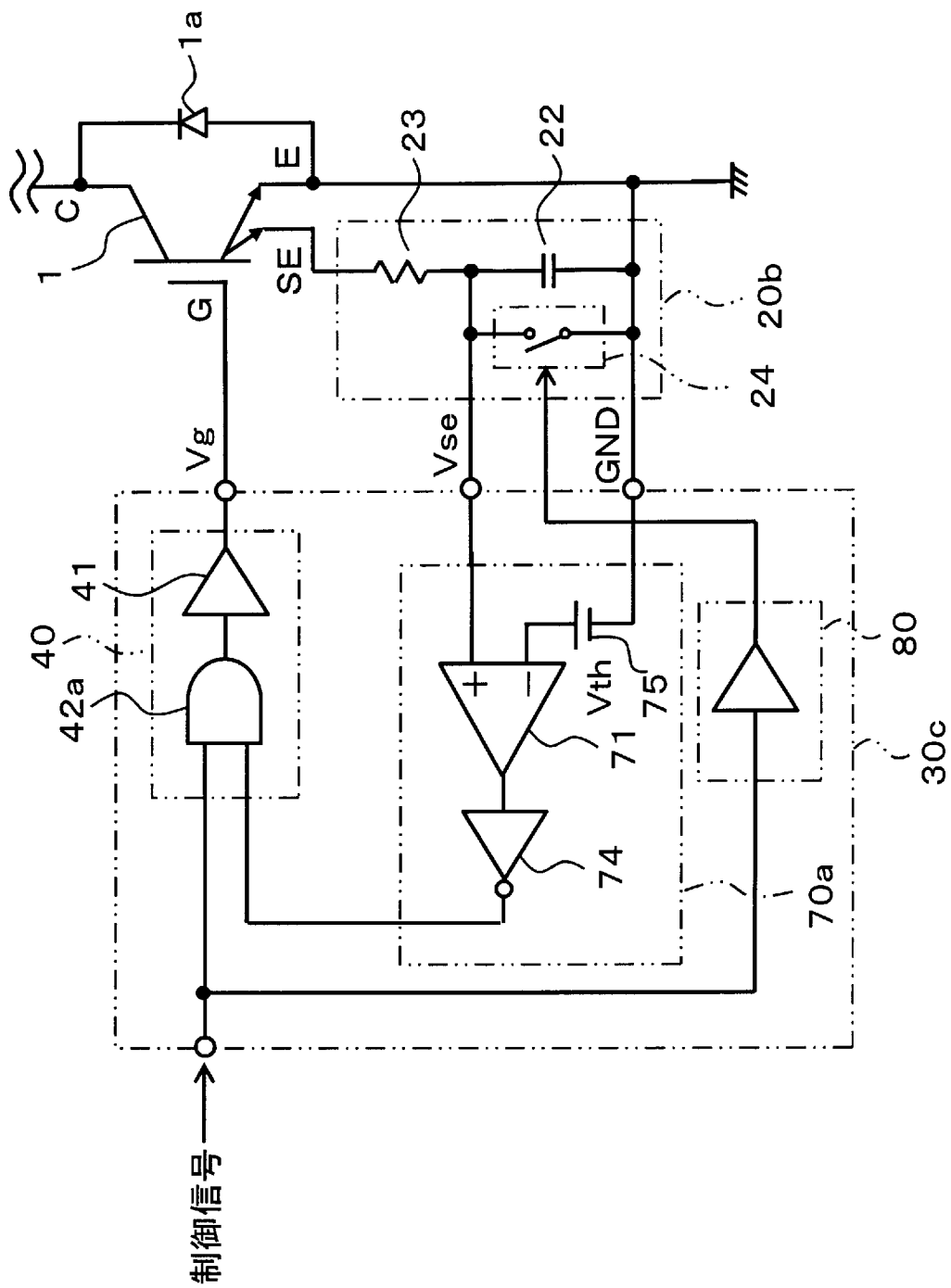
[図12]



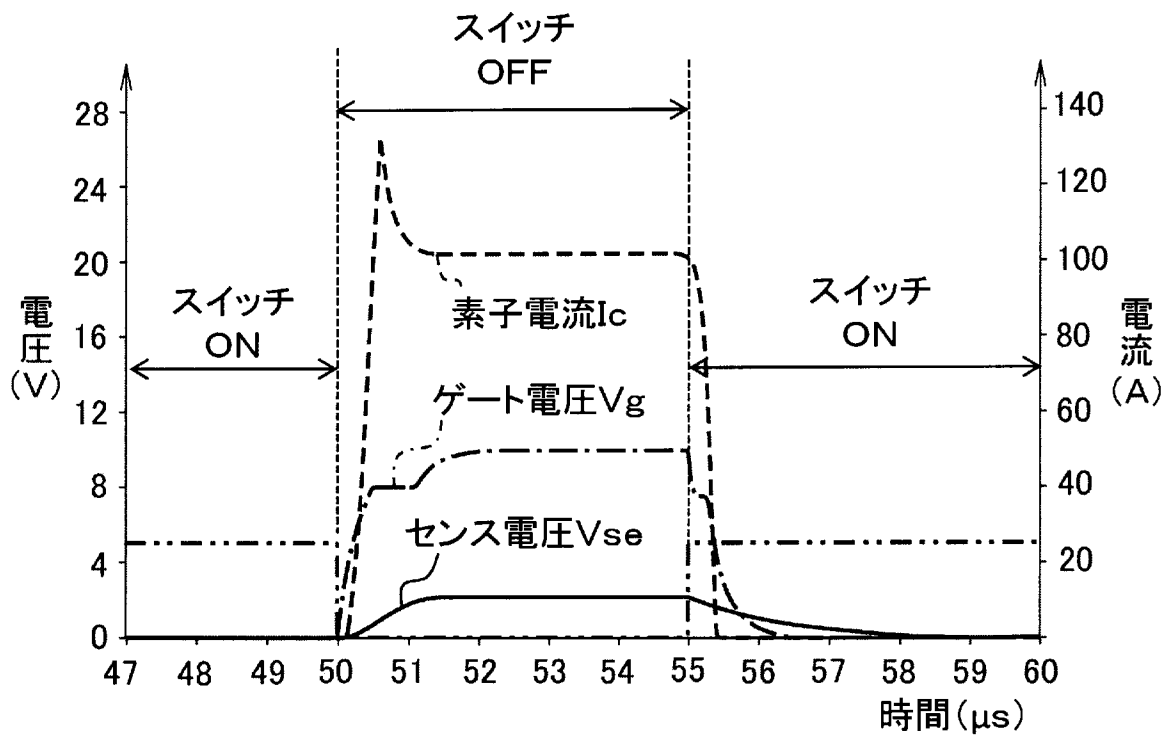
[図13]



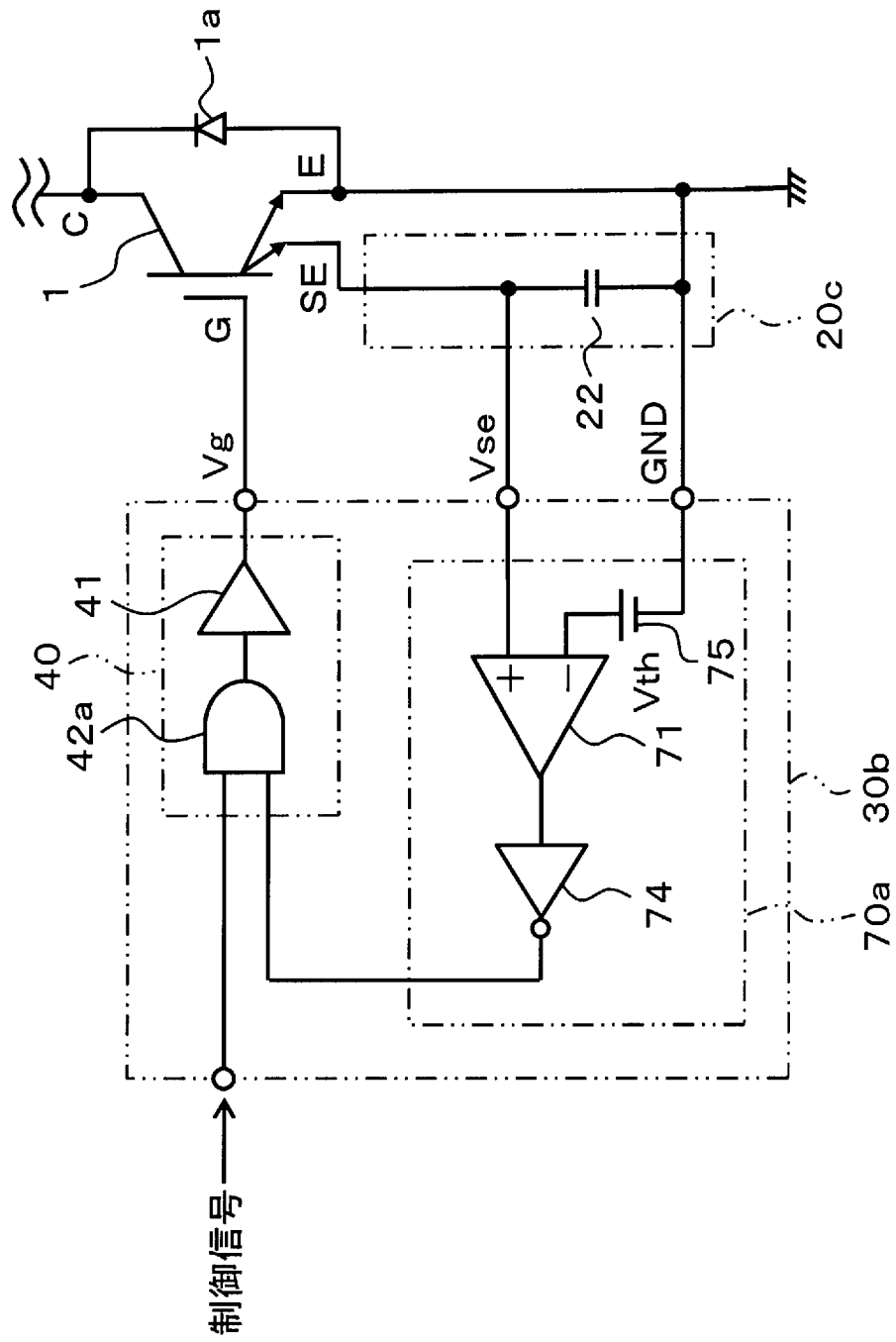
[図14]



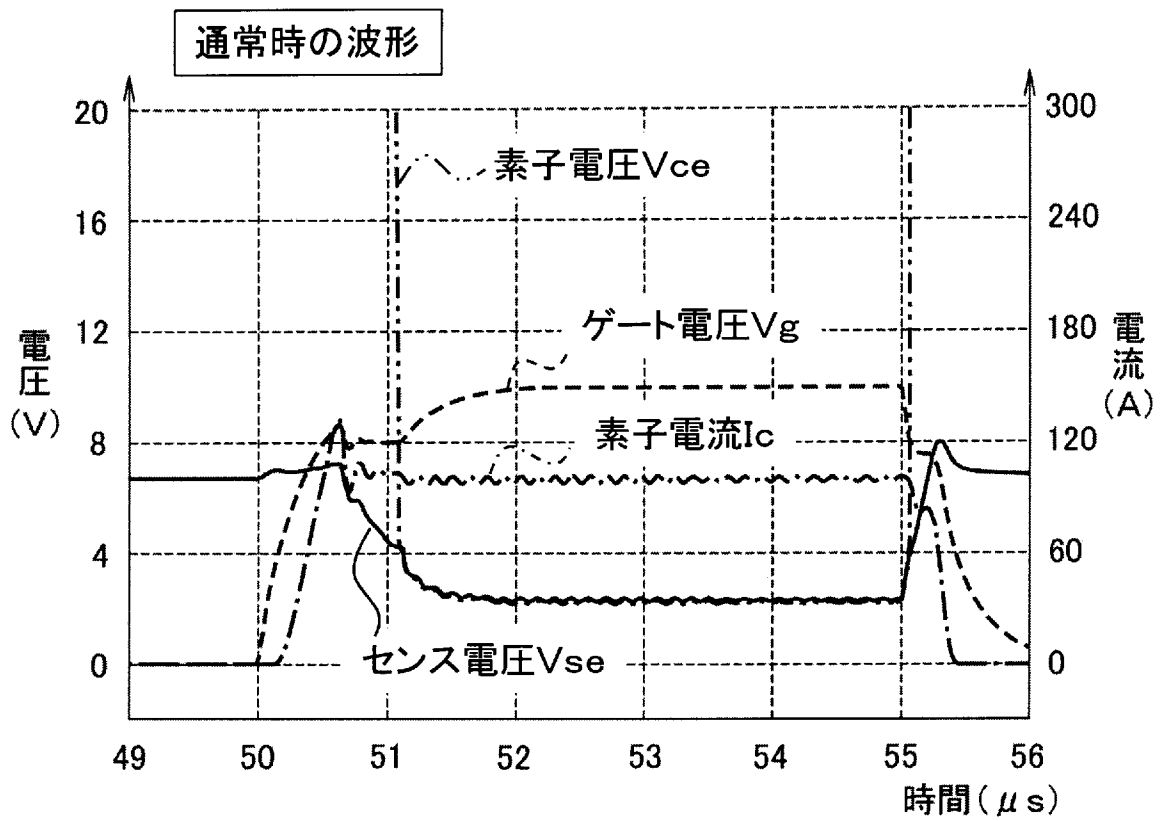
[図15]



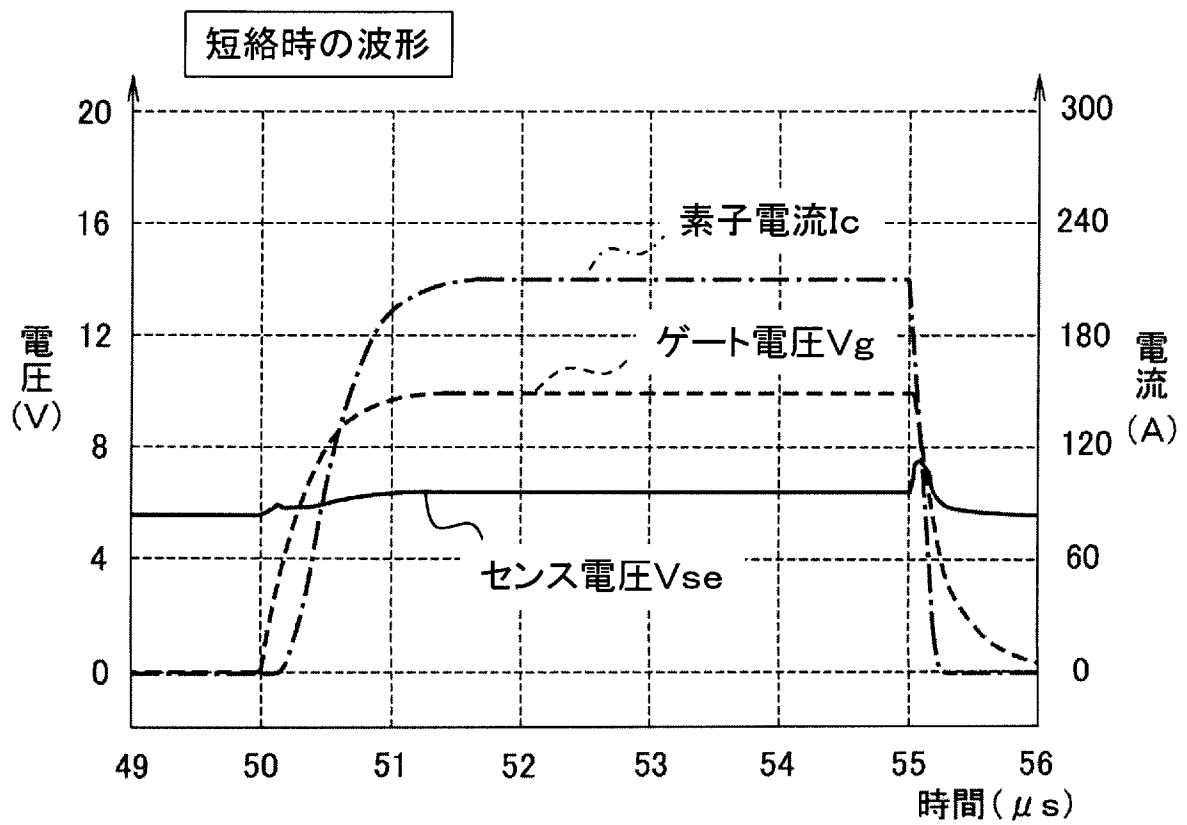
[図16]



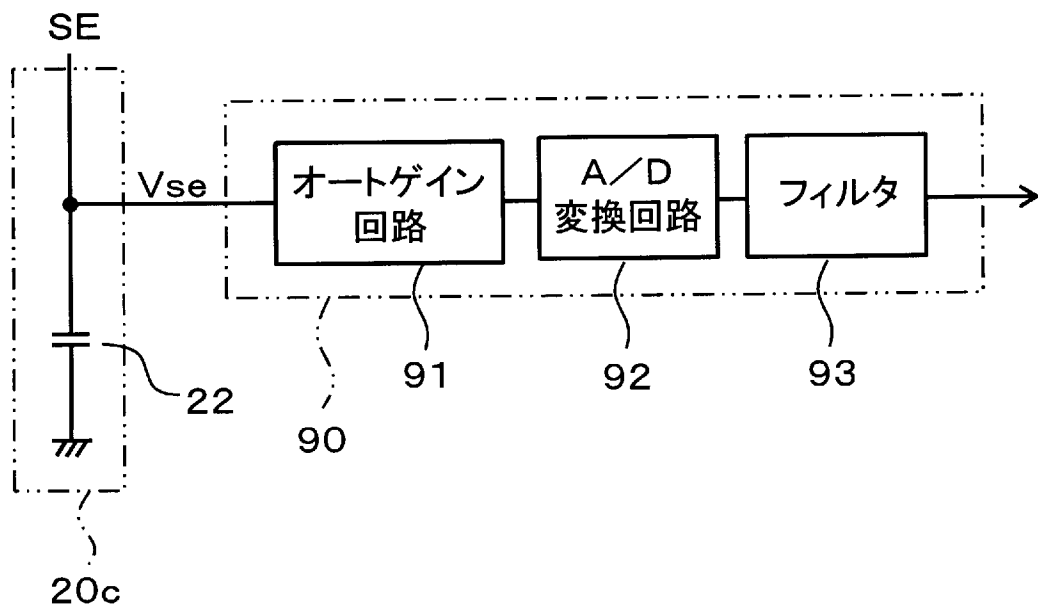
[図17]



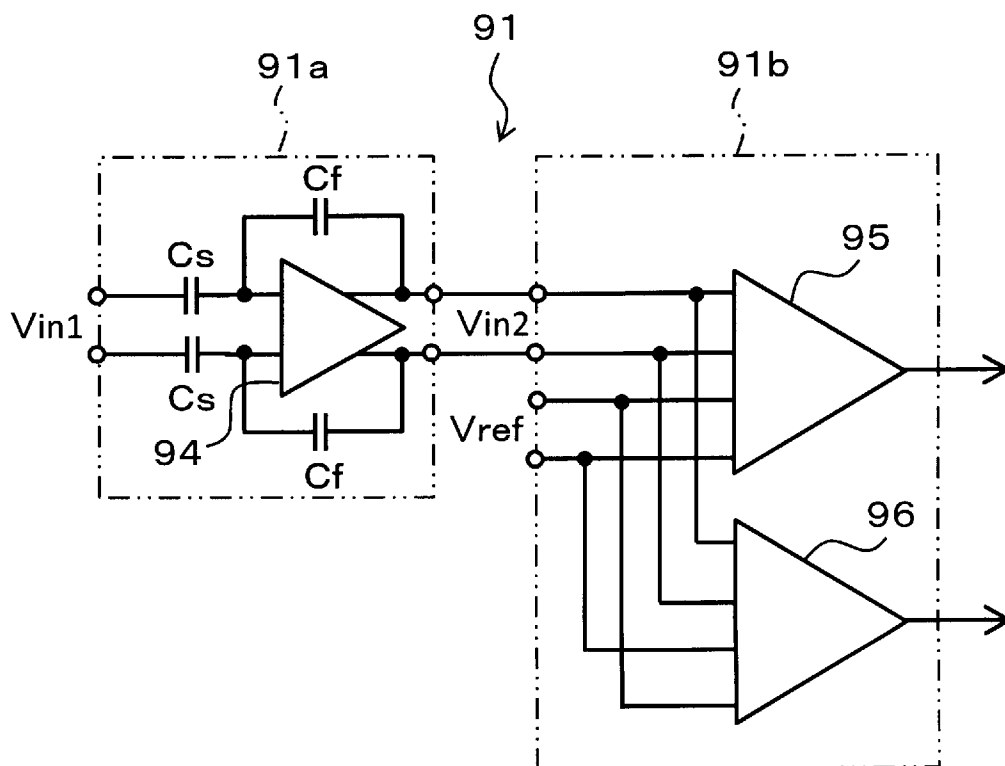
[図18]



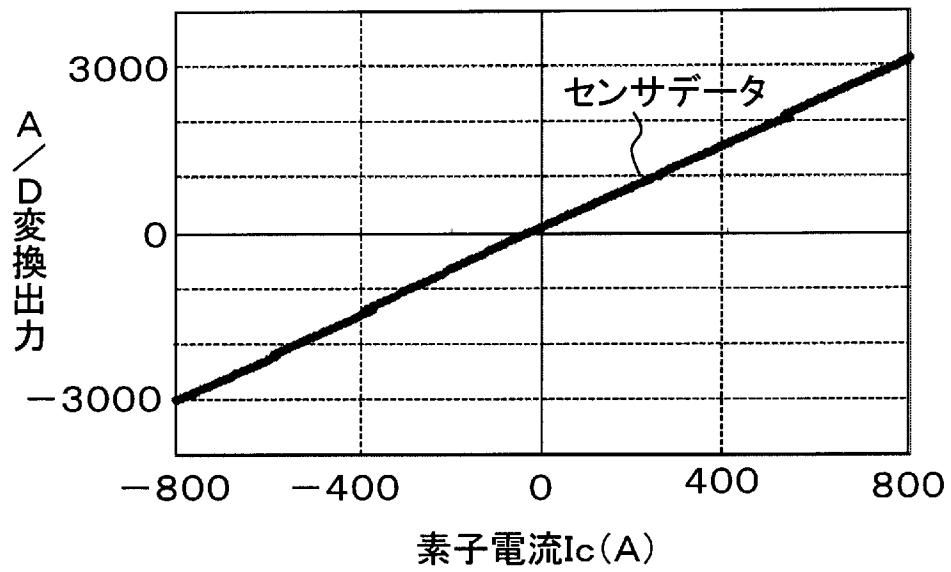
[図19]



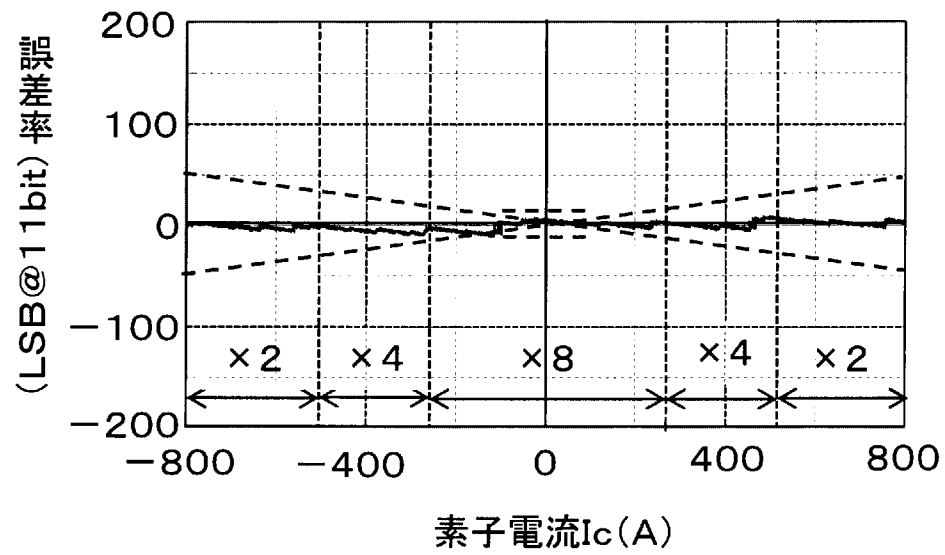
[図20]



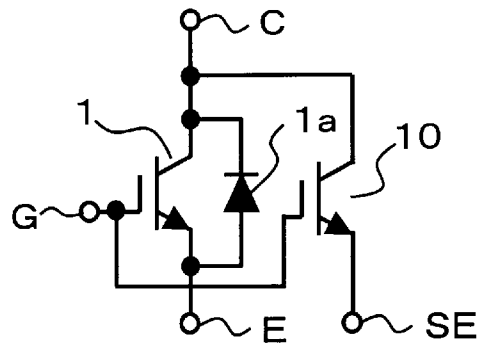
[図21]



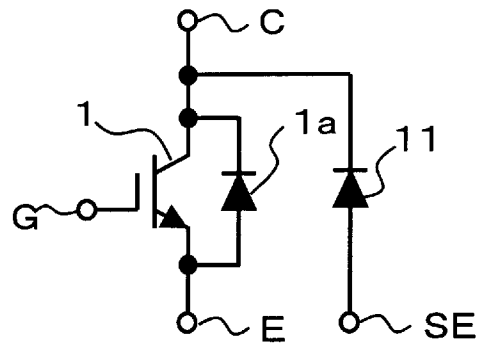
[図22]



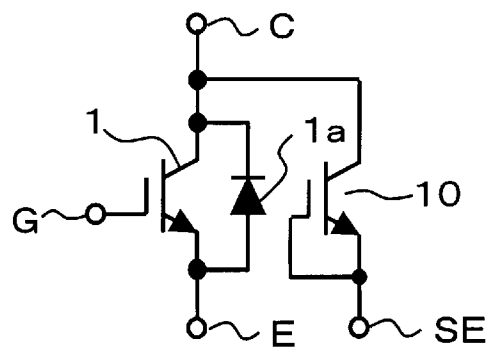
[図23]



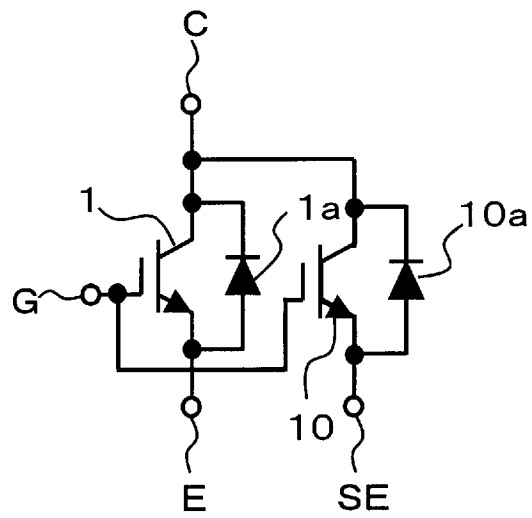
[図24]



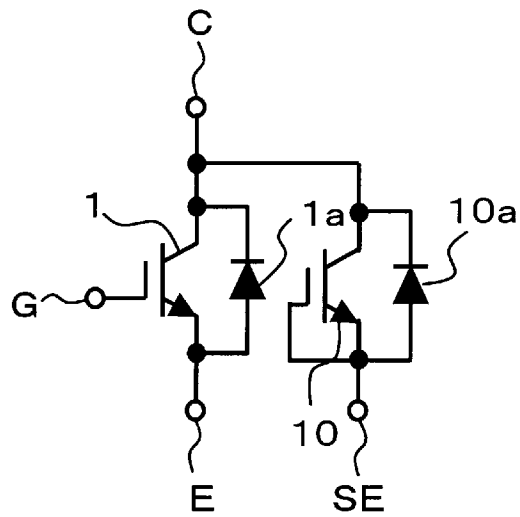
[図25]



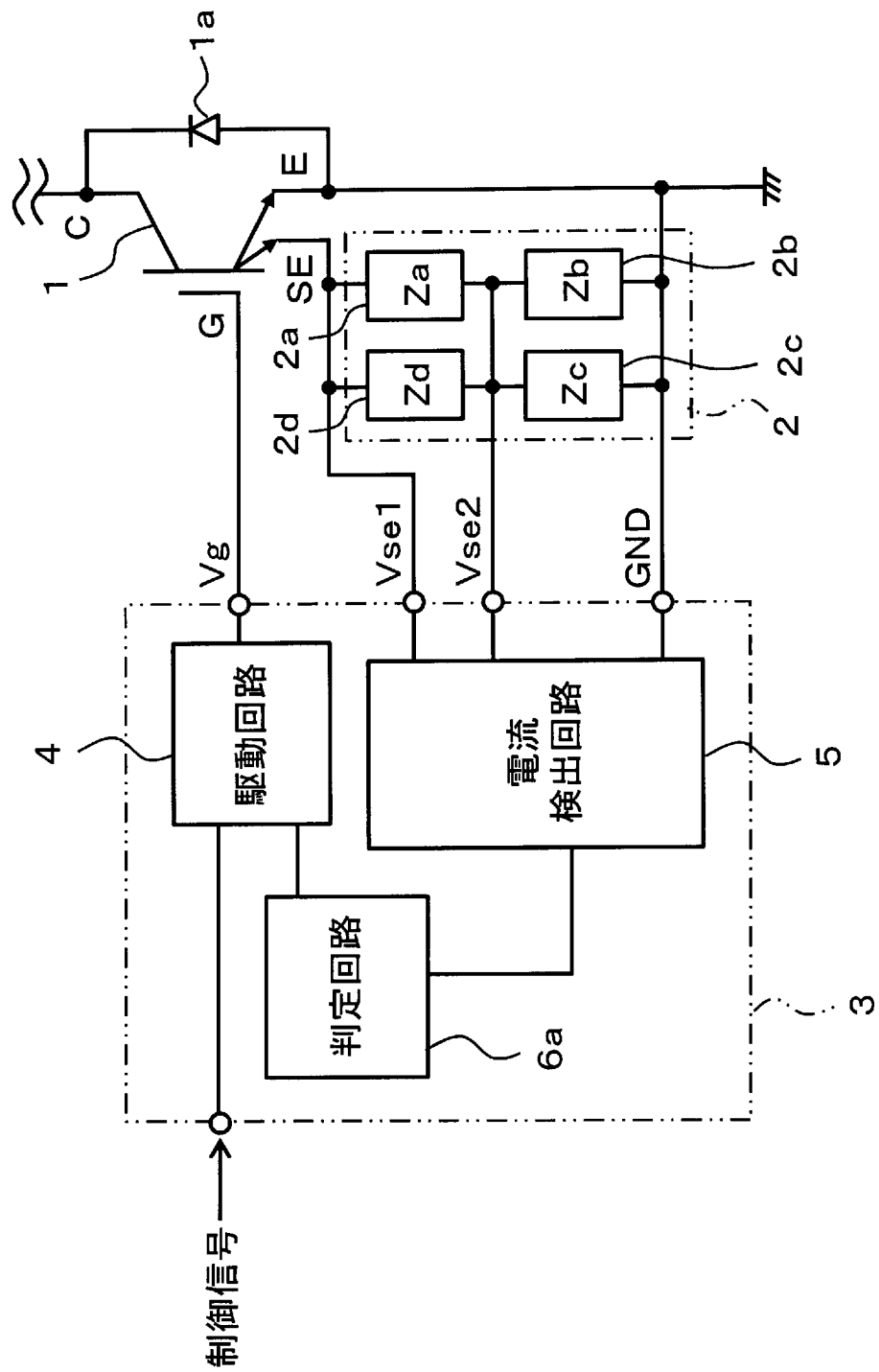
[図26]

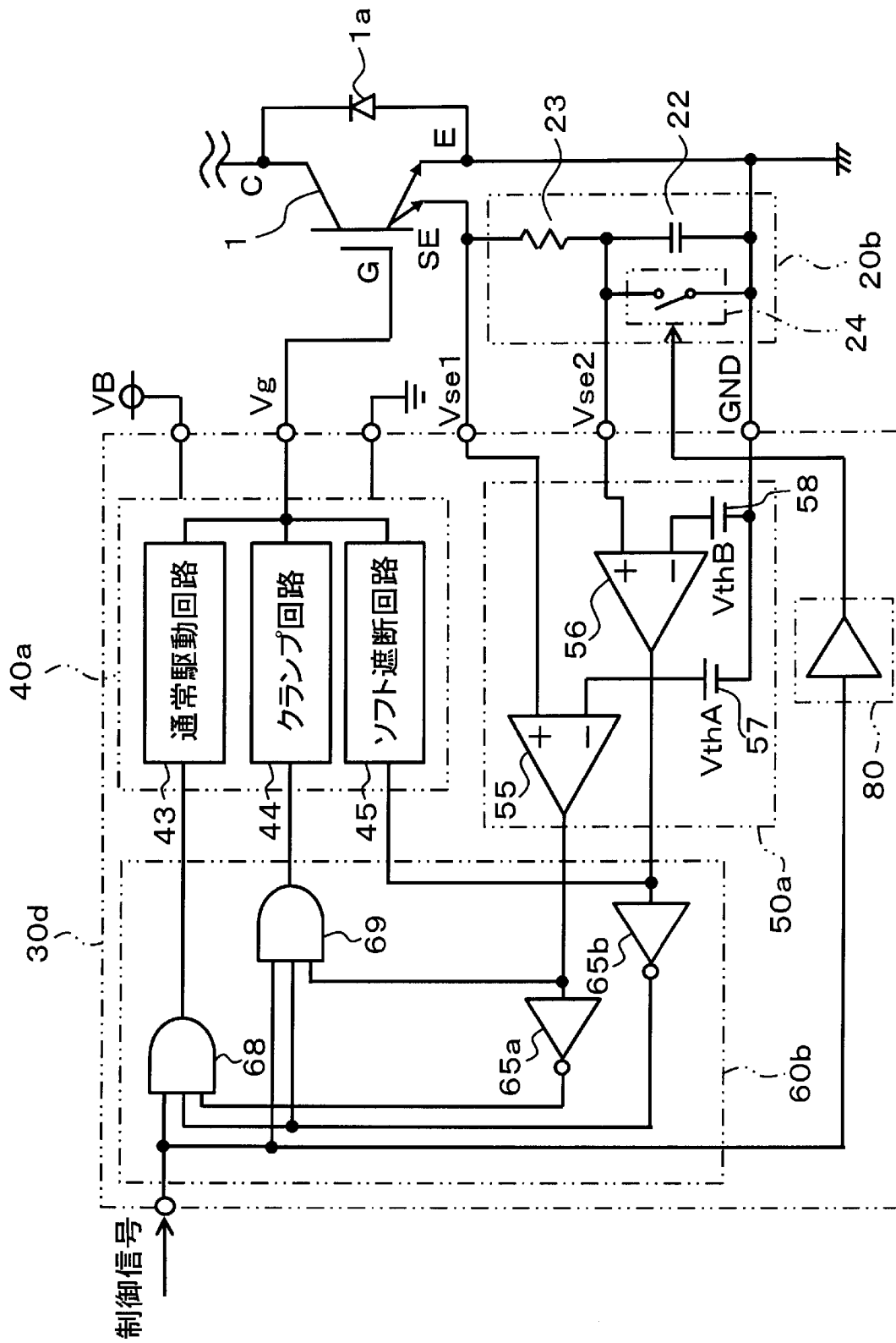


[図27]

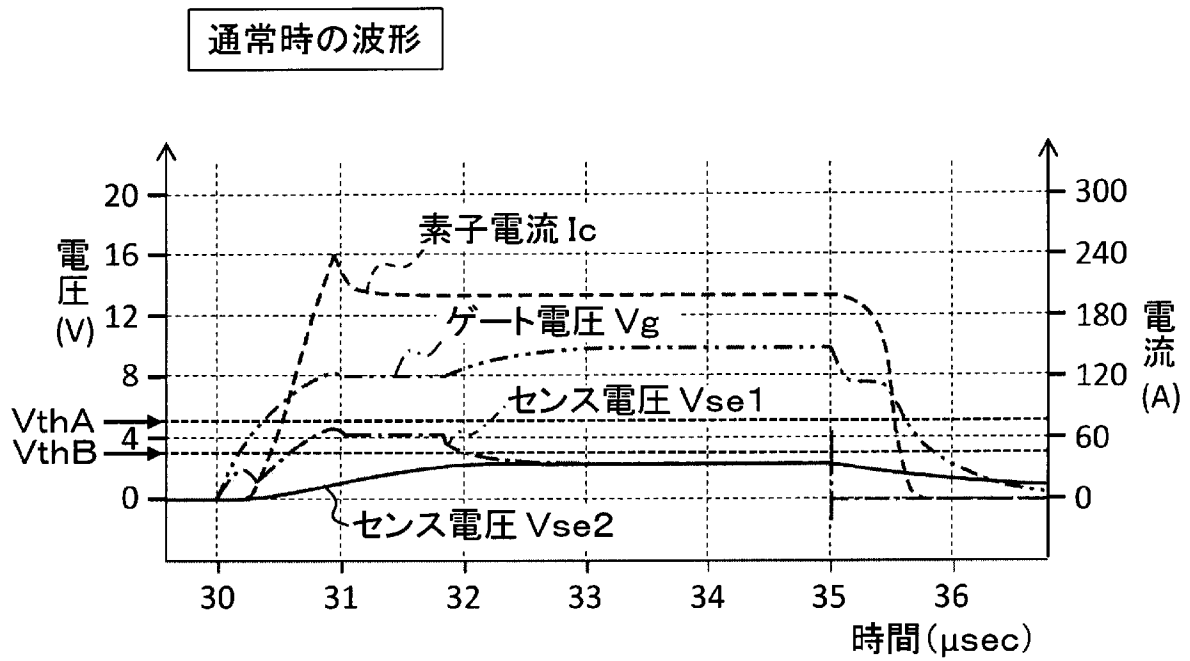


[図28]

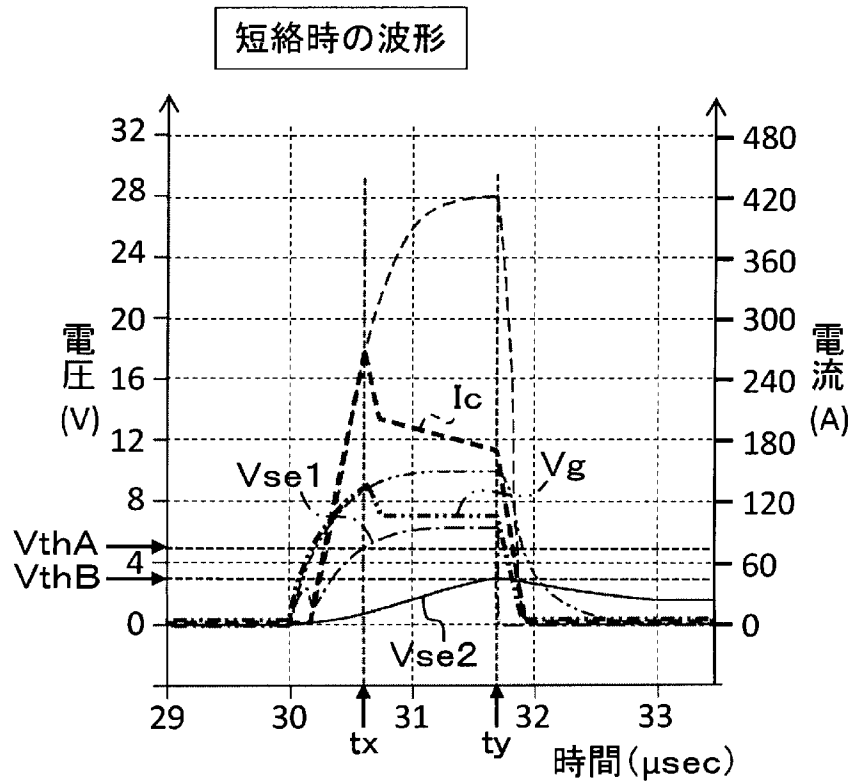


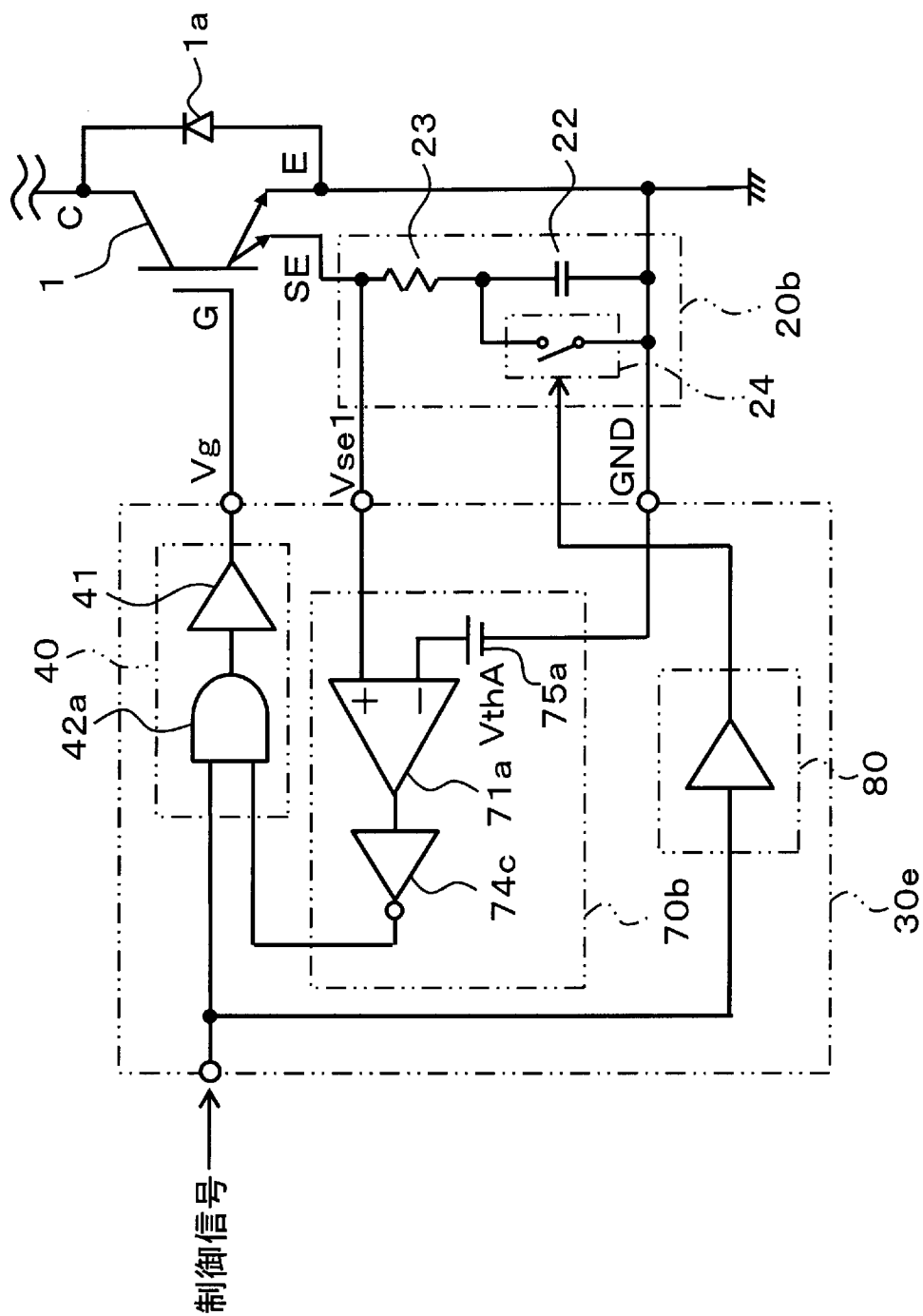


[図30]



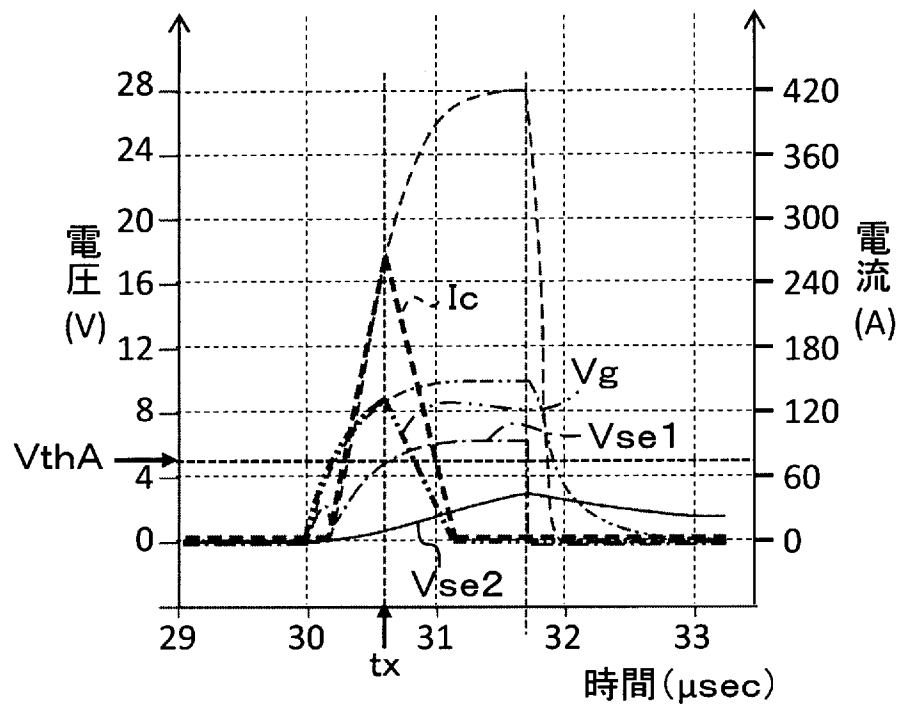
[図31]



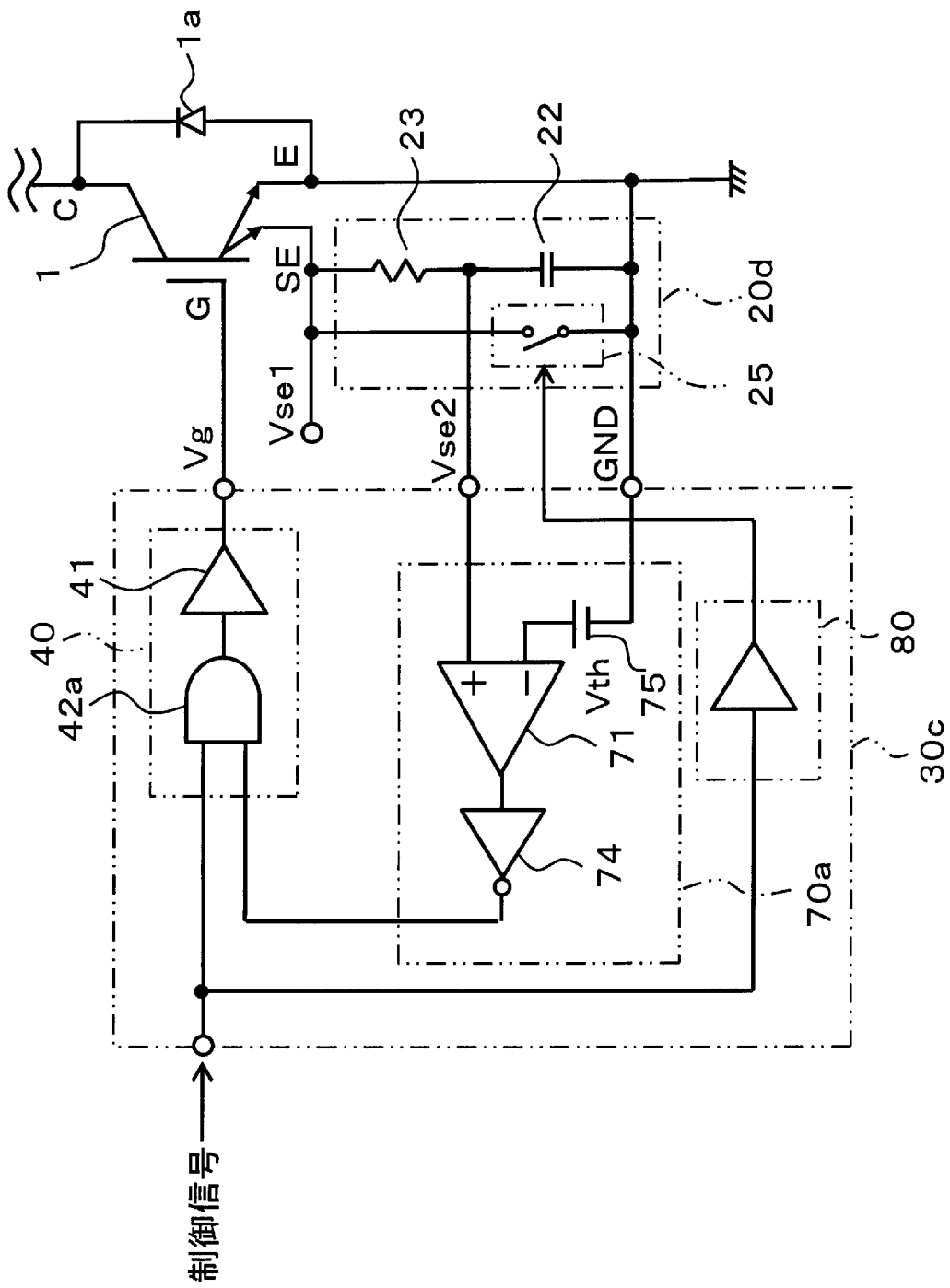


[図33]

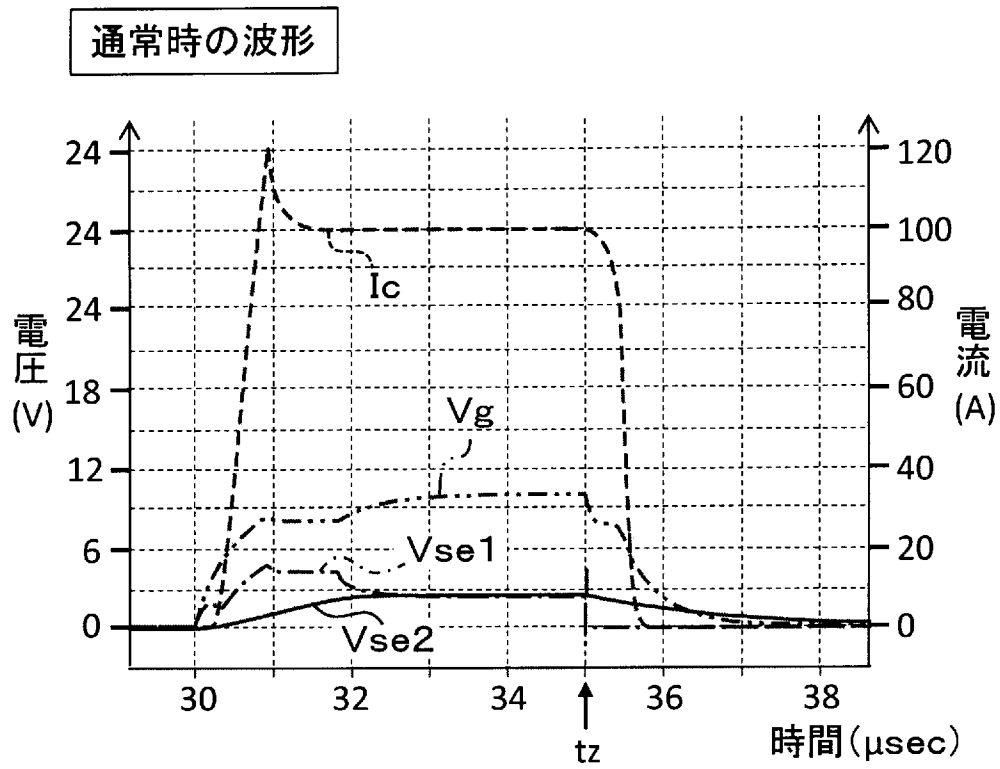
短絡時の波形



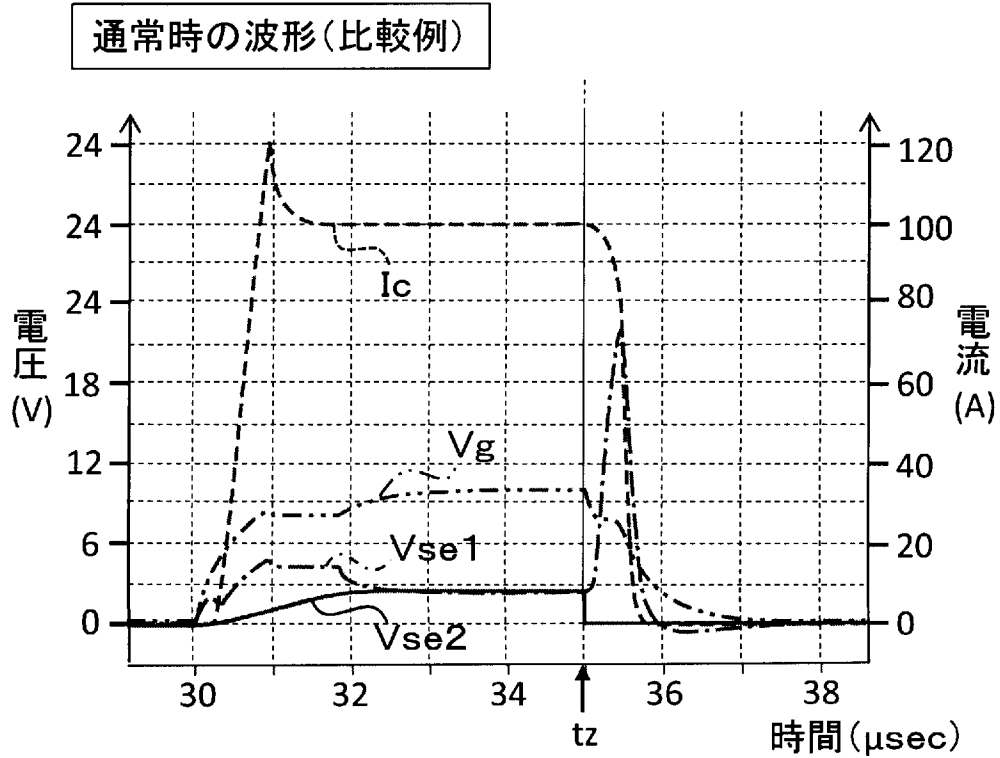
[図34]



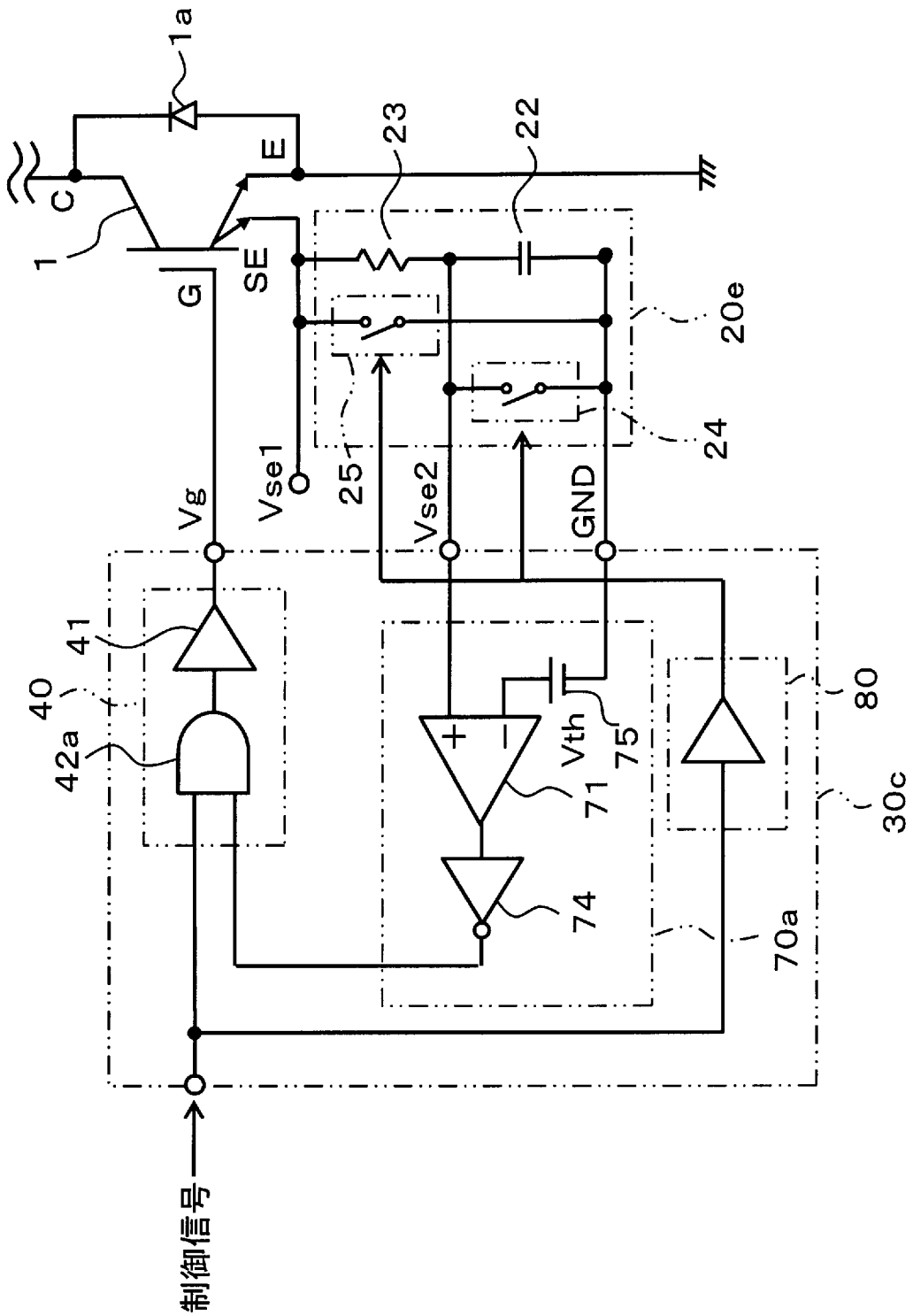
[図35]



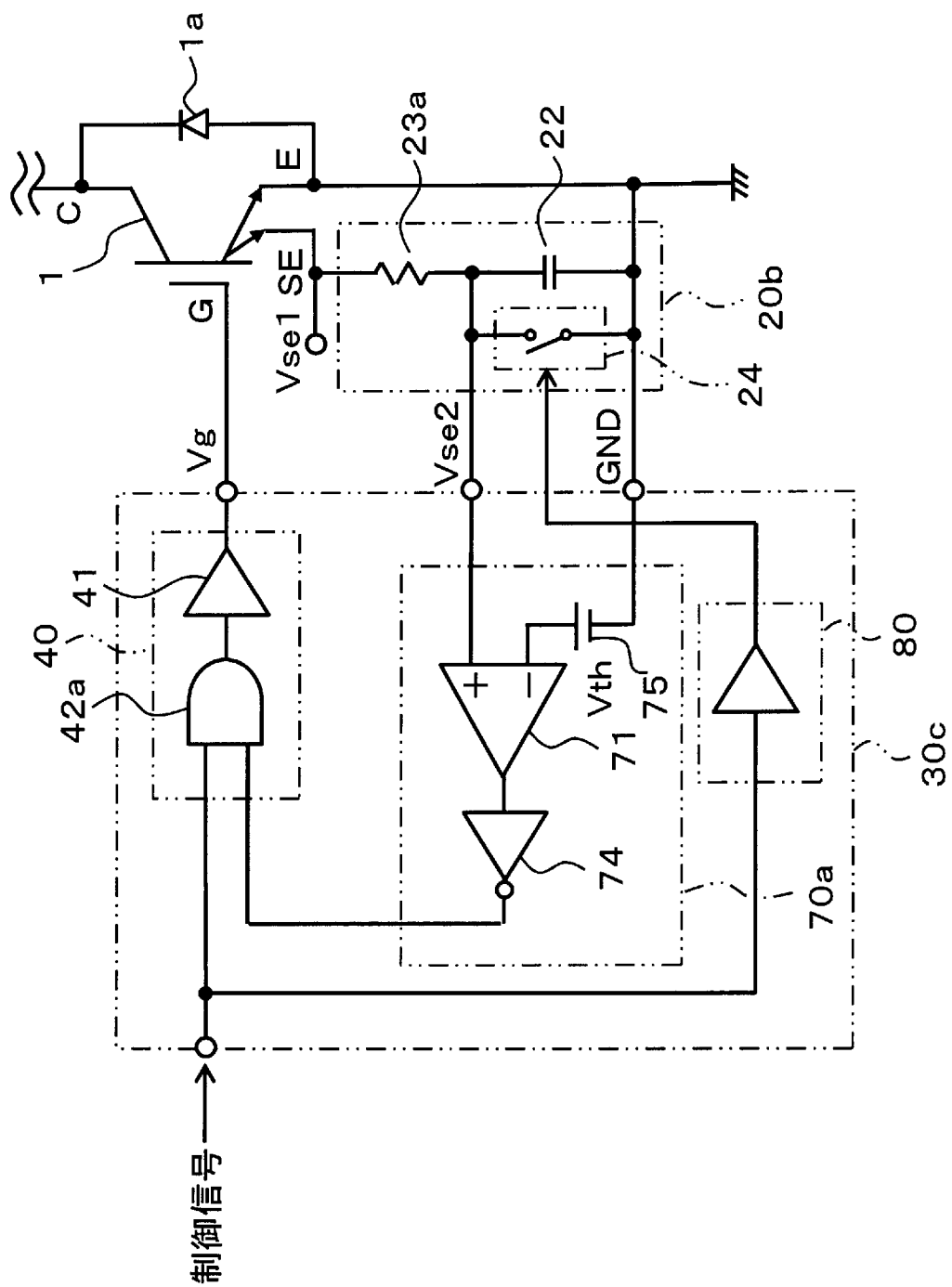
[図36]



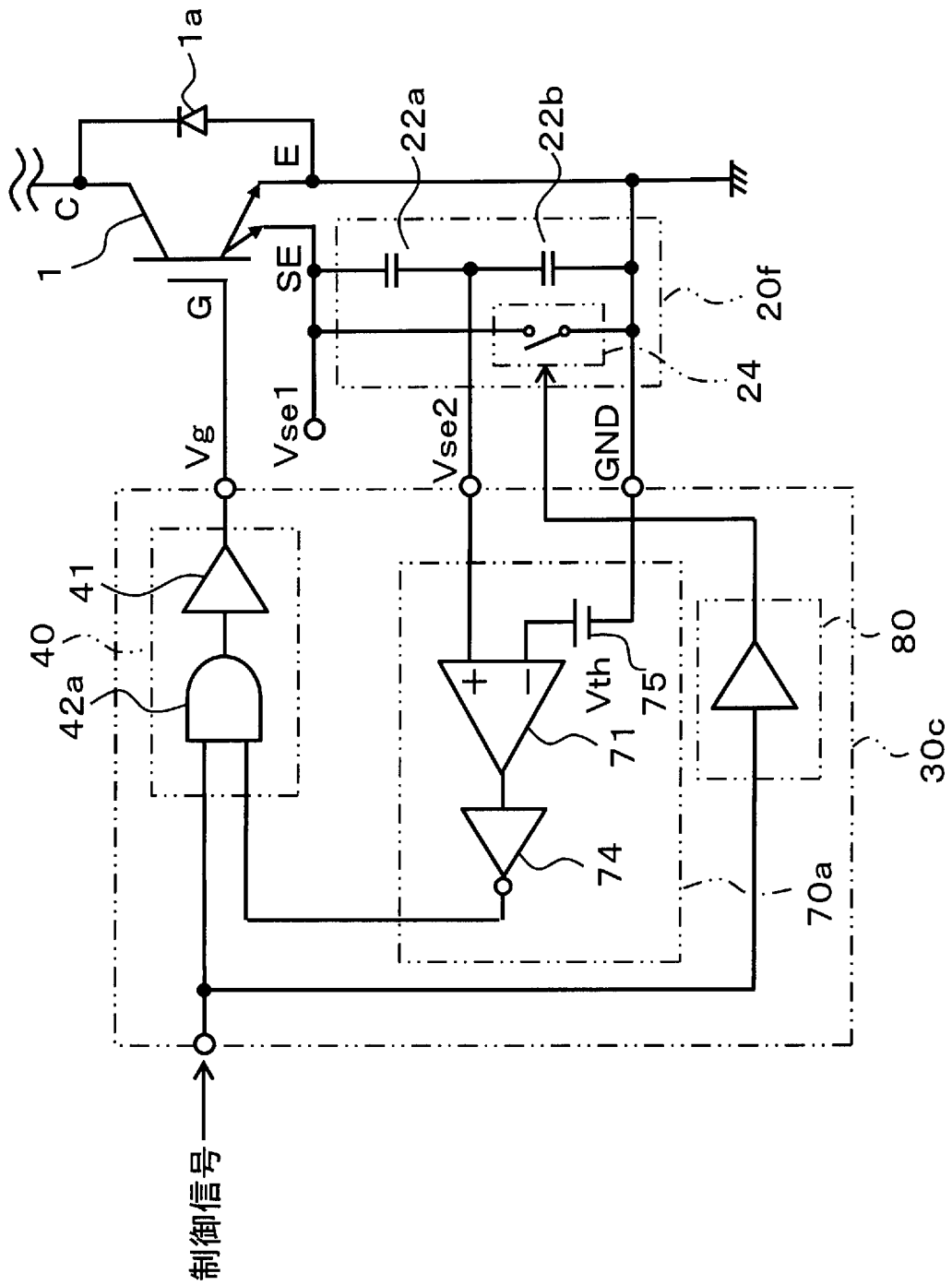
[図37]



[図38]

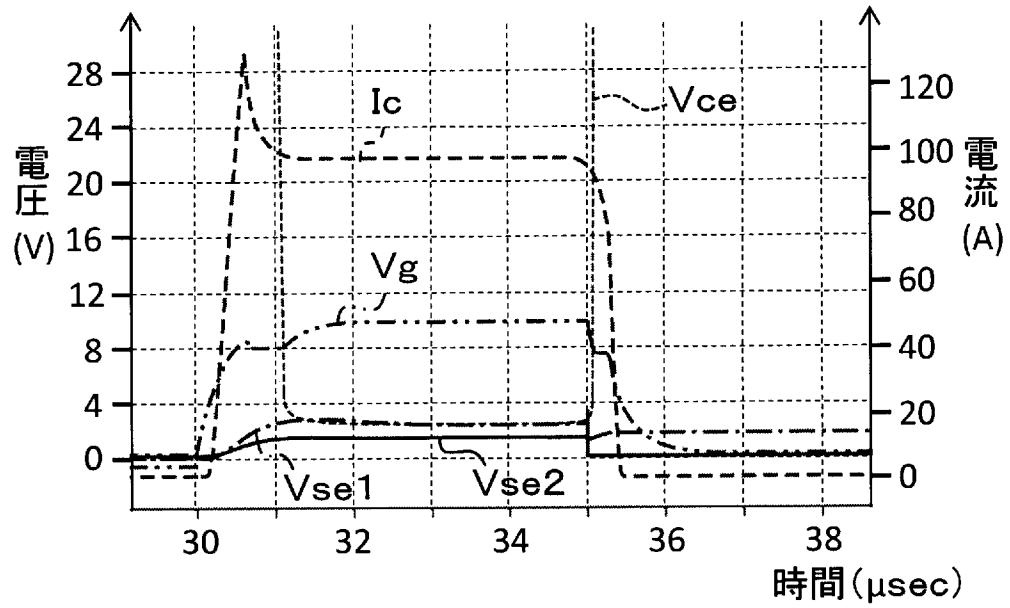


[図39]



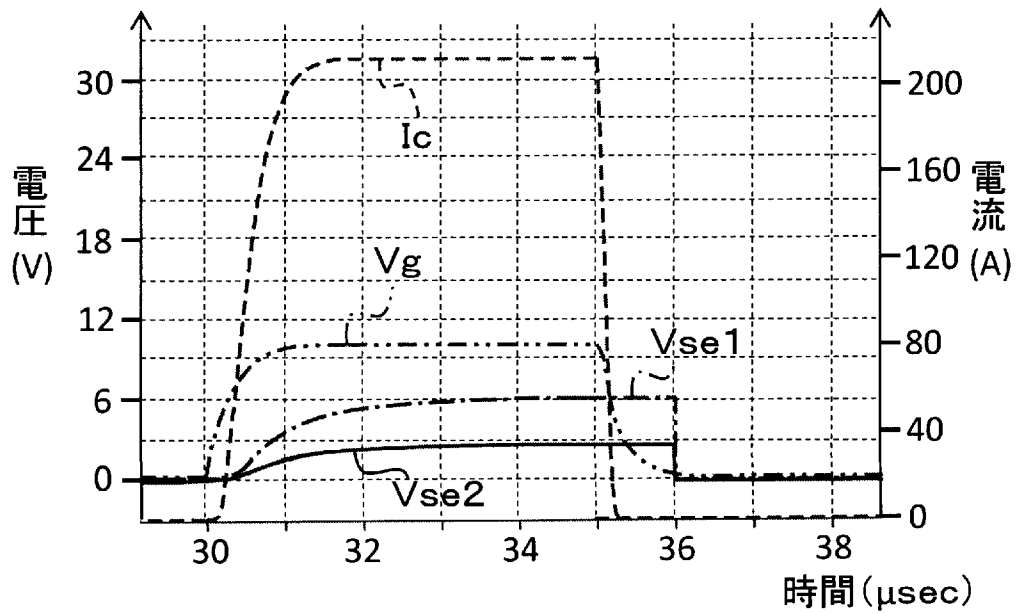
[図40]

通常時の波形

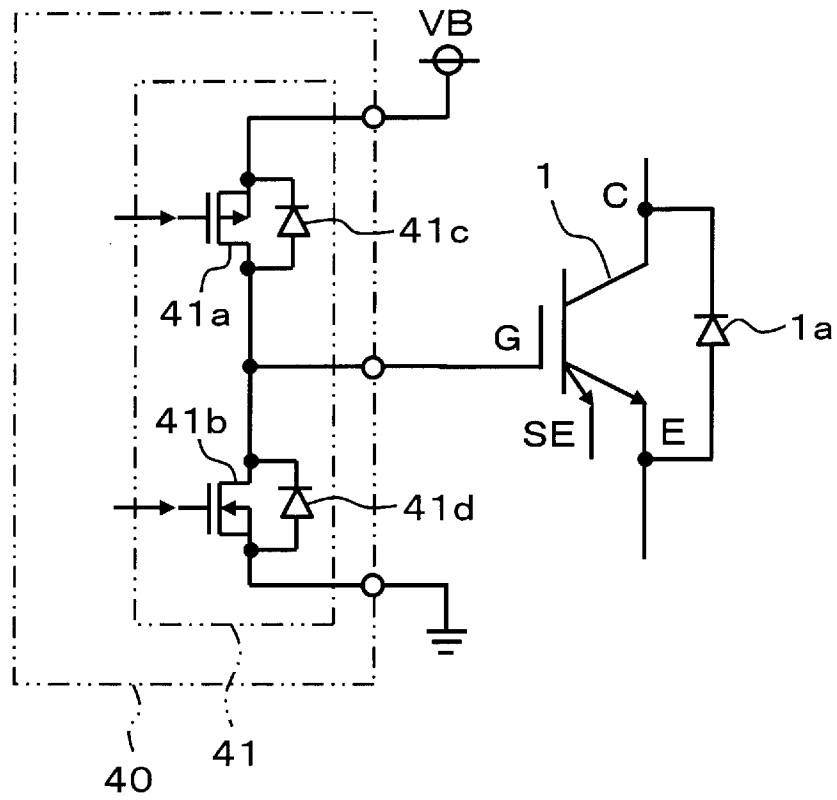


[図41]

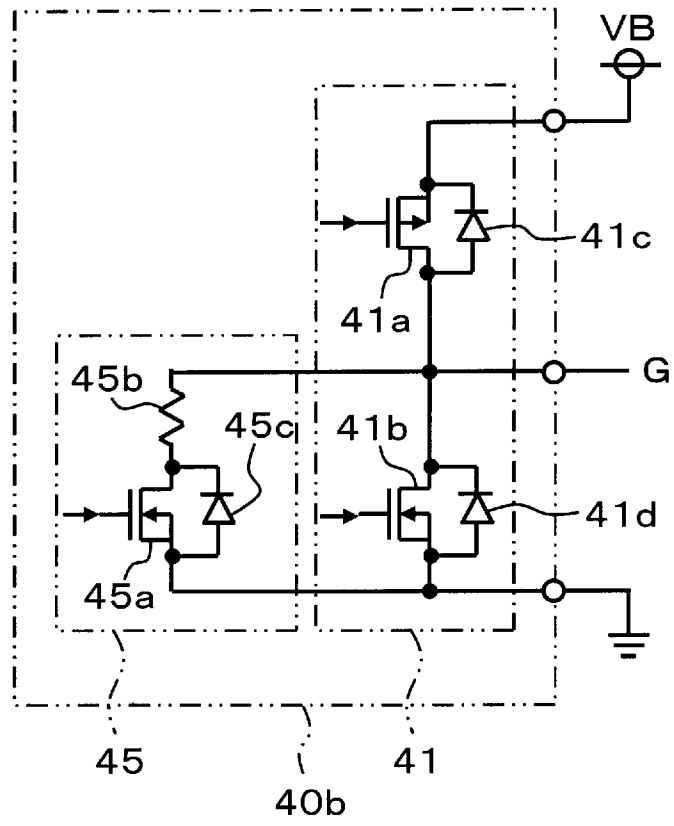
短絡時の波形



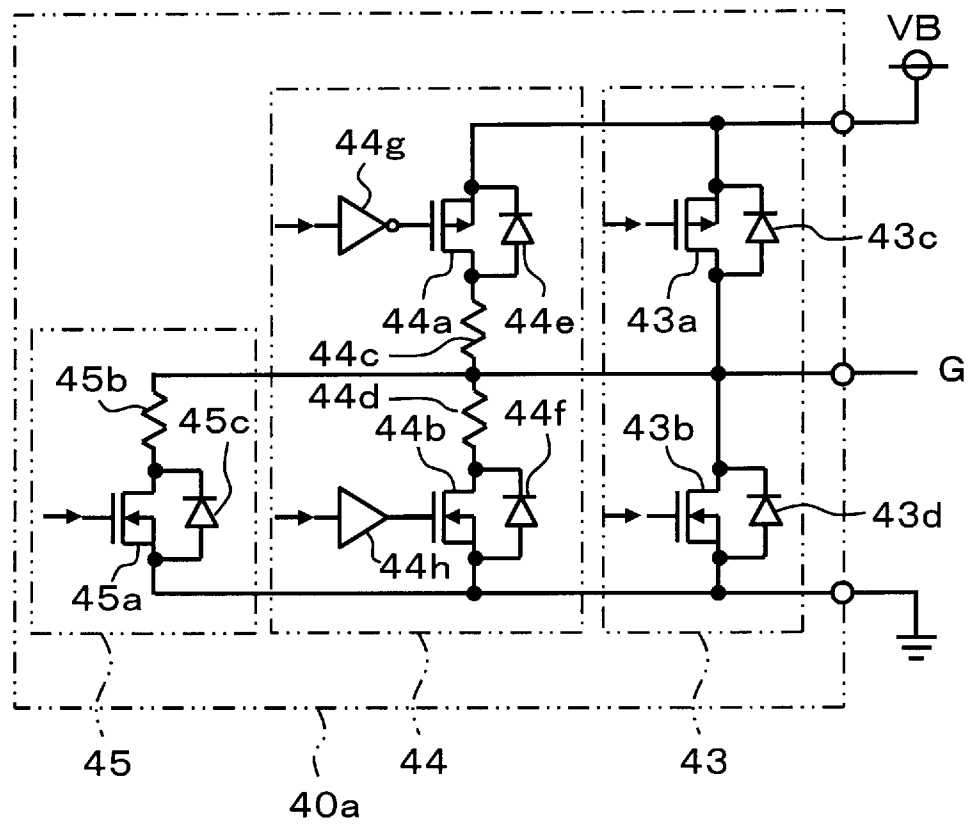
[図42]



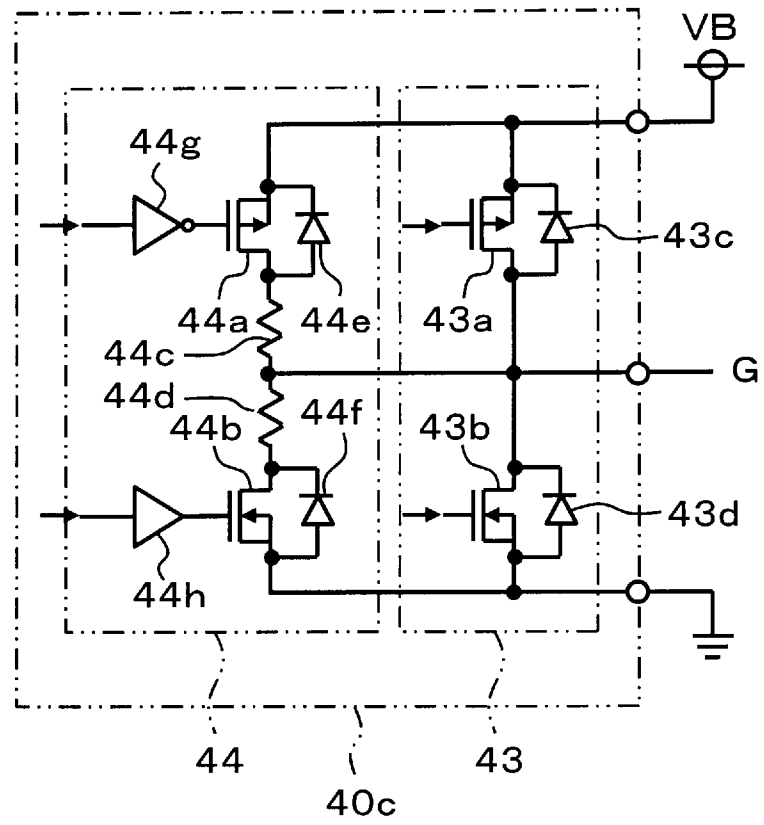
[図43]



[図44]



[図45]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/018355

A. CLASSIFICATION OF SUBJECT MATTER

H03K17/08(2006.01)i, H02M1/00(2007.01)i, H02M1/08(2006.01)i, H03K17/082(2006.01)i, H03K17/56(2006.01)i, H03K17/687(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K17/08, H02M1/00, H02M1/08, H03K17/082, H03K17/56, H03K17/687

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2013-77976 A (Mitsubishi Electric Corp.), 25 April 2013 (25.04.2013), paragraphs [0019] to [0037]; fig. 2 & US 2013/0083442 A1 paragraphs [0027] to [0045]; fig. 2 & DE 102012216318 A & CN 103036542 A & KR 10-2013-0035886 A	1, 2 3-14
Y	JP 6-120787 A (Mitsubishi Electric Corp.), 28 April 1994 (28.04.1994), paragraphs [0008] to [0009]; fig. 13 & US 5375029 A column 2, lines 9 to 28; fig. 13 & DE 4334386 A1	3, 4, 8

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
28 July 2017 (28.07.17)

Date of mailing of the international search report
08 August 2017 (08.08.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/018355

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2010-200411 A (Mitsubishi Electric Corp.), 09 September 2010 (09.09.2010), paragraphs [0018] to [0040], [0058] to [0059]; fig. 1, 5 & US 2010/0214710 A1 paragraphs [0027] to [0050], [0068] to [0072]; fig. 1, 5 & DE 102009056868 A & CN 101819248 A	5-7, 9-14
Y	JP 2002-43916 A (Matsushita Electric Industrial Co., Ltd.), 08 February 2002 (08.02.2002), paragraphs [0028] to [0042]; fig. 1 to 3 & US 2002/0011874 A1 paragraphs [0040] to [0056]; fig. 1 to 3	5-7, 9-14
Y	JP 2016-21652 A (Toyota Motor Corp.), 04 February 2016 (04.02.2016), paragraphs [0058] to [0063]; fig. 6 & US 2016/0011266 A1 paragraphs [0076] to [0081]; fig. 6 & DE 102015110660 A & CN 105305780 A	8
Y	WO 2011/086685 A1 (Toyota Motor Corp.), 21 July 2011 (21.07.2011), paragraphs [0026] to [0034]; fig. 3 & JP 11-86685 A1 & US 2012/0268146 A1 paragraphs [0029] to [0037]; fig. 3	14

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H03K17/08(2006.01)i, H02M1/00(2007.01)i, H02M1/08(2006.01)i, H03K17/082(2006.01)i,
H03K17/56(2006.01)i, H03K17/687(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H03K17/08, H02M1/00, H02M1/08, H03K17/082, H03K17/56, H03K17/687

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2013-77976 A (三菱電機株式会社) 2013.04.25, 段落 [0019] – [0037], 図2 & US 2013/0083442 A1, 段落 [0027] – [0045], 図2 & DE 102012216318 A & CN 103036542 A & KR 10-2013-0035886 A	1, 2 3-14
Y	JP 6-120787 A (三菱電機株式会社) 1994.04.28, 段落 [0008] – [0009], 図13 & US 5375029 A, 第2欄第9行-28行, 図13 & DE 4334386 A1	3, 4, 8

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

28.07.2017

国際調査報告の発送日

08.08.2017

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

▲高▼橋 義昭

電話番号 03-3581-1101 内線 3576

5W

4776

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2010-200411 A (三菱電機株式会社) 2010.09.09, 段落 [0018] - [0040], [0058] - [0059], 図1, 5 & US 2010/0214710 A1, 段落 [0027] - [0050], [0068] - [0072], 図1, 5 & DE 102009056868 A & CN 101819248 A	5 - 7, 9 - 14
Y	JP 2002-43916 A (松下電器産業株式会社) 2002.02.08, 段落 [0028] - [0042], 図1 - 3 & US 2002/0011874 A1, 段落 [0040] - [0056], 図1 - 3	5 - 7, 9 - 14
Y	JP 2016-21652 A (トヨタ自動車株式会社) 2016.02.04, 段落 [0058] - [0063], 図6 & US 2016/0011266 A1, 段落 [0076] - [0081], 図6 & DE 102015110660 A & CN 105305780 A	8
Y	WO 2011/086685 A1 (トヨタ自動車株式会社) 2011.07.21, 段落 [0026] - [0034], 図3 & JP 11-86685 A1 & US 2012/0268146 A1, 段落 [0029] - [0037], 図3	14