

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2012 年 10 月 4 日(04.10.2012)



(10) 国際公開番号  
**WO 2012/133760 A1**

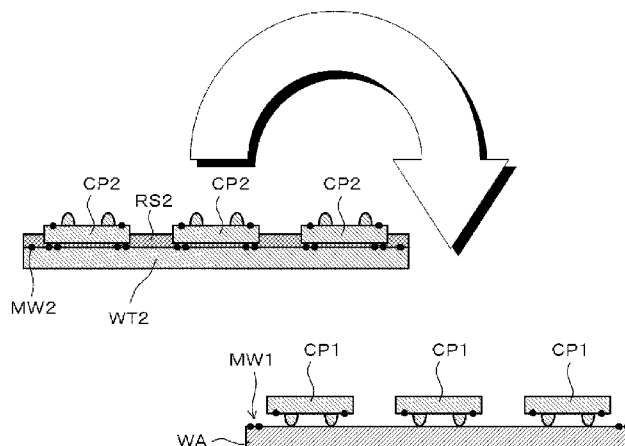
- (51) 国際特許分類:  
H01L 25/10 (2006.01) H01L 25/11 (2006.01)  
H01L 25/065 (2006.01) H01L 25/18 (2006.01)  
H01L 25/07 (2006.01)
- (21) 国際出願番号: PCT/JP2012/058567
- (22) 国際出願日: 2012 年 3 月 30 日(30.03.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2011-076616 2011 年 3 月 30 日(30.03.2011) JP  
特願 2011-159429 2011 年 7 月 20 日(20.07.2011) JP
- (71) 出願人 (米国を除く全ての指定国について): ボンドテック株式会社(BONDTECH CO., LTD.) [JP/JP]; 〒6110033 京都府宇治市大久保町西ノ端 1-25 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 山内 朗 (YAMAUCHI, Akira) [JP/JP]; 〒6110033 京都府宇治市大久保町西ノ端 1-25 ボンドテック株式会社内 Kyoto (JP).
- (74) 代理人: 中島 了(NAKASHIMA, Ryou); 〒5300054 大阪府大阪市北区南森町 2 丁目 2 番 2 号 南森町千代田ビル 7 階 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,

[続葉有]

(54) Title: ELECTRONIC COMPONENT MOUNTING METHOD, ELECTRONIC COMPONENT MOUNTING SYSTEM, AND SUBSTRATE

(54) 発明の名称: 電子部品実装方法、電子部品実装システムおよび基板

[図22]



(57) Abstract: Provided is a mounting technology of more easily mounting a plurality of electronic components on a substrate by planarly disposing the electronic components on the substrate. On a substrate (WA), a plurality of chips (CPi) of an i<sup>th</sup> layer are planarly disposed and laminated. When value i=2, firstly, a plurality of chips (CP2) of a second layer are planarly disposed in a face-up state, and temporarily fixed on a resin layer (RS2) formed on a temporary substrate (WT2). Then, the upper side and the lower side of the temporary substrate (WT2) are inverted, and the chips (CP2) of the second layer are held on the temporary substrate (WT2) in a face-down state. Each of the chips (CP2) of the second layer and each of the chips (CP1) of the first layer on the substrate (WA) are brought relatively close to each other by bringing the substrate (WA) and the temporary substrate (WT2) relatively close to each other, and the each of the chips (CP1) and each of the chips (CP2) are bonded to each other. Furthermore, the temporary substrate (WT2) is separated from the chips (CP2) of the second layer, while maintaining the state wherein each of the chips (CP2) is bonded to each of the chips (CP1).

(57) 要約:

[続葉有]



WO 2012/133760 A1



ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, 添付公開書類:

MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,  
SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,  
GW, ML, MR, NE, SN, TD, TG).

— 国際調査報告 (条約第 21 条(3))

複数の電子部品を基板上に平面配置して実装することをさらに容易に実現することが可能な実装技術を提供する。基板WA上に第*i*層の複数のチップCP*i*が平面配置されて積層される。値*i*=2のときには、まず、仮基板WT2上に形成された樹脂層RS2に、第2層の複数のチップCP2がフェイスアップ状態で平面配置され仮固定される。そして、仮基板WT2の上下を反転して第2層の複数のチップCP2をフェイスダウン状態で仮基板WT2に保持し、基板WAと仮基板WT2とを相対的に接近させることによって、第2層の各チップCP2と基板WA上の第1層の各チップCP1とが相対的に接近し、各チップCP1と各チップCP2とが接合する。さらに、各チップCP2が各チップCP1に接合された状態を維持しつつ、第2層の複数のチップCP2から仮基板WT2が分離される。

## 明 細 書

発明の名称：

電子部品実装方法、電子部品実装システムおよび基板

### 技術分野

[0001] 本発明は、半導体チップ（以下単にチップとも称する）などの電子部品を基板上に実装する技術に関する。

### 背景技術

[0002] 半導体チップなどの電子部品を基板上にボンディングする実装技術が存在する。

[0003] たとえば、特許文献1においては、次のような技術が記載されている。具体的には、まず、基板上に非導電性接着材（樹脂層）を塗布した後に、半導体チップ（以下単にチップとも称する）が基板上に載置されて仮止めされる。そして、基板とチップとが加熱加圧されて、チップの下面に設けられたハンダバンプ（基板側に設けられたハンダバンプ）が熔融される。これにより、チップが基板上にボンディングされる。

### 先行技術文献

#### 特許文献

[0004] 特許文献1：特開2004-088041号公報

### 発明の開示

#### 発明が解決しようとする課題

[0005] しかしながら、このような技術を用いて、基板上にチップを1つ配置しては当該チップの接合動作を行う、という動作を繰り返して基板上に複数のチップを接合する場合には、非常に多くの時間を要するという問題が存在する。たとえば、1つのチップの接合に10秒を要するとすれば、5000個（5千個）のチップの接合には50000秒（5万秒）を要する。

[0006] そこで、この発明は、複数の電子部品を基板上に平面配置して実装することをさらに効率的に実現することが可能な実装技術を提供することを課題と

する。

### 課題を解決するための手段

[0007] 上記課題を解決するため、本発明の第1の側面は、電子部品実装方法であって、a) 仮基板である第 $i$ の基板（ただし、 $i$ は1以上の整数）上に第 $i$ の樹脂層を形成するステップと、b) 第 $i$ 層の複数の電子部品をその接合面を上側に向けたフェイスアップ状態で前記第 $i$ の樹脂層に平面配置して仮固定するステップと、c) 所定の基板と前記第 $i$ の基板に配置された前記第 $i$ 層の複数の電子部品とを対向させた状態で前記所定の基板と前記第 $i$ の基板とを相対的に接近させることによって、前記所定の基板と前記第 $i$ 層の複数の電子部品とを相対的に接近させ、前記所定の基板と前記第 $i$ 層の複数の電子部品とを接合するステップと、d) 前記第 $i$ 層の複数の電子部品が前記所定の基板に対して接合された状態を維持しつつ、前記第 $i$ 層の複数の電子部品から前記第 $i$ の基板を分離するステップと、を備える電子部品実装方法である。

[0008] また、本発明の第2の側面は、電子部品実装システムであって、仮基板である第 $i$ の基板（ただし、 $i$ は1以上の整数）上に形成された第 $i$ の樹脂層に、第 $i$ 層の複数の電子部品をその接合面を上側に向けたフェイスアップ状態で載置し、第 $i$ 層の複数の電子部品を前記第 $i$ の樹脂層に平面配置して仮固定する第1のボンディング手段と、所定の基板と前記第 $i$ の基板に配置された前記第 $i$ 層の複数の電子部品とを対向させた状態で前記所定の基板と前記第 $i$ の基板とを相対的に接近させることによって、前記所定の基板と前記第 $i$ 層の複数の電子部品とを相対的に接近させ、前記所定の基板と前記第 $i$ 層の複数の電子部品とを接合する第2のボンディング手段と、前記第 $i$ 層の複数の電子部品が前記所定の基板に対して接合された状態を維持しつつ、前記第 $i$ 層の複数の電子部品から前記第 $i$ の基板を分離する分離手段と、を備える電子部品実装システムである。

[0009] また、本発明は、電子部品実装方法に用いられる基板にも向けられている。

## 発明の効果

[0010] 本発明によれば、複数の電子部品を基板上に平面配置して実装することをさらに効率的に実現することが可能である。

## 図面の簡単な説明

[0011] [図1]実施形態に係る電子部品実装動作を示すフローチャートである。

[図2]第1層のチップの積層動作を示すフローチャートである。

[図3]第2層以降の各層のチップの積層動作を示すフローチャートである。

[図4]チップ実装システムの構成を示す図である。

[図5]チップ供給装置およびCOWボンディング装置を示す図である。

[図6]樹脂層形成前の仮基板を示す図である。

[図7]樹脂層が形成された仮基板を示す図である。

[図8]1つ目のチップが仮基板上に載置される様子を示す図である。

[図9]1つ目のチップが仮基板上に載置された状態を示す図である。

[図10]2つ目のチップが仮基板上に載置される様子を示す図である。

[図11]2つ目のチップが仮基板上に載置された状態を示す図である。

[図12]複数のチップが仮基板上に載置された状態を示す図である。

[図13]チップの厚みばらつきに起因して、チップ上端位置にばらつきが生じている様子を示す図である。

[図14]平面部材を用いてチップ上端位置が揃えられる様子を示す図である。

[図15]上端位置が揃えられて各チップが載置される様子を示す図である。

[図16]仮基板の上下が反転される様子を示す図である。

[図17]WOWボンディング装置において、接合対象の基板と上下反転後の仮基板とが対向配置される様子を示す図である。

[図18]WOWボンディング装置における複数チップの接合動作を示す図である。

[図19]デボンド動作を示す図である。

[図20]第2の仮基板に樹脂層が形成された状態を示す図である。

[図21]第2の仮基板に複数のチップが載置された状態を示す図である。

[図22]第2の仮基板の上下が反転される様子を示す図である。

[図23]第1層のチップが接合された基板と上下反転後の第2の仮基板とが対向配置される様子を示す図である。

[図24]第1層のチップと第2層のチップとの接合動作を示す図である。

[図25]第2の仮基板に係るデボンド動作を示す図である。

[図26]接合対象の基板上に複数層のチップが積層された状態を示す図である。

[図27]チップ位置調整用マークを示す図である。

[図28]チップ位置調整用マークを示す図である。

[図29]チップ位置調整用マークの相対的な位置ずれを示す図である。

[図30]アンダーフィル処理後の状態を示す図である。

[図31]可視光によるチップ位置調整動作を示す図である。

[図32]可視光による基板位置調整動作を示す図である。

[図33]貫通電極を明示する図である。

[図34]接合動作を示す図である。

[図35]ハンダ接合時の温度プロファイルを示す図である。

[図36]貫通電極の上側に銅ポストが設けられたチップ等を示す図である。

[図37]貫通電極の下側に銅ポストが設けられたチップ等を示す図である。

[図38]貫通電極の上下両側に銅ポストが設けられたチップ等を示す図である。

[図39]銅ポストを有しないチップ等を示す図である。

[図40]第1および第2層のチップが対向配置される様子を示す図である。

[図41]銅ポストを有するチップの積層例を示す図である。

[図42]銅ポストを有しないチップの積層例を示す図である。

[図43]アルゴンボンバードメントを示す図である。

[図44]親水化処理によりOH基が付着したチップ表面を示す図である。

[図45]仮接合状態を示す図である。

[図46]加熱後の接合状態を示す図である。

[図47]基板上の不良位置を示す図である。

[図48]第1層の複数のチップ載置後の状態を示す図である。

[図49]第1層の複数のチップ載置後の接合不良発生位置を示す図である。

[図50]第2層の複数のチップ載置後の接合不良発生位置を示す図である。

[図51]チップ層ごとのチップ配置対象位置を示す図である。

[図52]銅ポストを有するチップが平面配置されている様子を示す図である。

[図53]樹脂層の上に新たな樹脂層が形成されている様子を示す図である。

[図54]平坦化後（CMP後）の状態を示す図である。

[図55]第1層の複数のチップに設けられた電極部分と基板上に設けられたパッド電極とが接合される様子を示す図である。

[図56]接合時の加圧動作により銅ポストが押し潰された状態を示す図である。

[図57]その表面凹部にパッド電極が設けられた基板等を示す図である。

[図58]加圧に伴う接合状態を示す図である。

[図59]樹脂封止された第2の仮基板の上下が反転される様子を示す図である。

[図60]樹脂封止された第1および第2の基板が対向配置される様子を示す図である。

[図61]新たな樹脂が仮基板上に供給される様子を示す図である。

[図62]マスク露光によって樹脂層に孔部が形成される様子を示す図である。

[図63]銅メッキが施された状態を示す図である。

[図64]デボンド後の露出表面に対する平坦化処理を示す図である。

[図65]デボンド後の露出表面に対する平坦化処理を示す図である。

[図66]各チップのサイズと単位部分のサイズとの関係等を示す図である。

[図67]異なるサイズの複数のチップが平面配置される様子を示す図である。

[図68]2種類のチップが仮固定された基板と実装対象の基板とが対向配置される様子を示す図である。

[図69]2種類のチップが同時に実装対象の基板に対して接合される様子を示す図である。

す図である。

[図70] 2種類のチップが順次に実装対象の基板に対して接合される様子を示す図である。

[図71] 基板の各单位部分において、様々な大きさのチップが積層される様子を示す図である。

[図72] 従来技術（リフロー）を説明する図である。

[図73] 別の技術を説明する図である。

[図74] 従来のWOW接合技術を示す図である。

### 発明を実施するための形態

[0012] 以下、本発明の実施形態を図面に基づいて説明する。

[0013] < 1. 概要 >

図1～図3は、本実施形態に係る電子部品実装動作を示すフローチャートである。これらの図に示すような各工程が行われることにより、基板WA上の複数の平面位置において複数層の電子部品（ここでは半導体チップ（単にチップとも称する））が積層される。図26では、3層の複数のチップが積層される状態が例示されている。なお、ここでは、各チップ（詳細にはシリコン（Si）チップ）CPに貫通電極VAが設けられている場合を想定する（図33参照）。ただし、各図においては、便宜上、貫通電極VAの図示を適宜省略する。また、本発明は、各チップCPに貫通電極VAが設けられない場合にも適用可能である。

[0014] この実施形態においては、基本的には、第*i*層（ $i = 1, 2, \dots$ （すなわち、*i*は1以上の整数））の各チップCP*i*を、接合対象の基板WA（図26参照）に接合する動作が繰り返し実行されることによって、複数層のチップが基板WA上に積層される。各層の積層動作は基本的には互いに同様である。ただし、第1層の積層動作（ $i = 1$ ）においては第1層の各チップCP1が基板WAに対して「直接的に」（チップCP1と基板WAとの間にチップCP1以外のチップを介在させることなく）接合されるのに対して、第2層以降の第*i*層（*i*は2以上の整数（ $i \geq 2$ ））の積層動作においては、第

$i$  層の各チップ  $CP_i$  が、基板  $WA$  に積層された第  $(i-1)$  層の各チップに接合される（謂わば、各チップ  $CP_i$  が「間接的に」基板  $WA$  に接合される）点で相違する。なお、この実施形態では、各層のチップ接合動作において、各チップ  $CP_i$  の本来の実装対象である基板  $WA$  が用いられるとともに、各チップ  $CP_i$  の仮配置（仮固定）用の仮基板  $WT_i$ （後述）も用いられる。

[0015] より具体的には、図 1 に示すように、まずステップ  $S_{11} \sim S_{14}$  が実行されることによって、第 1 層のチップの積層動作（ステップ  $S_{10}$ 、図 2 も参照）が行われ、基板  $WA$  上に第 1 層の複数のチップ  $CP_1$  が接合される（図 6～図 19 も参照）。

[0016] つぎに、次のステップ  $S_{21} \sim S_{24}$  が実行されることによって、第 2 層以降の各層（第  $i$  層）（ $i \geq 2$ ）のチップの積層動作（ステップ  $S_{20}$ 、図 3 も参照）が次のようにして行われる（図 20～図 25 も参照）。

[0017] ・ステップ  $S_{21}$ ：仮基板である第  $i$  の基板  $WT_i$  上に第  $i$  の樹脂層  $RS_i$  を形成する。

[0018] ・ステップ  $S_{22}$ ：第  $i$  層の複数のチップ  $CP_i$  がフェイスアップ状態で基板  $WT_i$  上の樹脂層  $RS_i$  に平面配置されて仮固定される。

[0019] ・ステップ  $S_{23}$ ：基板  $WA$  に（直接的もしくは間接的に）配置された第  $(i-1)$  層の複数のチップ  $CP_{(i-1)}$  と第  $i$  の基板  $WT_i$  に配置された第  $i$  層の複数のチップ  $CP_i$  とを対向させた状態で基板  $WA$  と第  $i$  の基板  $WT_i$  とを相対的に接近させることによって、第  $(i-1)$  層の複数のチップ  $CP_{(i-1)}$  と第  $i$  層の複数のチップ  $CP_i$  とを相対的に接近させ、第  $(i-1)$  層の複数のチップ  $CP_{(i-1)}$  と第  $i$  層の複数のチップ  $CP_i$  とをそれぞれ（直接的に）接合する。より詳細には、基板  $WT_i$  の上下を反転して第  $i$  層の複数のチップ  $CP_i$  を基板  $WT_i$  にフェイスダウン状態で保持し、フェイスダウン状態の第  $i$  層の複数のチップ  $CP_i$  と基板  $WA$  上の第  $(i-1)$  層の複数のチップ  $CP_{(i-1)}$  とを相対的に接近させ、第  $i$  層の複数のチップ  $CP_i$  を第  $(i-1)$  層の複数のチップ  $CP_{(i-1)}$  にそ

れぞれ重ねて載置（接触）させ、第（ $i-1$ ）層の複数のチップCP（ $i-1$ ）と第 $i$ 層の複数のチップCP $i$ とをそれぞれ接合する。

[0020] ・ステップS24：第 $i$ 層の複数のチップCP $i$ が第（ $i-1$ ）層の複数のチップCP（ $i-1$ ）にそれぞれ接合された状態を維持しつつ、第 $i$ 層の複数のチップCP $i$ から基板WT $i$ を分離する。このステップS24の処理は、デボンド処理とも称される。

[0021] 以上のようにして、基板WA上に接合された第（ $i-1$ ）層の複数のチップCP（ $i-1$ ）の上に、さらに第 $i$ 層の複数のチップCP $i$ が積層して接合される。また特に、値 $i$ をインクリメントして、ステップS21～S24が繰り返し実行されることにより、基板WA上の複数の平面位置において電子部品が複数層に積層（多層積層）される。

[0022] これによれば、複数のチップ（電子部品）を基板上に平面配置して実装（特に積層実装）することをさらに容易に実現することが可能である。

[0023] なお、第1層に関するステップS11～S14の各処理は、第2層以降の各層に関するステップS21～S24の対応処理とそれぞれ同様の処理である。ただし、ステップS13，S14の各処理は、それぞれ、上述した点でステップS23，S24の各処理と相違する。すなわち、ステップS23，S24においては、第2層以降の第 $i$ 層（ $i \geq 2$ ）のチップCP $i$ が、既に積層済みの第（ $i-1$ ）層のチップCP（ $i-1$ ）に載置等されるのに対して、ステップS13，S14では第1層のチップCP1が基板WA上に直接的に載置等される。

[0024] 以下では、上述のような動作と、当該動作を実行するチップ実装システム1（1A）とについて、より詳細に説明する。

[0025] <2. システム構成>

まず、チップ実装システム1の構成について説明する。

[0026] 図4は、チップ実装システム（電子部品実装システム）1の概略構成を示す上面図である。なお、図4等においては、便宜上、XYZ直交座標系を用いて方向等を示している。

- [0027] このチップ実装システム 1 は、基板（チップ実装対象の基板）の複数の平面位置において多層のチップを積層して実装するシステムである。たとえば、このチップ実装システム 1 は、対象の基板 WA 上に第 1 層の複数のチップ CP 1 を接合することができる。また、チップ実装システム 1 は、基板 WA 上に配置された第 1 層の複数のチップ CP 1 上に第 2 層の複数のチップ CP 2 等をさらに積層して接合することも可能である。
- [0028] この実施形態においては、基板 WA は半導体ウエハであり、各仮基板 WT<sub>i</sub>（後述）は、それぞれ、ガラス基板である。ただし、これに限定されず、各基板 WA、WT<sub>i</sub> はそれぞれ各種の基板であってもよい。
- [0029] 図 4 に示すように、チップ実装システム 1 は、チップ供給装置 10 と、ボンディング装置 30（COW（Chip On Wafer）ボンディング装置とも称する）と、ボンディング装置 50（WOW（Wafer On Wafer）ボンディング装置とも称する）と、搬送部 70 と、搬出入部 90 とを備える。また、チップ実装システム 1 は、スピコート 80（不図示）をも備える。
- [0030] スピコート 80 は、スピコーティング技術を用いて、仮基板 WT<sub>i</sub> 上に樹脂層 RS<sub>i</sub> を形成する装置である。
- [0031] チップ供給装置 10 は、ダイシングされたウエハから各チップ CP を取り出し、COW ボンディング装置 30 に各チップ CP（CP<sub>i</sub>）を供給する装置である。チップ供給装置 10 は、突上部 11 およびチップ移載装置 13 等を備える（図 5 参照）。
- [0032] COW ボンディング装置 30 は、仮基板 WT<sub>i</sub> 上に形成された樹脂層 RS<sub>i</sub> に、複数のチップ（電子部品）CP<sub>i</sub> をその接合面が上側を向いた状態（フェイスアップ状態）で平面的に配置（平面配置）し、複数のチップを樹脂層 RS<sub>i</sub> に仮固定する装置である。樹脂層 RS<sub>i</sub> としては例えば熱可塑性樹脂が採用される。
- [0033] COW ボンディング装置 30 は、図 5 にも示すように、ステージ 31、ボンディング部 33、撮像部 35、位置認識部 36（不図示）、および回転式のチップ搬送部 39 とを備える。

- [0034] 撮像部35（詳細には35a, 35b）は、マークMC1, MC2（後述）に関する光像を画像データとして取得する。位置認識部36は、撮像部35による撮影画像に基づいて、各チップCPの仮基板WTi上での位置を認識する。詳細には、位置認識部36は、マークMC1, MC2とを用いて、仮基板WTiの基板平面に平行な方向における各チップの位置（基板WTiに平行な面内における各チップの位置）を認識する。
- [0035] ボンディング部33は、チップを基板WTi上に載置する部材であり、チップマウンタとも称される。ボンディング部33は、ヘッド部33Hを有している。ヘッド部33Hは、チップを吸着して保持することが可能であり、チップ保持部材（電子部品保持部材）とも表現される。
- [0036] ヘッド部33HはZ方向駆動機構によりZ方向に移動可能である。また、ステージ31は、XY $\theta$ 方向駆動機構により、X方向、Y方向および $\theta$ 方向に移動可能である。これにより、ボンディング部33とステージ31との相対位置関係を変更することが可能であり、ひいては仮基板WTi上における各チップC Piの位置を調整することが可能である。
- [0037] 搬送部70は、搬送ロボット71を用いて、搬出入部90とCOWボンディング装置30とWOWボンディング装置50との相互間で基板（基板WAおよび仮基板WTi）を搬送する。また、搬送部70の搬送ロボット71は、基板（特に仮基板WTi）の上下を反転する動作をも実行する。
- [0038] WOWボンディング装置50は、図17に示すように、下ステージ51、上ステージ53、撮像部55（詳細には55a, 55b）、および位置認識部56（不図示）等を備える。撮像部55は、マークMW1, MW2（後述）に関する光像を画像データとして取得する。また、位置認識部56は、撮像部55による撮影画像に基づいて、下ステージ51に保持された基板WAと、上ステージ53に保持された仮基板WTiとの相対位置関係を認識する。詳細には、位置認識部56は、マークMW1, MW2とを用いて、仮基板WTiの基板平面に平行な方向における基板WAと仮基板WTiとの相対位置関係を求める。

- [0039] 上ステージ53はZ方向駆動機構によりZ方向に移動可能である。また、下ステージ51は、そのXY $\theta$ 方向駆動機構により、X方向、Y方向および $\theta$ 方向に移動可能である。これにより、上ステージ53と下ステージ51との相対位置関係を変更することが可能であり、ひいては、仮基板WT $i$ と基板WAとの位置関係を調整すること、さらには第 $i$ 層の複数のチップCP $i$ と第 $(i-1)$ 層の複数のチップCP $(i-1)$ との位置関係を調整することが可能である。
- [0040] WOWボンディング装置50は、基板WAと仮基板WT $i$ とのボンディング動作を実行する装置である。具体的には、WOWボンディング装置50は、基板WAを下ステージ51で保持し、仮基板WT $i$ を上ステージ53で保持する。WOWボンディング装置50においては、基板WAはその接合面が上側を向いた状態（フェイスアップ状態）で配置される。なお、仮基板WT $i$ は、COWボンディング装置30ではフェイスアップ状態でステージ31上に保持されているが、WOWボンディング装置50ではフェイスダウン状態（その接合面が下側を向いた状態）で上ステージ53に保持される。具体的には、仮基板WT $i$ は、搬送ロボット71によってCOWボンディング装置30から取り出された後に、搬送ロボット71によって上下反転されてWOWボンディング装置50へと搬送され、フェイスダウン状態で上ステージ53に保持される。
- [0041] WOWボンディング装置50は、基板WAと上下反転後の仮基板WT $i$ との両者を対向させた状態で当該両者WA、WT $i$ を相対的に接近させる。これにより、上下反転後の仮基板WT $i$ にフェイスダウン状態で保持されている第 $i$ 層の複数のチップCP $i$ が基板WA側に向けて接近する。そして、第 $i$ 層の複数のチップCP $i$ が基板WA側に接合される。
- [0042] なお、WOWボンディング装置50は、第 $i$ 層の複数のチップCP $i$ と第 $(i-1)$ 層の複数のチップCP $(i-1)$ とを一括的に接合（ボンディング）する装置であることから、一括接合装置（ギャングボンダ）とも称される。

[0043] また、WOWボンディング装置50においては、第*i*層の複数のチップCP*i*から仮基板WT*i*を分離する分離処理も実行される。この分離処理は、基板WA側に対して第*i*層の複数のチップCP*i*が接合された状態を維持しつつ実行される。この分離処理は、例えば、樹脂層への紫外線照射後、仮基板WT*i*を保持する上ステージ53に内蔵されたヒータ（加熱処理部）で仮基板WT*i*の樹脂層RS*i*を加熱することによって実行される。

[0044] また、WOWボンディング装置50は、被接合物である基板WA，WT*i*（より詳細には各層のチップCP）の処理空間である真空チャンバ59（不図示）を備えて構成される。WOWボンディング装置50は、真空チャンバ59内に、上述の下ステージ51、上ステージ53（図17参照）等を備える。WOWボンディング装置50は、真空チャンバ59内において、チップの実装処理（基板WA，WT*i*等に関する接合処理とも表現される）等を実行することが可能である。

[0045] <3. チップ位置調整用マークMC>

後述するように、この実施形態（ステップS12，S22参照）では、アライメントマークMC1，MC2（図8等参照）を用いて、各チップCP（CP*i*）が水平方向において位置決めされて仮基板WT*i*上に載置される。

[0046] アライメントマークMC1，MC2は、チップCP（電子部品）の位置を調整するためのマークであり、チップ位置調整用マーク（あるいは部品位置調整用マーク）とも称される。ここでは、1つのチップCPにつき、2つのマークMC1a，MC1bがマークMC1として設けられる。同様に、1つのチップCPにつき2つのマークMC2a，MC2bがマークMC2として設けられる。

[0047] この2種類のマークMC1，MC2は、互いに異なる形状（より詳細には、互いに重複しない形状）を有している。たとえば、図27に示すように、マークMC1（詳細にはマークMC1a，MC1b）としては、比較的小さな径を有する円形状のものが用いられる。一方、図28に示すように、マークMC2（詳細にはマークMC2a，MC2b）としては、比較的大きな径

を有する円形状のものが用いられる。

[0048] マークMC 1 aは、各チップCPにおける第1の基準位置（平面位置）（図27では左方手前側）に設けられ、マークMC 1 bは、各チップCPにおける第2の基準位置（平面位置）（図27では右方奥側）に設けられる。また、マークMC 2 aは、仮基板WT iにおいて、各チップCPの第1の基準位置に対応する正規の位置（平面位置）に設けられ、マークMC 2 bは、仮基板WT iにおいて各チップCPの第2の基準位置に対応する正規の位置（平面位置）に設けられる。端的に言えば、マークMC 2 aはマークMC 1 aの対応位置に設けられ、マークMC 2 bはマークMC 1 bの対応位置に設けられる。なお、各チップCPと仮基板WT iとの相対角度を良好に調整するため、マークMC 1 a、MC 1 bは、各チップCPにおいて、互いに離間した位置（たとえば、チップCPの両端部付近）に設けられることが好ましい。マークMC 2 a、MC 2 bも同様である。

[0049] また、マークMC 1 a、MC 1 bは、それぞれ、フェイスアップ状態のチップCP 1の上側の面（仮基板WT 1側の面とは反対側の面）上に設けられている。ただし、これに限定されず、マークMC 1 a、MC 1 bは、それぞれ、フェイスアップ状態のチップCP 1の下側の面（仮基板WT 1側の面）上に設けられても良く、あるいは、チップCP 1の内部に埋め込まれて設けられても良い。

[0050] なお、この実施形態では、第i層（ $i = 1, 2, \dots$ ）の各チップCP iは、当該各チップCP i内における同様の各基準位置（すなわち各チップ内における同じ位置）に同一のマークMC 1（MC 1 a、MC 1 b）を有している（図8、図12および図21等参照）。また、複数の仮基板WT iは、第i層の各チップCP iに対応する各マークMC 2（MC 2 a、MC 2 b）を互いに同一の各基準位置に有している（図6および図20等参照）。すなわち、複数の仮基板WT iは、それぞれ、同一の複数のマークMC 2が同一の複数の位置に付された基板である。また、ここでは、各仮基板WT iは、物理的には互いに異なる基板である場合を例示するが、これに限定されず、各

仮基板 $WT_i$ は、物理的にも同一の基板であってもよい。換言すれば、1枚の基板を各仮基板 $WT_i$ として用いるようにしてもよい。

[0051] <4. 基板位置調整用マークMW>

また、後述するように、この実施形態（ステップS13，S23参照）では、アライメントマークMW1，MW2を用いて、両基板WA， $WT_i$ が水平方向において位置決めされる。アライメントマークMW1，MW2は、基板WA， $WT_i$ の相対位置を調整するためのマークであり、基板位置調整用マークとも称される。

[0052] 基板位置調整用マークMW1，MW2は、上述のチップ位置調整用マークMC1，MC2と同様に、互いに異なる形状（より詳細には、互いに重複しない形状）を有している。たとえば、マークMW1（詳細にはマークMW1a，MW1b）としては、比較的大きな径を有する円形状のものが用いられ、マークMW2（詳細にはマークMW2a，MW2b）としては、比較的小さな径を有する円形状のものが用いられる。

[0053] マークMW1aは、基板WAにおける第1の基準位置（平面位置）（図17では基板 $WT_i$ の左端側）に設けられ、マークMW1bは、基板WAにおける第2の基準位置（平面位置）（図17では基板 $WT_i$ の右端側）に設けられる。

[0054] マークMW2aは、仮基板 $WT_i$ において、基板WAの第1の基準位置に対応する正規の位置（平面位置）（図17では基板 $WT_i$ の左端側）に設けられる。マークMW2bは、仮基板 $WT_i$ において、基板WAにおける第2の基準位置に対応する正規の位置（平面位置）（図17では基板 $WT_i$ の右端側）に設けられる。端的に言えば、マークMW2aはマークMW1aの対応位置に設けられ、マークMW2bはマークMW1bの対応位置に設けられる。なお、両基板WA， $WT_i$ の相対角度を良好に調整するため、マークMW1a，MW1bは、基板WAにおいて互いに離間した位置（たとえば、基板WAの両端部付近）に設けられることが好ましい。マークMW2a，MW2bも同様である。

[0055] また、マークMW 1 a, MW 1 bは、それぞれ、フェイスアップ状態の基板WAの上側の面（各チップが固定される側の面）上に設けられている。マークMW 2 a, MW 2 bは、それぞれ、フェイスダウン状態の仮基板WT iの下側の面（各チップが仮固定される側の面）上に設けられている。ただし、これに限定されず、各マーク（MC 1 a, MC 1 b）, （MW 1 a, MW 1 b）は、それぞれ、逆側の面に設けられても良く、あるいは、各基板WA, WT iの内部に埋め込まれて設けられても良い。

[0056] また、この実施形態においては、複数の仮基板WT iは、互いに、各マークMW 2（MW 2 a, MW 2 b）を同一の各基準位置に有している。すなわち、複数の仮基板WT iは、同一のマークMW 2が同一の位置に付されているという意味においても、互いに同一の基板である。

[0057] <5. 動作詳細>

次に、図1～図3のフローチャート等を参照しつつ、この実施形態におけるチップ実装動作（電子部品実装動作）について詳細に説明する。ここでは、複数のチップが3層に積層される場合を例示する。なお、これに限定されず、2層に積層されるようにしてもよく、あるいは4層以上に積層されるようにしてもよい。あるいは、基板WA上に1層のチップ層のみが設けられるようにしてもよい。

[0058] <5-1. 第1層のチップの積層工程>

最初に、第1層のチップの積層動作（ステップS 1 0）（図1および図2参照）が次のようにして行われる。

[0059] <ステップS 1 1：準備工程>

詳細には、まずステップS 1 1（図2）において、仮基板である基板WT 1（図6）上に樹脂層RS 1が形成される（図7）。なお、仮基板WT 1には、マークMC 2, MW 2が樹脂層RS 1の形成前に予め付されている。この樹脂層RS iは、光（赤外光等）を透過する。

[0060] 詳細には、たとえば、液状の熱可塑性樹脂（熱可塑性接着剤等）がスピスコータ80によって基板WT 1上に塗布されることによって、基板WT 1上

に樹脂層RS1が形成される。スピンコーティング手法を用いて樹脂層を形成することによれば、非常に容易に樹脂層を形成することができる。なお、これに限定されず、基板WT1上に樹脂シートを貼付することによって、基板WT1上に樹脂層RS1が形成されるようにしてもよい。これによっても、非常に容易に樹脂層を形成することができる。

[0061] 樹脂層RS1が形成された仮基板WT1は、搬送ロボット71によって、COWボンディング装置30へと搬送される。当該仮基板WT1は、COWボンディング装置30内のステージ31上に載置され、当該ステージ31に保持される（図4および図5参照）。

[0062] <ステップS12：COW工程>

次に、ステップS12において、第1層の複数のチップCP1がフェイスアップ状態で樹脂層RS1に平面配置されて仮固定される（図8～図12等参照）。ここで、各チップCPの「フェイスアップ状態」は、当該各チップCPの接合面（例えば、ハンダバンプBUが付された側の面）が上側を向いた状態である。

[0063] 詳細には、まず、チップ供給装置10（図5）内においてダイシング処理が行われて複数のチップCPが生成される。具体的には、複数の電子回路を有する基板WCが縦方向および横方向に切削されチップ化される。そして、切り出された各チップCPは、チップ供給装置10の突上部11（図5）によって、1個ずつ上方に突き上げられ、チップ移載装置13に位置PG1で受け渡される。チップ移載装置13は、その先端部（下端部）でチップCPを吸着し、さらに上方に移動した後に、今度は、COWボンディング装置30のチップ搬送部39側へ向けて移動する。チップ搬送部39は、チップ移載装置13からチップCPを位置PG3で受け取ると、中心軸AX周りの回転動作によって当該チップCPをボンディング部33のヘッド部33Hの直下位置PG5にまで搬送する。

[0064] ヘッド部33Hは、チップCPの載置位置PG5付近にまで若干量下降し、チップ搬送部39からチップCPを受け取り、ヘッド部33Hの先端部（

下端部)で当該チップCPを吸着する。その後、ヘッド部33Hとの干渉回避のためにチップ搬送部39が所定角度回転し、ヘッド部33Hとチップ搬送部39とが干渉しない状態でヘッド部33Hが下降し、ヘッド部33Hに吸着保持されたチップCPが位置PG7にまで下降される。これにより、ヘッド部33Hの先端部で吸着されていたチップCPが、ステージ31上の仮基板WT1の所定の平面位置に載置される。

[0065] このとき、アライメントマークMC1, MC2 (図8参照)を用いて、チップCP (CP1)は、次述するように位置決めされて仮基板WT1上に載置される。

[0066] COWボンディング装置30は、上述のように、位置認識部(位置計測部とも称される)36を備えている。位置認識部36は、水平方向におけるチップCPと基板WTiとの相対位置(詳細にはX, Y,  $\theta$ )を認識する処理部である。

[0067] 各チップCPと仮基板WTiとの位置合わせ動作(アライメント動作)は、位置認識部36により、各チップCPと仮基板WTiとに付された2組のマーク(MC1a, MC2a), (MC1b, MC2b)の位置を認識することによって実行される。

[0068] 図8に示すように、位置認識部36は、ヘッド部33Hによって保持された各チップCP (CP1)が仮基板WT1に対向する状態において、同軸照明系を有する撮像部35a, 35bの光源(出射部とも称される)から出射された照明光(ここでは赤外光)の反射光に関する画像データを用いて、基板WT1におけるチップCPの位置を認識する。

[0069] 具体的には、撮像部35aの光源から出射された光は、ステージ31の中空部、ガラス製の仮基板WTi、樹脂層RSiおよびチップのシリコン(Si)部分等を透過する。一方、当該光は、マークMC1a, MC2aで反射され、当該反射光は撮像部35aの撮像素子で受光される。これにより、各チップと基板WTiとに関する光像(各マーク部分の赤外光(反射光)による光像)を含む画像が画像データGaとして取得される。すなわち、2種類

のマークMC 1 a, MC 2 aを同時に読み取った撮影画像G aが取得される。位置認識部3 6は、当該撮影画像G aに基づいて各チップと基板WT iとに付された或る1組のマーク(MC 1 a, MC 2 a)の位置を認識するとともに、当該1組のマークMC 1 a, MC 2 aの相互間の位置ずれ量( $\Delta x a$ ,  $\Delta y a$ )を求める(図2 9参照)。

[0070] 同様に、撮像部3 5 bの光源から出射された光は、ステージ3 1の中空部、ガラス製の仮基板WT i、樹脂層RS iおよびチップのシリコン(S i)部分等を透過する。一方、当該光は、マークMC 1 b, MC 2 bで反射され、当該反射光は撮像部3 5 bの撮像素子で受光される。これにより、各チップと基板WT iとに関する光像(各マーク部分の赤外光(反射光)による光像)を含む画像が画像データG bとして取得される。すなわち、2種類のマークMC 1 b, MC 2 bを同時に読み取った撮影画像G bが取得される。位置認識部3 6は、当該撮影画像G bに基づいて各チップと基板WT iとに付された或る1組のマーク(MC 1 b, MC 2 b)の位置を認識するとともに、当該1組のマークMC 1 b a, MC 2 bの相互間の位置ずれ量( $\Delta x b$ ,  $\Delta y b$ )を求める。

[0071] なお、撮像部3 5 a, 3 5 bは、それぞれ、X方向、Y方向、Z方向に移動可能であり、撮影範囲を変更して調整することが可能である。

[0072] その後、位置認識部3 6は、これら2組のマークの位置ずれ量( $\Delta x a$ ,  $\Delta y a$ ), ( $\Delta x b$ ,  $\Delta y b$ )に基づいて、水平方向(X方向、Y方向および $\theta$ 方向)における各チップCPと仮基板WT iとの相対的位置ずれ量( $\Delta x$ ,  $\Delta y$ ,  $\Delta \theta$ )を算出する。

[0073] そして、位置認識部3 6により認識された当該相対的ずれ量が低減されるように、ステージ3 1が2つの並進方向(X方向およびY方向)と回転方向( $\theta$ 方向)とに適宜に駆動される。これにより、仮基板WT i上とチップCPとが相対的に移動され、上記の位置ずれ量が補正される。

[0074] このようにして、(X方向、Y方向および $\theta$ 方向に関する)チップCP 1のアライメント動作が実行される。

[0075] その後、第1層の1つのチップCP1を保持したヘッド部33Hがさらに下降し、当該チップCP1が仮基板WT1の樹脂層RSの所定の水平位置に載置される（図9参照）。

[0076] なお、上述のような位置認識動作（位置ずれ計測動作）と位置合わせ用の駆動動作（位置ずれの補正動作）とは、チップCPを樹脂層RSに押し付けて載置した後にも、少なくとも1回再び実行されることが好ましい。これによれば、さらに正確なアライメント動作が実行される。

[0077] さらに、第1層の2つ目以降のチップの載置動作も同様にして実行される（図10および図11）。これにより、図12に示すように、第1層の複数のチップCP1が仮基板WT1上の所定の平面位置に位置決めされて配置される。このように、2種類のマークMC1、MC2を用いることによって、第1層の複数のチップCP1のそれぞれが仮基板WT1の基板平面（主平面）に平行な方向（X、Y、 $\theta$ ）において位置決めされ、第1層の複数のチップCP1のそれぞれが仮基板WT1上の樹脂層RS1に載置される。

[0078] ここにおいて、樹脂層RSとして、熱可塑性樹脂が用いられる場合には、たとえば、完全に流動化する温度T1（例えば200℃）よりも低い温度T2（例えば150℃）にまで当該熱可塑性樹脂を加熱し、当該樹脂が軟化（半硬化）した状態で各チップが載置される。温度T2は、各チップのハンダバンプが溶融しないように、ハンダの融点よりも低いことが好ましい。その後、樹脂層RS1が冷却（加熱中断をも含む）されることによって、樹脂層RS1が硬化される。これにより、各チップが樹脂層RS1に仮固定される。

[0079] なお、後述するように、このステップS12では、複数のチップの鉛直方向の高さを揃える処理（レベリング処理）が実行されることが好ましい。

[0080] <ステップS13：WOW工程>

その後、ステップS13の処理が実行される。

[0081] ステップS13においては、まず、基板WT1が搬送ロボット71によって保持される。搬送ロボット71は、基板WT1の上下を反転し、当該基板

WT 1 をWOWボンディング装置 5 0 へと搬送する（図 1 6 参照）。そして、上下反転後の基板WT 1 が、WOWボンディング装置 5 0 の上ステージ 5 3 に保持される（図 1 7 参照）。このとき、基板WT 1 に仮固定された複数のチップCP 1 は、フェイスダウン状態で保持される。

[0082] 一方、WOWボンディング装置 5 0 の下ステージ 5 1 には、搬送ロボット 7 1 によって搬送されてきた基板WAが予め保持されている。

[0083] WOWボンディング装置 5 0 において、両基板WA, WT 1 は、その接合面が互いに対向する状態で保持される。

[0084] つぎに、アライメントマークMW 1, MW 2 を用いて、両基板WA, WT 1 が、次述するようにして位置決めされる。

[0085] WOWボンディング装置 5 0 は、上述のように、位置認識部（位置計測部とも称される）5 6 を備えている。位置認識部 5 6 は、水平方向における基板WAと基板WT i との相対位置（詳細にはX, Y,  $\theta$ ）を認識する処理部である。

[0086] 基板WAと仮基板WT i （ここではWT 1）との位置合わせ動作（アライメント動作）は、位置認識部 5 6 により、基板WAと仮基板WT i とに付された2組のマーク（MW 1 a, MW 2 a）, （MW 1 b, MW 2 b）の位置を認識することによって実行される。

[0087] 図 1 7 に示すように、位置認識部 5 6 は、下ステージ 5 1 によって保持された基板WAと上ステージ 5 3 によって保持された基板WT 1 とが対向する状態において、同軸照明系を有する撮像部 5 5 a, 5 5 b の光源（出射部とも称される）から出射された照明光（ここでは赤外光）の反射光に関する画像データを用いて、基板WA, WT i の位置を認識する。

[0088] 具体的には、撮像部 5 5 a の光源から出射された光（赤外光）は、下ステージ 5 1 の中空部、シリコン基板WA、および樹脂層RS等を透過する。一方、当該光は、マークMW 1 a, MW 2 aで反射され、当該反射光は撮像部 5 5 a の撮像素子で受光される。これにより、両基板WA, WT i における各マーク（MW 1 a, MW 2 a）部分に関する光像（赤外光（反射光）によ

る光像)を含む画像が画像データG cとして取得される。すなわち、2種類のマークMW 1 a, MW 2 aを同時に読み取った撮影画像G cが取得される。位置認識部5 6は、当該撮影画像G cに基づいて両基板WA, WT iに付された或る1組のマーク(MW 1 a, MW 2 a)の位置を認識するとともに、当該1組のマークMW 1 a, MW 2 aの相互間の位置ずれ量( $\Delta x c$ ,  $\Delta y c$ )を求める。

[0089] 同様に、撮像部5 5 aの光源から出射された光(赤外光)は、下ステージ5 1の中空部、シリコン基板WA、および樹脂層RS等を透過する。一方、当該光は、マークMW 1 b, MW 2 bで反射され、当該反射光は撮像部5 5 bの撮像素子で受光される。これにより、両基板WA, WT iにおける各マーク(MW 1 b, MW 2 b)部分に関する光像(赤外光(反射光)による光像)を含む画像が画像データG dとして取得される。すなわち、2種類のマークMW 1 b, MW 2 bを同時に読み取った撮影画像G dが取得される。位置認識部5 6は、当該撮影画像G dに基づいて両基板WA, WT iに付された或る1組のマーク(MW 1 b, MW 2 b)の位置を認識するとともに、当該1組のマークMW 1 b, MW 2 bの相互間の位置ずれ量( $\Delta x d$ ,  $\Delta y d$ )を求める。

[0090] なお、撮像部5 5 a, 5 5 bは、それぞれ、X方向、Y方向、Z方向に移動可能であり、撮影範囲を変更して調整することが可能である。

[0091] その後、位置認識部5 6は、これら2組のマークの位置ずれ量( $\Delta x c$ ,  $\Delta y c$ ), ( $\Delta x d$ ,  $\Delta y d$ )に基づいて、水平方向(X方向、Y方向および $\theta$ 方向)における基板WAと仮基板WT iとの相対的位置ずれ量( $\Delta x$ ,  $\Delta y$ ,  $\Delta \theta$ )を算出する。

[0092] そして、位置認識部5 6により認識された当該相対的位置ずれ量が低減されるように、下ステージ5 1が2つの並進方向(X方向およびY方向)と回転方向( $\theta$ 方向)とに適宜に駆動される。これにより、基板WAと仮基板WT iとの両者が相対的に移動され、当該両者間の相対的位置ずれ量が補正される。

- [0093] このようにして、（X方向、Y方向および $\theta$ 方向に関する）基板WA、WT<sub>i</sub>のアライメント動作が実行される。
- [0094] その後、上ステージ53がさらに下降し、基板WAと基板WT<sub>i</sub>とが相対的に接近し、仮基板WT<sub>i</sub>にフェイスダウン状態で保持された複数のチップCP<sub>i</sub>（ここではCP1）と基板WAとが相対的に接近する。この接近動作に応じて、フェイスダウン状態の複数のチップCP<sub>i</sub>が基板WAの所定の水平位置にそれぞれ載置される（図18参照）。なお、チップCP<sub>i</sub>の「フェイスダウン状態」は、当該各チップCP<sub>i</sub>が仮固定されている仮基板WT<sub>i</sub>の接合面（例えば、チップCP<sub>i</sub>が仮固定された側の面）が下側を向いた状態であり、仮基板WT<sub>i</sub>のフェイスダウン状態であるとも表現される。
- [0095] このとき、仮基板WT<sub>i</sub>に仮固定された複数のチップCP<sub>i</sub>を基板WA上に確実に接触させるため、チップCP<sub>i</sub>と基板WAとの両者間に所定の圧力を作用させる処理（加圧処理）を伴うことが好ましい。
- [0096] その後、下ステージ51に内蔵されたヒータによって基板WAを加熱するとともに、上ステージ53に内蔵されたヒータによって基板WT<sub>i</sub>を加熱する。これにより、各チップCP1のハンダバンプBUが溶融され、基板WA上に複数のチップCP<sub>i</sub>が接合される。
- [0097] ここにおいて、上述のように、マークMC1、MC2を用いてチップCP<sub>i</sub>が基板WT<sub>i</sub>上に正確に位置決めされている（ステップS12）とともに、マークMW1、MW2を用いて基板WAと基板WT<sub>i</sub>とが正確に位置決めされている（ステップS13）。そのため、フェイスダウン状態の複数のチップCP<sub>i</sub>は、基板WAの所定の水平位置にそれぞれ正確に位置決めされて接合される。
- [0098] 以上のようにして、基板WAと基板WT1に配置された第1層の複数のチップCP1とが対向した状態で基板WAと基板WT1とが相対的に接近されることによって、基板WAと各チップCP1とが相対的に接近し、第1層の各チップCP1が基板WA上の所定の位置にそれぞれ載置され、基板WAと第1層の複数のチップCP1とが（直接的に）接合される。

[0099]           <ステップS 1 4 : デボンド工程>

つぎに、ステップS 1 4において、「デボンド処理」が実行される。具体的には、複数のチップC P 1が基板W Aの所定位置にそれぞれ載置（接合）された状態を維持しつつ、複数のチップC P 1から基板W T 1が分離される。

[0100]   より詳細には、上ステージ5 3に内蔵されたヒータによって、樹脂層R S 1を所定温度T 4に加熱する。そして、このような加熱状態において、仮基板W T 1を保持したまま上ステージ5 3を上昇させることによって、樹脂層R S 1を有する仮基板W T 1が複数のチップC P 1から剥離する（図1 9参照）。図1 9においては、仮基板W T 1がチップC P 1から剥離する様子が模式的に示されている。

[0101]   なお、樹脂層R S 1の熱可塑性樹脂の滴下を防止するため、温度T 4は、樹脂層R S 1が完全に流動化する程の高温ではなく樹脂層R S 1が半硬化する程度の温度（例えば、1 8 0℃）であることが好ましい。また、基板W Aに接合された各チップC P 1のハンダバンプが再溶融することを防ぐため、温度T 4はハンダの融点よりも低いことが好ましい。

[0102]   以上のようにして、基板W A上に第1層の複数のチップC P 1が平面配置された状態で基板W Aの所定の位置に接合される（ステップS 1 0）。

[0103]           <5 - 2. 第2層のチップの積層工程>

つぎに、第2層のチップの積層動作（ステップS 2 0）（図1および図3参照）が次のようにして行われる。上述したように、第2層に関するステップS 2 1～S 2 4の対応処理は、第1層に関するステップS 1 1～S 1 4の各処理とそれぞれ同様の処理である。ただし、ステップS 1 3, S 1 4では第1層のチップC P iが基板W A上に直接的に載置等されるのに対して、第i層（ここではi = 2）に関するステップS 2 3, S 2 4においては既に積層済みの第（i - 1）層のチップC P（i - 1）に対して第i層のチップC P iが載置等される。

[0104]   まず、ステップS 2 1において、仮基板である基板W T 2上に樹脂層R S

2が形成される（図20参照）。詳細には、スピンコータ80等を用いて、仮基板WT2上に樹脂層RS2が形成される。樹脂層RS2が形成された仮基板WT2は、搬送ロボット71によって、COWボンディング装置30内のステージ31上に載置され、当該ステージ31に保持される（図4および図5参照）。

[0105] 次のステップS22において、第2層の複数のチップCP2がフェイスアップ状態で基板WT2上の樹脂層RS2に平面配置されて仮固定される（図21参照）。

[0106] 詳細には、チップ供給装置10（図5）によって基板WCから切り出された各チップCP<sub>i</sub>（ここではCP2）は、チップ供給装置10の突上部11およびチップ移載装置13等によって、COWボンディング装置30のチップ搬送部39に引き渡される。チップ搬送部39は、位置PG3で受け取ったチップCPをボンディング部33のヘッド部33Hの直下位置PG5にまで搬送する。ヘッド部33Hとチップ搬送部39とが干渉しない状態において、ヘッド部33Hが下降し、ヘッド部33Hに吸着保持されたチップCPが位置PG5から位置PG7にまで下降される。これにより、ヘッド部33Hの先端部で吸着されていたチップCPが、ステージ31上の仮基板WT1の所定の平面位置に載置される。

[0107] ステップS22においても、ステップS12と同様にして、各チップCP（CP2）は、チップCPごとに設けられたアライメントマークMC1、MC2を用いて、位置決めされて仮基板WT2上に載置される。なお、ステップS22においても、複数のチップのZ方向（鉛直方向）の高さを揃える処理（レベリング処理）が実行されることが好ましい。

[0108] さらに、ステップS23においては、まず、仮基板WT2が搬送ロボット71によって保持される。搬送ロボット71は、仮基板WT2の上下を反転し、当該仮基板WT2をWOWボンディング装置50へと搬送する（図22参照）。そして、上下反転後の仮基板WT2が、WOWボンディング装置50の上ステージ53に保持される（図23参照）。このとき、仮基板WT2

に仮固定された複数のチップCP2は、フェイスダウン状態で保持される。

[0109] 一方、WOWボンディング装置50の下ステージ51には、ステップS10の処理が施された基板WAが保持されている。

[0110] ステップS23においても、ステップS13と同様にして、まず仮基板WT2と基板WAとが対向した状態で、アライメントマークMW1、MW2を用いて両基板WA、WT2の水平方向における相対位置が調整される。

[0111] その後、上ステージ53がさらに下降し、互いに対向する仮基板WT2と基板WAとを相対的に接近させることによって、フェイスダウン状態の第2層の複数のチップCP2と基板WA（詳細には基板WA上の第1層の複数のチップCP1）とを相対的に接近させる（図23参照）。そして、フェイスダウン状態の第i層の複数のチップCPi（CP2）が、基板WA（詳細には基板WAに既に積層済みの第（i-1）層のチップCPi（CP1））の所定の位置に載置されて接合される（図24参照）。

[0112] このようにして、基板WAにおける基板位置調整用マークMW1と仮基板WT2における基板位置調整用マークMW2とを用いて、基板WAと仮基板WT2とが水平方向において位置決めされる。また、その結果、基板WAに保持された第1層の複数のチップCP1のそれぞれと基板WT2に保持された第2層の複数のチップCP2のそれぞれとの位置関係が調整されて、各チップCP1と対応する各チップCP2とがそれぞれ接合される。

[0113] ここにおいて、マークMC1、MC2を用いて第2層の各チップCP2が基板WT2上に正確に位置決めされる（ステップS22）とともに、マークMW1、MW2を用いて基板WAと基板WT2とが正確に位置決めされる（ステップS23）。そのため、フェイスダウン状態の第2層の各チップCP2は、基板WA上の所定の水平位置（詳細には基板WAの第1層の各チップCP1上）にそれぞれ正確に位置決めされて接合される。

[0114] その後、ステップS24において、第2層の複数のチップCP2が基板WA（詳細には、基板WA上に載置された第1層の複数のチップCP1）にそれぞれ接合された状態を維持しつつ、第2層の複数のチップCP2から基板

WT 2 が分離される。より詳細には、樹脂層 RS 2 を上述の温度 T 4 に加熱した状態で、仮基板 WT 2 を保持したまま上ステージ 5 3 を上昇させることによって、樹脂層 RS 2 を有する仮基板 WT 2 が複数のチップ CP 2 から剥離する（図 2 5 参照）。なお、図 2 5 においては、仮基板 WT 2 がチップ CP 2 から剥離する様子が模式的に示されている。

[0115] 以上のようにして、基板 WA 上に接合された第 1 層の複数のチップ CP 1 の上に、さらに第 2 層の複数のチップ CP 2 が積層して接合される。

[0116] ステップ S 3 0（図 1）で未だ処理が終了していないと判定される場合には、再びステップ S 2 0 に戻る。そして、第 2 層の積層動作と同様にして、第 3 層以降のチップの積層動作が実行される。最終層のチップの積層動作が終了したと判定される（ステップ S 3 0 で YES）と、本処理が終了する。

[0117] なお、たとえば、第 3 層のチップ CP 3 の積層動作は、次のようにして実行される。

[0118] まず、ステップ S 2 1 において、仮基板 WT 3 上に樹脂層 RS 3 が形成され、ステップ S 2 2 において、第 3 層の複数のチップ CP 3 がフェイスアップ状態で樹脂層 RS 3 に平面配置して仮固定される。

[0119] つぎに、ステップ S 2 3 において、仮基板 WT 3 の上下が反転され第 3 層の複数のチップ CP 3 がフェイスダウン状態で仮基板 WT 3 に保持され、互いに対向する基板 WA と仮基板 WT 3 とが相対的に接近する。これに応じて、フェイスダウン状態の第 3 層の複数のチップ CP 3 と基板 WA 上の第 2 層の複数のチップ CP 2 とが相対的に接近し、第 2 層の複数のチップ CP 2 と第 3 層の複数のチップ CP 3 とがそれぞれ接合される。

[0120] そして、ステップ S 2 4 において、第 3 層の複数のチップ CP 3 が第 2 層の複数のチップ CP 2 にそれぞれ接合された状態を維持しつつ、第 3 層の複数のチップ CP 3 から仮基板 WT 3 が分離される。

[0121] このようにして、第 3 層の複数のチップ CP 3 が、基板 WA 上に積層された第 1 層の複数のチップ CP 1 および第 2 層の複数のチップ CP 2 の上に更に積層される。

[0122] <6. 実施形態の効果等>

ところで、上述のような従来技術（先行技術文献1）を利用することによれば、基板（ウエハ）上に単一層の複数の半導体チップ（以下単にチップとも称する）を平面的に配置してボンディングする技術（単層COW（Chip On Wafer）実装技術とも称する）として、次のような技術が考えられる。

[0123] 具体的には、まず、基板（ウエハ）を非導電性樹脂でコーティングして基板上に樹脂層が形成された後に、複数のチップが当該樹脂層上に平面的に載置され、当該複数のチップが当該樹脂層に仮止めされる。そして、基板と複数のチップとが上下方向から一括的に加熱加圧されて、各チップの下面に設けられたハンダバンプ（詳細には、基板側に設けられたハンダバンプ）が熔融され、複数のチップが基板上にボンディングされる。なお、基板上の樹脂層は、たとえば、スピンコーティング技術によって樹脂材料が基板に塗布されることによって形成される。あるいは、当該樹脂層は、基板上に樹脂シートを貼付することによって形成されてもよい。

[0124] ただし、この実装技術（単層COW実装技術）は、複数のチップが平面的に配置された単一層のチップ層を基板（ウエハ）上に実装する技術である。

[0125] 一方、近年、更なる高集積化が求められており、複数のチップ層をさらに鉛直方向に積層して実装する実装技術（多層COW実装技術とも称する）が求められている。

[0126] しかしながら、複数のチップ層をさらに鉛直方向に積層して実装することは容易ではない。

[0127] たとえば、上述の単層COW実装技術をそのまま多層COW実装技術に適用すると、第2層のチップを第1層のチップに積層する際に、第1層のチップ上に樹脂層を形成することが求められる。

[0128] ところが、第2層のチップを第1層のチップに積層する際に第1層チップ上に樹脂層を形成することは必ずしも容易ではない。たとえば、基板上に第1層のチップが既に接合されている状態では、基板表面に第1層のチップによる凹凸が生じているため、スピンコーティング技術を用いて基板上に樹脂

を塗布して均一な樹脂層を形成することは困難である。また、樹脂シートを第1層の複数のチップ上にそれぞれ貼付することも考えられるが、その場合には、基板表面に設けられた第1層の複数のチップにそれぞれ個別にシートを貼付することが求められ、非常に煩雑な作業が生じる。

[0129] 一方、上述のような態様によれば、まず、基板WAとは別の仮基板WT<sub>i</sub>上に形成された樹脂層RS<sub>i</sub>に、第i層の複数のチップCP<sub>i</sub>がフェイスアップ状態で平面配置して仮固定される。そして、仮基板WT<sub>i</sub>の上下が反転されて、第i層の複数のチップCP<sub>i</sub>がフェイスダウン状態で仮基板WT<sub>i</sub>に対向保持される。つぎに、当該仮基板WT<sub>i</sub>と第(i-1)層のチップCP(i-1)が平面配置された基板WAとが相対的に接近され、第i層の複数のチップCP<sub>i</sub>と第(i-1)層のチップCP(i-1)とがそれぞれ接合される。その後、第i層の複数のチップCP<sub>i</sub>から仮基板WT<sub>i</sub>が分離される。

[0130] これによれば、第i層のチップを第(i-1)層のチップに積層する際に、第(i-1)層のチップ上に樹脂層を形成することを要しない。

[0131] したがって、第(i-1)層の複数のチップCP(i-1)に第i層の複数のチップCP<sub>i</sub>を容易に重ねることが可能である。すなわち、複数のチップを積層して基板上に実装することをさらに容易に実現することが可能である。

[0132] また、上記実施形態によれば、ステップS12、S22において、第i層の複数のチップCP<sub>i</sub>のそれぞれにおける部品位置調整用マークMC1と第i層の複数のチップCP<sub>i</sub>のそれぞれに対応して仮基板WT<sub>i</sub>に設けられた部品位置調整用マークMC2とを用いて、第i層の複数のチップCP<sub>i</sub>のそれぞれが仮基板WT<sub>i</sub>の基板平面に平行な方向において位置決めされ、仮基板WT<sub>i</sub>上の樹脂層RS<sub>i</sub>に載置される。このとき、仮基板WT<sub>i</sub>上においては、1つの層(第i層)の各チップCP<sub>i</sub>の位置合わせのみが行われればよい。換言すれば、仮基板WT<sub>i</sub>上における複数層のチップの位置合わせは不要である。したがって、仮基板WT<sub>i</sub>上において各チップCP<sub>i</sub>の正確な

位置決め動作を容易に行うことが可能である。

[0133] 仮に、基板WA上に複数層のチップCP<sub>i</sub> ( $i = 1, 2, \dots$ ) をフェイスダウン状態で順次に積層して載置し、上下層のチップで同一位置および同一形状のマークMC 1 を利用して、基板WA上に複数層のチップを積層した状態で位置合わせを行う技術（比較例に係る技術とも称する）を想定する。

[0134] この場合には、上下に積層された同一形状の複数のマークMC 1 のいずれかの位置ずれが検出されても、いずれの層のチップ（何層目のチップ）に位置ずれが発生しているかを特定することは困難である。なお、撮像系の合焦位置を意図的にずらすことによって特定層のチップに付されたマークの光像を撮影画像に鮮明に映し出す手法も考えられる。ただし、チップの厚みおよびチップ相互間の間隔が非常に小さい（たとえば10マイクロメートル程度）場合には、フォーカスの調整精度にも依存するが、このような手法を利用できないこともある。

[0135] 一方、上記実施形態によれば、複数層のチップが積層された状態（図26参照）において、異なる層の複数のチップCPが互いに同一のマークMC 1（MC 1 a, MC 1 b）を同一の各基準位置（水平方向位置）に有している場合にも、複数層のチップのマークMC 1 を利用して基板WA上で当該複数層のチップの位置合わせを行うことを要しない。基板WAとは別の仮基板WT<sub>i</sub> 上において1つの層（第*i*層）の各チップCP<sub>i</sub> の位置合わせが行われればよい。したがって、各チップを正確に且つ容易に位置決めすることができる。

[0136] また、その後、仮基板WT<sub>i</sub> は上下反転され、ステップS 13, S 23において、基板WAにおける基板位置調整用マークMW 1 と仮基板WT<sub>i</sub> における基板位置調整用マークMW 2 とを用いて基板WAと仮基板WT<sub>i</sub> とが仮基板WT<sub>i</sub> の基板平面に平行な方向において位置決めされることによって、基板WAと仮基板WT<sub>i</sub> との位置関係が調整される。これによれば、第1層の複数のチップCP 1 はそれぞれ基板WA上の所定の位置に正確に位置決めされて載置され得る。同様に、仮基板WT<sub>i</sub> に保持された第*i*層の各チップ

CP<sub>i</sub>は、基板WAに保持された第(*i* - 1)層の対応チップCP(*i* - 1)に対して、正確に位置決めされて載置され得る。

[0137] 特に、ステップS13、S23において、第*i*層の複数のチップCP<sub>i</sub>が一括的に第(*i* - 1)層の対応チップCP(*i* - 1)に接合される。したがって、効率的な積層動作が実現される。特に、第*i*層の複数のチップCP<sub>i</sub>が1枚ずつ第(*i* - 1)層の対応チップCP(*i* - 1)に接合される場合に比べて、接合時間を短縮することができる。また、基板WA上での加熱時間を短縮することによって、基板WA上でのハンダの酸化を抑制することが可能である。

[0138] また、上記実施形態によれば、ステップS13(、S23)のハンダ接合は、ハンダバンプBUが樹脂に浸漬されていない状態で行われる。そのため、ハンダバンプを樹脂に浸漬して行う場合(特に、フラックスなどの活性剤を樹脂に添加して、ハンダ接合を行う場合)に比べて、信頼性の高い接合を実現することができる。

[0139] また、上記実施形態によれば、ステップS12の処理(チップ仮固定処理)とステップS13の処理(本接合処理)とを分離することによって、高速化と信頼性との両立を図ることが可能である。従来の方式では1チップずつ接合を行うと1チップあたり10s(秒)程度かかる(例えば5000個では50000秒を要する)。一方、本方式ではウエハ上にチップを1s(秒)程度で仮固定した後、ウエハ上に例えば5000個載せた状態で、一括接合させれば1時間強の時間をかけて真空引きや非酸化雰囲気(窒素やArガスなど)形成処理や還元雰囲気(水素ガスやギ酸ガスなど)形成処理、表面活性化処理(後に詳述)なども可能となり、より信頼性が高い接合が生産性の高いところで可能となる。さらに、COWボンディング装置30では、チップ1個につき1s(秒)の載置時間で5000個のチップを載せると5000秒を要し、WOWボンディング装置50では、1時間強の時間をかけて真空引き等を行って一括接合が行われる。したがって、COWボンディング装置30での処理時間とWOWボンディング装置50での処理時間とが近い値(

理想的には同一）になり、両工程間（COW工程とWOW工程との間）での良好なバランス（すなわち、良好なラインバランス）を実現することができる。すなわち、より信頼性が高い接合が、ラインバランスが取れた生産性の高いところで可能となる。

[0140] たとえば、COWボンディング装置30におけるS12, S22の処理で高速にチップを仮基板に仮固定（仮止め）するとともに、数千個搭載した後にWOWボンディング装置50におけるステップS13, S23の処理を窒素雰囲気中で行うことにより、さらに高い信頼性を有する接合を容易に実現することが可能である。

[0141] より具体的には、次のようなハンダ接合が実現されることが好ましい。以下では、ステップS23におけるハンダ接合動作等についてさらに詳細に説明するが、ステップS13に関しても同様である。

[0142] ステップS23（図3）において、各基板WT<sub>i</sub>が真空チャンバ59（不図示）内に搬送されると、真空チャンバ59の内部空間が減圧され真空状態にされた後、真空チャンバ59の内部空間に窒素が供給される。なお、真空チャンバ59の内部空間における減圧開始から窒素充填完了までには、相応の期間（たとえば、1時間程度）を要する。その後、上述のように、両基板WA, WT<sub>i</sub>に関する位置決め動作および接合動作等が実行される。なお、当該位置決め動作は、減圧後ではなく、減圧前に実行されるようにしてもよい。

[0143] このようにして、基板WA上の第（ $i-1$ ）層の複数のチップCP（ $i-1$ ）と仮基板WT<sub>i</sub>上の第 $i$ 層の複数のチップCP<sub>i</sub>とが収容される処理空間内（真空チャンバ59内）において、所定期間にわたる減圧処理および窒素供給処理を伴って、複数のチップCP<sub>i</sub>のハンダバンプBUと複数のチップCP（ $i-1$ ）の電極部分（上層のハンダバンプBUに対向する電極部分（不図示））とをそれぞれ接合するハンダ接合処理が実行される（図23, 図24参照）。窒素雰囲気中で上述のようなWOWボンディング処理を実行することによれば、ハンダの酸化を防止しつつ良好なハンダ接合を実現する

ことが可能であり、フラックスレスでの接合も可能となる。また、還元雰囲気（水素ガスやギ酸ガスなど）中であればより好ましい。

[0144] ここにおいて、近年、半導体製造技術の微細化に伴い、電子部品（チップ等）の厚さも小さく（薄く）なっている。これは、チップ等の積層化技術にてチップ等に貫通電極を設けるにあたって、当該貫通電極の直径がさらに微小化され、微小化された直径の「浅い孔」を製作することが、微小化された直径の「深い孔」を製作することよりも比較的容易であること等の事情に起因する。

[0145] ところが、従来の手法（具体的には、ウエハ上に載置されたチップを加熱してハンダ接合する手法（C4工法（リフロー手法）とも称される））を比較的薄いチップ等に対してそのまま適用する場合には、加熱時の熱の影響でチップが反ってしまうという問題が発生する。なお、この従来の手法（いわゆるリフロー手法）では、各チップは上下方向に加圧されない状態で炉内にて加熱される（図72参照）。図72は、このような従来の手法におけるチップの加熱状態を示す図である。図72に示すように、当該従来手法においては、その表面上に1層のチップが配置された基板が加熱炉内にて加熱され、チップと基板とのハンダ接合が行われる。このとき、図72の破線で示すように、薄いチップ（CP）は、加熱によって反ってしまう。

[0146] 一方、このような「反り」の問題を回避するためには、たとえば、1枚のチップ(基板)の上に別のチップを重ねて加圧しながら加熱し加圧状態で冷却して接合する手法が考えられる（図73参照）。図73に示す技術においては、所定枚数（図73では5枚）のチップが上下方向に積層される。そして、積層されたチップ（積層チップ）が下側のヒートステージHSと上側のヒートツールHTとの間に挟まれてその積層方向（上下方向）において加圧された状態で、加熱されその後に冷却されることによって、積層チップにおける層間接合（ハンダ接合）が行われる。このように、当該手法は、チップ積層数に応じて上下方向に積層された所定枚数（たとえば5枚）のチップごとに、加圧加熱および冷却（加圧状態での冷却）を行う技術である。

[0147] ただし、この手法においては、（上下方向にはチップが積層されるが、）平面的には1つの積層チップ（積層された1組のチップ）ごとに加圧加熱等が行われる。そのため、多数の積層チップを作成するためには、膨大な時間を要する。たとえば、1チップあたり（詳細には1組の積層チップあたり）10秒程度の加熱冷却時間を要するときには、5000個の積層チップを作成するためには50000秒を要する。また、10秒といえどもハンダ接合の信頼性を高めるには十分な時間ではなく、参加雰囲気である大気中接合という課題も有する。

[0148] これに対して、ステップS23等に関する上記態様によれば、チップごと（チップ単位）ではなく基板単位で集積されたチップの集合体を纏めて接合するため、時間の増大を抑制することができる。

[0149] たとえば、上述のように仮に5000個のチップの加工時にチップ1個につき1時間のプロセスをそれぞれ余分に行う場合には、5000時間をさらに要する。一方、上記態様において、5000個のチップに対して纏めて上述の処理を施すことによれば、処理の増大時間は全体で1時間程度で済む。なお、その場合、当該1時間の窒素雰囲気形成処理（真空引き処理と窒素供給時間との合計時間）におけるチップ1個あたりの所要時間（処理時間の増大量）は、1秒弱（0.72秒（ $=1 \times 3600 / 5000$ ））である、とも表現される。

[0150] このように、複数の電子部品を基板上に平面配置して実装することをさらに効率的に実現することが可能である。すなわち、高い生産性を得ることができる。

[0151] また、図73に示す手法においては、大気中でハンダ接合が行われる。当該手法においては、ハンダの酸化を防ぐためにフラックスが利用される。

[0152] しかしながら、フラックスの残渣は接合不良のもととなり、かつ、フラックスの洗浄は手間を要するものであるという問題が存在する。また、加工の微細化に伴って、微細な空隙に入り込んだフラックスを除去することが困難であるという問題も存在する。そのため、ハンダの大気中接合の信頼性は高

くない。

[0153] 一方、上記態様によれば、大気中ではなく窒素雰囲気中等で接合が行われるため、酸化防止用のフラックスを用いずに済む。そのため、フラックスレス化を図ることによって、高い信頼性を有する良好なハンダ接合を得ることも可能である。

[0154] このように、上記態様によれば、高い信頼性のハンダ接合を得つつ、高い生産性をも得ることが可能である。

[0155] <7. レベリング工程>

上述したように、ステップS 1 2, S 2 2においては、次のようなレベリング工程が実行されることが好ましい。

[0156] 第*i*層の複数のチップCP *i*（例えば、複数のチップCP 1）の厚みには、ばらつきが存在することがある。このようなばらつきが存在する場合、ステップS 1 2, 2 2で各チップCP 1を樹脂層RSの表面位置基準（樹脂層RSの上面位置基準）で当該表面に載置すると、図1 3に示すように、複数のチップCP 1の相互間において、各チップCP 1の上端位置に相違（上端位置のバラツキ）が生じる。

[0157] 当該上端位置のバラツキは、ステップS 1 3（, S 2 3）で仮基板WT 1を上下反転させて基板WAに対向させると、上側に配置されたチップCP 1の下端位置のバラツキとして現れる。そして、そのまま基板WAに向けて各チップCP 1を押しつけると、或るチップCP 1は基板WAに当接している一方で、他のチップCP 1は基板WAに当接せず基板WAから浮いてしまうことがある。

[0158] このような事態を回避するためには、ステップS 1 2, S 2 2において、フェイスアップ状態で樹脂層RSに仮置きされた第*i*層の複数のチップCP *i*の上端位置の高さを揃えるレベリング工程を設けることが好ましい。これによれば、複数のチップCP *i*の厚さのばらつきを吸収することが可能である。

[0159] たとえば、ステップS 1 2, S 2 2において、図1 4に示すように、基板

WT<sub>i</sub>上の樹脂層RSにフェイスアップ状態で仮置きされた第i層の複数のチップの上端側に、基板WT<sub>i</sub>に対して平行に保持された平面部材PLを押し当てることによって、第i層の複数のチップCP<sub>i</sub>の上端位置の高さを揃えればよい。このとき、樹脂層RSは、半硬化状態を実現する温度T<sub>2</sub>にまで加熱されていることが好ましい。そして、平面部材PLを押し当てて第i層の複数のチップCP<sub>i</sub>の上端位置が揃えられた後に、樹脂層RSが冷却されて固化されることによって、各チップCP<sub>i</sub>が所定の位置（所定の水平方向位置および所定の鉛直方向位置）に仮固定される。このようにして、平面部材PLを用いて複数のチップの上端側の鉛直方向位置（Z方向位置）を一括的に揃える処理（レベリング処理）が行われればよい。

[0160] あるいは、ステップS12において、チップ毎にレベリング処理を行うようにしてもよい。

[0161] 具体的には、図15に示すように、第i層の各チップCP<sub>i</sub>をフェイスアップ状態で保持したヘッド部33H（図5参照）が下降して、各チップCP<sub>i</sub>を樹脂層RS<sub>i</sub>上に載置する。より詳細には、ヘッド部33Hの先端部が所定の位置Z<sub>0</sub>にまで下降するように、ヘッド部33HのZ方向位置が調整される。この位置Z<sub>0</sub>は、各チップCP<sub>i</sub>の上端位置（Z方向位置）であるとも表現される。また、この位置Z<sub>0</sub>は、複数のチップCP<sub>i</sub>相互間で共通の（同一の）位置である。このとき、フェイスアップ状態の各チップCP<sub>i</sub>は、その下面（上側の接合面とは反対の面）側が樹脂層RS<sub>i</sub>に埋没した状態で、当該樹脂層RS<sub>i</sub>に載置される。

[0162] この樹脂層RS<sub>i</sub>は、チップ厚さのばらつきを吸収できる程度の厚さ（例えば数十マイクロメートル～数百マイクロメートル以上）を有している。また、樹脂層RS<sub>i</sub>は、熱可塑性樹脂で形成されており、チップ載置時点にて半硬化状態を有している。たとえば、ヘッド部33Hが所定温度にまで加熱され、各チップCP<sub>i</sub>を経由して樹脂層RS<sub>i</sub>が温度T<sub>2</sub>にまで加熱されることによって当該樹脂層RS<sub>i</sub>が軟化されればよい。

[0163] 複数のチップCP<sub>i</sub>が上述のようにして上端位置が揃えられて樹脂層RS

i に載置された後、半硬化状態の樹脂層 R S i が冷却されて固化される。これによって、第 i 層の複数のチップ C P i の上端位置の高さが互いに揃えられた状態で、各チップ C P i が樹脂層 R S i に仮固定される。

[0164] このようなレベリング処理によれば、複数のチップ C P i の厚さのばらつきを吸収することが可能である。なお、上記のようなレベリング処理は、C O Wボンディング装置 3 0 において行われてもよく、W O Wボンディング装置 5 0 において行われても良い。

[0165] また、このようなレベリング処理は、加熱処理に伴ってステージの平坦度合が損なわれている場合（特に、W O Wボンディング装置 5 0 等によってレベリング処理が行われる場合）にも有用である。たとえば、加熱処理に伴ってステージ（詳細には上ステージ 5 3 あるいは下ステージ 5 1）の中央部分が周縁部分よりも微小量突出した状況において上記のようなレベリング処理を施すことによれば、ステージの表面の平坦度合の低下状態においても、当該表面上に載置された複数のチップ C P i の上端位置を揃えることができる。なお、図 1 4 に示すような平面部材 P L を複数のチップ C P i に押し当てる態様において、当該平面部材 P L は、完全に平坦な表面を有するものに限定されず、非常に僅かに湾曲した表面（たとえば凸曲面あるいは凹曲面）を有するものであってもよい。そして、非常に僅かに湾曲した表面を有する当該平面部材を複数のチップ C P i に押し当てることによって、複数のチップ C P i の上端位置を揃えるようにしてもよい。このとき、同様の湾曲形状を有する接合対象物との接合を行うことによって、対向する接合部分同士の隙間の大きさを、（水平方向に配列された）複数の接合部分に関して揃えることができる。また、平面部材 P L はこれから接合する被接合物（他の被接合物）でも良い。接合部同志をアライメントした状態で融点以下の固相である状態でレベリングすることで、対向する接合部分同士を非常に良好に接合することができる。この場合、融点以下でレベリングし、樹脂を硬化させた後、続けて接合温度に上昇させて接合することで容易に信頼性の高い接合が可能となる。また、レベリング時の微小な位置ずれを再度アライメント後接合

することで位置精度も上がるため好ましい。

[0166] 8インチウエハサイズで考慮すると、チップでのばらつきが数 $\mu\text{m}$ 程度であるのに対し、8インチウエハサイズのステージの250℃程度での熱膨張によるばらつき（平坦度）は数10 $\mu\text{m}$ レベルになる。固相での接合であればステージのうねりは圧力差として現れ接合不良とまではならない場合も多いが、特にハンダ接合のような液相での接合の場合は、ステージの平坦度はそのまま接合される高さの差となって現れてしまい、高さが小さくなる部分ではバンプの潰れが生じ隣接バンプ相互間のショートが発生することがある。そのため、従来方式ではウエハレベルでのハンダ接合は難しかった。本方式によればハンダ融点前近傍温度でハンダが固相である状態でレベリングすることでハンダ接合温度においてもステージのうねりを吸収してハンダ熔融接合を行うことが可能である。レベリング処理はWOWボンディング装置50によって行われることが好ましいが、その熱膨張状態が（WOWボンディング装置50の熱膨張状態と）類似する同様の構成の別装置（レベリング専用装置等）を用いてレベリング処理が行われるようにしてもよい。

[0167] <8. 変形例等>

また、この発明は上述の内容に限定されるものではなく、様々な改変が可能である。

[0168] <8-1. 樹脂層>

たとえば、上記実施形態等においては、樹脂層RSが熱可塑性樹脂で形成される場合を例示したが、これに限定されず、樹脂層RSが光硬化性樹脂（紫外線硬化樹脂等）で形成されるようにしてもよい。

[0169] 樹脂層RSが光硬化性樹脂（紫外線硬化樹脂等）で構成される場合には、ステップS12、S22においては、光照射（紫外線照射等）によって樹脂を硬化ないし半硬化することによって、各チップを仮基板WTiに仮固定するようにすればよい。また、ステップS14、S24においては、後述するようなレーザアブレーション技術を用いて、各チップを仮基板WTiから分離するようにしてもよい。

[0170] また、樹脂層RSが光硬化性樹脂（紫外線硬化樹脂等）で構成される場合には、ステップS12、S22において、次のようにしてチップ毎にレベリング処理が行われるようにしてもよい。

[0171] チップ載置の直前時点においては、未だ樹脂層RS<sub>i</sub>には光（紫外線）が照射されておらず、樹脂層RS<sub>i</sub>は半硬化状態を有しているものとする。

[0172] 図15に示すように、第i層の各チップCP<sub>i</sub>をフェイスアップ状態で保持したヘッド部33Hが下降して、各チップCP<sub>i</sub>を樹脂層RS<sub>i</sub>上に載置する。このとき、ヘッド部33Hの先端部が所定の位置Z<sub>0</sub>にまで下降するように、ヘッド部33HのZ方向位置が調整される。上述したように、この位置（各チップCP<sub>i</sub>の上端位置）Z<sub>0</sub>は、複数のチップCP<sub>i</sub>相互間で共通の（同一の）位置である。

[0173] そして、半硬化状態の樹脂層RS<sub>i</sub>における載置直後のチップCP<sub>i</sub>の載置領域RGに絞って光（紫外線）を照射することによって樹脂層RS<sub>i</sub>のうち当該載置領域（一部領域）RGが硬化される。これによって、チップCP<sub>i</sub>が樹脂層RS<sub>i</sub>に仮固定される。

[0174] 同様の動作が複数のチップCP<sub>i</sub>について繰り返し実行される。詳細には、複数のチップCP<sub>i</sub>のそれぞれの上端位置が揃えられて樹脂層RS<sub>i</sub>に載置される毎に、半硬化状態の樹脂層RS<sub>i</sub>における各チップの載置領域に絞って光（紫外線）を部分照射することによって、樹脂層RS<sub>i</sub>のうち当該載置領域（一部領域）が硬化される。これにより、第i層の複数のチップCP<sub>i</sub>の上端位置の高さが互いに揃えられた状態で、各チップCP<sub>i</sub>が樹脂層RS<sub>i</sub>に仮固定される。

[0175] また、樹脂層RSは、熱硬化性樹脂で形成されてもよい。

[0176] 樹脂層RSが熱硬化性樹脂で構成される場合には、ステップS12、S22においては、未硬化の樹脂を加熱して硬化することによって、各チップを仮基板WT<sub>i</sub>に仮固定するようにすればよい。また、ステップS14、S24においては、レーザアブレーション技術（レーザ光を照射して樹脂層に気泡を発生させる技術）を用いて、各チップを仮基板WT<sub>i</sub>から分離するよう

にしてもよい。

[0177] また、単に接着強度（接着剤としての熱硬化樹脂の接着強度）をコントロールすることで、接合時に耐えるだけの強度は確保し、かつ、接合後に剥離できる中間の強度を持たせるようにしてもよい。

[0178] なお、ステップS 1 2, S 2 2においては、次のようにしてチップ毎にレベリング処理が行われるようにしてもよい。具体的には、まず、各チップの上端位置が鉛直方向において所定の位置Z 0に配置される。その後、ヘッド部3 3 Hの先端部が所定温度に加熱され、各チップを経由して樹脂層RS iが加熱されることによって樹脂層RS iが硬化され、各チップが樹脂層RS iに仮固定されればよい。

[0179] <8-2. デボンド処理>

また、上記実施形態等においては、ステップS 2 4 (S 1 4) のデボンド処理として、樹脂層RSを温度T 4に加熱して溶融させ、仮基板WT iをチップCPから剥離する技術を例示したがこれに限定されない。

[0180] たとえば、熱可塑性樹脂で形成された樹脂層RSに対して紫外線を照射することによって、樹脂層RSの内部構造を変化させ、その後、温度T 5（例えば1 6 0℃程度）（上述の温度T 4よりも低い温度）（ $T 5 < T 4$ ）による低温加熱で、仮基板WT iをチップCPから剥離するようにしてもよい。なお、紫外線は、ガラスで形成された仮基板（ガラス基板）WT iを透過させて樹脂層に照射されればよい。

[0181] より詳細には、まず、ステップS 1 1 (, S 2 1) において、仮基板WT i上に熱可塑性接着材をコーティングして、1 8 0℃程度でプリベークして溶剤成分を揮発させて仮基板WT i上に硬化した樹脂層RS iを形成する。

[0182] その後、ステップS 1 2 (, S 2 2) において、ヘッド部3 3 Hおよび／またはステージ3 1を低温加熱して、その表面が粘着性を有する樹脂層RS iに第i層の複数のチップCP iを載置する。さらに、温度T 1 2（例えば2 0 0℃）で1 0分間程度にわたり樹脂層RS iを加熱して、樹脂層RS iを半硬化状態に遷移させた後、平面部材PLを利用してレベリング処理を実

行する。その後、樹脂層RS<sub>i</sub>を冷却して、各チップCP<sub>i</sub>を仮基板WT<sub>i</sub>に仮固定する。なお、この改変例では、各チップCP<sub>i</sub>には、高温ハンダ（例えば融点280℃）によるハンダバンプが設けられることが好ましい。200℃10分の加熱反応により樹脂は変質し、ハンダ接合時の300℃の加熱においても緩むことなく耐えられるようになる。

[0183] つぎに、ステップS13（、S23）において、WOWボンディング装置50の上ステージ53および／または下ステージ51を加熱して、各チップCP<sub>i</sub>のハンダバンプを溶融させて、第i層の各チップCP<sub>i</sub>を基板WAに（あるいは第（i-1）層の各チップCP（i-1）に）接合する。

[0184] そして、ステップS14（、S24）において、樹脂層RS<sub>i</sub>が比較的低温T<sub>5</sub>に加熱された後、紫外線が仮基板（ガラス基板）WT<sub>i</sub>を透過して樹脂層RS<sub>i</sub>に照射される。紫外線照射により樹脂層RS<sub>i</sub>の内部構造が変化し、樹脂層RS<sub>i</sub>が各チップCP<sub>i</sub>から例えば160℃程度の低温加熱により容易に剥離される。

[0185] 以上のようなデボン処理が行われるようにしてもよい。

[0186] あるいは、樹脂層RSを紫外線硬化性樹脂（UV硬化樹脂）で形成する場合においては、紫外線照射によって硬化された樹脂層に、レーザ光を照射して当該樹脂層に気泡を発生させる技術（いわゆるレーザアブレーション技術）によって、仮基板WT<sub>i</sub>をチップCPから剥離するようにしてもよい。なお、レーザ光は、紫外線と同様に、ガラスで形成された仮基板（ガラス基板）WT<sub>i</sub>を透過させて樹脂層に照射されればよい。

[0187] <8-3. WOWボンディング装置50による接合時の加熱処理>

上記実施形態等においては、ステップS13、S23において、下ステージ51側のヒータにより基板WAが加熱され且つ上ステージ53側のヒータにより仮基板WT<sub>i</sub>が加熱されることによって、各チップCP<sub>i</sub>のハンダバンプBUが溶融され、基板WA上に複数のチップCP<sub>i</sub>が接合される場合が例示されているが、これに限定されない。

[0188] たとえば、WOWボンディング装置50等において、基板WAを保持する

部材（下ステージ51）を加熱することなく、チップを保持する部材（上ステージ53）のみを加熱することによって、鉛直方向に積層された複数層のチップのうち、比較的下側の層のチップCP（ $i-1$ ）の温度上昇を抑制するようにしてもよい。これによれば、既に接合された比較的下層の各チップCP（ $i-1$ ）のハンダバンプの再溶融が防止される。ひいては、一旦完了した各層のチップの接合が更に上側の層のチップの接合時の加熱で外れてしまうことを、より確実に防止することが可能である。

[0189] また、上記実施形態等においては、各層のチップCP $i$ のハンダとして、同一の材料のものが用いられる場合が例示されているが、これに限定されない。たとえば、比較的上側の層のチップCP $i$ のハンダとして、比較的低い融点のものを利用するようにしてもよい。たとえば、第2層のチップCP2のハンダバンプとして、第1層のチップCP1のハンダバンプの融点よりも低い融点を有するものを利用するようにしてもよい。これによれば、既に接合された比較的下層の各チップCP（ $i-1$ ）のハンダバンプの再溶融等が防止される。あるいは、一旦加熱溶融され合金化された後の再加熱時には（合金化前の加熱時よりも）その溶融温度が上昇するようなハンダ材料が用いられるようにしてもよい。

[0190] <8-4. デボンド処理後のアンダーフィル工程>

また、上記実施形態等においては、ステップS14の後にそのままステップS21が実行される場合が例示されているが、これに限定されない。たとえば、第1層に関するステップS14と第2層に関するステップS21との間（あるいは、第 $i$ 層に関するステップS24とその次の第（ $i+1$ ）層に関するステップS21との間）にアンダーフィル工程が設けられるようにしてもよい。すなわち、デボンド処理後にアンダーフィル工程を設けるようにしてもよい。

[0191] このアンダーフィル工程では、アンダーフィル樹脂RUとして非導電性樹脂（NCP：Non conductive Paste）がディスペンサーによって基板WAとチップCP1の下面との間の隙間（あるいは下側チップCP（ $i-1$ ）の上

面と上側チップC P i の下面との間の隙間）に充填される（図30参照）。充填されたアンダーフィル樹脂R Uは、加熱等によって硬化される。これによれば、一旦完了した各層のチップの接合が更に上側の層のチップの接合時の加熱で外れてしまうことを、より確実に防止することが可能である。

[0192] また、ステップS 1 4とステップS 2 1との間（上記のアンダーフィル工程が設けられる場合には当該アンダーフィル工程の前など）に、残渣の洗浄工程を付加するようにしてもよい。当該洗浄工程は、例えば、ハンダ接合時にフラックスを併用する際に生じ得る残渣やデボンド後の樹脂の残渣を洗浄することにも有効である。

[0193] <8-5. 可視光による位置調整>

また、上記実施形態等においては、赤外光を用いて位置認識用の画像が取得される場合が例示されているが、これに限定されない。たとえば、可視光を用いて位置認識用の画像が取得されるようにしてもよい。

[0194] 具体的には、図31に示すように、可視光を透過する透光性のガラス基板が仮基板W T iとして用いられるとともに、各マークM C 1（M C 1 a, M C 1 b）が、フェイスアップ状態の各チップC P iの仮基板W T i側の面F Tに設けられる。そして、当該ガラス基板W T iと可視光を透過する透光性の樹脂層R S iとを透過して得られるマークM C 1, M C 2に関する光像を同時に撮影した画像が位置認識用画像として取得されるようにすればよい。

[0195] 同様に、図32に示すように、（基板W A側ではなく）仮基板W T i側に撮像部5 5 a, 5 5 bを配置し、ガラス基板W T iおよび樹脂層R S iを透過して得られるマークM W 1, M W 2に関する光像を同時に撮影した画像が位置認識用画像として取得されるようにしてもよい。

[0196] なお、樹脂層R S iとしては、赤外光と可視光との双方を透過する透光性を有するものが採用されればよい。

[0197] <8-6. ハンダ接合における改変例>

また、上記実施形態等におけるハンダ接合（ステップS 1 3, S 2 3）は、次のようにして実現されるようにしてもよい。なお、ここでは、上記実施

形態と同様に、各チップCPには貫通電極（例えば銅（Cu）などで構成される）VAが設けられ、且つ、当該貫通電極VAの表面にハンダバンプBUが設けられる場合を想定する（図33参照）。また、ここでは、ハンダバンプBUが貫通電極VAの上側表面にのみ設けられる場合を例示するが、これに限定されず、ハンダバンプBUが貫通電極VAの下側表面にも（すなわち上下両側に）設けられるようにしてもよい。あるいは、ハンダバンプBUが貫通電極VAの下側表面にのみ設けられるようにしてもよい。

[0198] この改変例では、WOWボンディング装置50を用いた接合動作は、窒素雰囲気中において、ハンダ接合時の温度プロファイル（図35参照）の管理を伴って実行される場合を例示する。ハンダ接合時の温度変化（温度の経時変化）を管理することによれば、ハンダの酸化を防止しつつ更に良好なハンダ接合を実現することが可能である。

[0199] より詳細には、ステップS23において、各基板WTiが真空チャンバ59内に搬送されると、真空チャンバ59の内部空間が減圧され真空状態にされた後に真空チャンバ59内部に窒素が供給される。

[0200] その後、上述のように、両基板WA、WTiは、その接合面が互いに対向する状態で保持され、位置決め動作等が実行される。

[0201] そして、互いに対向する仮基板WT2と基板WAとが相対的に接近され、第i層の複数のチップC Pi（詳細には、そのハンダバンプBU）と基板WA上の第(i-1)層の複数のチップC P(i-1)（詳細には、その電極部分（貫通電極VA））とが相対的に接近し、その後接触して加圧され、接合動作（ハンダ接合動作）が開始される（図34参照）。

[0202] この改変例では、上述したように、接合動作は、ハンダ接合時の温度プロファイルの管理を伴って実行される（図35参照）。具体的には、まず、上ステージ53側のヒータおよび／または下ステージ51側のヒータを用いて各基板等が加熱され、昇温期間TMa（たとえば20分）において温度が温度TE1（たとえば室温）から所定の温度TE2（例えば280℃）にまで上昇される。そして、定温期間TMb（たとえば10分）が経過した後に、

降温期間  $T_{Mc}$ （たとえば40分）において温度が温度  $T_{E2}$  から温度  $T_{E1}$  にまで下降される。

[0203] このように、ステップ  $S_{23}$  においては、基板  $WA$  に対する第  $i$  層の複数のチップ  $CP_i$  の接合がハンダ接合処理を伴って行われる（詳細には、基板  $WA$  上の第  $(i-1)$  層の複数のチップ  $CP_{(i-1)}$  と第  $i$  層の複数のチップ  $CP_i$  との少なくとも一方の接合面に設けられたハンダを用いたハンダ接合処理が行われる）とともに、当該ハンダ接合処理が所定の温度プロファイルで実行される。このような温度プロファイルにおいては、相応の時間（ここでは合計70分）を要する。

[0204] なお、ここでは、ステップ  $S_{23}$  について主に説明したが、ステップ  $S_{13}$  に関しても同様である。

[0205] このような改変例によれば、温度プロファイルを制御したハンダ接合動作が行われるので、非常に良好なハンダ接合を得ることが可能である。

[0206] また、特に、上述のように、チップごとではなく基板単位で集積されたチップの集合体を纏めて接合するため、時間の増大を抑制することができる。

[0207] たとえば、5000個のチップの加工時にチップ1個につき更に70分のプロセスをそれぞれ利用すると仮定すれば、約5800時間をさらに要する。一方、5000個のチップに対して纏めて同様の処理を施すことによれば、増大時間は全体で70分で済む。なお、その場合、当該70分の温度プロファイル管理時間に関するチップ1個あたりの所要時間は、1秒弱程度（ $=70 \times 60 / 5000$ ）である、とも表現される。

[0208] したがって、高い信頼性のハンダ接合を得つつ、高い生産性をも得ることが可能である。

[0209] また、この改変例においては、たとえば、COWボンディング装置30によるCOW工程では、チップ1個につき1s（秒）の載置時間で5000個のチップを載せると5000秒を要し、WOWボンディング装置50によるWOW工程では、1時間強（ここでは70分+ $\alpha$ ）の時間をかけて温度プロファイル（昇温プロセスおよび降温プロセス等）を管理して一括接合が行わ

れる。したがって、COWボンディング装置30での処理時間とWOWボンディング装置50での処理時間とが近い値（理想的には同一）になり、両工程間（COW工程とWOW工程との間）での良好なバランス（すなわち、良好なラインバランス）を実現することができ、より信頼性が高い接合が1秒／チップという生産性の高いところで可能となる。

[0210] また、ここでは、窒素雰囲気中でハンダ接合が実行される場合が例示されているが、これに限定されない。たとえば、アルゴン（Ar）ガス雰囲気などの他の非酸化雰囲気中でハンダ接合等が実行されるようにしてもよい。あるいは、窒素供給を行わずに真空引きのみを行って（すなわち、真空中で）ハンダ接合動作が実行されるようにしてもよい。あるいは、還元雰囲気中でハンダ接合動作が実行されるようにしてもよい。詳細には、WOWボンディング装置50は、真空チャンバ59に関する真空引きを行った後に、真空チャンバ59に水素ガス（および／またはギ酸ガス等）を供給して還元雰囲気を形成し、還元雰囲気中でハンダ接合動作を実行するようにしてもよい。

[0211] また、ここでは、貫通電極VA上に直接ハンダバンプBUが設けられている場合が例示されているが、これに限定されない。たとえば、貫通電極VA上に形成された銅ポスト（銅製の柱）の上にハンダバンプBUが設けられるようにしてもよい。

[0212] <8-7. 表面活性化処理（ビーム照射等）>

上記実施形態等においては、ハンダ接合を例示したが、これに限定されず、その他の接合にも本発明を適用することが可能である。たとえば、ハンダ（ハンダバンプ）を介さずに、電極材料（例えば銅（Cu））同士を直接的に接合（直接接合）する場合にも本発明を適用することもできる。ここでは、各チップCPには貫通電極（例えば銅（Cu）などで構成される）VAが設けられ、当該貫通電極VAの表面に銅（Cu）ポストPSがさらに突出して設けられる場合を例示する（図36参照）。

[0213] また、特に、電極材料（例えば銅（Cu））同士の直接接合時においては、次述するように、電極材料の接合面（接合表面）に対して表面活性化処理

を施した後に、当該電極材料同士を接合（固相接合）することが好ましい。換言すれば、基板WAに対する第 $i$ 層の複数のチップCP $i$ の接合時における接合面に設けられた電極材料に対して表面活性化処理を施すことが好ましい。以下では、このような改変例について説明する。

[0214] なお、従来は配線としての銅ポストの上に設けられたバンプ（ハンダバンプ）によって層間の接合が行われることが一般的に考えられているが、ここで例示するように、表面活性化処理を施すことによれば、バンプを用いずに銅ポスト同士を直接的に接合して層間接合を実現することも可能である。すなわち、電極同士の直接接合による層間接合を行うことも可能である。なお、ハンダバンプおよび銅ポストは、突起電極として総称される。

[0215] この改変例においては、WOWボンディング装置50は、減圧下のチャンバ（真空チャンバ）内で、基板WA上に載置された各チップ（電子部品）の接合表面と仮基板WT $i$ 上に載置された各チップ（電子部品）の接合表面とを原子ビーム等で活性化させ、両接合表面を互いに接合することが可能である。このような構成により、両接合表面に対して表面活性化処理を施し、当該両被接合表面を固相接合することが可能である。

[0216] 具体的には、改変例に係るWOWボンディング装置50は、ビーム照射部BM（不図示）等をさらに備える。そして、接合処理（ステップS13, S23）において、ビーム照射部BM等を用いて次のような動作が実行される。以下では、ステップS23について主に説明するが、ステップS13についても同様である。

[0217] この改変例では、ステップS23において、基板WT $i$ が搬入された後に、WOWボンディング装置50の真空チャンバ59の内部空間にて真空状態が形成される。

[0218] その後、ビーム照射部BM等を用いて、各チップの電極材料の表面に対して特定物質（ここではアルゴン（Ar））の原子ビームが照射され、アルゴンボンバードメント処理（表面活性化処理）が実行される（図43参照）。なお、真空引き処理およびアルゴンボンバードメント処理には、それぞれ、

相応の時間（たとえば、30分および5分）を要する。

[0219] ここで、図43に示すように、ビーム照射部BMは、イオン化された特定物質（アルゴン等）を電界で加速し被接合物（電極材料である銅（Cu）等）の接合表面に向けて当該特定物質を放出することにより、被接合物の接合表面を活性化する。換言すれば、ビーム照射部BMは、エネルギー波を照射（放出）することによって被接合物の接合表面を活性化する、表面活性化処理を実行する。

[0220] 図43に示すように、この表面活性化処理においては、特定物質（アルゴン等）を被接合物の接合表面（ここではCuの接合表面）に衝突させることによって、接合表面の付着物99が除去され、被接合物の表面原子の未結合手であるダングリングボンド（図43では短い線分で示す）が露出した状態が形成される。このような表面活性化処理が2つのチップ（被接合物）CP<sub>i</sub>、CP<sub>(i-1)</sub>の少なくとも一方（ここでは双方）の接合表面に施されることにより、ダングリングボンドが2つのチップCP<sub>i</sub>、CP<sub>(i-1)</sub>の接合表面に多数形成される。その後、これらの被接合物の接合表面を互いに接触させることによって、ダングリングボンド同士を接合させる。これにより、2つの被接合物が原子レベルで接合される。これによれば、非常に強固な接合状態を実現することができる。

[0221] 詳細には、電極材料（ここではCu）等の接合表面、たとえば、第i層のチップCP<sub>i</sub>の銅ポストPSの接合表面と第(i-1)層のチップCP<sub>(i-1)</sub>の貫通電極VA（ここでは銅製）の接合表面とに対して特定物質（ここではアルゴン（Ar））の原子ビームが照射され、表面活性化処理が実行される。

[0222] その後、上述のように、両基板WA、WT<sub>i</sub>に関する位置決め動作および接合動作等が実行される（図40参照）。

[0223] さらに、接合動作時においては、両基板WA、WT<sub>i</sub>が加圧された状態で加熱処理も施される。たとえば、150℃程度にまで昇温する加熱処理が実行される。なお、この加熱処理にも、相応の時間（たとえば、30分）を要

する。

[0224] このように、ステップS 2 3においては、第 ( $i - 1$ ) 層の複数のチップ CP ( $i - 1$ ) と第  $i$  層の複数のチップ CP  $i$  との少なくとも一方（ここでは双方）の接合面に設けられた電極材料（詳細にはその接合表面）に対して、表面活性化処理が施される。その後、基板WAに配置された第 ( $i - 1$ ) 層の複数のチップ CP ( $i - 1$ ) と基板WT  $i$  に配置された第  $i$  層の複数のチップ CP  $i$  とを対向させた状態で基板WAと基板TW  $i$  とが相対的に接近する。そして、第 ( $i - 1$ ) 層の複数のチップ CP ( $i - 1$ ) と第  $i$  層の複数のチップ CP  $i$  とが相対的に接近され、第 ( $i - 1$ ) 層の複数のチップ CP ( $i - 1$ ) と第  $i$  層の複数のチップ CP  $i$  とがそれぞれ接合される。

[0225] このような表面活性化処理を伴う接合処理によれば、非常に良好な接合を得ることが可能である。詳細には、表面活性化処理を施すことによれば、比較的低温での接合が実現できる。より詳細には、真空中においては、室温（25℃）程度～150℃程度、での接合が可能であり、窒素雰囲気では、200℃程度～250℃程度での比較的低温での接合が可能である。なお、表面活性化処理を伴わない場合には、比較的高温（たとえば、銅同士の接合では400℃程度、ハンダ同士の接合では300℃程度）にまで加熱することを要する。これに対して、表面活性化処理を伴うことによれば、比較的低温での接合が実現できるので、熱膨張を抑制して高精度の接合を実現することが可能である。さらに、異種材料間での接合が行われる場合には、比較的低温での接合を実現することにより、両材料（異種材料）間での熱膨張係数の相違に起因する熱膨張量の相違を抑制することも可能である。

[0226] また、特に、上述のように、チップごとではなく基板単位で集積されたチップの集合体を纏めて接合するため、時間の増大を抑制することができる。

[0227] たとえば、5000個のチップの加工時にチップ1個につき、更に65分（30分+5分+30分）の表面活性化処理等のプロセスをそれぞれ利用すると仮定すれば、約5400時間をさらに要する。一方、5000個のチップに対して纏めて同様の処理を施すことによれば、増大時間は全体で65分

で済む。なお、その場合、当該1時間の表面活性化処理等に関するチップ1個あたりの所要時間は、0.8秒程度（ $= 65 * 60 / 5000$ ）である、とも表現される。

[0228] したがって、表面活性化処理によって非常に良好な電極材料同士の直接接合を得つつ、高い生産性をも得ることが可能である。換言すれば、電子部品実装処理（チップ接合処理）に関して、高い信頼性を得つつ処理時間の増大を抑制することが可能である。

[0229] なお、ここでは、真空中において150℃程度にまで昇温する加熱処理が実行される場合が例示されているが、加熱処理を行わないようにしてもよい。

[0230] また、ここでは、真空中において表面活性化処理が実行される場合が例示されているが、これに限定されず、窒素雰囲気中で表面活性化処理が実行されるようにしてもよい。この場合には、接合後の加熱工程において、200℃～250℃程度にまで昇温して加熱することが好ましい。

[0231] また、ここでは、銅ポストPSが貫通電極VAの上側表面にのみ設けられる場合が例示されているが、これに限定されず、銅ポストPSが貫通電極VAの下側表面にも（すなわち上下両側に）設けられるようにしてもよい（図38参照）。このような場合において、上述のような処理を繰り返すことによれば、図41に示すような多層化チップ（図41では5層チップ）を得ることが可能である。

[0232] あるいは、銅ポストPSが貫通電極VAの下側表面にのみ設けられるようにしてもよい（図37参照）。

[0233] さらに、銅ポストPSが設けられることなく、貫通電極VA同士が直接接合されるようにしてもよい（図39参照）。なお、この場合には、電極部分（貫通電極VA）に対してのみならずさらにシリコン（Si）部分に対しても、表面活性化処理が接合前に施されることが好ましい。これによれば、電極部分同士のみならずシリコン部分同士も良好に接合され得る。そして、上述のような処理を繰り返すことによれば、図42に示すような多層化チッ

プ（図42では5層チップ）を得ることが可能である。図42では、上下に隣接する隣接チップ層の電極部分同士のみならず当該隣接チップ層のシリコン（Si）部分同士も良好に接合された多層チップが生成されている。また、電極部分のみならずシリコン部分でも接合されているので、隣接チップ間の接合強度を向上させることが可能である。

[0234] また、ここでは、表面活性化処理としてビーム照射処理を例示すると共に、当該ビーム照射処理として原子ビーム照射処理を例示している。ただし、本発明はこれに限定されない。

[0235] 具体的には、ビーム照射処理としては、イオンビーム照射処理等が採用されてもよい。

ここで、原子ビーム照射処理においては、イオン化された特定物質（アルゴン等）が電界で加速された後に、ビーム照射部内で供給された電荷と直ちに結合して、その電気特性が中和される。そして、電氣的に中和された特定物質が高速で被接合物へと向かう。

[0236] 一方、イオンビーム照射においては、イオン化された特定物質（アルゴン等）が電界で加速された後にイオン化されたまま放出される。そして、当該特定物質はイオン状態のまま被接合物へと向かう。なお、イオン状態のアルゴン等は、被接合物の表面に到達するまでに電荷と結合して電氣的に中和される。

[0237] このように、イオンビームと原子ビームとでは、その電氣的中和のタイミングが異なっているが、イオン化された特定物質（アルゴン等）が電界で加速される点で共通する。そして、加速された特定物質が高速で接合表面に衝突することによって、図43に示すような表面活性化処理が実行される点でも共通する。

[0238] また、上記においては、特定物質としてアルゴンが主に例示されているが、これに限定されない。たとえば、その他の不活性ガス（クリプトン（Kr）あるいはキセノン（Xe）等）が、エネルギー波の照射における特定物質として用いられても良い。

[0239] また、上記においては、基板WAにも貫通電極VAが設けられる場合が例示されている。この場合、基板WT1上の各チップの貫通電極VAと基板WA上の対応する貫通電極VAとの接合も、上記と同様にして表面活性化処理を伴って行われることが好ましい。なお、基板WAには貫通電極ではない電極（パッド等）が設けられても良い（図55参照）。その場合、基板WT1上の各チップの貫通電極VAと基板WA上の対応する電極（パッド等）との接合も、上記と同様にして表面活性化処理を伴って行われることが好ましい。

[0240] <8-8. 表面活性化処理（親水化処理等）>

また、上記においては、ビーム照射（アルゴンボンバードメント等）による表面活性化処理を伴って接合処理が行われる場合を例示したが、これに限定されない。たとえば、親水化処理による表面活性化処理を伴って接合処理が行われる場合にも本発明を適用することができる。以下では、このような改変例について説明する。

[0241] なお、ここでは、各チップCPの貫通電極に銅ポストPSが設けられることなく、上下層のチップの貫通電極VA同士が直接接合される場合を例示する。ただし、本発明は、これに限定されない。たとえば、銅ポストPSが貫通電極VAの上側表面と下側表面との少なくとも一方に設けられる場合に本発明を適用するようにしてもよい。

[0242] この改変例においては、WOWボンディング装置50は、減圧下のチャンバ（真空チャンバ）内で、基板WA上に載置された各チップ（電子部品）の接合表面と仮基板WTi上に載置された各チップ（電子部品）の接合表面とにプラズマ処理を施して、各接合表面を活性化させ、両接合表面を互いに接合する。

[0243] 具体的には、改変例に係るWOWボンディング装置50は、プラズマ処理部PM（不図示）等をさらに備える。そして、接合処理（ステップS13，S23）において、プラズマ処理部PM等を用いて次のような動作が実行される。以下では、ステップS23について主に説明するが、ステップS13

についても同様である。

[0244] ステップS 2 3において、基板W T i が搬入された後に、W O Wボンディング装置5 0の真空チャンバ5 9の内部空間にて真空状態が形成される。

[0245] その後、プラズマ処理部P M等を用いて、各チップの表面（貫通電極の露出表面部分とシリコン部分との双方）に対して酸素プラズマが照射され、親水化处理（表面活性化処理）が実行される。親水化处理においては、水分が含まれる環境に暴露されることでO H基が生成される。単にプラズマ処理後の低真空下に暴露されるだけでも、雰囲気内に含まれる水分でO H基を生成することも可能ではある。なお、ここでは、酸素プラズマ処理が例示されているが、他のプラズマ処理（例えば窒素プラズマ処理等）が行われるようにしてもよい。

[0246] その後、上述のように、両基板W A, W T i に関する位置決め動作および接合動作等が実行される。

[0247] さらに、接合動作時においては、両基板W A, W T i が加圧された状態で加熱処理が施される。たとえば、1 5 0℃程度にまで昇温する加熱処理が実行される。なお、この加熱処理には、相応の時間（たとえば、1 時間）を要する。

[0248] 図4 4～図4 6は、プラズマによる表面活性化処理（親水化处理）を伴う接合原理について説明する図である。ここにおいて、プラズマによる「表面活性化処理」は、プラズマ中の活性なイオン等によって被接合物の接合面の表面層を化学反応処理し、被接合物の接合面を活性化状態にして被接合物どうしが接合しやすくする処理、を含むものである。

[0249] 図4 4に示すように、酸素プラズマによる親水化处理（表面活性化処理）により、S i 表面およびC u 表面にO H基（水酸基）がそれぞれ付着される。詳細には、酸素プラズマ中の酸素イオン等を接合表面に向かって比較的強い衝突力で衝突させることにより、接合表面に付着していた酸素イオンと入れ替わってO H基が接合表面に付着しやすい状態に当該接合表面の状態を変化させる。この状態で、雰囲気中の水分（H<sub>2</sub>O）、あるいは真空チャンバ5

9内に追加供給された水ガスに含まれる水分に基づくOH基が、接合表面に付着し、親水化処理が行われる。

[0250] 次に、図45に示すように、両被接合物（チップCP<sub>i</sub>およびチップCP（*i*−1））を接触させ、水素結合により仮接合する。

[0251] その後、図46に示すように、加熱によりH<sub>2</sub>O（水）を放出させる。これにより、Si−O−Si、およびCu−O−Cuの強固な結合が得られる。

[0252] このように、ステップS23においては、第（*i*−1）層の複数のチップCP（*i*−1）の接合表面と第*i*層の複数のチップCP<sub>i</sub>の接合表面とに対して、酸素プラズマを用いた表面活性化処理（親水化処理）が施される。その後、基板WAに配置された第（*i*−1）層の複数のチップCP（*i*−1）と基板WT<sub>i</sub>に配置された第*i*層の複数のチップCP<sub>i</sub>とを対向させた状態で基板WAと基板TW<sub>i</sub>とが相対的に接近する。そして、第（*i*−1）層の複数のチップCP（*i*−1）と第*i*層の複数のチップCP<sub>i</sub>とが相対的に接近され、第（*i*−1）層の複数のチップCP（*i*−1）と第*i*層の複数のチップCP<sub>i</sub>とがそれぞれ接合される。

[0253] このような親水化処理（表面活性化処理）を伴う接合処理によれば、非常に良好な接合を得ることが可能である。

[0254] また、特に、上述のように、チップごとではなく基板単位で集積されたチップの集合体を纏めて接合するため、時間の増大を抑制することができる。

[0255] したがって、表面活性化処理（親水化処理）によって非常に良好な電極材料同士の直接接合を得つつ、高い生産性をも得ることが可能である。換言すれば、電子部品実装処理（チップ接合処理）に関して、高い信頼性を得つつ処理時間の増大を抑制することが可能である。

[0256] なお、ここでは、親水化処理を伴う表面活性化処理がプラズマを利用して施される場合（ドライプロセスによる親水化処理（表面活性化処理））が例示されているが、これに限定されない。プラズマを利用せずにウェットプロセスによる親水化処理（表面活性化処理）が施されるようにしてもよい。たとえば、フッ化水素（フッ酸）（HF）溶液に基板WA、WT<sub>i</sub>を浸漬した

後に、純水で洗浄して親水化処理を施すようにしてもよい。

[0257] また、プラズマ照射による表面活性化処理は、エネルギー波照射による表面活性化処理であるとも表現される。

[0258] < 8 - 9. 良品チップおよび接合状態検査 >

また、上記において、チップ供給装置 10 から COW ボンディング装置 30 へと供給される各チップ CP は、良品であることが予め確認されることが好ましい。具体的には、チップ供給装置 10 において複数のチップ CP のそれぞれについて良品チップであるか不良品チップであるかが判定され（良否判定がなされ）、良品であると判定されたチップ（すなわち良品チップ）のみが COW ボンディング装置 30 へと供給されることが好ましい。

[0259] ところで、良品チップのみを用いて COW ボンディングを実行するとしても、各層の接合時における接合不良の発生等に起因して、多層チップの良品率が非常に小さくなることがある。たとえば、仮に、各層の接合不良率が 20%（換言すれば、接合良品率が 80%）であるとする、3 層積層チップの合格率（良品率）は、約 50%（ $= 0.8 * 0.8 * 0.8$ ）にまで低減されてしまう。このような積層動作は非効率的である。これは、従来の WOW プロセスの課題であった。

[0260] そこで、次述するように、各層ごとに複数のチップ CP を配置し且つそれぞれの位置で多層に積層するにあたっては、各層の複数のチップ CP の配置が完了するごとに、上下チップ相互間の接合状態検査（上下層間の導通状態に関する良否検査）を実行し、その検査結果に基づいて、次の層の配置場所を調整することが好ましい。

[0261] 具体的には、基板 WA 上の第 i 層の複数のチップ CP i が平面的に配置された後に、基板 WA 上に配置された状態での第 i 層の複数のチップ CP i のそれぞれに関する接合状態検査（上下層間の電気的な接続状態の検査（導通検査）等）が実行される。この接合状態検査は、第 1 層から第 i 層までの接合状態（あるいは、基板 WA と第 1 層との接合状態を含めて基板 WA から第 i 層までの接合状態）を検査することにより行われることが好ましい。なお

、接合状態検査は、プローブを各対象電極に当接させて、各対象電極間での導通を検査することなどによって行われればよい。

[0262] そして、第  $i$  層の次の第  $(i + 1)$  層の複数のチップ  $CP(i + 1)$  の平面配置時においては、第  $i$  層の複数のチップ  $CP i$  のそれぞれに関する接合状態検査にて不良であると判定されたチップ（接合不良チップ）に対応する位置が配置対象位置から除外される。また、第  $(i - 1)$  層までの接合状態検査で検出された不良チップ位置も配置対象位置から除外される。これにより、第  $(i + 1)$  層の複数のチップは、第  $i$  層までの接合不良チップに対応する位置を除外して、平面的に配置される。なお、第  $i$  層の次の第  $(i + 1)$  層は、値  $i$  をインクリメントした後の新たな第  $i$  層であるとも表現される。

[0263] これによれば、接続良好であると判定されるチップ（接続良好チップ）上にのみ、次の層の新たなチップが重ねて配置（積層配置）される。そのため、COWボンディング装置30において、効率的なチップの配置動作（積層動作）を実現することができる。たとえば、接合不良チップ上に新たなチップを配置しなくても済むため、無用なチップ配置動作を行わずに済む。また、接合不良チップ位置に新たなチップ（特に良品チップ）を配置することにより生じるチップの無駄も排除できる。

[0264] また、基板WAに貫通電極等が存在する場合には、基板WAの上側と下側との間での導通を検査して、同様の動作が実行されるようにしてもよい。

[0265] 以下では、このような改変例について、図47～図51を参照しながら説明する。以下では、上記実施形態との相違点を中心に説明する。なお、図48～図51においては、それぞれ、各チップと基板WAとの対応位置関係を示すため、仮基板WT  $i$  の各チップが上下反転されて基板WA上に配置された状態が示されている。

[0266] まず、ステップS11（図2参照）よりも前の時点において、基板WAの導通検査が実行される。この導通検査は、各貫通電極による基板WAの上側と下側との間での導通を検査するものである。この導通検査において、不良

の貫通電極が検出されると、当該不良の貫通電極に対応するチップ載置位置は、基板WA上の不良位置として判定される。図47は、基板WA上の不良位置を示す図である。図47においては、基板WA上の複数のチップ配置位置（破線で囲まれた各菱形部分の位置）のうち、不良位置と判定された位置（ここでは3つの位置）PN1、PN2、PN3にハッチングが付されて示されている。

[0267] この判定結果は、ステップS12で利用される。具体的には、ステップS12において、第1層の複数のチップCP1は、基板WA自体に関する導通検査にて不良位置と判定された位置をチップ配置対象から除外して、仮基板WT1上（詳細には樹脂層RS1上）に平面配置される。図48は、第1層の複数のチップCP1載置後の状態を示す図である。図48では、ハッチング位置PN1、PN2、PN3以外の位置（ハッチング無しの実線菱形で示されるチップ位置）に第1層の複数のチップCP1が配置された状態が示されている。

[0268] また、基板WA上に第1層の複数のチップCP1が平面的に配置された後、（詳細には、ステップS14の後（且つ、ステップS22よりも前））において、基板WA上に配置された状態での第1層の複数のチップCP1のそれぞれに関する接合状態検査が行われる。

[0269] この接合状態検査においては、たとえば、基板WAの貫通電極の下側と第1層のチップにおける貫通電極の上側との間での導通等が検査される。この接合状態検査において、接続不良（接合不良）が検出されると、当該不良接合に対応するチップ載置位置は、第1層チップに関する不良位置として判定される。図49は、第1層の複数のチップCP1載置後の接合不良発生位置を示す図である。図49においては、基板WA上の複数のチップ（破線で囲まれた各菱形部分）の位置のうち、不良位置と判定された位置（ここでは3つの位置）PN4、PN5、PN6にハッチングが付されて示されている。

[0270] この判定結果は、第2層のチップ配置に関するステップS22で利用される。具体的には、ステップS22において、第2層の複数のチップCP2は

、第1層チップに関する接合状態検査において不良位置と判定された位置PN4、PN5、PN6をチップ配置対象から除外して、仮基板WT2上（詳細には樹脂層RS2上）に平面配置される。また、第2層の複数のチップCP2は、基板WA自体に関する導通検査にて不良位置と判定された位置PN1、PN2、PN3をもチップ配置対象から除外して、仮基板WT2上（詳細には樹脂層RS2上）に平面配置される。

[0271] さらに、基板WA上に第2層の複数のチップCP2が平面的に配置された後、詳細には、第2層チップに関するステップS24の後（且つ、第3層チップに関するステップS22よりも前）において、基板WA上に配置された状態での第2層の複数のチップのそれぞれに関する接合状態検査が行われる。

[0272] この接合状態検査においては、たとえば、基板WAの下側と第2層のチップCP2における貫通電極の上側との間での導通等が検査される。詳細には、基板WAの下側と第2層のチップにおける貫通電極の上側との間での第1層チップ経由での導通が正常であるか否か等が検査される。この接合状態検査において、不良接合が検出されると、当該不良接合に対応するチップ載置位置は、第2層チップCP2に関する不良位置として判定される。図50は、第2層の複数のチップCP2載置後の接合不良発生位置を示す図である。図50においては、基板WA上の複数のチップ（破線で囲まれた各菱形部分）の位置のうち、不良位置と判定された位置（ここでは3つの位置）PN7、PN8にハッチングが付されて示されている。

[0273] この判定結果は、次の第3層のチップ配置に関するステップS22で利用される。具体的には、当該ステップS22において、第3層の複数のチップCP3は、第2層チップCP2に関する接合状態検査において不良位置と判定された位置PN7、PN8をチップ配置対象から除外して、仮基板WT3上（詳細には樹脂層RS3上）に平面配置される。また、基板WA自体に関する導通検査にて不良位置と判定された位置PN1、PN2、PN3、および第1層チップCP1に関する接合状態検査において不良位置と判定された

位置PN4, PN5, PN6も、チップ配置対象から除外される。すなわち、第3の複数のチップCP3は、これまでの累積的な不良位置PN1~PN8を全てチップ配置対象から除外して、仮基板WT3上（詳細には樹脂層RS3上）に平面配置される。

[0274] なお、図51は、チップ層ごとのチップ配置対象位置を併せて示す図である。下から順に、第1層のチップCP1、第2層のチップCP2、第3層のチップCP3に関する各チップ配置対象位置がそれぞれ示されている。ハッチングが付されていない菱形形状位置に各層のチップが配置される。

[0275] 以後、同様の動作が繰り返し実行されることによって、接合不良が発生しなかった複数の平面位置において、チップが積層されて多層チップが形成される。

[0276] なお、この態様においても、各層に配置される複数のチップCPは、それぞれ、「良品チップ」（良品であることが予め確認されたチップ（良品判定済みのチップ））であることが好ましい。

[0277] <8-10. 新たな樹脂層およびCMP処理>

また、上記実施形態等においては、鉛直方向（上下方向）におけるチップ位置を調整することなどによるレベリング処理（ステップS12, S22）を例示したが、これに限定されない。たとえば、各層のチップから電極部分が突出して設けられる場合には、次のような手法を用いて、複数のチップの相互間において、各電極部分の先端部の上下方向の位置を揃えるようにしてもよい。ここでは、各チップCPの上側表面に銅（Cu）ポストPSがさらに突出して設けられる場合を例示する（図52参照）。また、図52においては、チップ相互間においてチップの厚みのバラツキおよびバンプ高さのバラツキが存在する状況が示されている。なお、銅ポストPSは、チップCPに設けられた貫通電極の上側に配置されてもよく、あるいは、貫通電極以外の部分の上側に配置されてもよい。

[0278] 以下では、このような改変例について、図53~図56を参照しながら説明する。また、以下では、上記実施形態との相違点を中心に説明する。

- [0279] この改変例においては、ステップS 1 2において、まず上記実施形態と同様に第1層の複数のチップC P 1がそれぞれ位置決めされて基板W T 1上に平面配置される（図5 2参照）。図5 2においては、複数のチップC P 1が所定位置に配置されている様子が示されている。各チップC P 1には、その上側表面に電極部分（銅ポストP S）が突出して設けられている。
- [0280] つぎに、スピコート8 0（樹脂塗布装置）等を用いて、基板W T 1上の第1層の複数のチップC P 1の上部側に樹脂が供給される。この樹脂は、樹脂層R S 1の上に平面配置された第1層の複数のチップC P 1の上部側表面を覆うように、複数のチップC P 1の上部側表面よりも上側の位置にまで供給（堆積）され、樹脂層R S 1 2を形成する（図5 3）。樹脂層R S 1 2の材料は、樹脂層R S 1の材料と同じであってもよく樹脂層R S 1の材料とは異なるものであっても良い。図5 3は、樹脂層R S 1の上に新たな樹脂層R S 1 2が形成されている様子を示す図である。なお、図5 3では、樹脂層R S 1 2等の断面が示されているが、平面視（上面視）においては、第1層の複数のチップC P 1の上側表面に突出して設けられた電極部分は、樹脂層R S 1 2において（平面的に）点在している。
- [0281] そして、樹脂R S 1 2が硬化した後に、第1層の複数のチップC P 1の上部側表面の樹脂部分（樹脂層R S 1 2）に対して、平坦化研磨処理（具体的には、化学機械研磨（C M P : Chemical Mechanical Polishing)処理等）が施される。平坦化研磨処理は、スピコート8 0内あるいはスピコート8 0とは別個の装置内等で実行されればよい。なお、「平坦化研磨処理」は、化学機械研磨（C M P : Chemical Mechanical Polishing)処理に限定されず、非化学的な機械研磨処理等であってもよい。
- [0282] この研磨処理により、樹脂層R S 1 2の表面が若干量削り取られるとともに、当該表面が平坦化される。特に、全ての銅ポストP Sが樹脂層R S 1 2の表面に露出する程度にまで、当該樹脂層R S 1 2の表面が削り取られること（研削されること）が好ましい。図5 4は、平坦化後（研磨後）の状態を示す図である。これによれば、図5 2～図5 4に示すように、チップの厚み

のバラツキおよび／またはバンプ高さのバラツキが存在する場合においても、当該チップの厚みのバラツキおよび／またはバンプ高さのバラツキを吸収して、複数のチップCP1の相互間において、銅ポストPS（電極部分）の上端位置を揃えることができる。すなわち、複数のチップCP1の電極部分の上端位置のバラツキを抑制し、良好な接合を実現することが可能である。

[0283] 以上のように、この改変例では、ステップS12において、仮基板WT1上に平面配置された第1層の複数のチップCP1の上部側表面を覆うまで樹脂が供給される。そして、当該樹脂の硬化後に、第1層の複数のチップCP1の上部側表面の樹脂部分であって第1層の複数のチップCP1の上側表面に突出して設けられた電極部分が平面的に点在する樹脂部分に対して、平坦化研磨処理（CMP処理等）が施される。

[0284] また、その後のステップS13において、第1層の複数のチップCP1に設けられた電極部分と基板WAの対応部分（基板WA上に設けられたパッド電極、あるいは基板WAに設けられた貫通電極表面等）とが接合される。

[0285] 図55においては、第1層の複数のチップCP1に設けられた電極部分と基板WA上に設けられたパッド電極PDとが接合される様子が示されている。

[0286] このような接合においては、チップCP1の銅ポストPSと基板WA上のパッド電極PDとが良好に接続される。詳細には、図56に示すように、当該接合時の加圧動作に伴い、銅ポストPSが押し潰された状態でパッド電極PDに良好に接触する。また、このとき、銅ポストPSの変形に応じて銅ポストPSの周囲の樹脂が適宜に変形する。そのため、樹脂材料で電極材料を良好に封止する状態が維持され、良好な樹脂封止を実現することが可能である。特に、アンダーフィル工程とレベリング工程とを別途に設けることなく、複数のチップに関する封止効果と複数のチップ相互間の上下方向位置のバラツキ抑制効果との双方を得ることができる。

[0287] なお、ここでは、パッド電極PDが基板WA上に突出して配置される場合を例示したが、これに限定されない。

- [0288] たとえば、図57に示すように、基板WAの表面上に設けられた凹部にパッド電極PDが設けられるようにしてもよい。この場合にも、図58に示すように、樹脂の変形（詳細には樹脂が押し広げられること）によって、チップCP1の銅ポストPSと基板WAのパッド電極PDとが良好に接合される。
- [0289] あるいは、パッド電極PDの上端が基板WAの上側表面と同じ位置（上下方向位置）に存在する場合に、上記と同様の処理を施すようにしてもよい。
- [0290] また、上記においては、ステップS12、S13について説明したが、ステップS22、S23についても同様である。
- [0291] 具体的には、ステップS22において、第iの仮基板WTi（例えばWT2）の樹脂層の上に平面配置された第i層の複数のチップC Pi（CP2等）の上部側表面を覆うまで樹脂が供給される。そして、当該樹脂の硬化後に、第i層の複数のチップC Piの上部側表面の樹脂部分であって第i層の複数のチップC Piの上側表面に突出して設けられた電極部分が平面的に点在する樹脂部分に対して、平坦化研磨処理（CMP処理等）が施される。
- [0292] その後、ステップS23において、第i層の複数のチップC Piに設けられた電極部分と第(i-1)層の複数のチップC P(i-1)の対応部分（貫通電極表面あるいはパッド電極等）とが接合される。具体的には、図59に示すように、仮基板WT2（WTi）が上下反転されて、図60に示すように、仮基板WT2（WTi）に配置された各チップCP2（C Pi）と基板WAに配置された各チップCP1（C P(i-1)）とが対向配置される。そして、対向配置されたチップ同士が接合される。
- [0293] なお、ステップS23に先立ち、その直前のステップS14（あるいはステップS24）でのデボンド時においては、基板WT1のチップCP1からの分離に伴って、樹脂層RS1は除去される。樹脂層RS1は、ステップS11において好ましくは非常に薄く（例えば厚さ=1マイクロメートル程度）形成される。その場合は、樹脂層RS1除去後において、樹脂層RS12の露出表面とチップCP1の表面（新たな接合表面）との段差は殆ど発生し

ない（図59参照）。また、当該段差部分が発生する場合においても、ステップS23での接合処理にて、基板WT2に設けられた樹脂層RS22が、基板WA上の樹脂層RS12とチップCP1とに対して接触する際に、上下から加圧されるとともに平面的にも拡がって当該段差部分（隙間部分）を埋めることができる。したがって、良好な樹脂封止を実現することが可能である。

[0294] また、基板WT<sub>i</sub>が第<sub>i</sub>層のチップCP<sub>i</sub>から分離された後（すなわちデボンド後）において、基板WAに平面配置されているチップCP<sub>i</sub>の露出面（新たな接合面、換言すれば、基板WT<sub>i</sub>が分離された側の面（分離面））に対して、平坦化研磨処理（CMP処理等）が施されるようにしてもよい。たとえば、図64に示すように、基板WA上チップCP1の新たな接合面（図64の上側の面）に対して、平坦化研磨処理が施されるようにしてもよい。これによれば、樹脂層RS12の露出表面とチップCP1の表面（新たな接合表面）との段差やチップの厚みバラツキをより確実に解消することができる。

[0295] また、デボンド後における基板WA上のチップCP<sub>i</sub>に対する平坦化は、樹脂層RS12が設けられない場合にも適用できる。たとえば、図65に示すように樹脂層RS12が設けられない場合（図19参照）において、基板WA上に配置されたチップCP<sub>i</sub>の上側露出表面（換言すれば、基板WA上の新たな接合面（新たなチップ載置面））に対して、平坦化研磨処理（CMP処理等）が施されるようにしてもよい。これによれば、各チップCP<sub>i</sub>の高さのバラツキを吸収して、基板への配置後のチップの上端位置を揃えることができる。なお、この場合には、図65の状態の基板WA等に対してアンダーフィル処理を施して基板WAとチップCP<sub>i</sub>との間等に樹脂を予め充填して、例えば図64と同様の状態を形成した後に、平坦化研磨処理が施されることが好ましい。

[0296] また、このように、デボンド後のチップの新たな接合表面に対して平坦化研磨処理を行うことによれば、チップを予め薄く削っておくことを要さず、

当該デボンド後にチップの厚さを調整すること（詳細には薄くすること）が可能である。一般的に薄いチップのハンドリングは比較的困難であるところ、このような態様によれば、デボンド前までは比較的厚いチップをハンドリングすれば済むため、チップの取扱容易性を向上させることができる。

[0297] また、上記の改変例では、ステップS 1 2にて、その表面に銅ポスト形成済みのチップが基板上に平面配置される場合を例示したが、これに限定されない。たとえば、複数のチップが基板上に平面配置された後に、銅ポストP Sがチップ表面に形成されるようにしてもよい。以下では、このような態様について図6 1～図6 3等を参照しながら説明する。

[0298] 具体的には、ステップS 1 2において、まず上記実施形態と同様にして第1層の複数のチップC P 1がそれぞれ位置決めされて基板W T 1上に平面配置される。ただし、このとき、各チップC Pは、その上側表面に銅ポストP Sを未だ有していない。

[0299] つぎに、樹脂層R S 1の上に平面配置された第1層の複数のチップC P 1の上部側表面を覆うまで、樹脂が供給される。図6 1は、樹脂層R S 1の上にさらに樹脂が供給され、新たな樹脂層R S 1 2が形成された様子を示している。ここでは、樹脂層R S 1 2が光硬化性樹脂で形成される場合を想定する。

[0300] さらに、第1層の複数のチップC P 1の上部側表面の樹脂部分においてマスク露光処理等が行われ、図6 2に示すように、第1層の複数のチップC P 1の上部側表面の樹脂部分において、電極形成用の孔部H Lが平面内の各位置に設けられる。詳細には、第1層の複数のチップC P 1の上部側表面の樹脂層R S 1 2において、孔部H Lに対応する部分以外の部分にのみ光が選択的に照射される。孔部H Lに対応する部分には光が照射されず、孔部H Lに対応する部分は硬化しない。そして、樹脂層R S 1 2のうち非硬化部分の樹脂材料が除去されることによって、図6 2のような孔部H Lが形成される。

[0301] つぎに、樹脂層R S 1 2の表面に電極材料が供給される。これにより、各孔部H Lにも電極材料が供給されて、第1層の複数のチップC P 1の上部側

表面に電極部分が形成される。たとえば、樹脂層 R S 1 2 の表面に銅メッキ処理が施されることによって各孔部 H L にも銅 (C u) が供給され、第 1 層の複数のチップ C P 1 の上部側に銅のメッキ層 M L が形成されるとともに第 1 層の複数のチップ C P 1 の上部側表面に銅ポスト P S が形成される (図 6 3 参照)。

[0302] その後、第 1 層の複数のチップ C P 1 の上部側表面の樹脂層 R S 1 2 に対して、平坦化研磨処理 (C M P 処理等) が施される。この研磨処理によって、第 1 層の複数のチップ C P 1 の上部側の銅のメッキ層が削り取られ、全ての銅ポスト P S が上部側において露出する。これにより、図 5 4 と同様の状態を有する各チップ C P 1 が得られる。以後、上記と同様の処理が施される。

[0303] これによれば、図 6 1 ~ 図 6 3 および図 5 4 に示すように、チップの厚みのバラツキが存在する場合においても、当該チップの厚みのバラツキを吸収して、複数のチップ C P 1 の相互間において、銅ポスト P S (電極部分) の上端位置を揃えることができる。すなわち、複数のチップ C P 1 の電極部分の上端位置のバラツキを抑制し、良好な接合を実現することが可能である。

[0304] ステップ S 2 2 に関しても同様である。特に、このような手法によれば、各層ごとにチップの厚みのバラツキ等が吸収されるとともに、複数のチップ C P i が樹脂封止された均一厚さの樹脂層 (R S 1 2 等) が形成される。そのため、チップが多層に積層される際においても、下層のチップ層の影響を受けることなく、上層のチップ層にてチップの厚みのバラツキ等を良好に吸収することが可能である。

[0305] また、デボンド後の平坦化も上記と同様に行われることが好ましい。すなわち、第 2 層以降のチップの積層後の露出面 (新たなチップ載置面) に対して、同様の平坦化研磨処理等が行われることが好ましい。

[0306] < 8 - 1 1 . チップサイズ >

また、上記実施形態においては、最終的なチップサイズ S Z (基板からの切り出し後の完成品チップのサイズ (次述) ) とは異なるサイズ (平面サイ

ズ) のチップCPiが、基板WA上に配置されている。詳細には、最終的なチップサイズSZよりも小さなサイズ(平面サイズ)のチップCPiが載置されている。

[0307] 従来、単に基板同士を接合するWOW技術においては、下層基板WA1と上層基板WA2とが重ねられた状態でダイシングされて、下層基板WA1と上層基板WA2とが重畳された状態でその一部(単位部分UTとも称する)がダイシングにより切り出されて最終的なチップCPZが形成される(図74参照)。このとき、下層基板WA1の単位部分UTと上層基板WA2の単位部分UTとは、互いに同じサイズを有する。すなわち、両基板WA1, WA2から切り出される単位部分UTのサイズは、上層と下層とで同じある。換言すれば、下層基板WA1の或る単位部分に対しては、同じサイズの(上層側の)単位部分しか載置できない。なお、このように基板WAから最終的に切り出されて生成されるチップ(電子部品)のサイズ(切り出し後のサイズ)を「最終的なサイズ」SZとも称するものとする。

[0308] 一方、上記実施形態によれば、基板WA上に配置されるチップのサイズは、上記の最終的なサイズSZと同一であることを要さない。すなわち、各層のチップのサイズは、基板WAからダイシングにより切り出される単位部分(完成品チップのそれぞれに対応する部分)UTのサイズSZと異なるサイズであっても良い。なお、基板WAの単位部分UTは、最終的なチップ(完成品チップ)の構成単位である、とも表現される。

[0309] より詳細には、たとえば、図66に示すように、最終的なチップサイズ(単位部分UTのサイズ)SZよりも小さなサイズSS1( $<SZ$ )のチップCP1が、COW工程(ステップS12, S22)等により、所定ピッチp1(ここでは、単位部分UTの配置ピッチp0と同一のピッチ)で基板WT1に載置される。そして、WOW工程(ステップS13, S23)およびデボンド工程(S14, S24)が実行されることによって、当該基板WT1上の複数のチップCPiが基板WAに配置(接合)される。

[0310] このようにして、基板WAからの切り出し後の最終的なチップサイズSZ

とは異なるサイズ  $S S 1$  の複数のチップ  $C P i$  のそれぞれが、基板  $W A$  の各単位部分  $U T$  に配置される。各単位部分  $U T$  に配置されるチップ  $C P i$  のサイズは、単位部分  $U T$  のサイズと同一のサイズに限定されないので、様々なサイズのチップを配置することができる。すなわち、上記の思想は、非常に広い適用範囲を有する。

[0311] 特に異種材料からなるチップを実装する時、例えばメモリチップや演算素子を基板としたウエハ上に光素子や  $R F$  デバイスを実装する場合、光素子や  $R F$  デバイスは  $S i$  以外の異種材料で製作され、コスト面からウエハの大きさも小さく異なる。これを従来の  $W O W$  方式で実装することは不可能であったが、上述の本方式（ $C O W$  後の  $W O W$  方式）を採用することで可能となる。すなわち、異種材料チップ間での接合も可能となる。

[0312] また、本発明はこれに限定されず、基板  $W A$  から最終的に切り出される各チップ（単位部分  $U T$ ）において、それぞれ複数のチップが平面配置されるようにしてもよい。さらには、各チップに平面配置される複数のチップのサイズは互いに異なっていても良い（図 6 7 参照）。換言すれば、互いに異なるサイズを有する複数のチップが、各チップ（単位部分  $U T$ ）に対して平面配置されるようにしてもよい。

[0313] たとえば、図 6 7 に示すように、切り出し後の各チップ（各単位部分  $U T$ ）において、第 1 の種類のチップ  $C P 1 1$  と第 2 の種類のチップ  $C P 1 2$  との双方が配置されるようにしてもよい。詳細には、チップ  $C P 1 1$  とチップ  $C P 1 2$  とが互いに平面的に重ならないように、互いにその平面位置をずらして基板  $W A$  上の異なる平面位置に配置されるようにしてもよい。ここで、第 2 の種類のチップ  $C P 1 2$  のサイズは、第 1 の種類のチップ  $C P 1 1$  のサイズよりも小さい。また、第 2 の種類のチップ  $C P 1 2$  のサイズと第 1 の種類のチップ  $C P 1 1$  のサイズとは、いずれも、最終的なチップサイズ  $S Z$  よりも小さい。

[0314] このように、複数の種類の異なるサイズのチップが同一のチップ層（第  $i$  層）において混在して平面配置されるようにしてもよい。このような態様に

よれば、多様なサイズのチップで構成されるチップ（完成品チップ）を効率的に作成することが可能である。

[0315] また、このような複数の種類のチップの平面配置動作は、次のようにして行われればよい。

[0316] 具体的には、上記のCOW工程（ステップS12、S22）等により第1の種類のチップCP11と第2の種類のチップCP12とを予め基板WT1に載置した状態で、上記のWOW工程（ステップS13、S23）を実行すればよい（図68参照）。

[0317] より詳細には、ステップS12において、仮基板WT1上に、第1の種類のチップCP11が所定のピッチp1で平面配置されるととともに、第2の種類のチップCP12も所定のピッチp1で平面配置される（図67参照）。また、チップCP11とチップCP12とは、それぞれ、基板WT1に仮固定される。その後、ステップS13において、図68に示すように、仮基板WT1と実装対象の基板WAとが対向配置される。詳細には、基板WAの各单位部分UTに対して、チップCP11とチップCP12とがそれぞれ対向配置される。そして、基板WAと基板WT1とが接近することによって、基板WAの各单位部分UTに対して、チップCP11とチップCP12とがそれぞれ接合される（図69参照）。このように、複数の種類のチップが同時に実装対象の基板に対して接合されるようにすればよい。

[0318] あるいは、一旦、上記と同様の手法（ステップS11～S14、あるいはS21～S24等）により、第i層における第1の種類の複数のチップを平面配置した後に、さらに同様の手法により基板WAの所定位置（第1の種類のチップの載置位置とは異なる位置）に、同一層（第i層）における第2の種類の複数のチップを平面配置するようにしてもよい（図70参照）。すなわち、複数の種類のチップが逐次に（順次に）実装対象の基板に対して接合されるようにしてもよい。

[0319] 図70においては、上記と同様の手法（ステップS11～S14、あるいはS21～S24等）によって第1層の第1の種類の複数のチップCP11

のみが基板WA上に既に平面配置されており、さらに同様の手法（ステップS 1 1～S 1 4、あるいはS 2 1～S 2 4等）によって、同一層（第1層）における第2の種類の複数のチップCP 1 2が平面配置されつつある状態（ステップS 1 3）が示されている。このように、上記の手法（ステップS 1 1～S 1 4、あるいはS 2 1～S 2 4等）をチップ種類ごとに繰り返し実行することによって、同一層（第i層）内の複数の種類のチップを基板WA上に平面配置し接合するようにしてもよい。

[0320] さらに、第2層以上のチップ層についても同様である。最終的なチップサイズSZとは異なる大きさの（詳細には、最終的なチップサイズSZよりも小さな）第i層のチップCP iが、同様の手法で平面配置されるようにしてもよい。このとき、第i層の各チップCP iのサイズは、ステップS 2 3で対向する第(i-1)層の各チップCP (i-1)のサイズと同じであってもよく或いは異なってもよい。

[0321] 図7 1では、基板WA上の各単位部分UTにおいて、第1層のチップCP 1 1, CP 1 2に対して、仮基板WAT 2を用いて第2層のチップCP 2 1, CP 2 2が積層されつつある様子が示されている。この後、第2層のチップCP 2 1は第1層のチップCP 1 1に対して積層され、第2層のチップCP 2 2は第1層のチップCP 1 2に対して積層される。ここで、第2層のチップCP 2 1のサイズは、第1層のチップCP 1 1のサイズよりも小さい。このように、第2層以上の第iチップ層における各チップのサイズは、第(i-1)チップ層の各チップのサイズとは異なってもよい。これによれば、多様なサイズのチップを積層することができる。一方、第2層のチップCP 2 2のサイズは、第1層のチップCP 1 2のサイズと同一である。このように、第2層以上の第iチップ層における各チップのサイズは、第(i-1)チップ層の各チップのサイズと同じであってもよい。

[0322] <8-12. その他>

また、上記実施形態等においては、電極材料として、銅(Cu)が主に例示されているが、これに限定されず、電極材料として、その他の金属材料（

金（Au）、銀（Ag）等）が用いられてもよい。

[0323] また、上記実施形態等においては、第1層のチップの積層動作も第2層以降の各層のチップの積層動作と同様にして実行される場合が例示されているが、これに限定されず、その他の手法を用いて第1層の複数のチップが基板WA上に平面配置されるようにしてもよい。

[0324] また、上記実施形態等においては、アライメントマークによる反射光を用いて位置認識用の画像が取得される場合が例示されているが、これに限定されない。たとえば、アライメントマークを挟んで一方側に照明系を配置し他方側に撮像部を配置するとともに、アライメントマークに関する透過光を用いて位置認識用の画像が取得されるようにしてもよい。

[0325] また、上記実施形態等においては、2つの撮像部35a, 35bが設けられ、異なる2つの基準位置での2つの撮影画像Ga, Gbが同時に撮影される場合が例示されているが、これに限定されない。たとえば、単一の撮像部35aを設け、当該撮像部35aを順次にXY平面に沿って移動させることによって、2つの基準位置での2つの撮影画像Ga, Gbが順次に撮影されるようにしてもよい。また、当該単一もしくは2つの撮像部は、テーブル31の下側（仮基板WTiの下側）ではなく、ヘッド部H33側（テーブル31の上側（仮基板WTiの上側））に設けられても良い。また、双方に用いても良い。撮像方法は赤外透過方式を用いればチップや基板の接合面とは反対側から認識することも可能である。

[0326] また、2つの撮像部55a, 55bについても同様である。たとえば、単一の撮像部55aを設け、当該撮像部55aを順次にXY平面に沿って移動させることによって、2つの基準位置での2つの撮影画像Gc, Gdが順次に撮影されるようにしてもよい。また、当該単一もしくは2つの撮像部は、下テーブル51の下側（基板WAの下側）ではなく、上ステージ53の上側（仮基板WTiの上側））に設けられても良い。

[0327] また、上記実施形態等では、チップ供給装置10において、フェイスアップ状態の各チップCPを有する基板WCから当該各チップが切り出され、各

チップがそのままフェイスアップ状態で仮基板 $WT_i$ 上に供給される場合が例示されているが、これに限定されない。たとえば、「フェイスダウン状態」の各チップ $CP$ を有する基板 $WA$ から当該各チップ $CP$ が切り出されて供給されるようにしてもよい。この場合には、チップ供給装置10において、フェイスダウン状態で切り出された各チップ $CP$ の上下を反転させる反転機構を設け、当該反転機構によって上下反転された各チップがフェイスアップ状態で仮基板 $WT_i$ 上に供給されるようにすればよい。

[0328] また、上記実施形態等においては、仮基板 $WT_i$ の上下が反転されて、基板 $WA$ の接合面側（例えば基板 $WA$ に配置された第 $(i-1)$ 層の複数のチップ $CP(i-1)$ ）と仮基板 $WT_i$ に配置された第 $i$ 層の複数のチップ $CP_i$ とが対向した状態で、基板 $WA$ と仮基板 $WT_i$ とが相対的に接近される場合が例示されている。換言すれば、フェイスアップ状態の基板 $WA$ が下側に配置され且つフェイスダウン状態の仮基板 $WT_i$ が上側に配置された（両基板 $WA$ 、 $WT_i$ の）対向状態において、基板 $WA$ と仮基板 $WT_i$ とが相対的に接近される場合が例示されている。しかしながら、本発明は、これに限定されない。たとえば、逆に、基板 $WA$ と仮基板 $WT_i$ とのうち基板 $WA$ の上下が反転されて、基板 $WA$ の接合面側（例えば基板 $WA$ に配置された第 $(i-1)$ 層の複数のチップ $CP(i-1)$ ）と仮基板 $WT_i$ に配置された第 $i$ 層の複数のチップ $CP_i$ とが対向した状態で、基板 $WA$ と仮基板 $WT_i$ とが相対的に接近されるようにしてもよい。換言すれば、フェイスダウン状態の基板 $WA$ が上側に配置され且つフェイスアップ状態の仮基板 $WT_i$ が下側に配置された（両基板 $WA$ 、 $WT_i$ の）対向状態において、基板 $WA$ と仮基板 $WT_i$ とが相対的に接近されるようにしてもよい。

[0329] また、上記実施形態等においては、両マーク $MC_1$ 、 $MC_2$ が互いに異なる形状のマークを有している場合が例示されているが、これに限定されない。たとえば、両マーク $MC_1$ 、 $MC_2$ は同一形状であってもよい。ただし、この場合には、アライメント時に両 $MC_1$ 、 $MC_2$ が互いに完全に重複してしまうことを避けるために、両マーク $MC_1$ 、 $MC_2$ は、互いに異なる基準

位置（水平基準位置）に配置されることが好ましい。より詳細には、マークMC 2は、マークMC 1の基準位置から所定量オフセットされた基準位置に配置されればよい。マークMC 1の基準位置とマークMC 2の基準位置との両者間の所定のオフセット量に基づく位置関係（予め設定された位置関係）

（詳細には、マークMC 1 a, MC 1 b, MC 2 a, MC 2 bの相互間の位置関係）を用いることによって、マークMC 1, MC 2を用いた精密な位置合わせを行うことが可能である。また、チップと基板を個別の撮像部で撮像する場合は、同じマークが同じ位置で重ねて配置されても良い。赤外透過機能を有する撮像部によれば、チップや基板の接合面とは反対側から認識することも可能である。

[0330] また、マークMW 1, MW 2についても同様である。たとえば、両マークMW 1, MW 2は同一形状であってもよい。ただし、この場合には、アライメント時に両MW 1, MW 2が互いに完全に重複してしまうことを避けるために、両マークMW 1, MW 2は、互いに異なる基準位置（水平基準位置）に配置されることが好ましい。より詳細には、マークMW 2は、マークMW 1の基準位置から所定量オフセットされた基準位置に配置されればよい。マークMW 1の基準位置とマークMW 2の基準位置との両者間の所定のオフセット量に基づく位置関係（予め設定された位置関係）（詳細には、マークMW 1 a, MW 1 b, MW 2 a, MW 2 bの相互間の位置関係）を用いることによって、マークMW 1, MW 2を用いた精密な位置合わせを行うことが可能である。また、上側基板と下側基板とをそれぞれ個別の撮像部で撮像する場合は、同じマークが同じ位置で重ねて配置されても良い。赤外透過機能を有する撮像部によれば、チップや基板の接合面とは反対側から認識することも可能である。

[0331] また、個々の基板マークは1つであっても良い。ウエハ（基板）全体で回転方向が規定できる2つ以上からなるマークがあれば、 $\theta$ 方向は算出できるので個々の基板位置においては1つのマークであっても良い。

[0332] また、上記実施形態等では、ステップS 13（図2）のWOW接合工程（

図17および図18参照)において、基板WAと第1層の複数のチップCP1とが対向した後、加熱前にのみアライメント動作が行われる態様が例示されているが、これに限定されない。

[0333] たとえば、基板WAと第1層の複数のチップCP1との両者が対向した後において、当該両者の接触前且つ加熱中にアライメント動作がさらに行われて当該両者が接合されるようにしてもよい。詳細には、まず、上記と同様にして基板WAと第1層の複数のチップCP1とを対向させて加熱前のアライメント動作が行われる。ただし、この時点では未だ基板WAと第1層の複数のチップCP1とは接触していない。次に、基板WAと第1層の複数のチップCP1とが加熱され、各チップCP1のハンダバンプBUが溶融される。そして、このハンダバンプBUの溶融状態において、水平方向(X方向, Y方向,  $\theta$ 方向)におけるアライメント動作が実行される。このアライメント動作によって複数のチップCP1のそれぞれが基板WT1の基板平面に平行な方向において位置決めされる。そして、基板WAと第1層の複数のチップCP1との水平方向における位置ずれが許容範囲内に収まると、今度は基板WAと第1層の複数のチップCP1とが互いに接近して接触し接合される。このように、加熱中且つ接触前にも再びアライメントが行われるようにしてもよい。これによれば、熱膨張による位置ずれを修正することが可能である。

[0334] また、基板WAと第1層の複数のチップCP1とが加熱され互いに接触した状態においてアライメント動作が行われるようにしてもよい。詳細には、上記のような加熱前のアライメント動作と加熱中且つ接触前のアライメント動作とが行われる。このとき、基板WAと第1層の複数のチップCP1とが加熱され、各チップCP1のハンダバンプBUが溶融している。そして、このハンダバンプBUの溶融状態において、基板WAと第1層の複数のチップCP1との両者が互いに接近して接触する。さらに、当該両者の接触状態且つバンプの溶融状態を継続したまま、水平方向(X方向, Y方向,  $\theta$ 方向)におけるアライメント動作が実行される。このアライメント動作によって複

数のチップCP1のそれぞれが基板WT1の基板平面に平行な方向において位置決めされる。そして、このアライメント動作によって基板WAと第1層の複数のチップCP1の位置ずれが許容範囲内に収まった後に、基板WAと第1層の複数のチップCP1とが冷却されて接合される。このようにハンダバンプの加熱溶融中且つ接触中にもアライメントが行われるようにしてもよい。これによれば、熱膨張による位置ずれ、ならびに基板WAと第1層の複数のチップCP1との物理的接触に伴って新たに生じる位置ずれをも補正することができるので、非常に高精度のアライメントを行うことが可能である。

[0335] ステップS23（図3）のWOW接合工程（図23および図24参照）に関しても同様である。詳細には、第 $(i-1)$ 層のチップCP $(i-1)$ と第 $i$ 層の複数のチップCP1との両者が対向した後において、当該両者の接触前且つ加熱中にアライメント動作がさらに行われて当該両者が接合されるようにしてもよい。また、第 $(i-1)$ 層のチップCP $(i-1)$ と第 $i$ 層の複数のチップCP $i$ とが加熱され互いに接触した状態（チップCP $i$ の溶融状態且つ接触状態）においてアライメント動作が行われるようにしてもよい。

## 符号の説明

- [0336] 1 チップ実装システム
- 10 チップ供給装置
  - 30 ボンディング装置
  - 31 ステージ
  - 33 ボンディング部
  - 33H ヘッド部
  - 35, 35a, 35b, 55, 55a, 55b 撮像部
  - 36, 56 位置認識部
  - 39 チップ搬送部
  - 50 ボンディング装置

5 1 下ステージ

5 3 上ステージ

7 0 搬送部

7 1 搬送ロボット

9 0 搬出入部

C P i チップ

M C 1, M C 2 チップ位置調整用マーク（部品位置調整用マーク）

M W 1, M W 2 基板位置調整用マーク

P L 平面部材

R S i 樹脂層

R U アンダーフィル樹脂

W A 基板

W T i 仮基板

## 請求の範囲

### [請求項1]

電子部品実装方法であって、

a) 仮基板である第  $i$  の基板（ただし、 $i$  は 1 以上の整数）上に第  $i$  の樹脂層を形成するステップと、

b) 第  $i$  層の複数の電子部品をその接合面を上側に向けたフェイスアップ状態で前記第  $i$  の樹脂層に平面配置して仮固定するステップと、

c) 所定の基板と前記第  $i$  の基板に配置された前記第  $i$  層の複数の電子部品とを対向させた状態で前記所定の基板と前記第  $i$  の基板とを相対的に接近させることによって、前記所定の基板と前記第  $i$  層の複数の電子部品とを相対的に接近させ、前記所定の基板と前記第  $i$  層の複数の電子部品とを接合するステップと、

d) 前記第  $i$  層の複数の電子部品が前記所定の基板に対して接合された状態を維持しつつ、前記第  $i$  層の複数の電子部品から前記第  $i$  の基板を分離するステップと、

を備えることを特徴とする電子部品実装方法。

### [請求項2]

請求項 1 に記載の電子部品実装方法において、

e) 値  $i$  をインクリメントして前記ステップ a) と前記ステップ b) と前記ステップ c) と前記ステップ d) とを繰り返し実行し、前記所定の基板上の複数の平面位置において電子部品を複数層に積層するステップ、

をさらに備えることを特徴とする電子部品実装方法。

### [請求項3]

請求項 1 に記載の電子部品実装方法において、

前記ステップ c) は、値  $i = 1$  のとき、

前記所定の基板と前記第 1 の基板に配置された前記第 1 層の複数の電子部品とを対向させた状態で前記所定の基板と前記第 1 の基板とを相対的に接近させることによって、前記所定の基板と前記第 1 層の複数の電子部品とを相対的に接近させ、前記第 1 層の複数の電子部品

を前記所定の基板上の所定の位置にそれぞれ載置し、前記所定の基板と前記第 1 層の複数の電子部品とを接合するステップ、  
を有し、

前記ステップ d) は、値  $i = 1$  のとき、

前記第 1 層の複数の電子部品が前記所定の基板に接合された状態を維持しつつ、前記第 1 層の複数の電子部品から前記第 1 の基板を分離するステップ、

を有することを特徴とする電子部品実装方法。

[請求項4]

請求項 1 に記載の電子部品実装方法において、

値  $i$  は 2 以上の整数であり、

前記ステップ c) は、

前記所定の基板に配置された第  $(i - 1)$  層の複数の電子部品と前記第  $i$  の基板に配置された前記第  $i$  層の複数の電子部品とを対向させた状態で前記所定の基板と前記第  $i$  の基板とを相対的に接近させることによって、前記第  $(i - 1)$  層の複数の電子部品と前記第  $i$  層の複数の電子部品とを相対的に接近させ、前記第  $(i - 1)$  層の複数の電子部品と前記第  $i$  層の複数の電子部品とをそれぞれ接合するステップ、

を有し、

前記ステップ d) は、

前記第  $i$  層の複数の電子部品が前記第  $(i - 1)$  層の複数の電子部品にそれぞれ接合された状態を維持しつつ、前記第  $i$  層の複数の電子部品から前記第  $i$  の基板を分離するステップ、  
を有することを特徴とする電子部品実装方法。

[請求項5]

請求項 1 に記載の電子部品実装方法において、

前記ステップ b) は、

b - 1) フェイスアップ状態で前記第  $i$  の樹脂層に仮置きされた前記第  $i$  層の複数の電子部品の上端位置の高さを揃えるステップ、

を有することを特徴とする電子部品実装方法。

[請求項6]

請求項5に記載の電子部品実装方法において、  
前記ステップb-1)は、

b-1-1) フェイスアップ状態で前記第iの樹脂層に仮置きされた前記第i層の複数の電子部品の上端側に平面部材を押し当てることによって、前記第i層の複数の電子部品の上端位置の高さを揃えるステップ、

を有することを特徴とする電子部品実装方法。

[請求項7]

請求項5に記載の電子部品実装方法において、  
前記ステップb-1)は、

b-1-2) 前記第i層の複数の電子部品を構成する各電子部品を電子部品保持部材を用いてフェイスアップ状態で保持し、前記電子部品保持部材の鉛直方向における位置を調整することによって、前記各電子部品の上端位置が鉛直方向において所定の位置に存在する状態で、前記各電子部品を前記第iの樹脂層に仮固定することにより、前記第i層の複数の電子部品の上端位置の高さを揃えるステップ、

を有することを特徴とする電子部品実装方法。

[請求項8]

請求項7に記載の電子部品実装方法において、  
前記第iの樹脂層は、光硬化性樹脂で形成されており、

前記ステップb-1-2)において、前記第i層の複数の電子部品を構成する前記各電子部品がその上端位置を鉛直方向における前記所定の位置に合わせた状態で配置されるごとに、前記第iの樹脂層における前記各電子部品の載置領域に光を照射することによって前記第iの樹脂層が硬化され、前記各電子部品が前記第iの樹脂層に仮固定されることを特徴とする電子部品実装方法。

[請求項9]

請求項7に記載の電子部品実装方法において、

前記ステップb-1-2)において、前記電子部品保持部材のヘッド部が所定温度に加熱され、前記各電子部品の上端位置が鉛直方向に

において前記所定の位置に配置され、前記各電子部品が前記第  $i$  の樹脂層に仮固定されることを特徴とする電子部品実装方法。

[請求項10]

請求項 1 に記載の電子部品実装方法において、  
前記ステップ d) は、

d-1) 光硬化性樹脂で形成された前記第  $i$  の樹脂層に対してレーザーアブレーション処理を施すことによって、前記第  $i$  層の複数の電子部品から前記第  $i$  の基板を分離するステップ、  
を有することを特徴とする電子部品実装方法。

[請求項11]

請求項 1 に記載の電子部品実装方法において、  
前記ステップ d) は、

d-2) 熱可塑性樹脂で形成された前記第  $i$  の樹脂層を加熱することによって、前記第  $i$  層の複数の電子部品から前記第  $i$  の基板を分離するステップ、  
を有することを特徴とする電子部品実装方法。

[請求項12]

請求項 1 に記載の電子部品実装方法において、  
前記ステップ d) は、

d-3) 熱可塑性樹脂で形成された前記第  $i$  の樹脂層に紫外線を照射した後に前記第  $i$  の樹脂層を加熱することによって、前記第  $i$  層の複数の電子部品から前記第  $i$  の基板を分離するステップ、  
を有することを特徴とする電子部品実装方法。

[請求項13]

請求項 1 に記載の電子部品実装方法において、  
前記ステップ a) は、

a-1) スピンコートによって前記第  $i$  の基板上に樹脂を塗布するステップ、  
を有することを特徴とする電子部品実装方法。

[請求項14]

請求項 1 に記載の電子部品実装方法において、  
前記ステップ a) は、

a-2) 前記第  $i$  の基板上に樹脂シートを貼付するステップ、

を有することを特徴とする電子部品実装方法。

[請求項15]

請求項1に記載の電子部品実装方法において、

前記第*i*層の複数の電子部品は、それぞれ、第1の種類の部品位置調整用マークを有しており、

前記第*i*の基板は、前記第*i*層の複数の電子部品のそれぞれに対応して、第2の種類の部品位置調整用マークを有しており、

前記ステップb)においては、

前記第*i*層の複数の電子部品のそれぞれにおける前記第1の種類の部品位置調整用マークと前記第*i*層の複数の電子部品のそれぞれに対応して前記第*i*の基板に設けられた前記第2の種類の部品位置調整用マークとを用いて前記第*i*層の複数の電子部品のそれぞれが前記第*i*の基板平面に平行な方向において位置決めされ、前記第*i*層の複数の電子部品のそれぞれが前記第*i*の基板上の前記第*i*の樹脂層に載置されることを特徴とする電子部品実装方法。

[請求項16]

請求項15に記載の電子部品実装方法において、

前記第2の種類の部品位置調整用マークは、前記第1の種類の部品位置調整用マークとは異なる形状のマークとして設けられることを特徴とする電子部品実装方法。

[請求項17]

請求項15に記載の電子部品実装方法において、

前記第2の種類の部品位置調整用マークは、前記第1の種類の部品位置調整用マークの基準位置から所定量オフセットされた位置に設けられることを特徴とする電子部品実装方法。

[請求項18]

請求項15に記載の電子部品実装方法において、

e) 値*i*をインクリメントして前記ステップa)と前記ステップb)と前記ステップc)と前記ステップd)とを繰り返し実行し、前記所定の基板上の複数の平面位置において電子部品を複数層に積層するステップ、

をさらに備え、

前記第  $i$  層の複数の電子部品は、それぞれ、前記第 1 の種類の部品位置調整用マークを当該電子部品内における同じ位置に有していることを特徴とする電子部品実装方法。

[請求項19]

請求項 15 に記載の電子部品実装方法において、

前記第  $i$  の基板は、ガラス基板であり、

前記第 1 の種類の部品位置調整用マークは、前記第  $i$  層の複数の電子部品のそれぞれにおいて前記第  $i$  の基板側の面に設けられ、

前記ステップ b) においては、

前記第  $i$  層の複数の電子部品のそれぞれにおける前記第 1 の種類の部品位置調整用マークと前記第  $i$  層の複数の電子部品のそれぞれに対応して前記第  $i$  の基板に設けられた前記第 2 の種類の部品位置調整用マークとを可視光により撮像した画像を用いて、前記第  $i$  層の複数の電子部品のそれぞれが前記第  $i$  の基板平面に平行な方向において位置決めされ、前記第  $i$  層の複数の電子部品のそれぞれが前記第  $i$  の基板上の前記第  $i$  の樹脂層に載置されることを特徴とする電子部品実装方法。

[請求項20]

請求項 15 に記載の電子部品実装方法において、

前記ステップ b) においては、

前記第  $i$  層の複数の電子部品のそれぞれにおける前記第 1 の種類の部品位置調整用マークと前記第  $i$  層の複数の電子部品のそれぞれに対応して前記第  $i$  の基板に設けられた前記第 2 の種類の部品位置調整用マークとを赤外光により撮像した画像を用いて、前記第  $i$  層の複数の電子部品のそれぞれが前記第  $i$  の基板平面に平行な方向において位置決めされ、前記第  $i$  層の複数の電子部品のそれぞれが前記第  $i$  の基板上の前記第  $i$  の樹脂層に載置されることを特徴とする電子部品実装方法。

[請求項21]

請求項 15 に記載の電子部品実装方法において、

前記所定の基板は、第 1 の種類の基板位置調整用マークを有してお

り、

前記第  $i$  の基板は、第 2 の種類の基板位置調整用マークを有しており、

前記ステップ c) において、前記所定の基板における前記第 1 の種類の基板位置調整用マークと前記第  $i$  の基板における前記第 2 の種類の基板位置調整用マークとを用いて前記所定の基板と前記第  $i$  の基板とが前記第  $i$  の基板平面に平行な方向において位置決めされることによって、前記所定の基板に保持された前記の複数の電子部品のそれぞれと前記第  $i$  の基板に保持された前記第  $i$  層の複数の電子部品のそれぞれとの位置関係が調整されることを特徴とする電子部品実装方法。

[請求項22] 請求項 2 1 に記載の電子部品実装方法において、

前記第 2 の種類の基板位置調整用マークは、前記第 1 の種類の基板位置調整用マークとは異なる形状のマークとして設けられることを特徴とする電子部品実装方法。

[請求項23] 請求項 2 1 に記載の電子部品実装方法において、

前記第 2 の種類の基板位置調整用マークは、前記第 1 の種類の基板位置調整用マークの基準位置から所定量オフセットされた位置に設けられることを特徴とする電子部品実装方法。

[請求項24] 請求項 1 に記載の電子部品実装方法において、

前記ステップ c) においては、前記所定の基板および前記第  $i$  の基板のいずれか一方の上下を反転して、前記所定の基板と前記第  $i$  の基板に配置された前記第  $i$  層の複数の電子部品とが対向した状態で、前記所定の基板と前記第  $i$  の基板とが相対的に接近されることを特徴とする電子部品実装方法。

[請求項25] 請求項 1 に記載の電子部品実装方法において、

前記ステップ c) においては、前記所定の基板に対する前記第  $i$  層の複数の電子部品の接合がハンダ接合処理を伴って行われるとともに、前記ハンダ接合処理が所定の温度プロファイルで実行されることを

特徴とする電子部品実装方法。

[請求項26]       請求項1に記載の電子部品実装方法において、  
前記ステップc)においては、前記所定の基板に対する前記第i層の複数の電子部品の接合がハンダ接合処理を伴って行われ、当該ハンダ接合処理は、前記第i層の複数の電子部品が収容される処理空間において、所定期間にわたる減圧処理を伴って実行されることを特徴とする電子部品実装方法。

[請求項27]       請求項1に記載の電子部品実装方法において、  
前記ステップc)は、  
前記所定の基板と前記第iの基板に配置された前記第i層の複数の電子部品とを対向させ、且つ、前記第i層の複数の電子部品を加熱した状態で、前記所定の基板と前記第iの基板とのアライメント動作を行って前記第i層の複数の電子部品のそれぞれを前記第iの基板平面に平行な方向において位置決めするステップ、  
を有することを特徴とする電子部品実装方法。

[請求項28]       請求項1に記載の電子部品実装方法において、  
前記ステップc)は、  
前記所定の基板と前記第iの基板に配置された前記第i層の複数の電子部品とを対向させるとともに前記第i層の複数の電子部品を加熱して接合用のハンダバンプを溶融させ、且つ、前記所定の基板と前記第iの基板に配置された前記第i層の複数の電子部品とを接触させた状態で、前記所定の基板と前記第iの基板とのアライメント動作を行って前記第i層の複数の電子部品のそれぞれを前記第iの基板平面に平行な方向において位置決めするステップと、  
を有することを特徴とする電子部品実装方法。

[請求項29]       請求項1に記載の電子部品実装方法において、  
値iは2以上の整数であり、  
前記ステップc)は、

前記所定の基板に配置された第 ( $i - 1$ ) 層の複数の電子部品と前記第  $i$  の基板に配置された前記第  $i$  層の複数の電子部品とを対向させるとともに前記第  $i$  層の複数の電子部品を加熱して接合用のハンダバンプを溶融させ、且つ、前記第 ( $i - 1$ ) 層の複数の電子部品と前記第  $i$  層の複数の電子部品とを接触させた状態で、前記所定の基板と前記第  $i$  の基板とのアライメント動作を行って前記第  $i$  層の複数の電子部品のそれぞれを前記第  $i$  の基板平面に平行な方向において位置決めするステップと、  
を有することを特徴とする電子部品実装方法。

[請求項30]

請求項 1 に記載の電子部品実装方法において、  
前記ステップ c) は、

前記所定の基板に対する前記第  $i$  層の複数の電子部品の接合時における接合面に設けられた電極材料に対して、表面活性化処理を施すステップと、

前記所定の基板と前記第  $i$  の基板に配置された前記第  $i$  層の複数の電子部品とを対向させた状態で前記所定の基板と前記第  $i$  の基板とを相対的に接近させることによって、前記所定の基板と前記第  $i$  層の複数の電子部品とを相対的に接近させ、前記所定の基板と前記第  $i$  層の複数の電子部品とをそれぞれ接合するステップと、  
を有することを特徴とする電子部品実装方法。

[請求項31]

請求項 30 に記載の電子部品実装方法において、

前記表面活性化処理は、エネルギー波を照射することにより接合表面を活性化する処理を含むことを特徴とする電子部品実装方法。

[請求項32]

請求項 31 に記載の電子部品実装方法において、

前記エネルギー波は、特定物質を電界で加速することによって照射されることを特徴とする電子部品実装方法。

[請求項33]

請求項 32 に記載の電子部品実装方法において、

前記特定物質は、不活性ガス物質を含むことを特徴とする電子部品

実装方法。

- [請求項34]       請求項30に記載の電子部品実装方法において、  
前記表面活性化処理は、親水化処理を伴って接合表面を活性化する処理を含むことを特徴とする電子部品実装方法。
- [請求項35]       請求項34に記載の電子部品実装方法において、  
前記表面活性化処理は、プラズマ処理を伴って実行されることを特徴とする電子部品実装方法。
- [請求項36]       請求項35に記載の電子部品実装方法において、  
前記プラズマ処理は、酸素プラズマ処理および窒素プラズマ処理の少なくとも一方を含むことを特徴とする電子部品実装方法。
- [請求項37]       請求項1に記載の電子部品実装方法において、  
f) 前記第i層の複数の電子部品が前記所定の基板上に平面的に配置された後に、前記所定の基板上に配置された状態での前記第i層の複数の電子部品のそれぞれに関する第1の接合状態検査を行うステップ、  
をさらに備え、  
前記ステップd)の後、値iをインクリメントして再び前記ステップa)～前記ステップd)が実行され、  
前記値iのインクリメント後に再び実行される前記ステップb)においては、前記第1の接合状態検査にて不良であると判定された電子部品に対応する位置を除外して、前記第i層の複数の電子部品が第iの樹脂層に平面配置されることを特徴とする電子部品実装方法。
- [請求項38]       請求項37に記載の電子部品実装方法において、  
前記ステップd)の後、値iをインクリメントして前記ステップa)～前記ステップd)および前記ステップf)が再び実行され、  
前記値iのインクリメント後に再び実行される前記ステップf)においては、前記所定の基板上に配置された状態での前記第i層の複数の電子部品のそれぞれに関する第2の接合状態検査が実行され、

前記値  $i$  のインクリメント後に再び実行される前記ステップ d) の後、値  $i$  を再インクリメントして前記ステップ a) ～前記ステップ d) が再び実行され、

前記値  $i$  の再インクリメント後に再び実行される前記ステップ b) においては、前記第 2 の接合状態検査にて不良であると判定された電子部品に対応する位置をも除外して、前記第  $i$  層の複数の電子部品が前記第  $i$  の樹脂層に平面配置されることを特徴とする電子部品実装方法。

[請求項39]

請求項 1 に記載の電子部品実装方法において、

f) 前記第  $i$  層の複数の電子部品であって良品判定済みの複数の電子部品が前記所定の基板上に平面的に配置された後に、前記所定の基板上に配置された状態での前記第  $i$  層の複数の電子部品のそれぞれに関する第 1 の接合状態検査を行うステップ、  
をさらに備え、

前記ステップ d) の後、値  $i$  をインクリメントして前記ステップ a) ～前記ステップ d) が再び実行され、

前記値  $i$  のインクリメント後に再び実行される前記ステップ b) においては、前記第 1 の接合状態検査にて不良であると判定された電子部品に対応する位置を除外して、前記第  $i$  層の複数の電子部品であって良品判定済みの複数の電子部品が前記第  $i$  の樹脂層に平面配置されることを特徴とする電子部品実装方法。

[請求項40]

請求項 39 に記載の電子部品実装方法において、

前記ステップ d) の後、値  $i$  をインクリメントして前記ステップ a) ～前記ステップ d) および前記ステップ f) が再び実行され、

前記値  $i$  のインクリメント後に再び実行される前記ステップ f) においては、前記所定の基板上に配置された状態での前記第  $i$  層の複数の電子部品のそれぞれに関する第 2 の接合状態検査が実行され、

前記値  $i$  のインクリメント後に再び実行される前記ステップ d) の

後、値  $i$  を再インクリメントして前記ステップ a) ～前記ステップ d) が再び実行され、

前記値  $i$  の再インクリメント後に再び実行される前記ステップ b) においては、前記第 2 の接合状態検査にて不良であると判定された電子部品に対応する位置をも除外して、前記第  $i$  層の複数の電子部品が前記第  $i$  の樹脂層に平面配置されることを特徴とする電子部品実装方法。

[請求項41]

請求項 1 に記載の電子部品実装方法において、  
前記ステップ b) は、

b-2) 前記第  $i$  の樹脂層の上に平面配置された前記第  $i$  層の複数の電子部品の上部側表面を覆うまで樹脂を供給し、当該樹脂の硬化後に、前記第  $i$  層の複数の電子部品の前記上部側表面の樹脂部分であって前記第  $i$  層の複数の電子部品の前記上側表面に突出して設けられた電極部分が平面的に点在する樹脂部分に対して、平坦化研磨処理を施すステップ、  
を有し、

前記ステップ c) においては、前記第  $i$  層の複数の電子部品に設けられた前記電極部分と前記第  $(i-1)$  層の複数の電子部品の対応部分あるいは前記所定の基板の対応部分とが接合されることを特徴とする電子部品実装方法。

[請求項42]

請求項 4 1 に記載の電子部品実装方法において、  
前記ステップ b-2) は、

b-2-1) その上側表面に電極部分が突出して設けられた前記第  $i$  層の複数の電子部品を前記第  $i$  の樹脂層に平面配置するステップと、

b-2-2) 前記第  $i$  の樹脂層の上に平面配置された前記第  $i$  層の複数の電子部品の上部側表面を覆うまで樹脂を供給するステップと、  
、

b-2-3) 当該樹脂の硬化後に、前記第 i 層の複数の電子部品の前記上部側表面の樹脂部分に対して、平坦化研磨処理を施すステップと、

を有することを特徴とする電子部品実装方法。

[請求項43]

請求項 4 1 に記載の電子部品実装方法において、

前記ステップ b-2) は、

b-2-1) 前記第 i 層の複数の電子部品を前記第 i の樹脂層に平面配置するステップと、

b-2-2) 前記第 i の樹脂層の上に平面配置された前記第 i 層の複数の電子部品の上部側表面を覆うまで樹脂を供給するステップと、

b-2-3) 前記第 i 層の複数の電子部品の前記上部側表面の樹脂部分において、電極形成用の孔部を平面内の所定位置に設けるステップと、

b-2-4) 前記孔部に電極材料を供給して、前記第 i 層の複数の電子部品の前記上部側表面に電極部分を形成するステップと、

b-2-5) 前記第 i 層の複数の電子部品の前記上部側表面の樹脂部分に対して、平坦化研磨処理を施すステップと、  
を有することを特徴とする電子部品実装方法。

[請求項44]

請求項 1 に記載の電子部品実装方法において、

前記ステップ d) は、

前記第 i 層の複数の電子部品から前記第 i の基板が分離された後において、前記第 i 層の複数の電子部品における露出面に対して、平坦化研磨処理を実行するステップ、

を有することを特徴とする電子部品実装方法。

[請求項45]

請求項 1 に記載の電子部品実装方法において、

前記第 i 層の複数の電子部品のそれぞれのサイズは、前記所定の基板からダイシングにより切り出される単位部分であって前記第 i 層の

複数の電子部品のそれぞれが配置される単位部分に関する切り出し後のサイズとは、異なることを特徴とする電子部品実装方法。

[請求項46]

請求項4に記載の電子部品実装方法において、

前記第  $i$  層の複数の電子部品のサイズは、それぞれ、前記ステップ c) において対向する前記第  $(i - 1)$  層の複数の電子部品のサイズとは異なることを特徴とする電子部品実装方法。

[請求項47]

電子部品実装システムであって、

仮基板である第  $i$  の基板（ただし、 $i$  は1以上の整数）上に形成された第  $i$  の樹脂層に、第  $i$  層の複数の電子部品をその接合面を上側に向けたフェイスアップ状態で載置し、第  $i$  層の複数の電子部品を前記第  $i$  の樹脂層に平面配置して仮固定する第1のボンディング手段と、

所定の基板と前記第  $i$  の基板に配置された前記第  $i$  層の複数の電子部品とを対向させた状態で前記所定の基板と前記第  $i$  の基板とを相対的に接近させることによって、前記所定の基板と前記第  $i$  層の複数の電子部品とを相対的に接近させ、前記所定の基板と前記第  $i$  層の複数の電子部品とを接合する第2のボンディング手段と、

前記第  $i$  層の複数の電子部品が前記所定の基板に対して接合された状態を維持しつつ、前記第  $i$  層の複数の電子部品から前記第  $i$  の基板を分離する分離手段と、

を備えることを特徴とする電子部品実装システム。

[請求項48]

請求項47に記載の電子部品実装システムにおいて、

前記第  $i$  層の複数の電子部品は、それぞれ、第1の種類の部品位置調整用マークを有しており、

前記第  $i$  の基板は、前記第  $i$  層の複数の電子部品のそれぞれに対応して、第2の種類の部品位置調整用マークを有しており、

前記第1のボンディング手段は、

前記第  $i$  層の複数の電子部品を構成する各電子部品における前記第1の種類の部品位置調整用マークと前記各電子部品に対応して前記

第  $i$  の基板に設けられた前記第 2 の種類の部品位置調整用マークとを用いて、前記第  $i$  の基板平面に平行な方向における前記各電子部品の位置を認識する第 1 の位置認識手段と、

前記第 1 の位置認識手段によって認識された前記各電子部品の前記位置に基づいて前記第  $i$  の基板と前記各電子部品とを相対的に駆動し、前記第  $i$  の基板上における前記各電子部品の位置を調整する第 1 の駆動手段と、

を有することを特徴とする電子部品実装システム。

[請求項49]

請求項 48 に記載の電子部品実装システムにおいて、

前記所定の基板は、第 1 の種類の基板位置調整用マークを有しており、

前記第  $i$  の基板は、前記第 1 の種類の基板位置調整用マークとは異なる形状の第 2 の種類の基板位置調整用マークを有しており、

前記第 2 のボンディング手段は、

前記所定の基板における前記第 1 の種類の基板位置調整用マークと前記第  $i$  の基板における前記第 2 の種類の基板位置調整用マークとを用いて、前記第  $i$  の基板平面に平行な方向における前記所定の基板と前記第  $i$  の基板との相対位置関係を求める第 2 の位置認識手段と、

第 2 の位置認識手段によって求められた前記相対位置関係に基づいて前記所定の基板と前記第  $i$  の基板とを相対的に駆動し、前記所定の基板と前記第  $i$  の基板との位置関係を調整する第 2 の駆動手段と、を有することを特徴とする電子部品実装システム。

[請求項50]

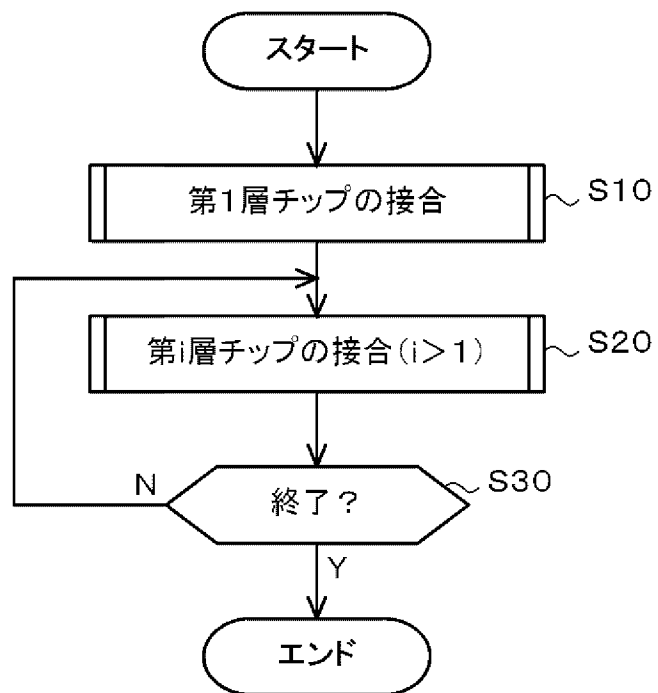
請求項 21 に記載の電子部品実装方法における前記第  $i$  の基板として用いられる基板であって、

前記第 2 の種類の部品位置調整用マークと、

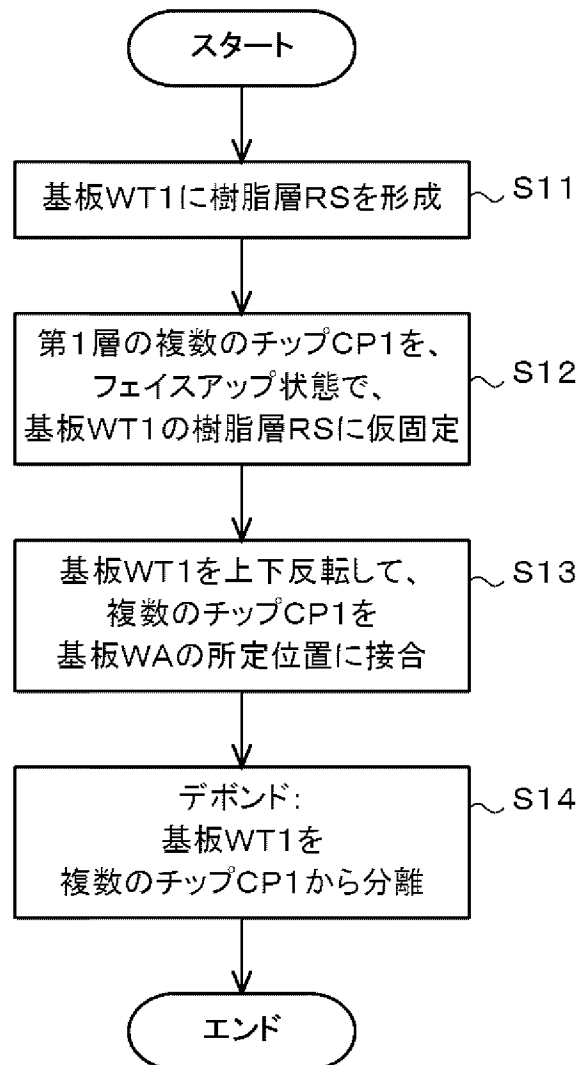
前記第 2 の種類の基板位置調整用マークと、

を有することを特徴とする基板。

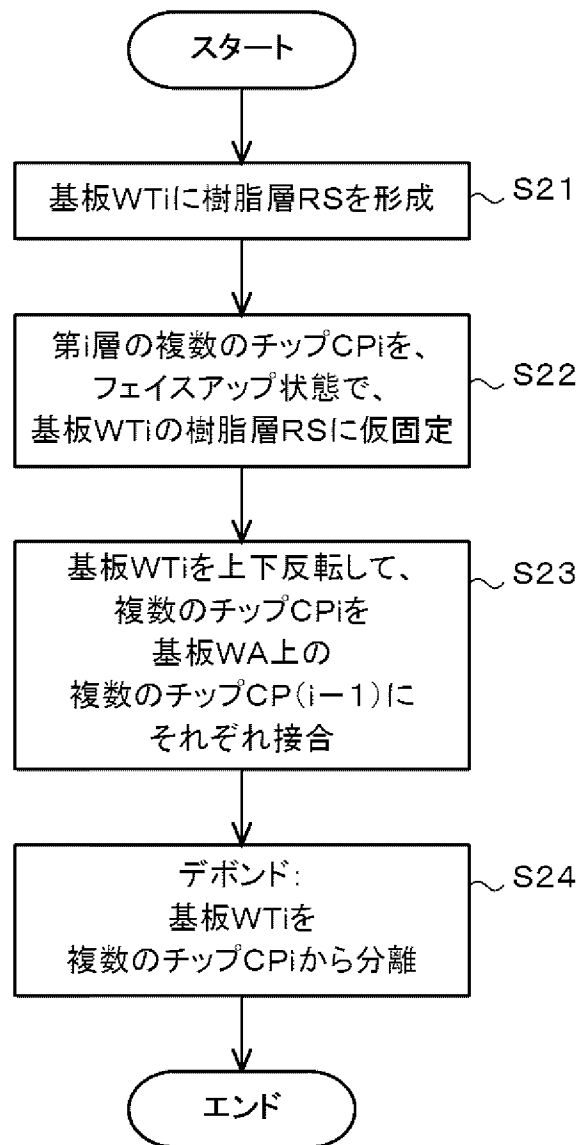
[図1]



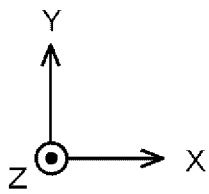
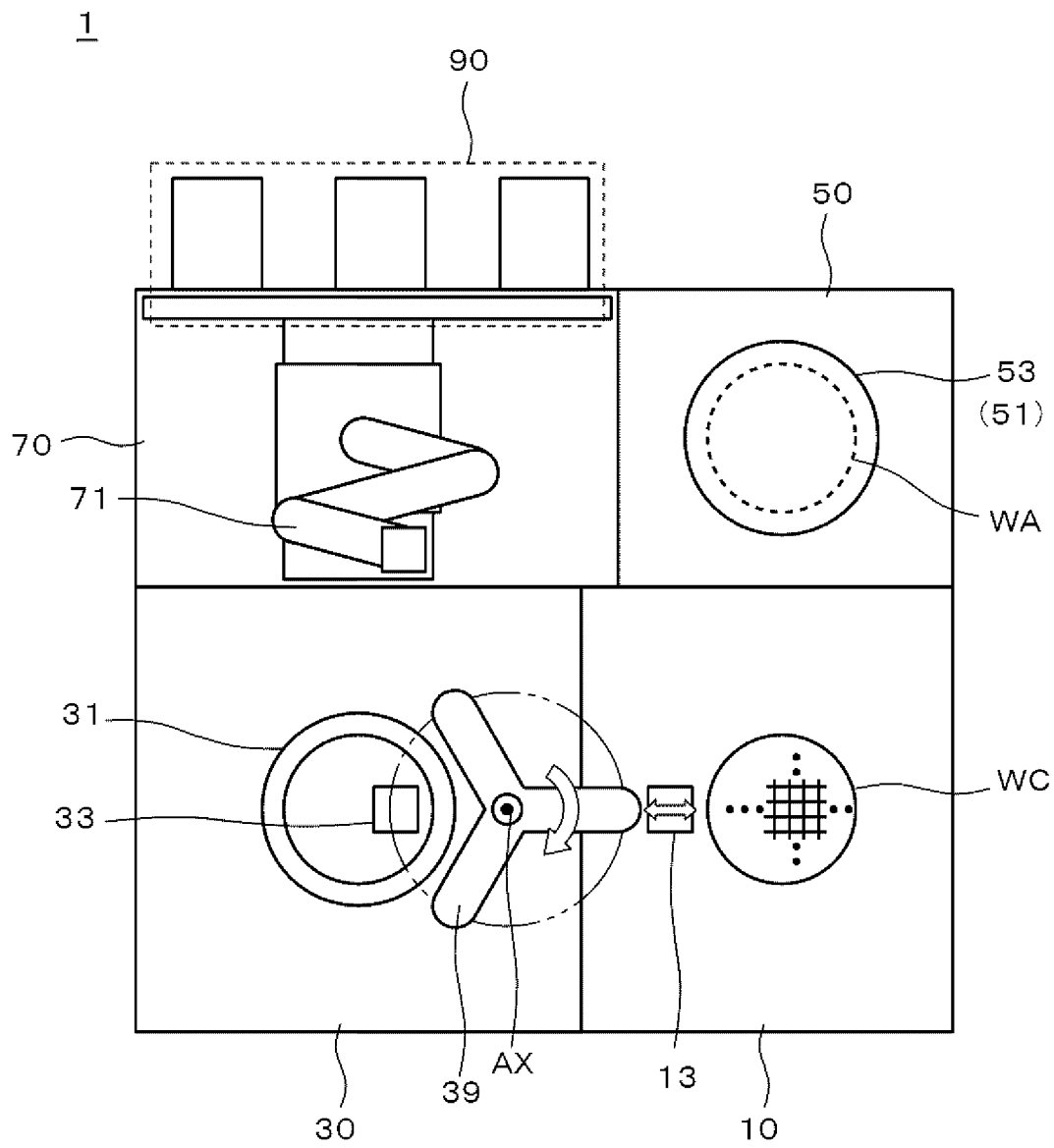
[図2]

S10

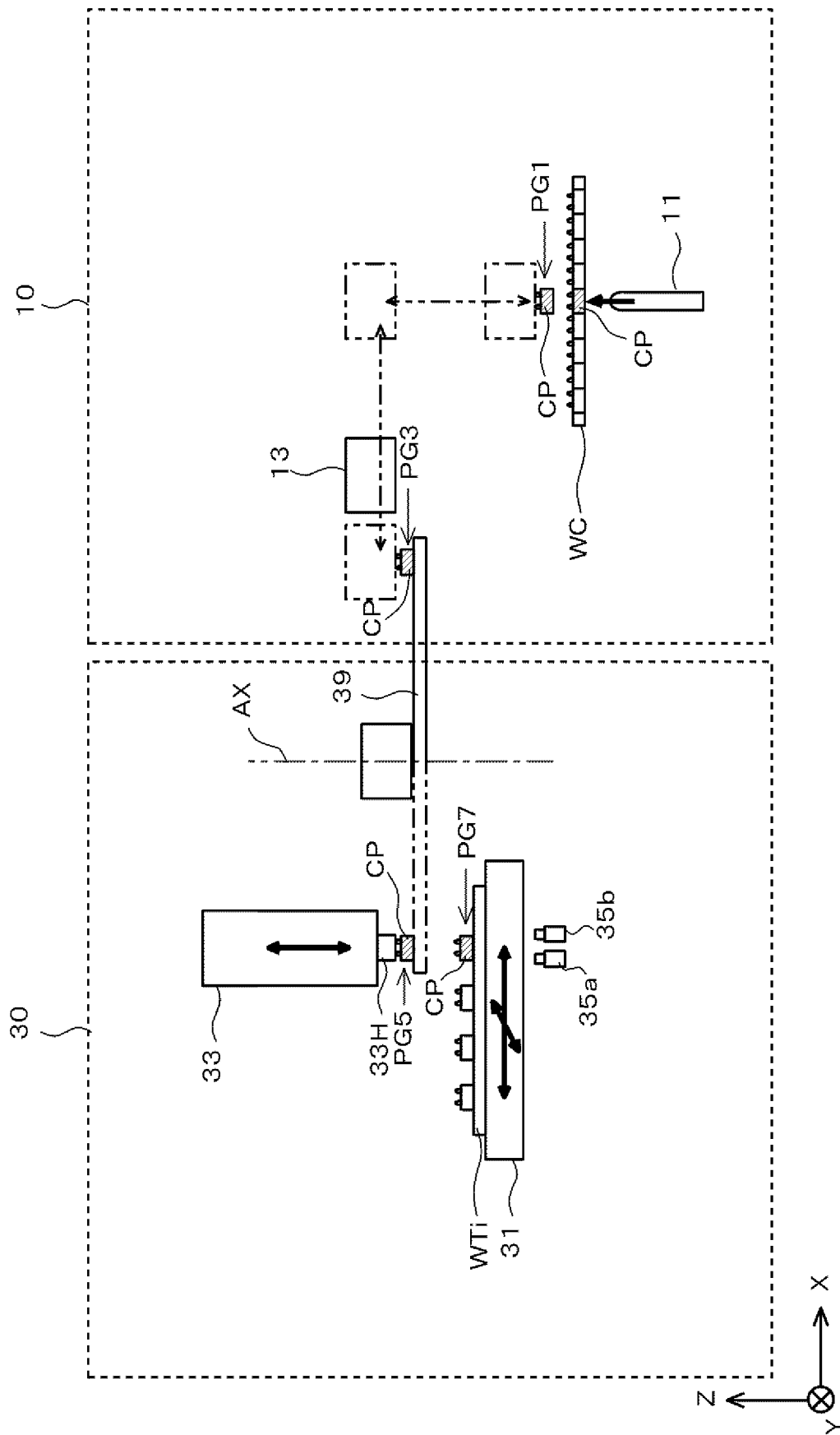
[図3]

S20

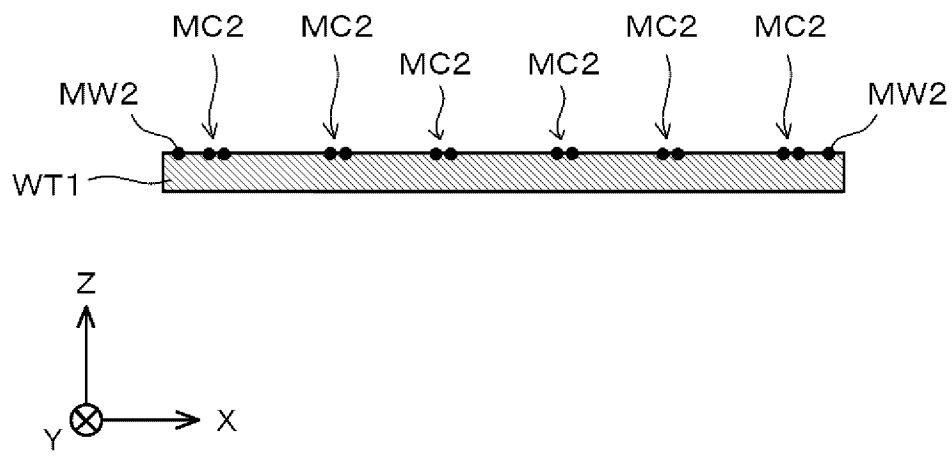
[図4]



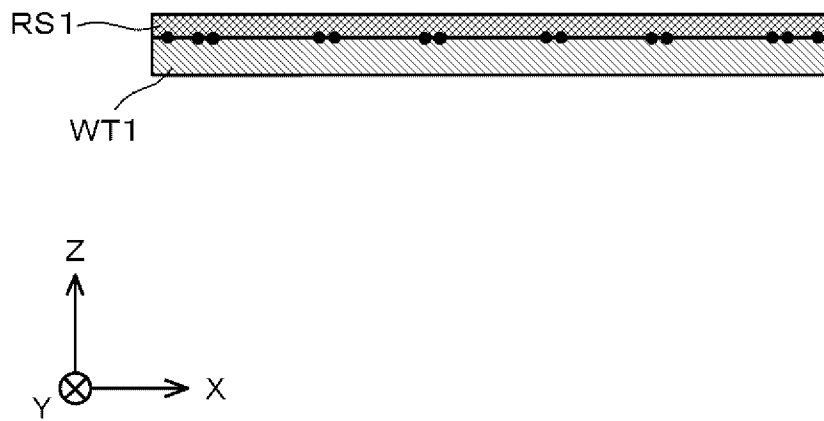
[図5]



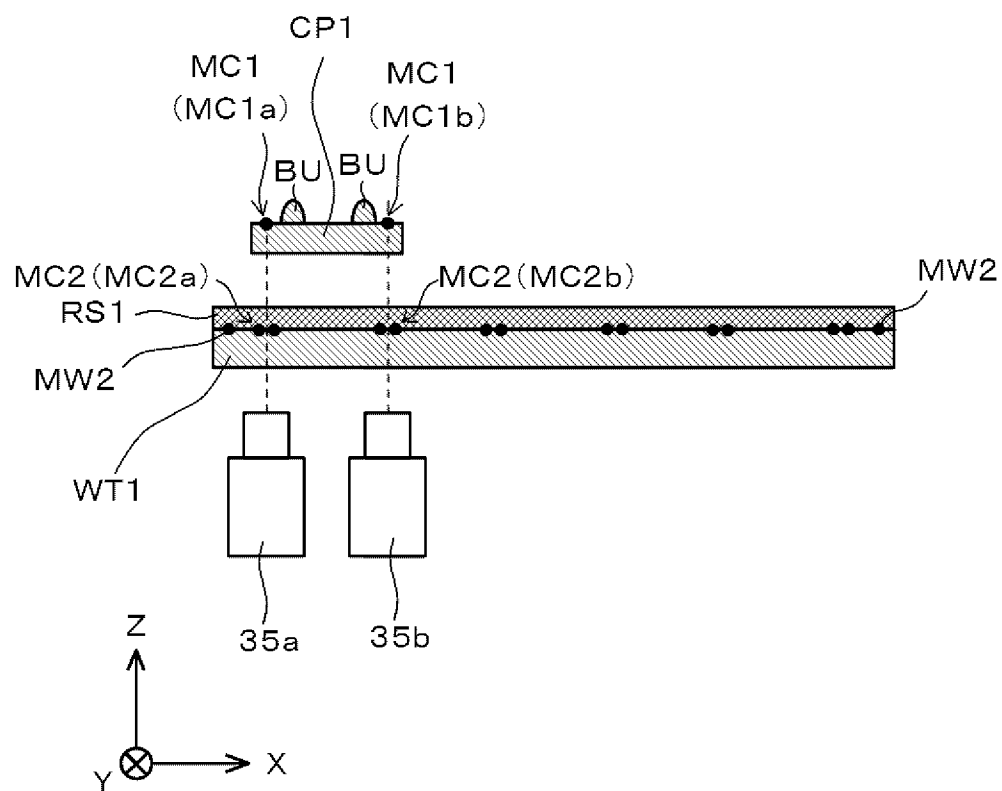
[図6]



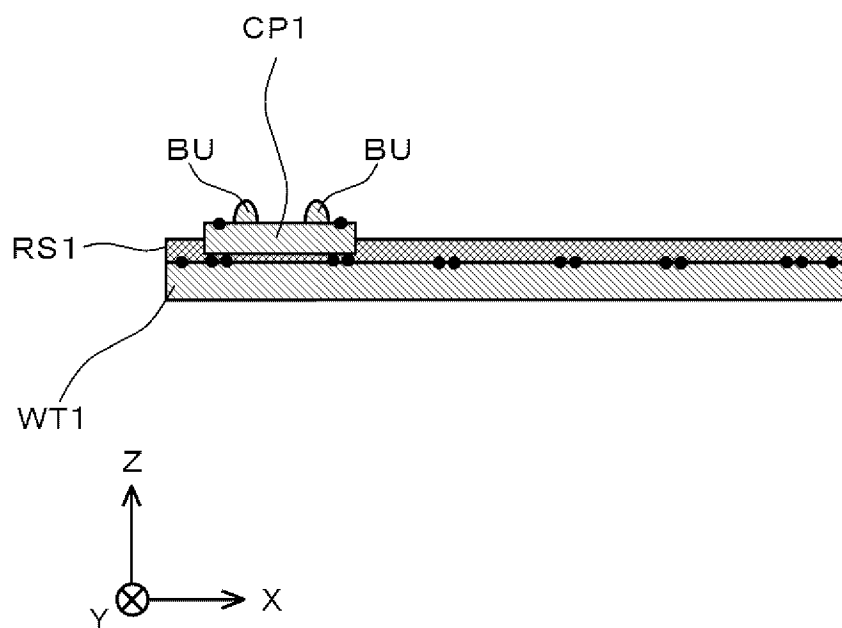
[図7]



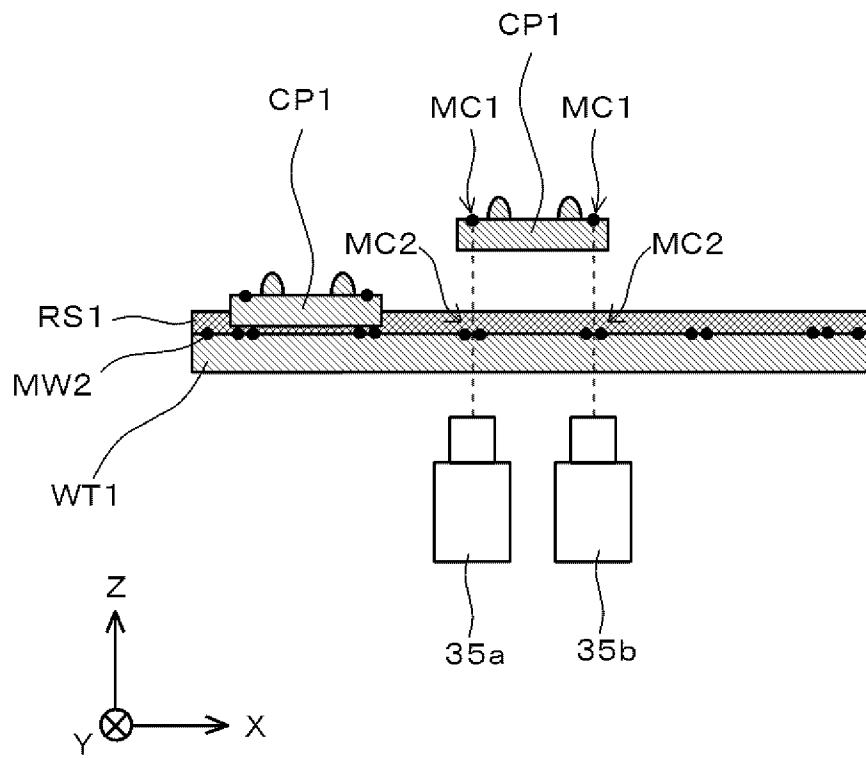
[図8]



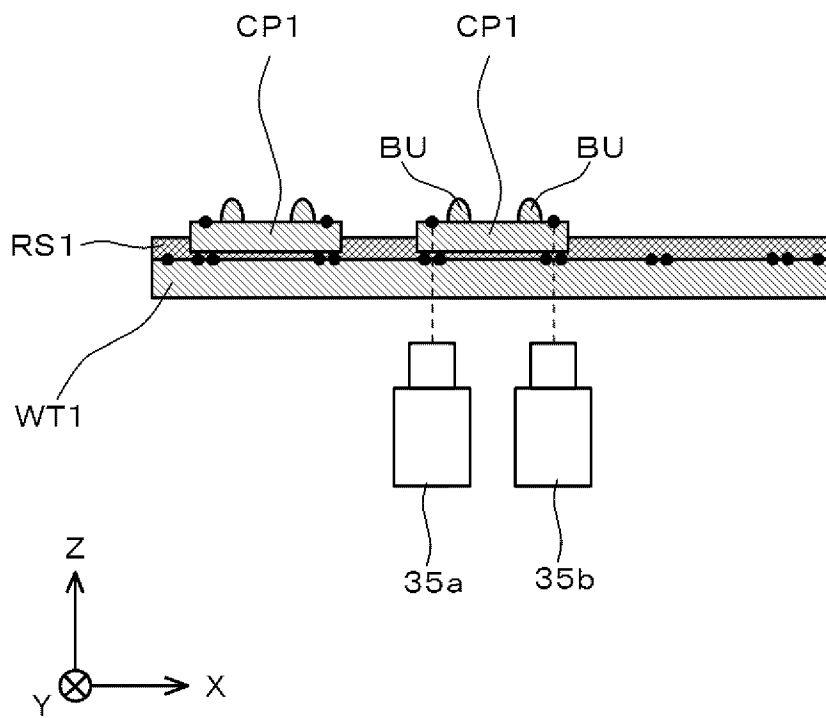
[図9]



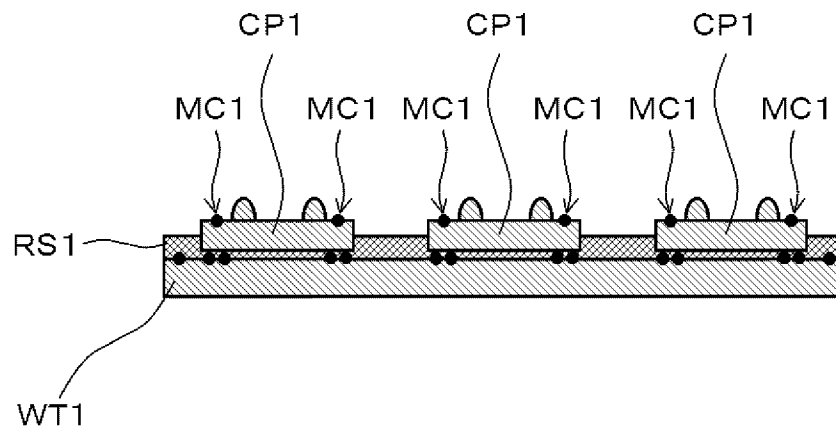
[図10]



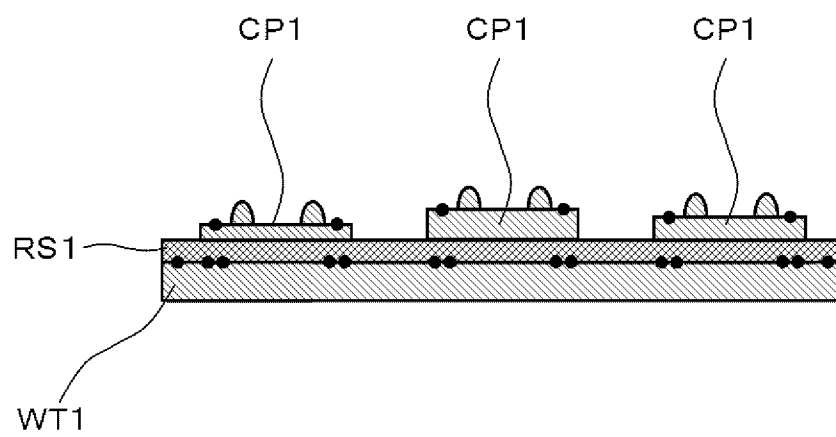
[図11]



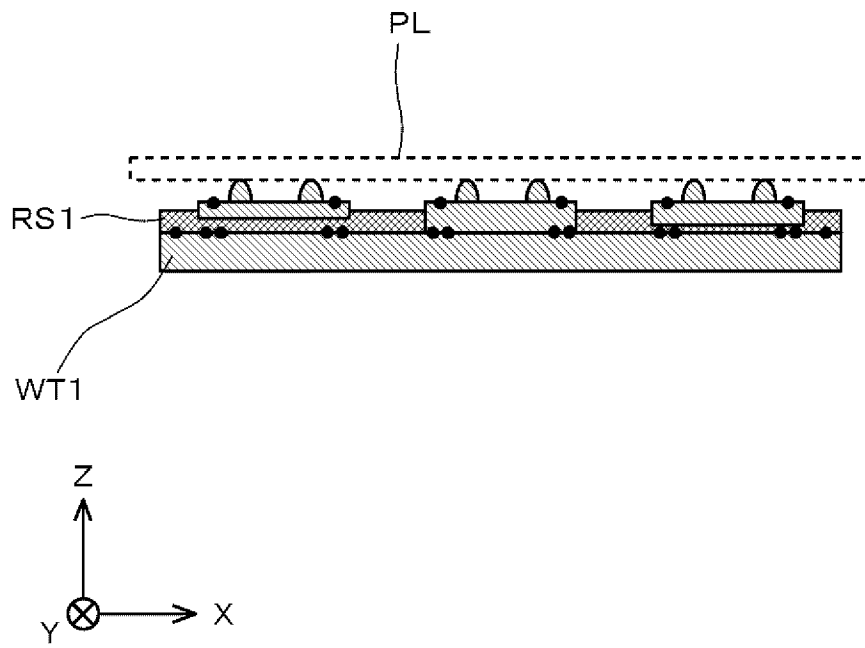
[図12]



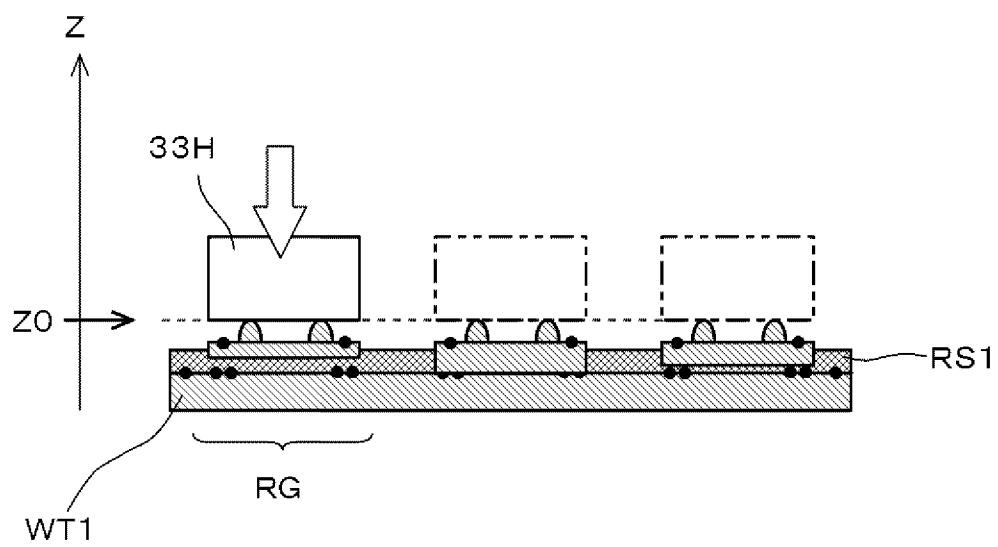
[図13]



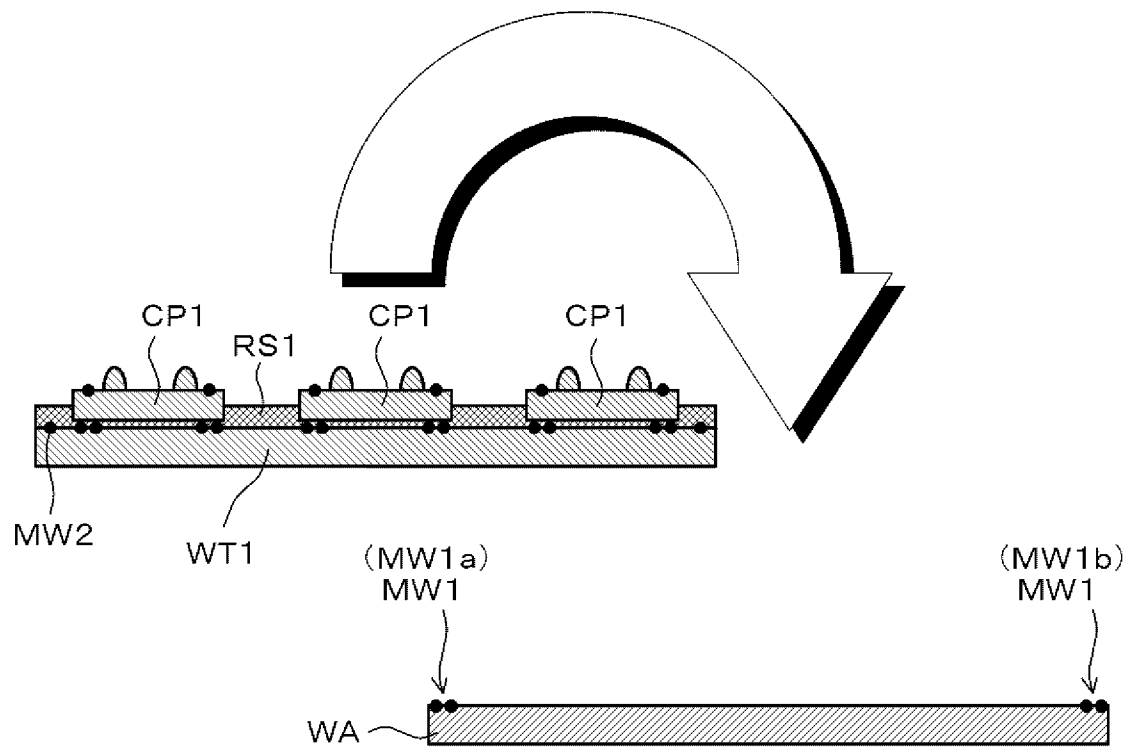
[図14]



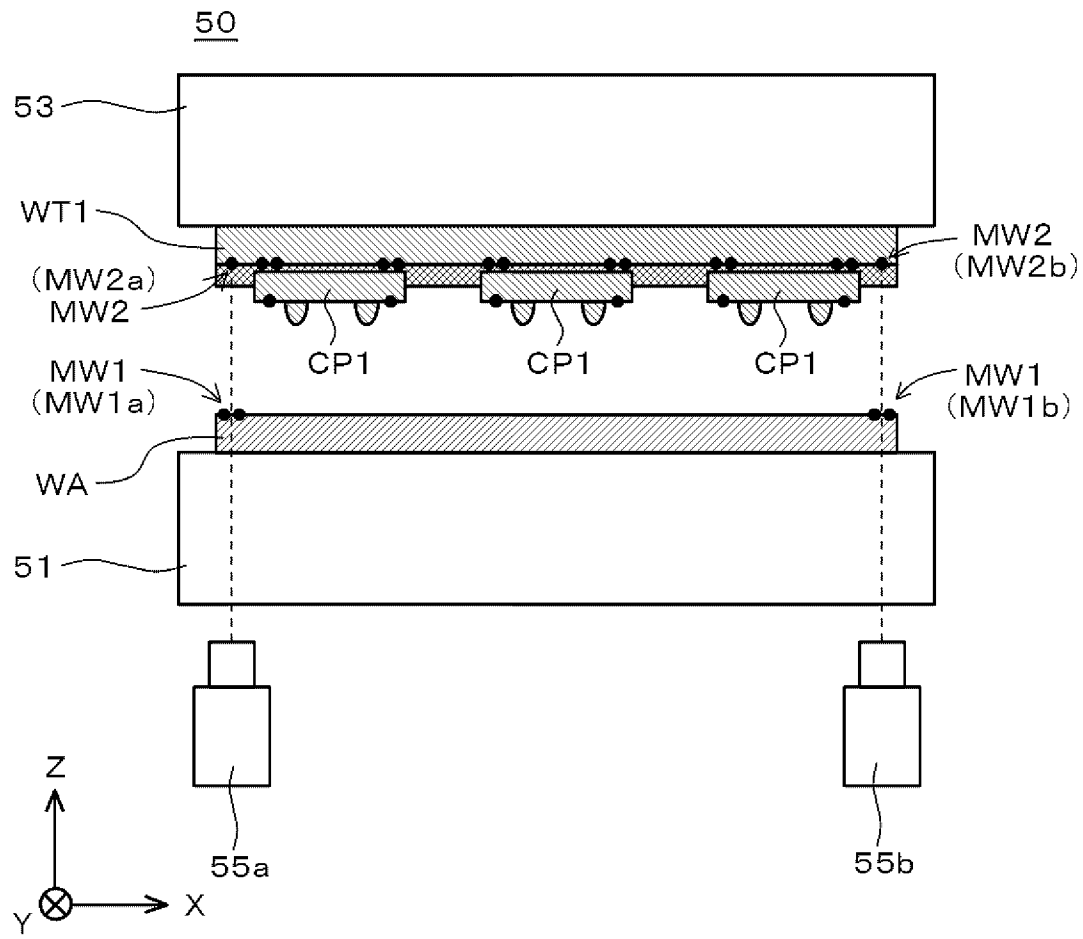
[図15]



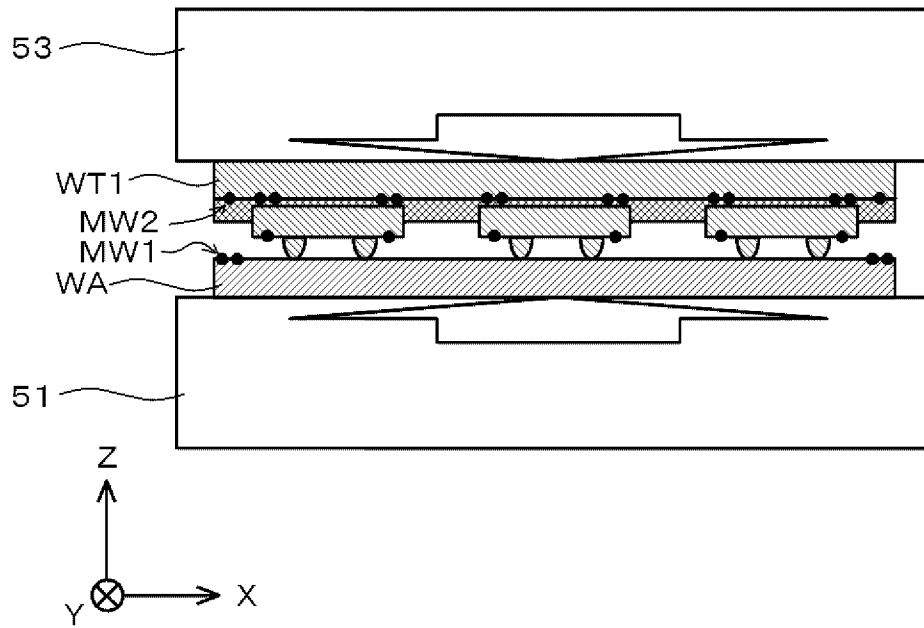
[図16]



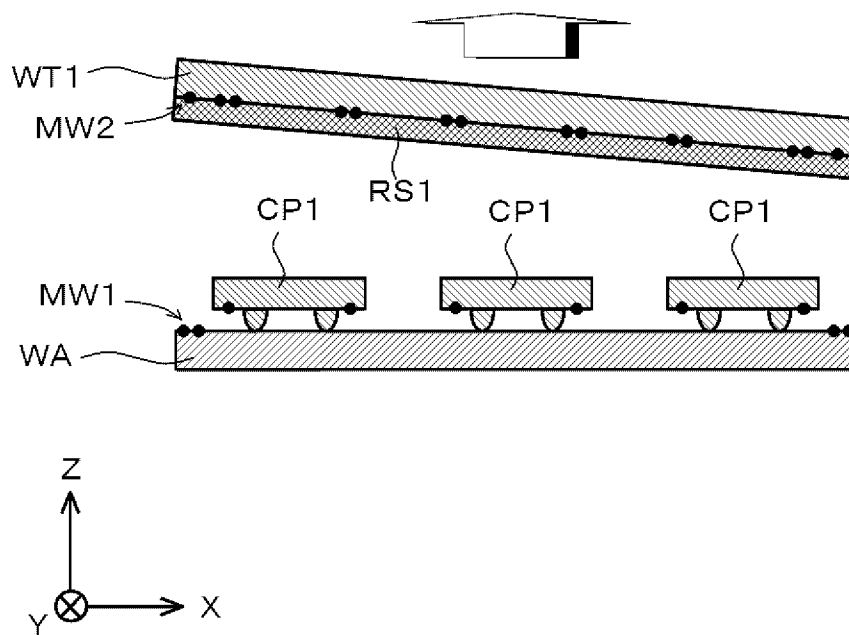
[図17]



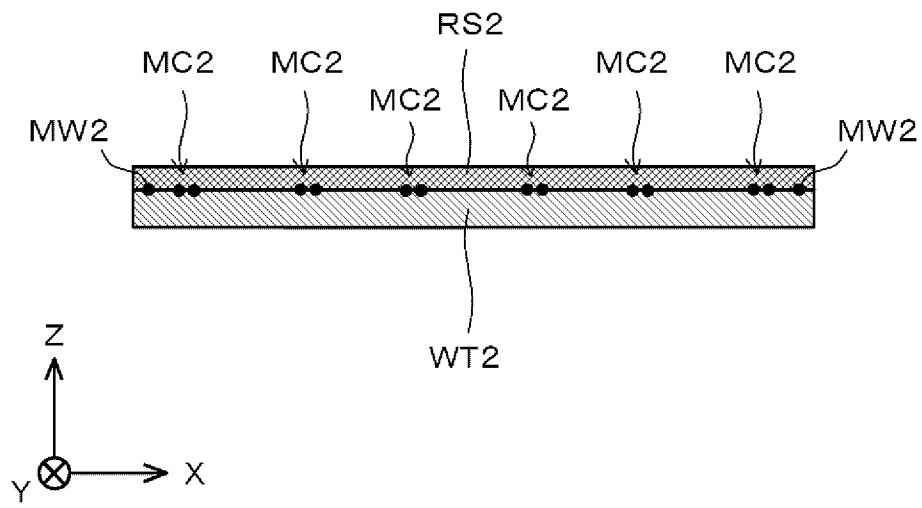
[図18]



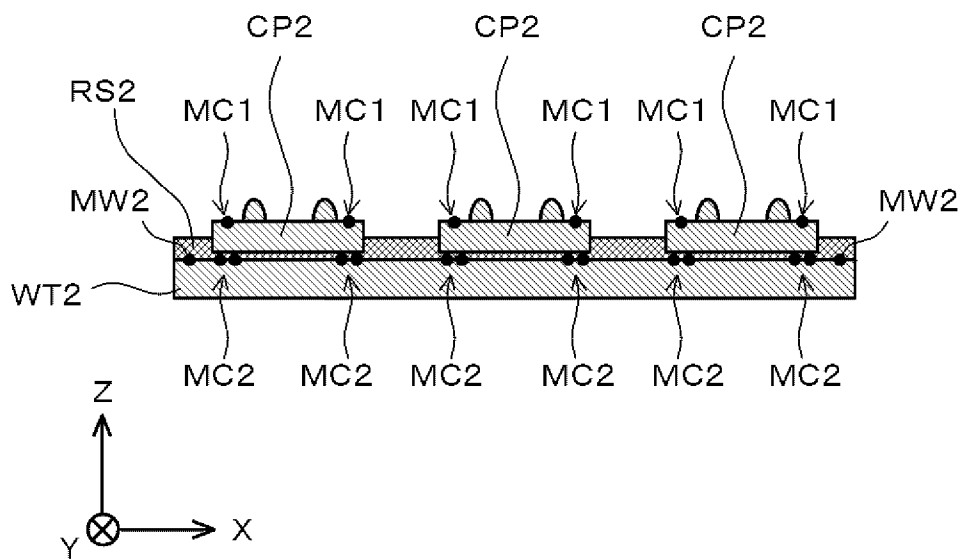
[図19]



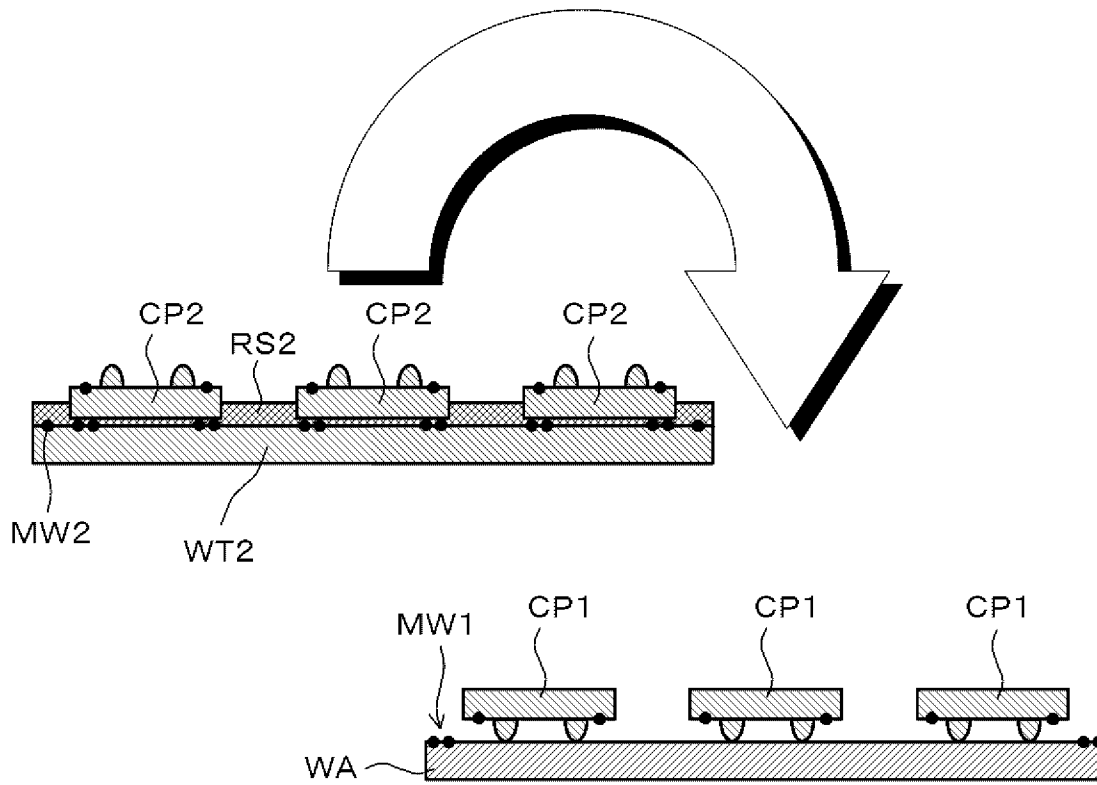
[図20]



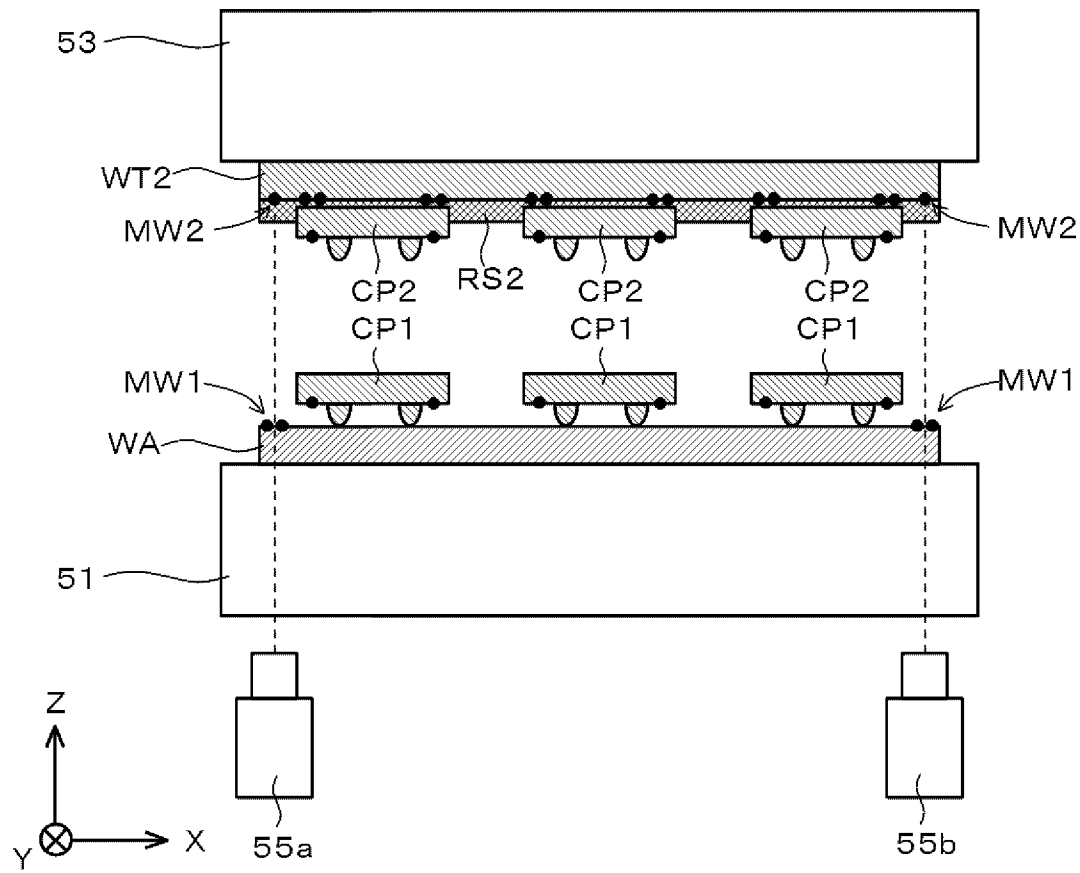
[図21]



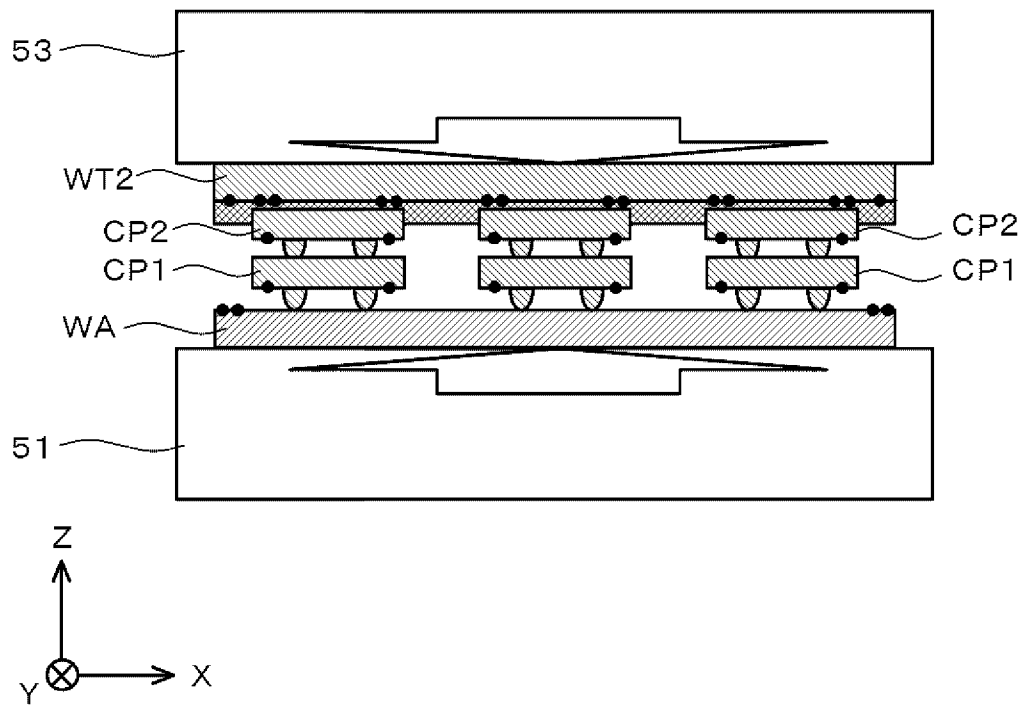
[図22]



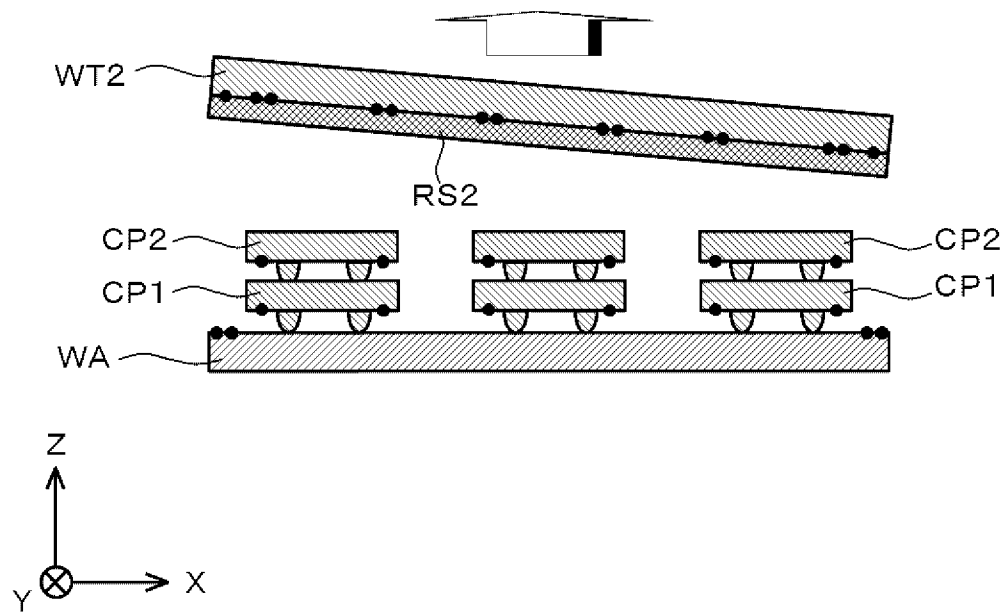
[図23]



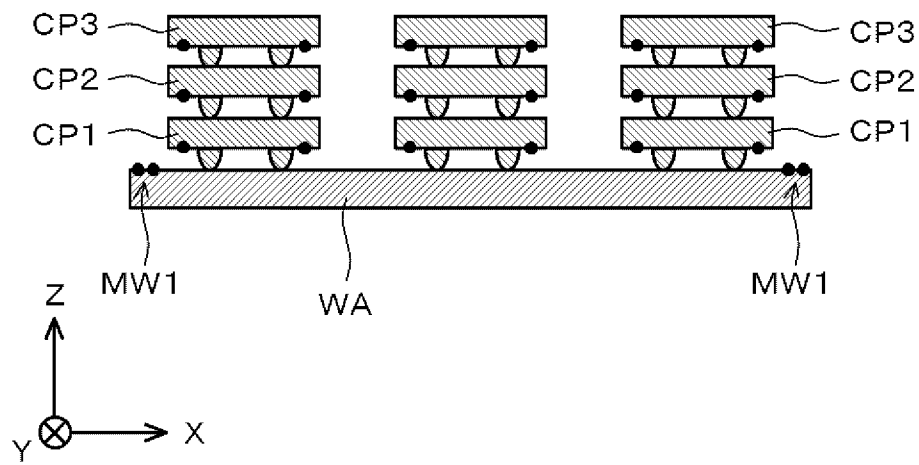
[図24]



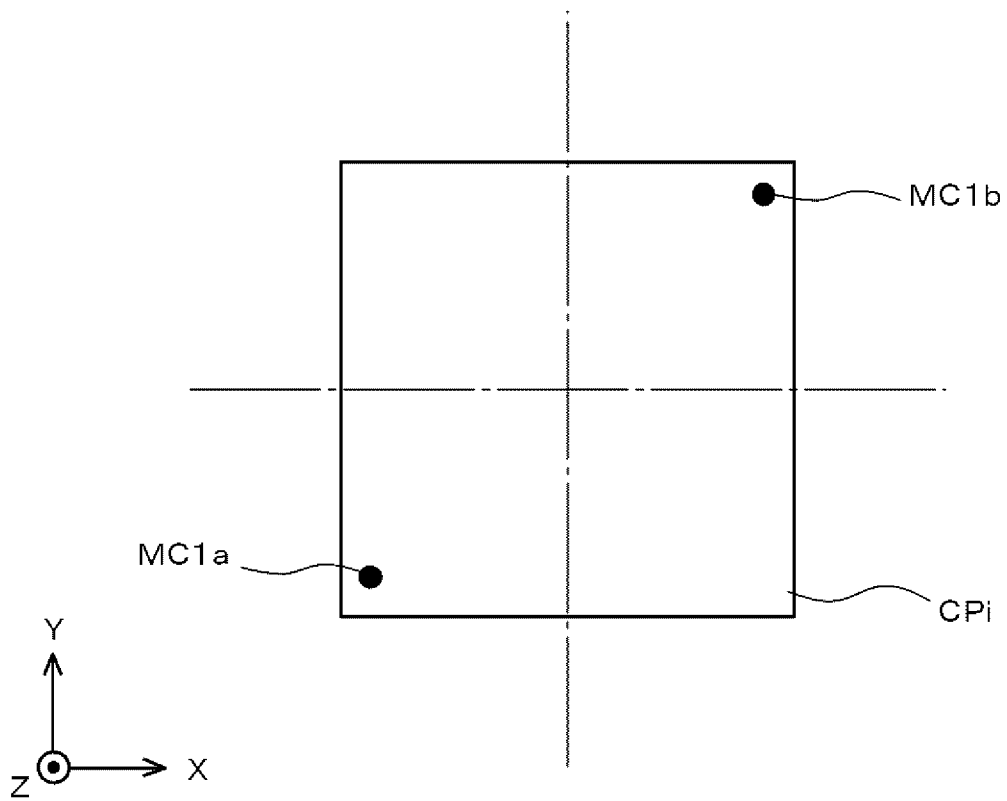
[図25]



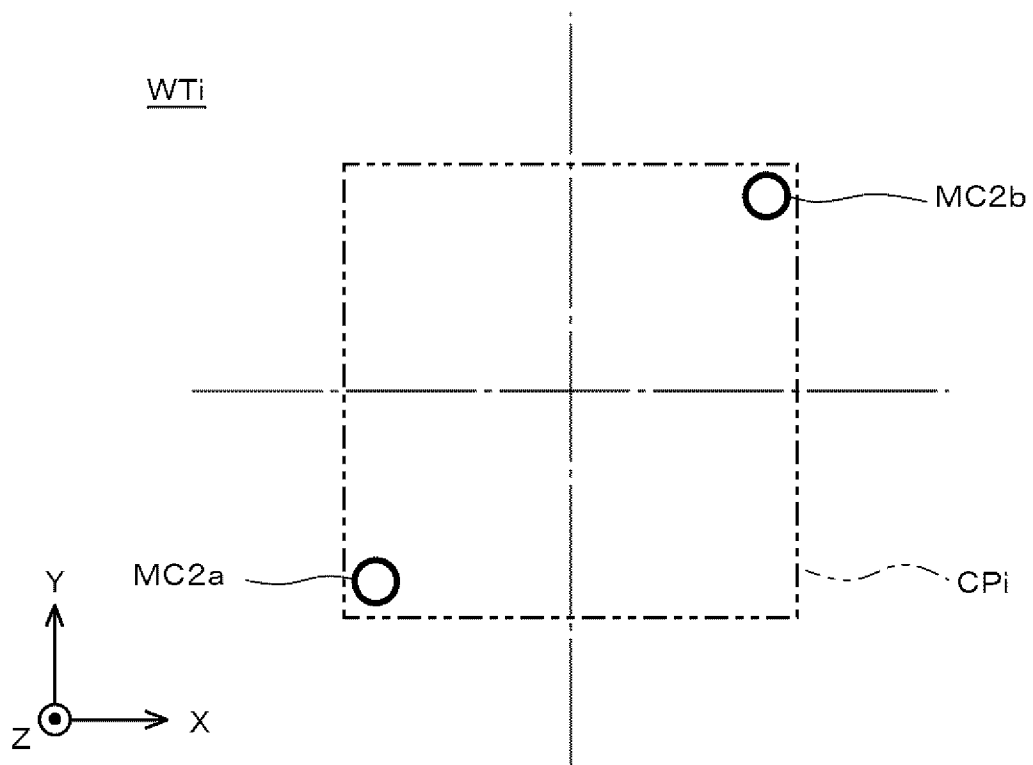
[図26]



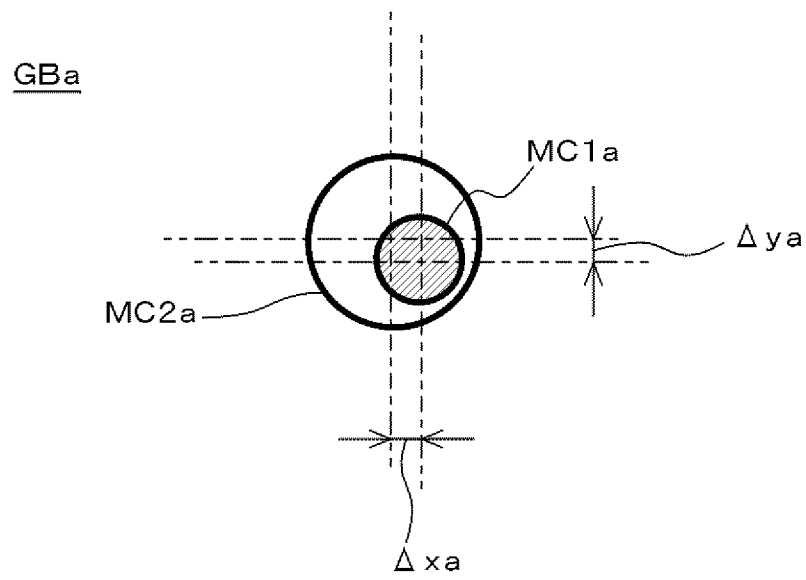
[図27]



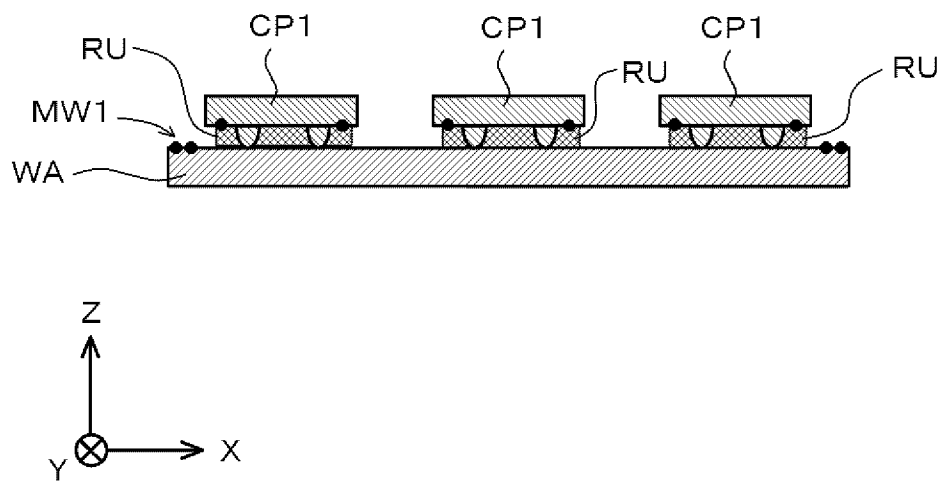
[図28]



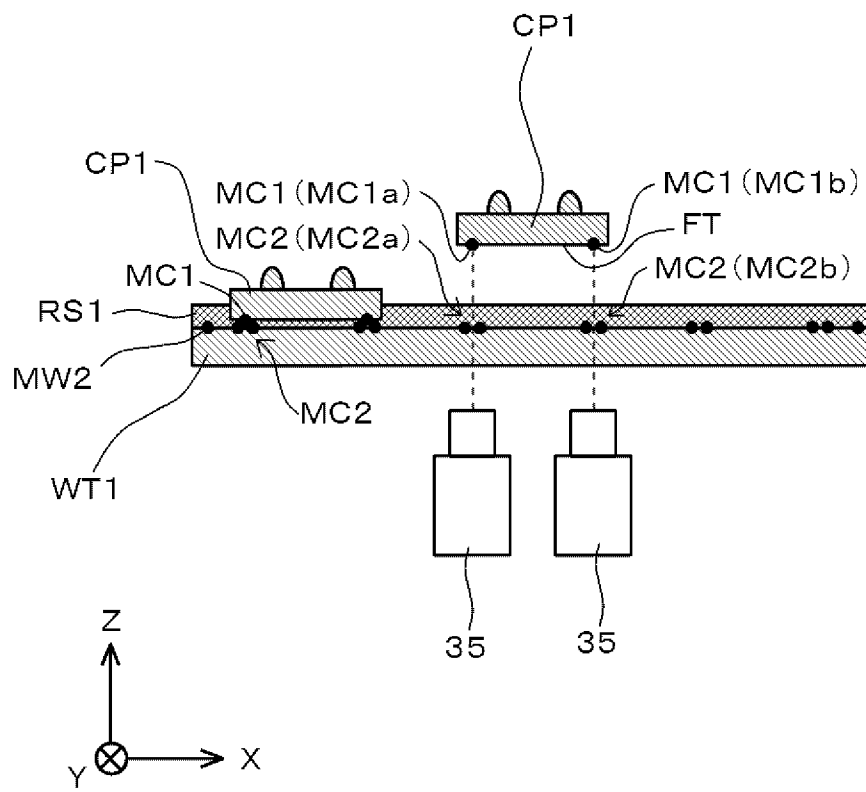
[図29]



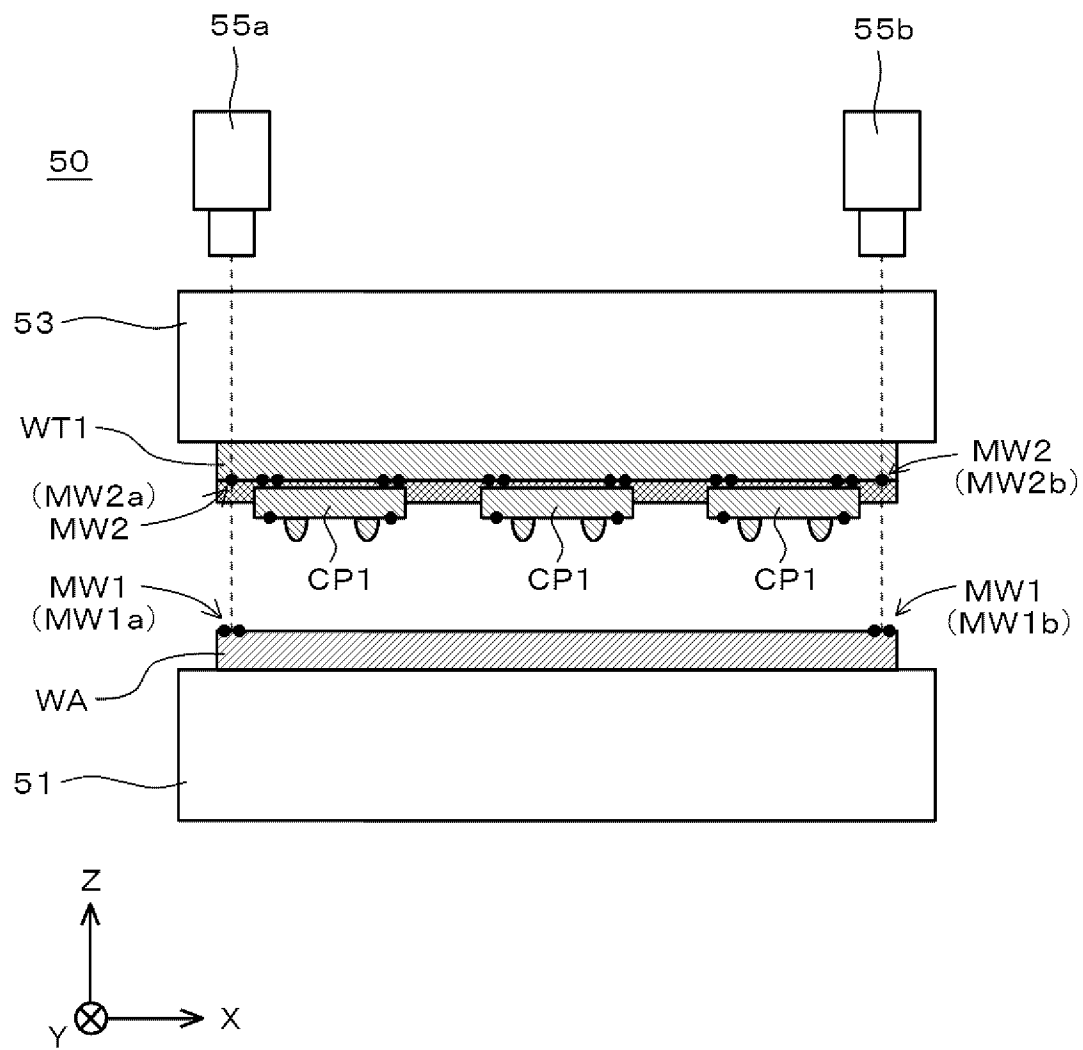
[図30]



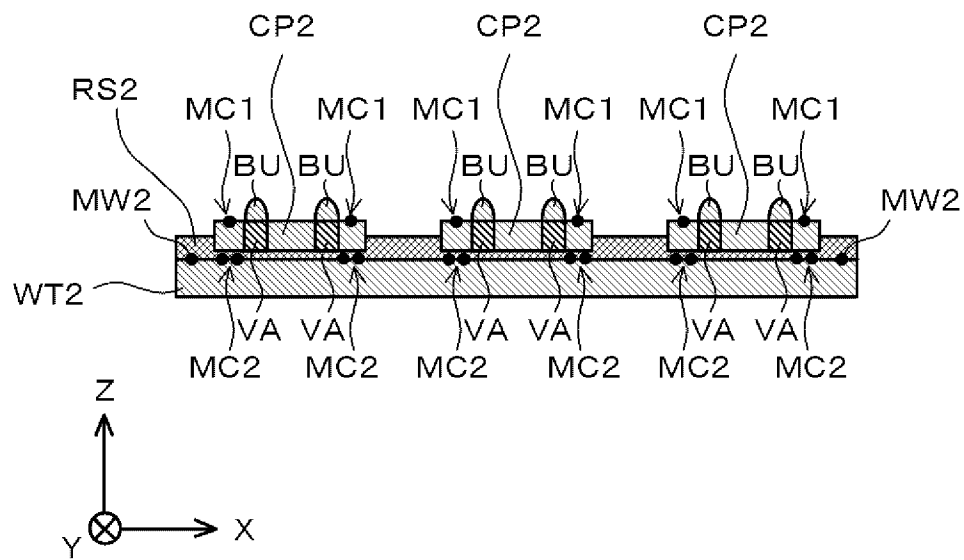
[図31]



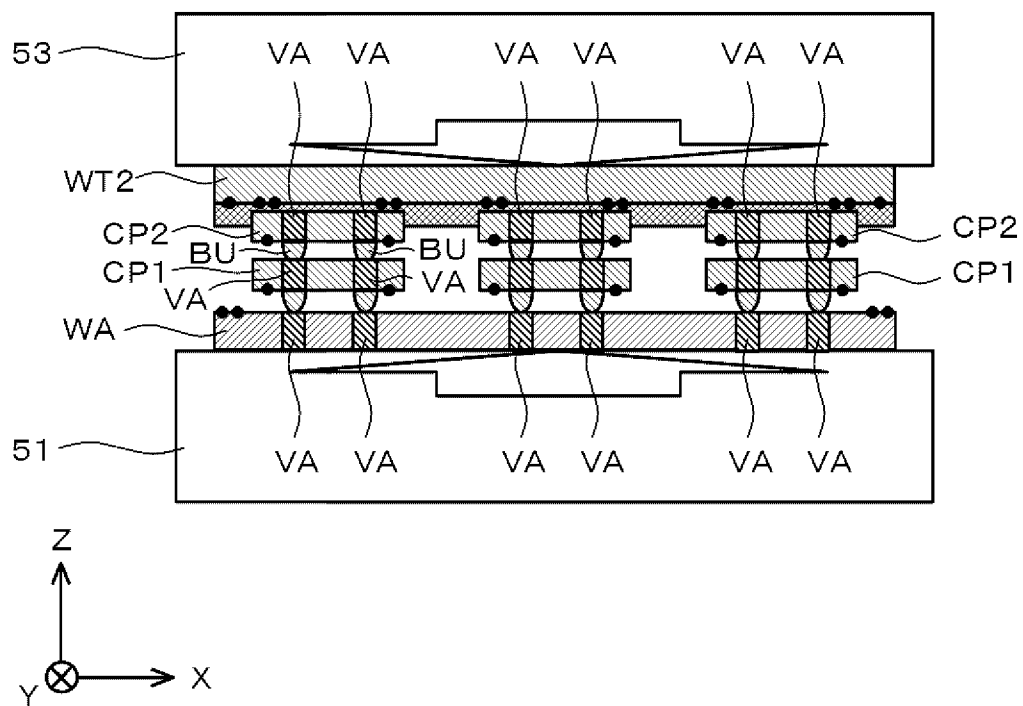
[図32]



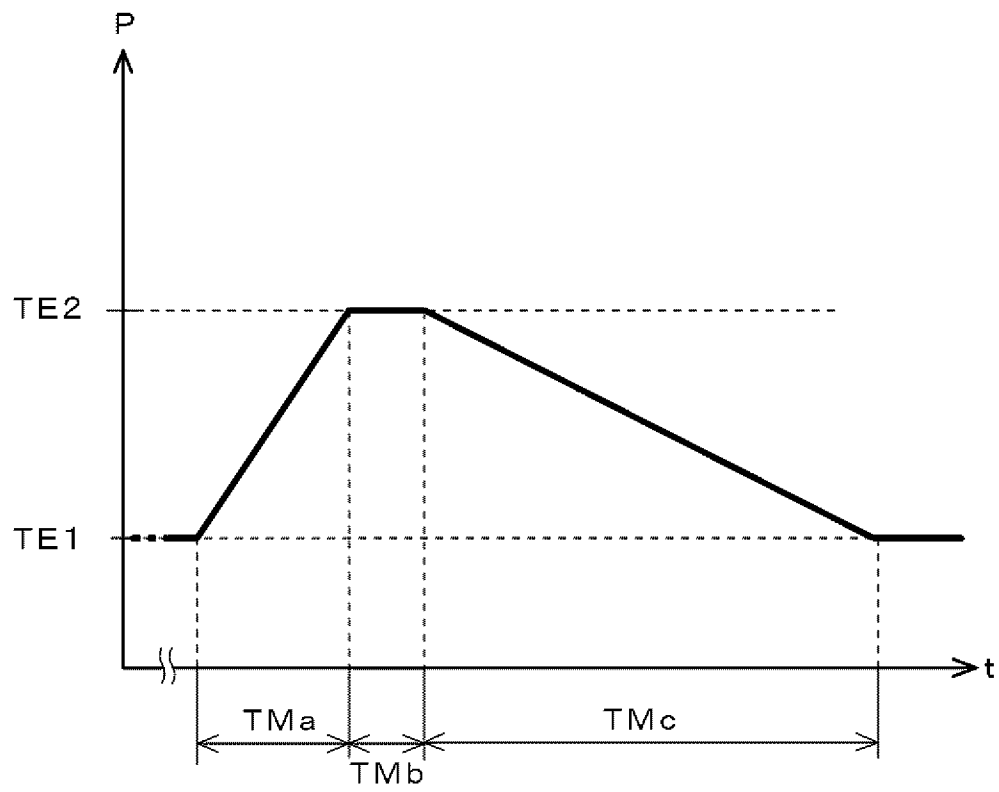
[図33]



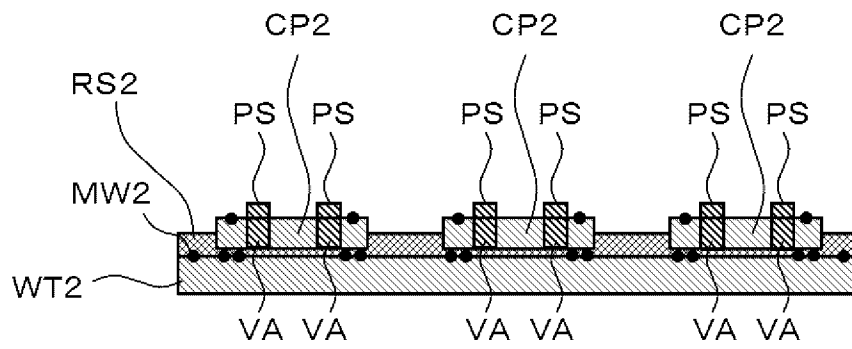
[図34]



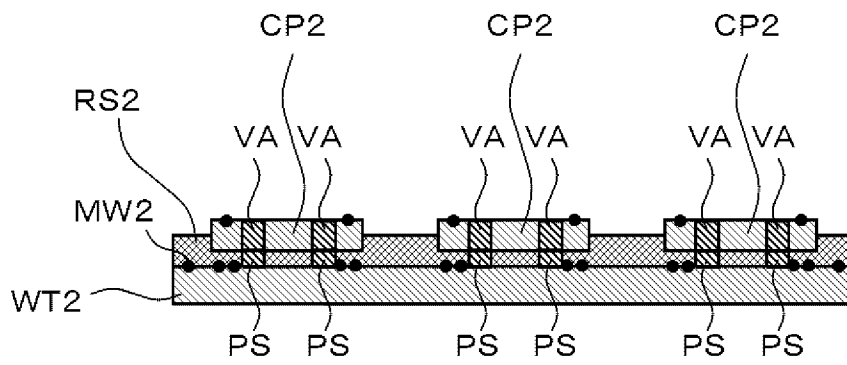
[図35]



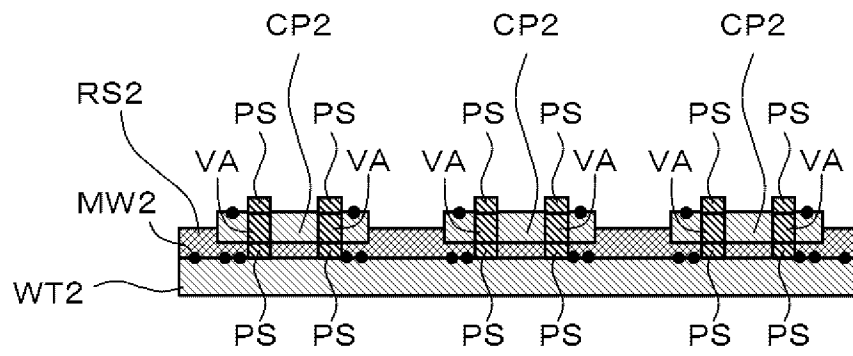
[図36]



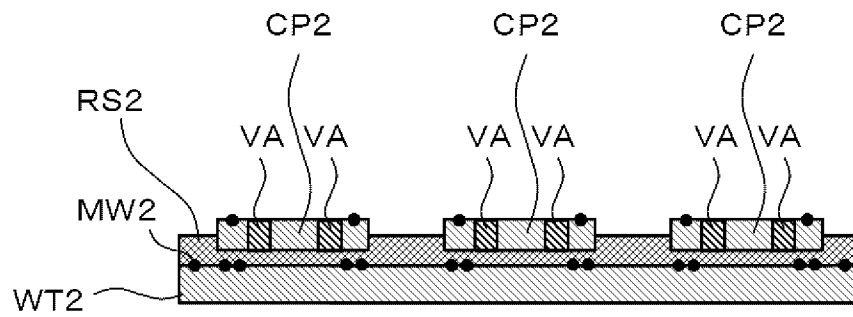
[図37]



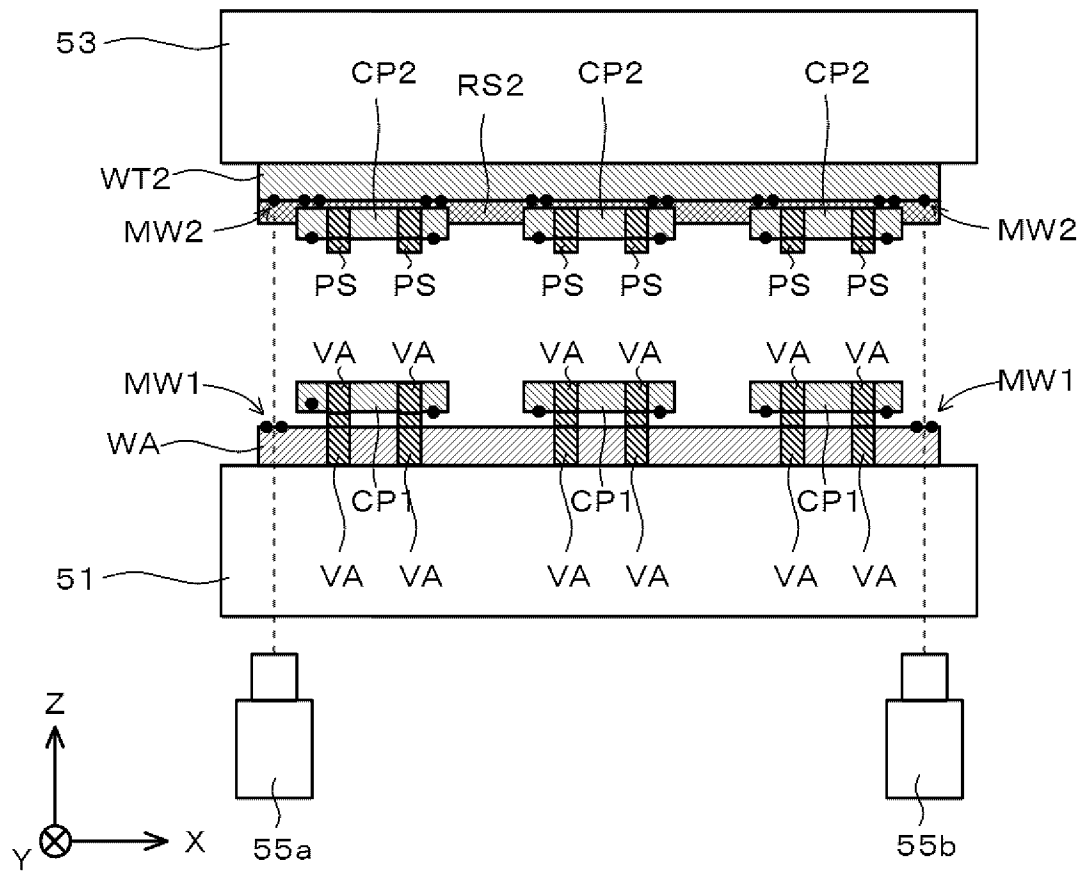
[図38]



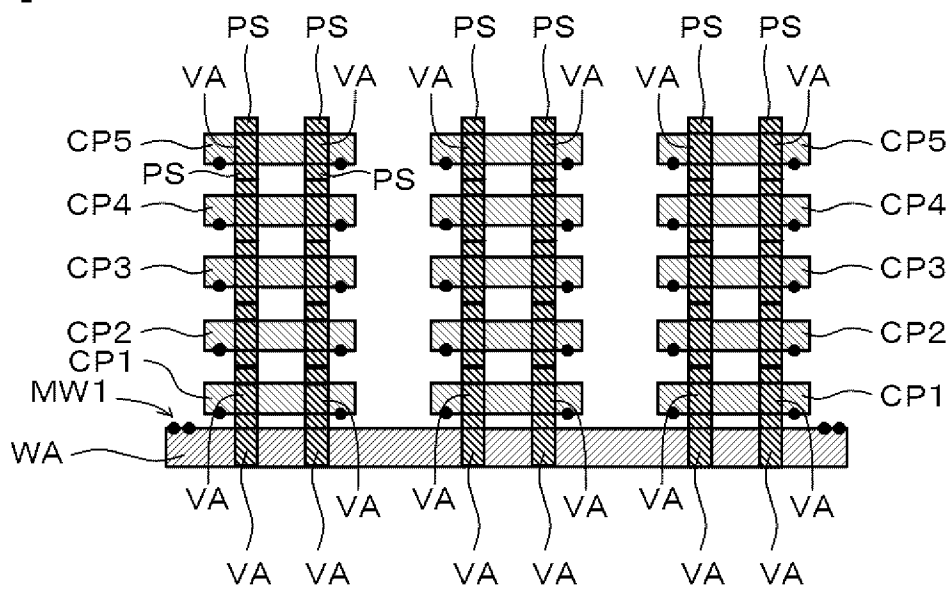
[図39]



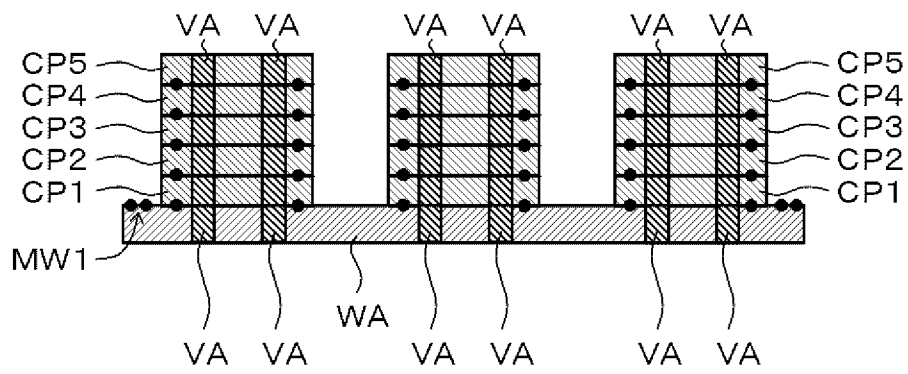
[図40]



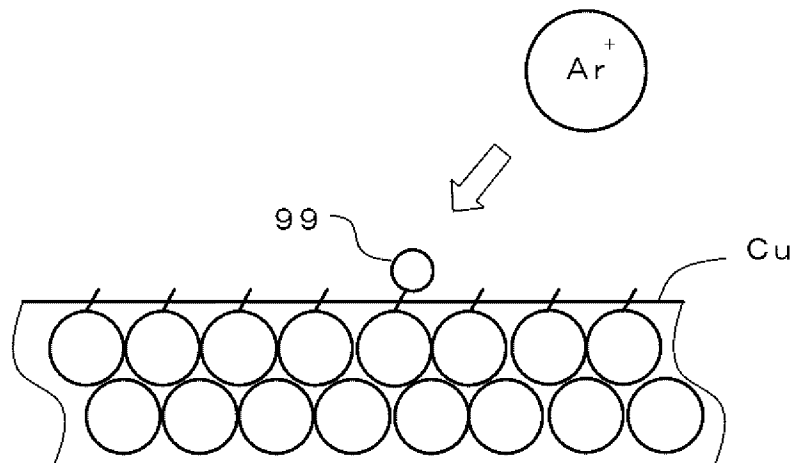
[図41]



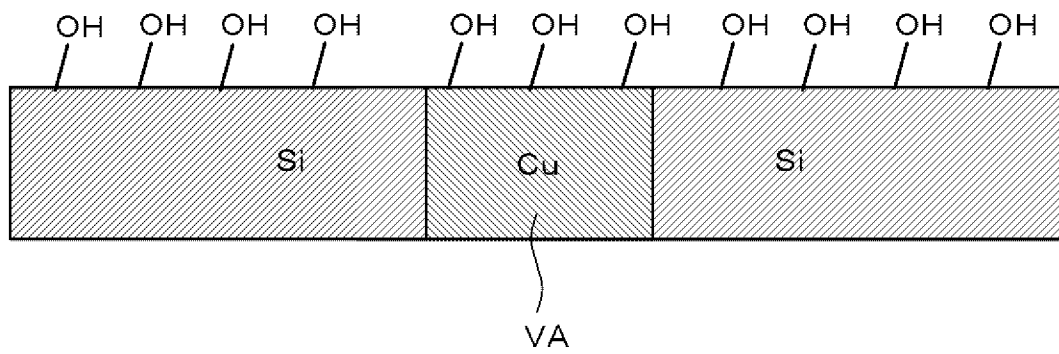
[図42]



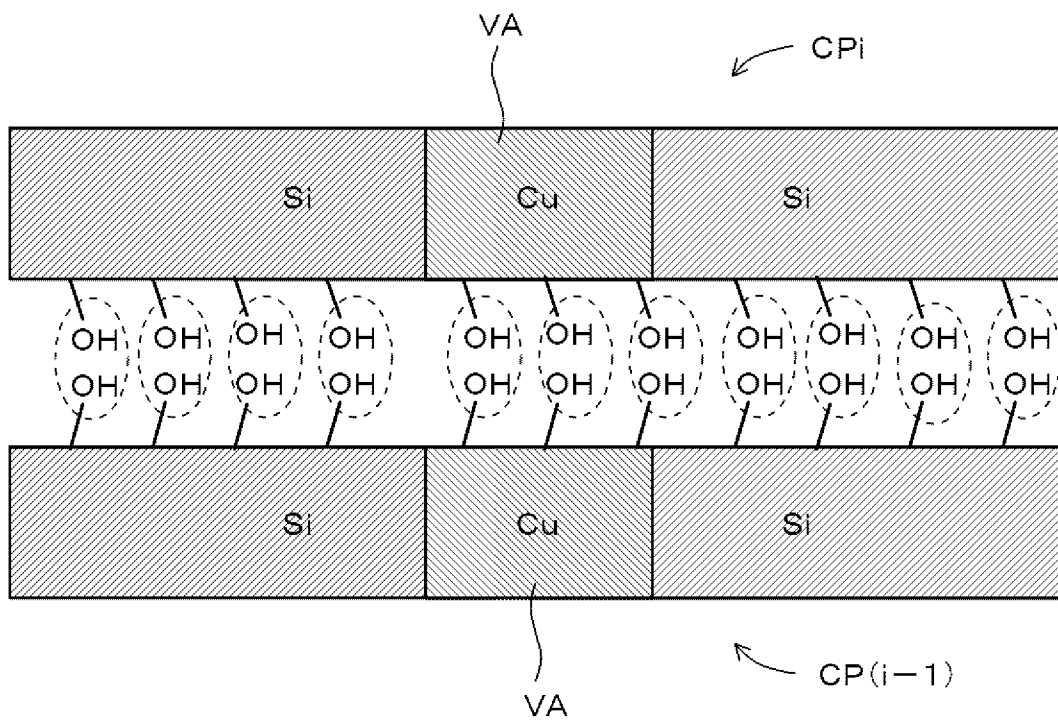
[図43]



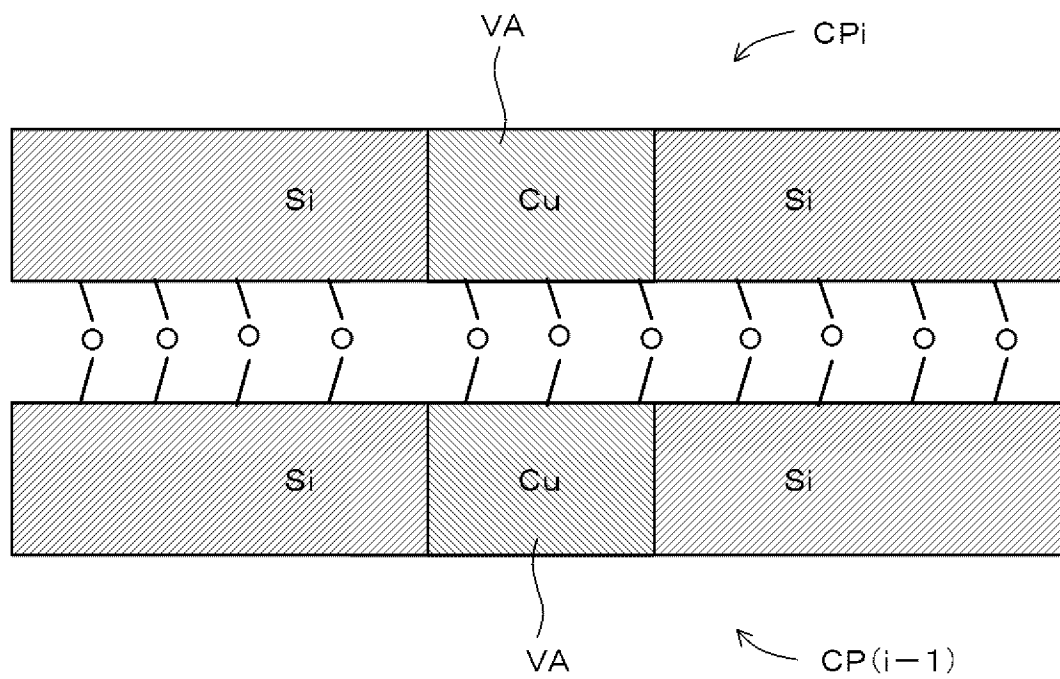
[図44]



[図45]

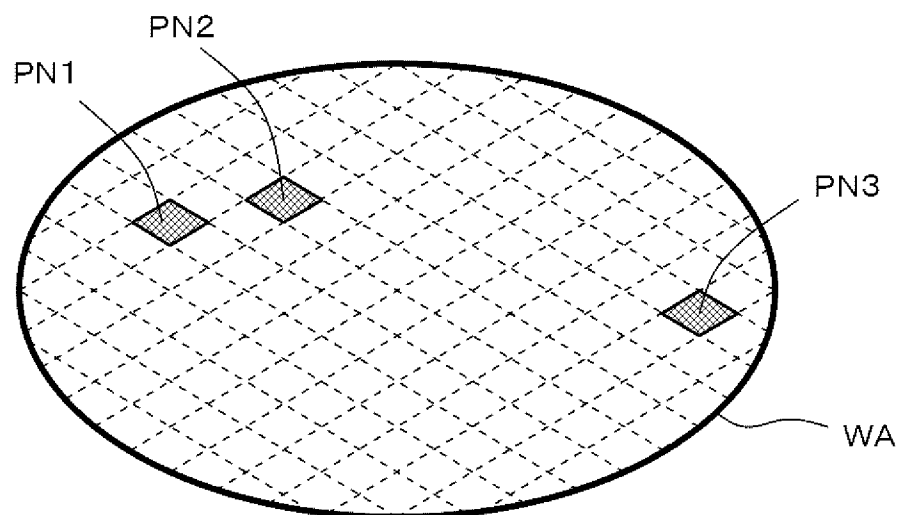


[図46]



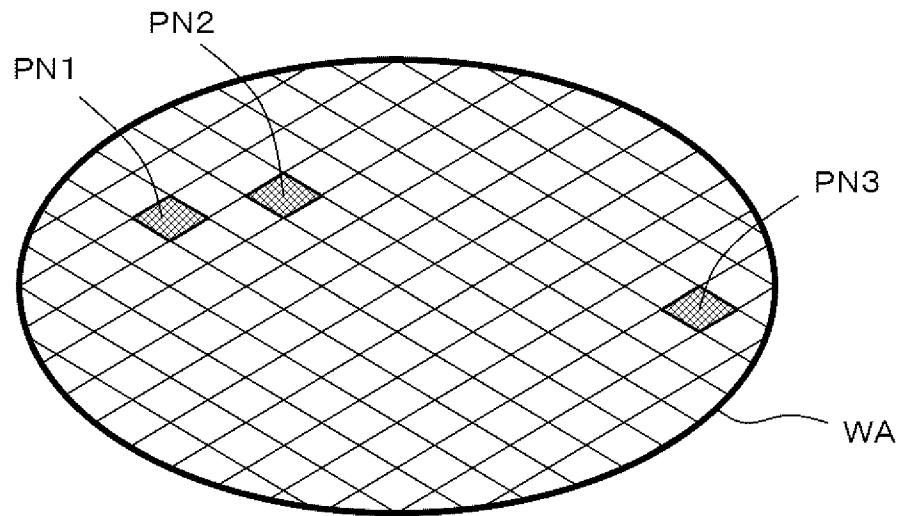
[図47]

<基板WA自体の導通不良位置>



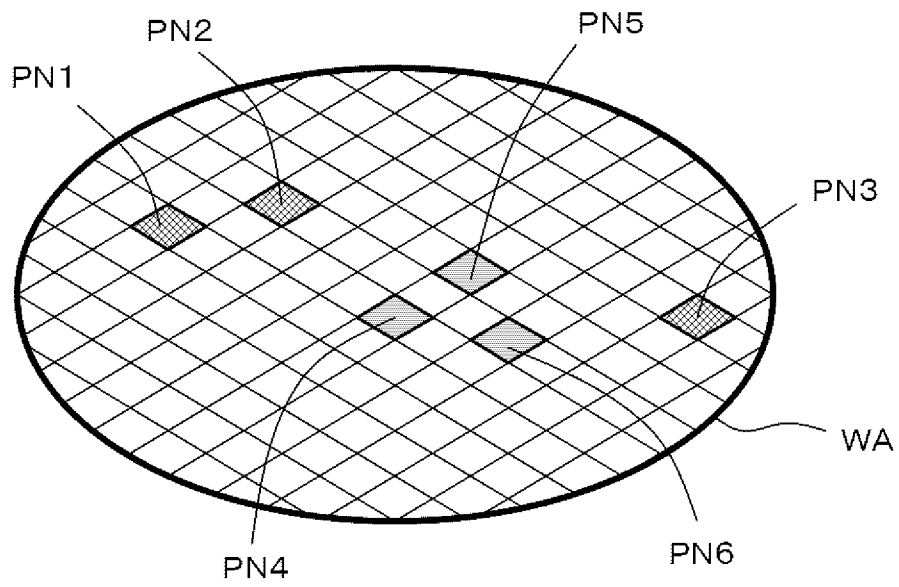
[図48]

&lt;第1層のチップ載置後の状態&gt;



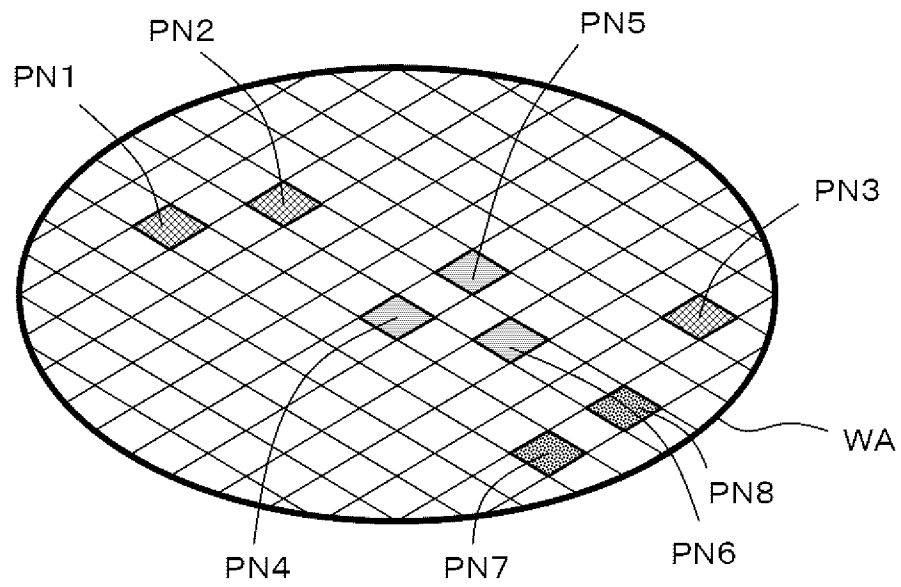
[図49]

＜第1層のチップ載置後の接続状態検査結果＞

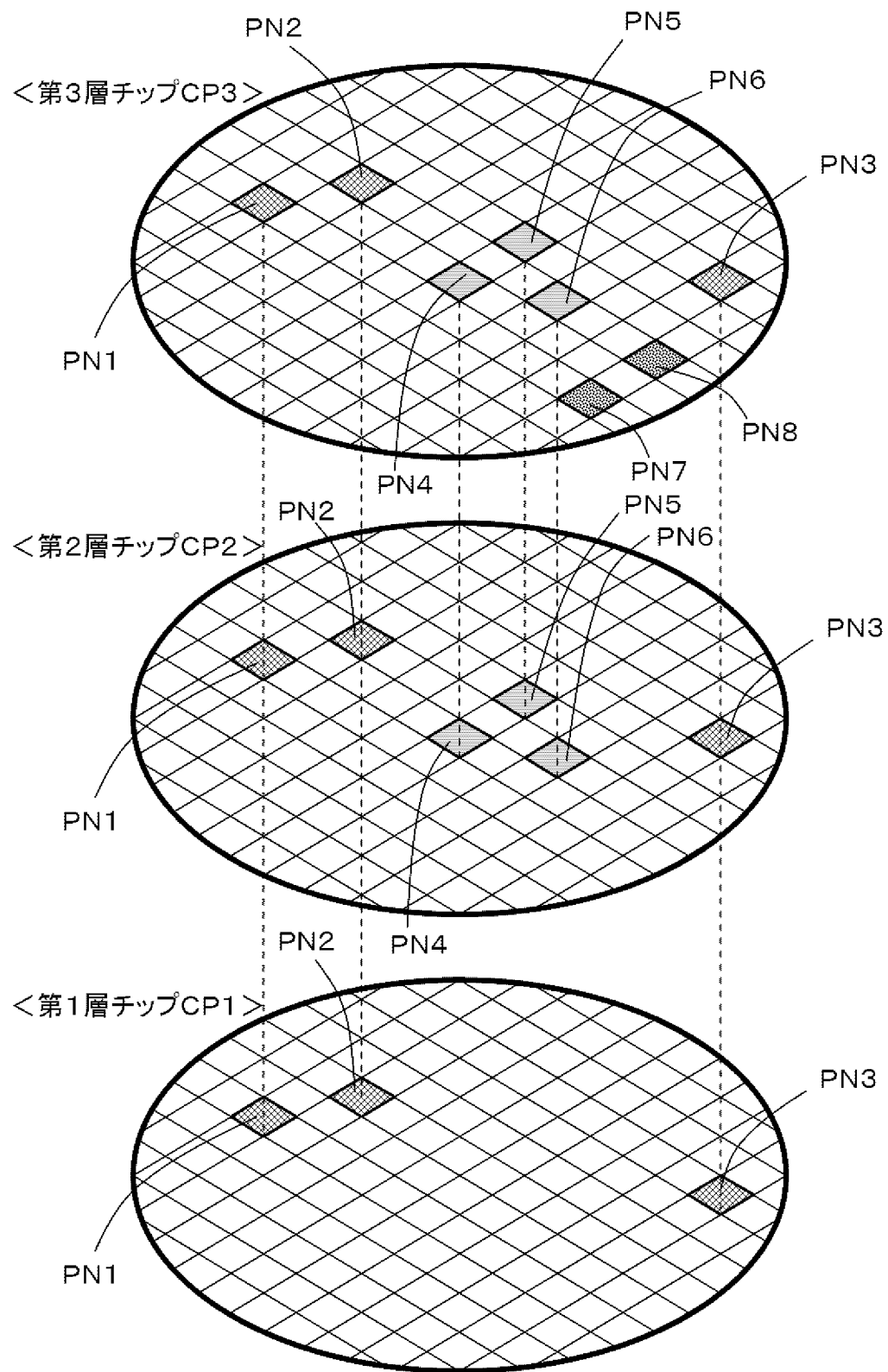


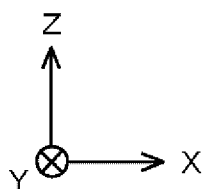
[図50]

＜第2層のチップ載置後の接続状態検査結果＞

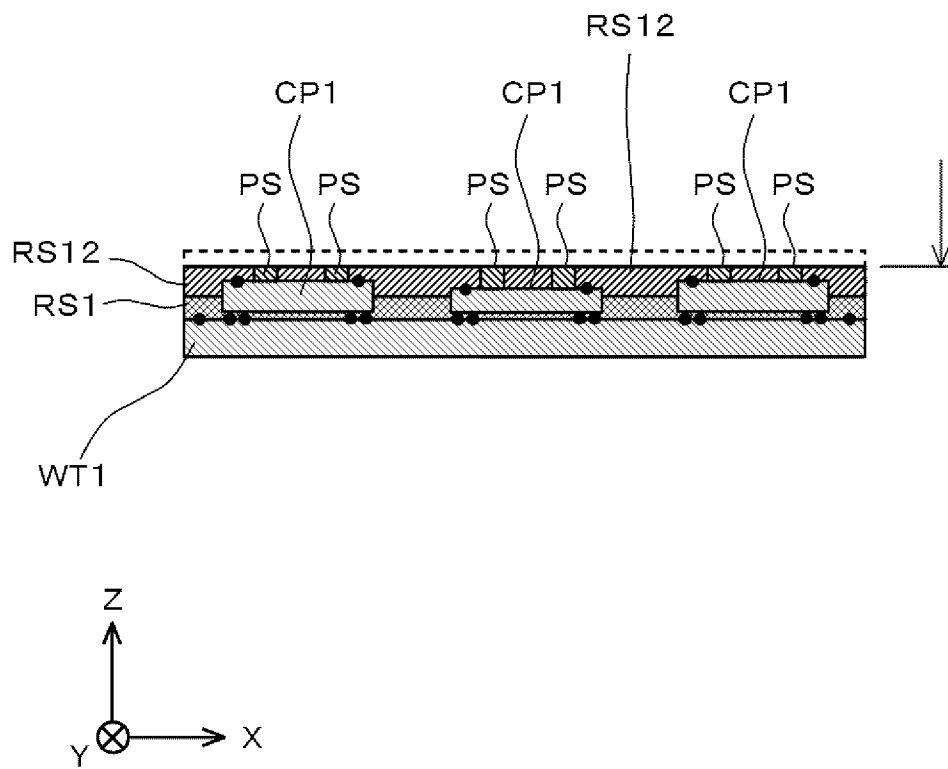


[図51]

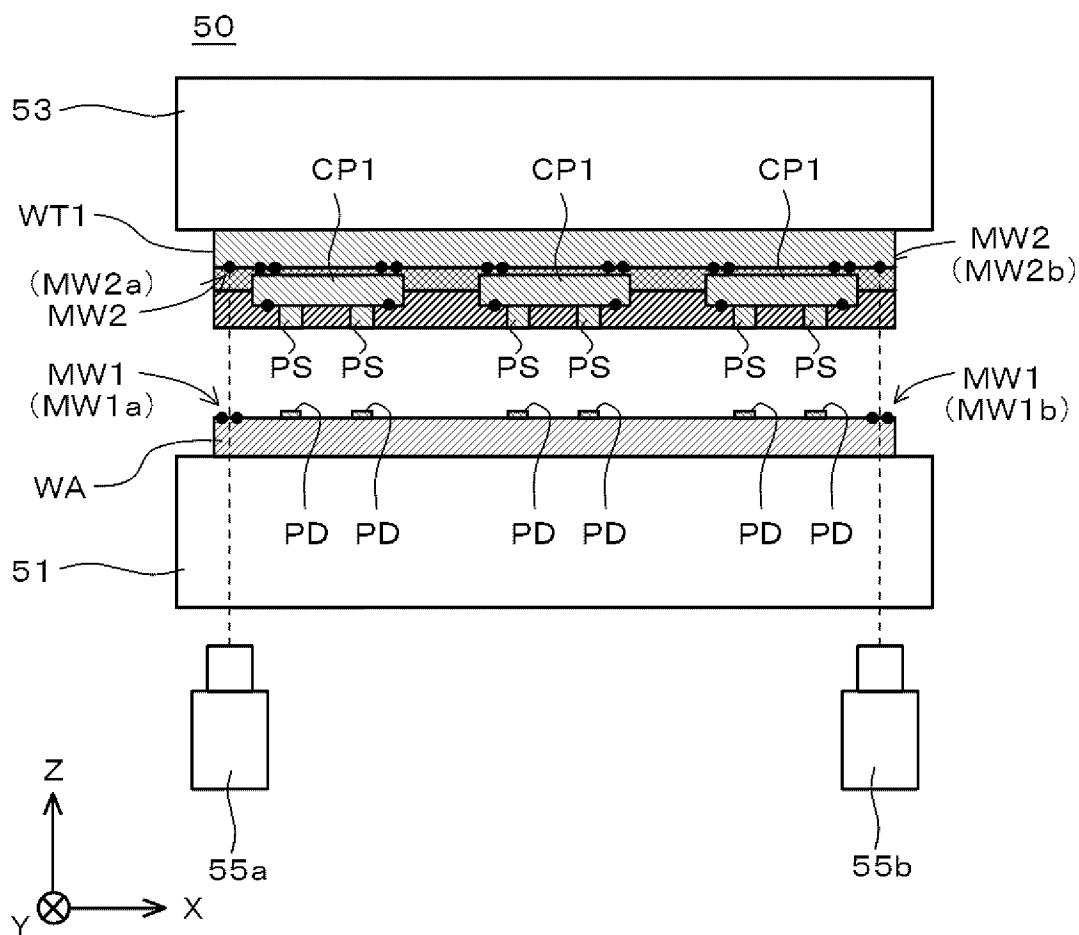




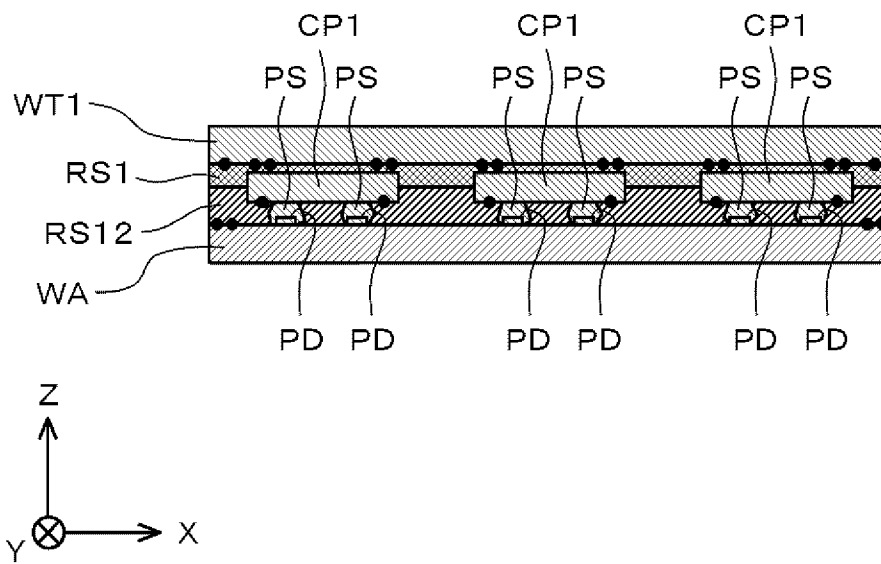
[図54]



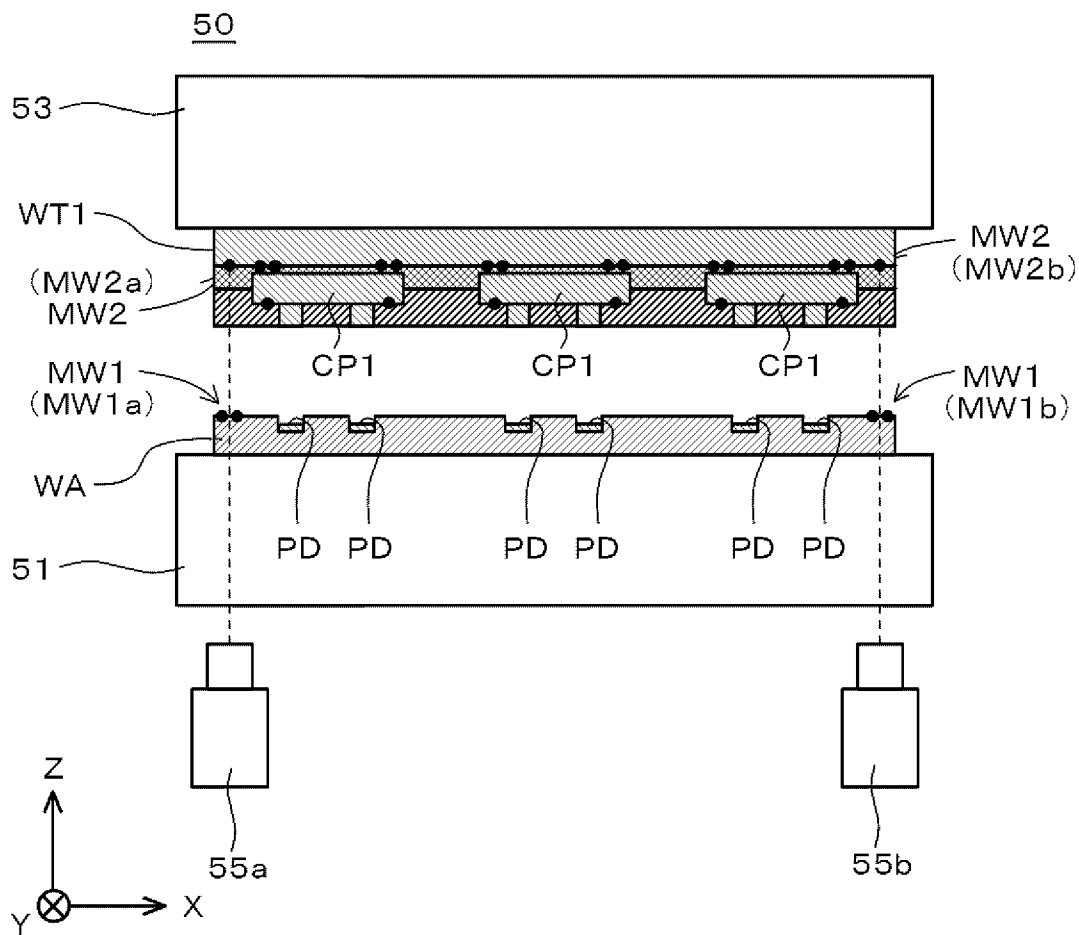
[図55]



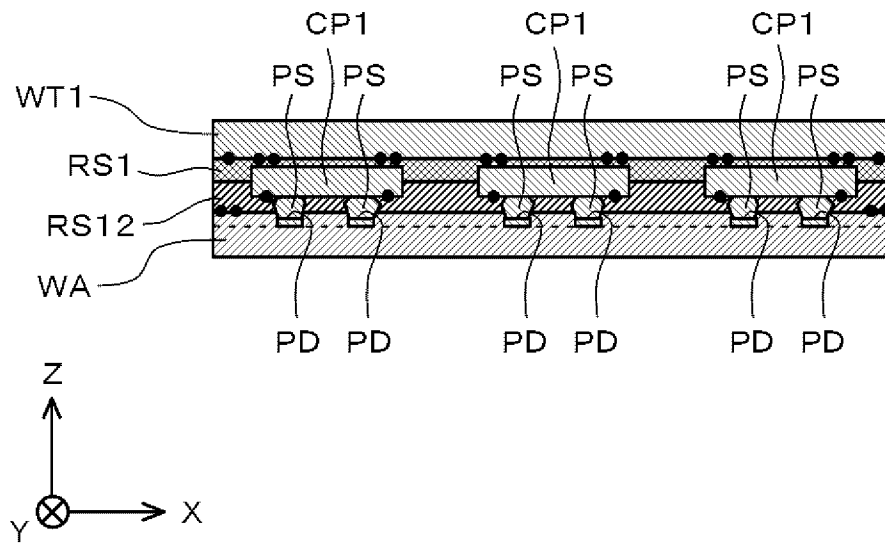
[図56]



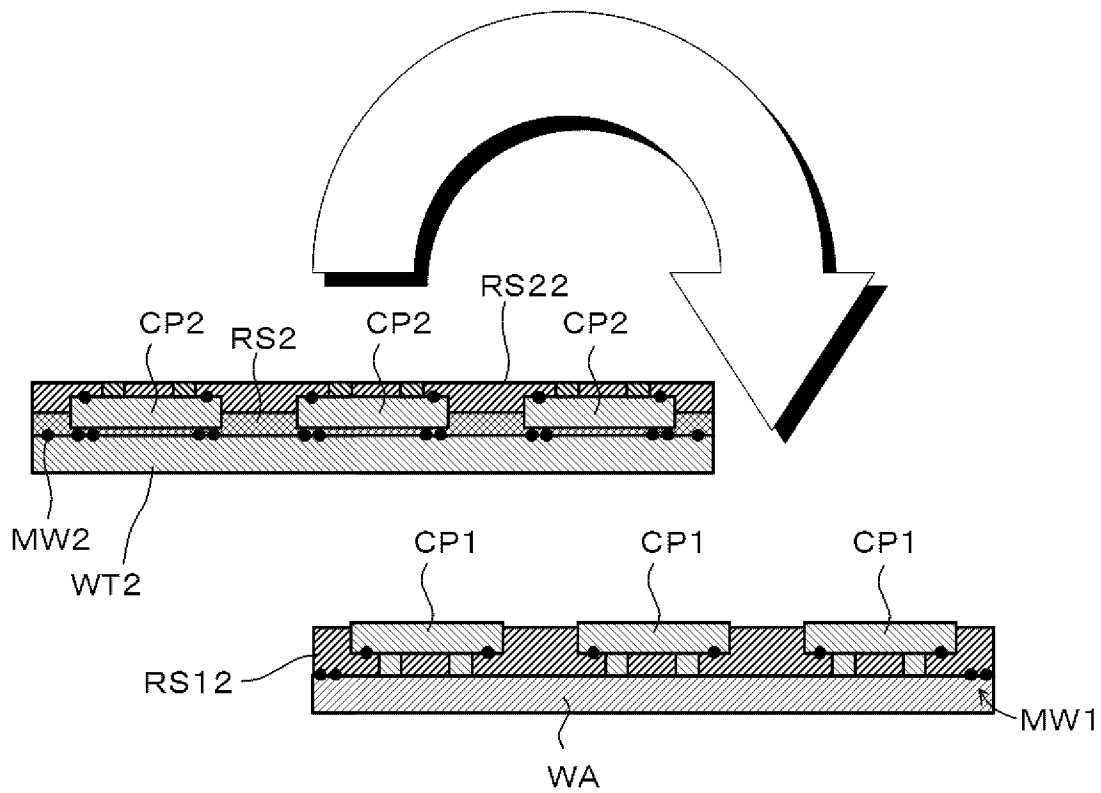
[図57]



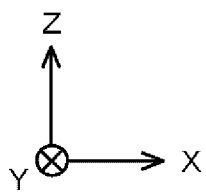
[図58]



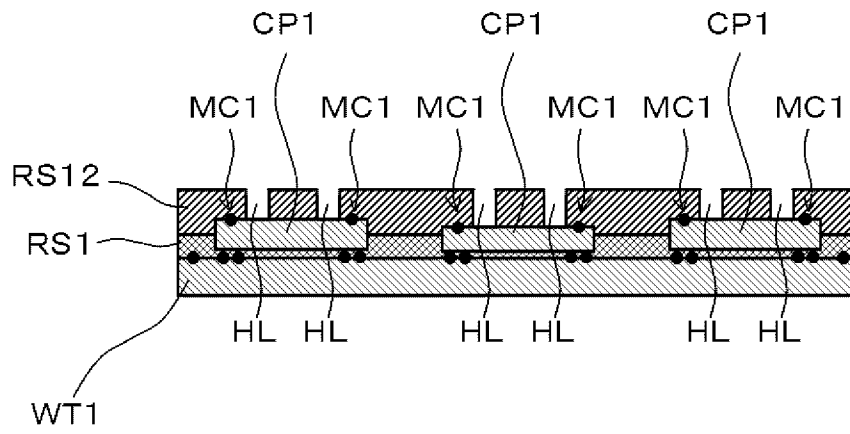
[図59]



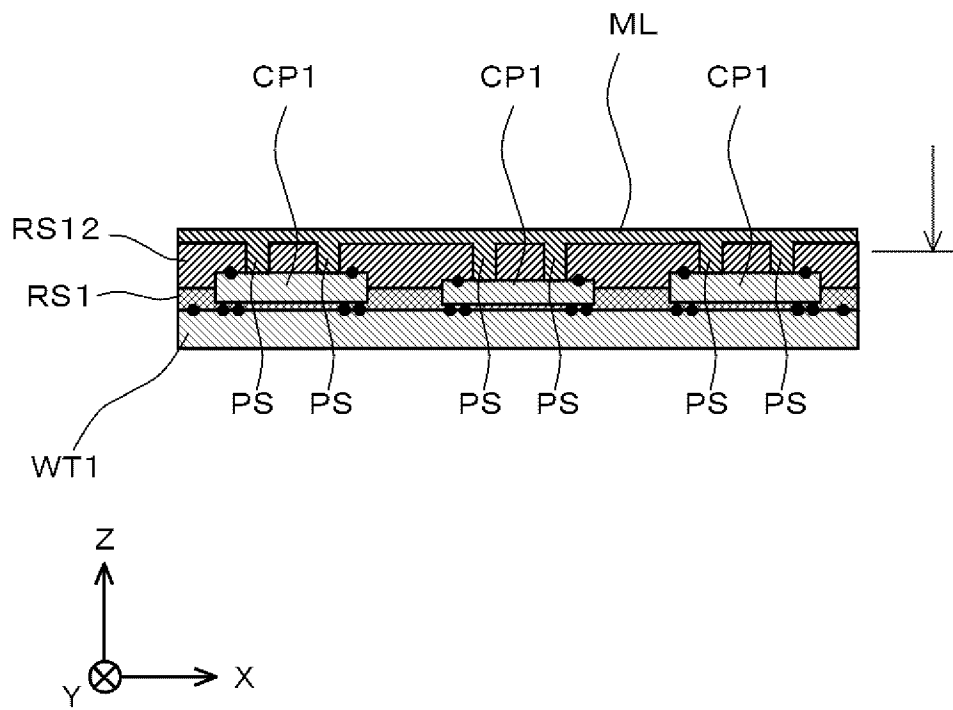
[図61]



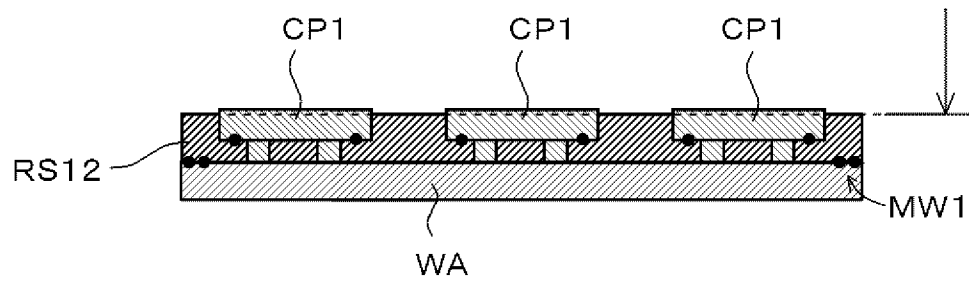
[図62]



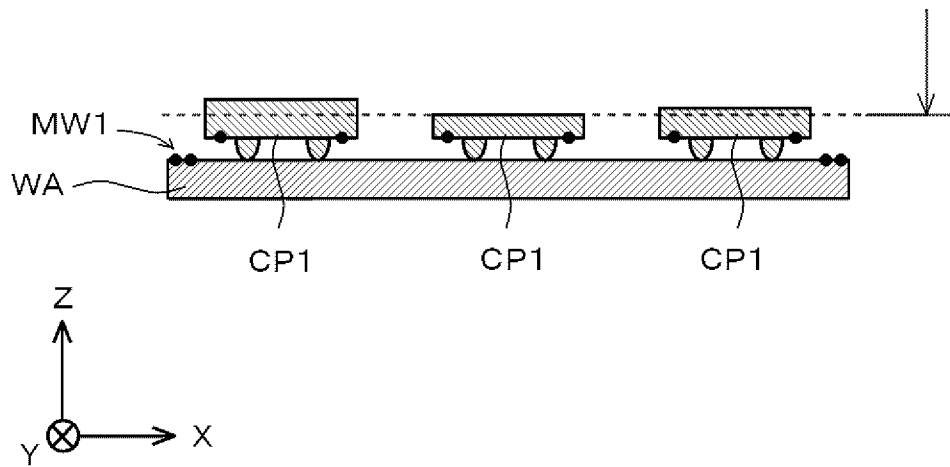
[図63]



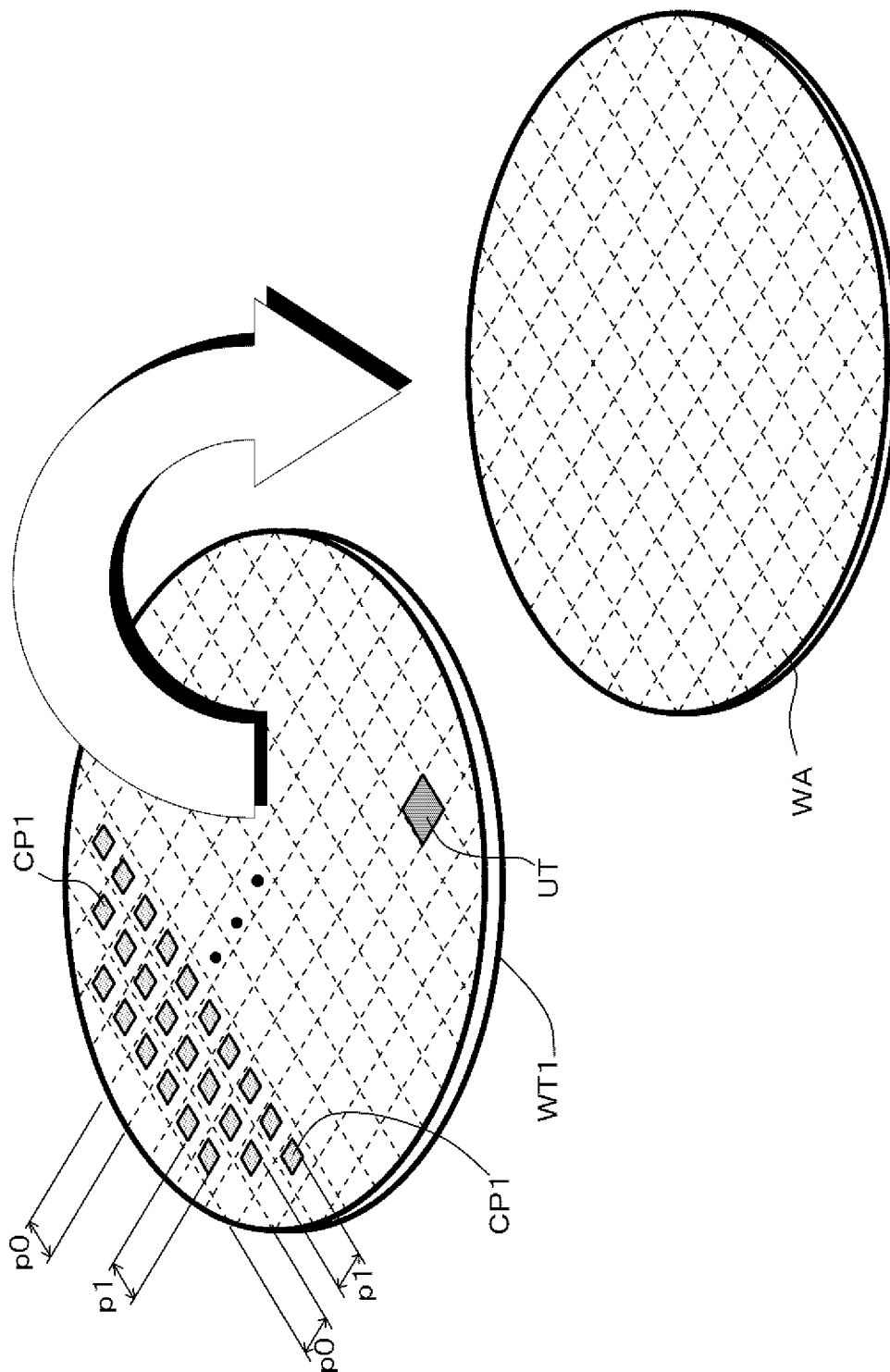
[図64]



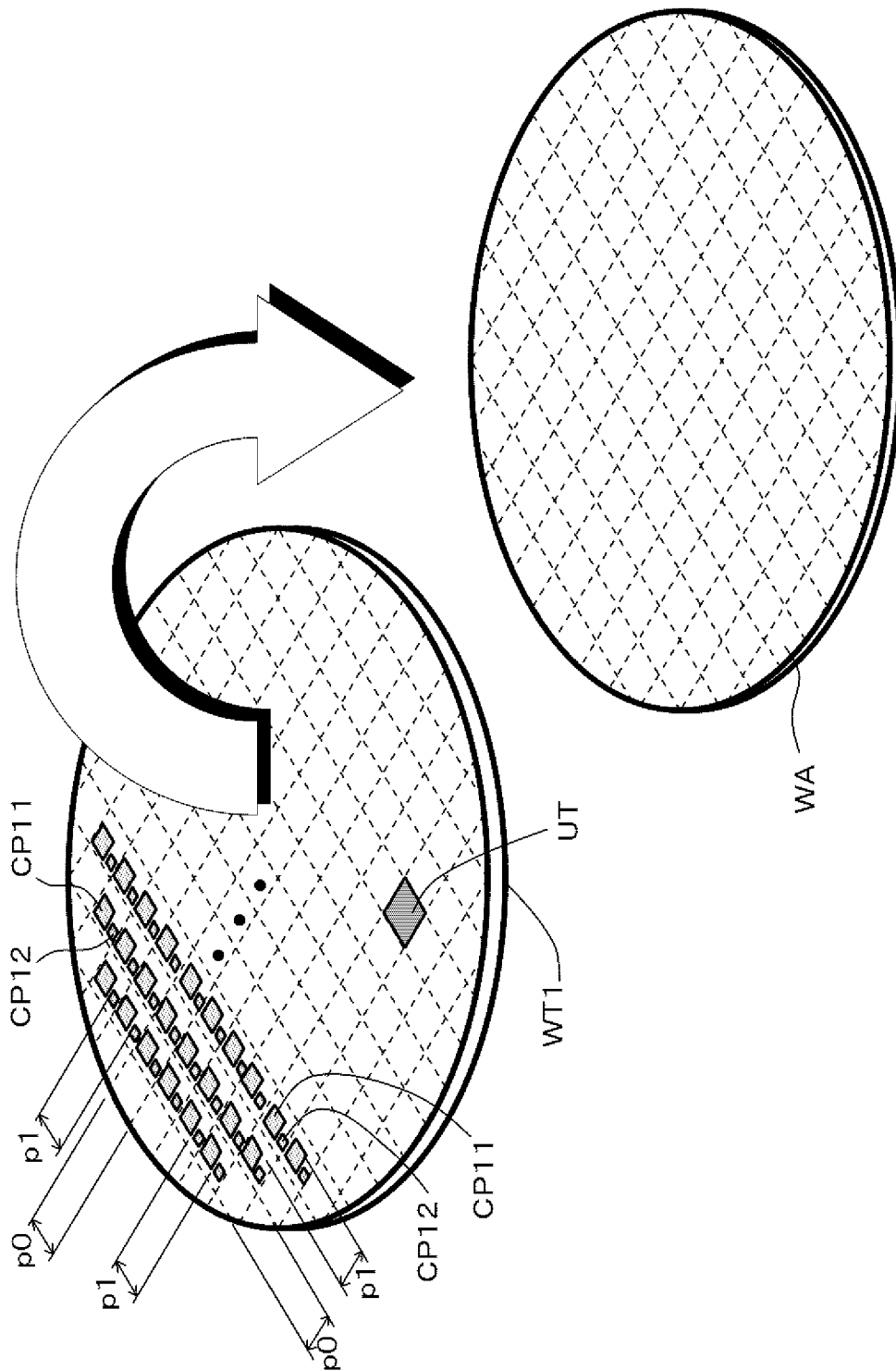
[図65]



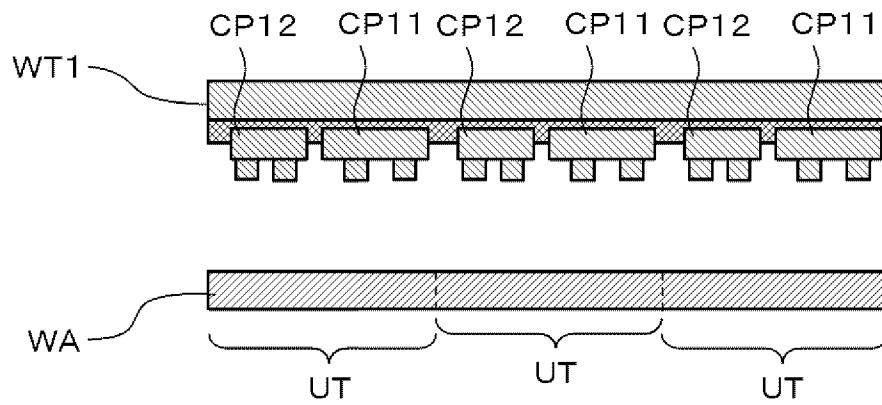
[図66]



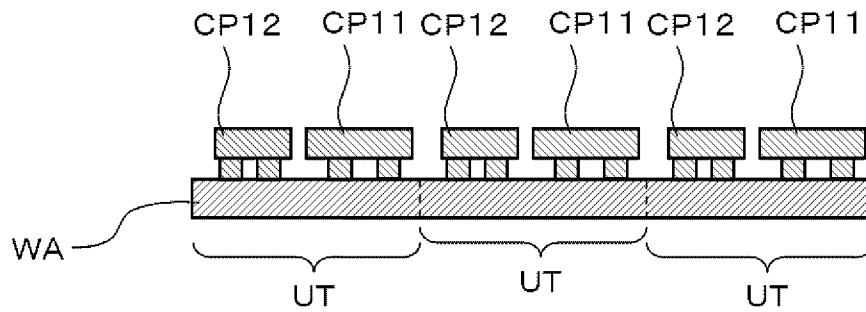
[図67]



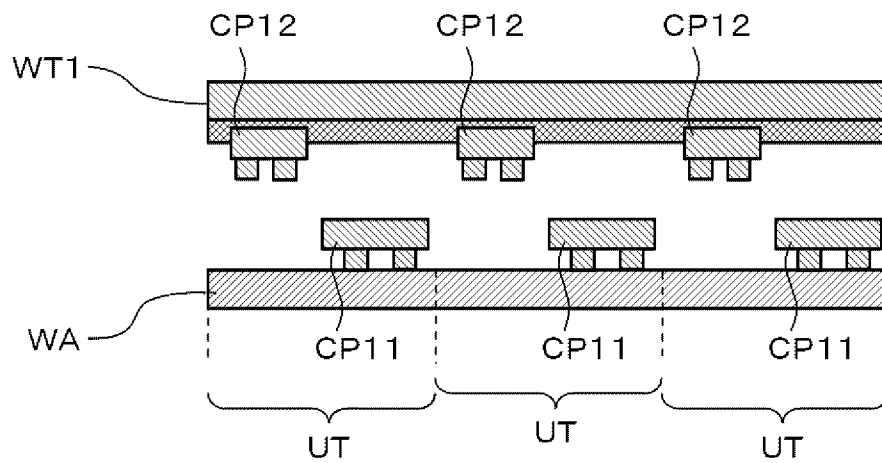
[図68]



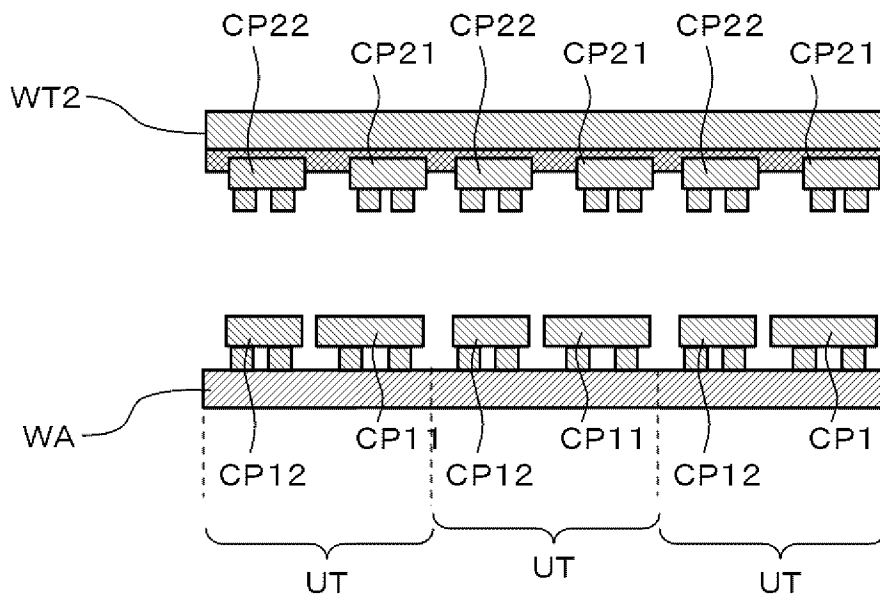
[図69]



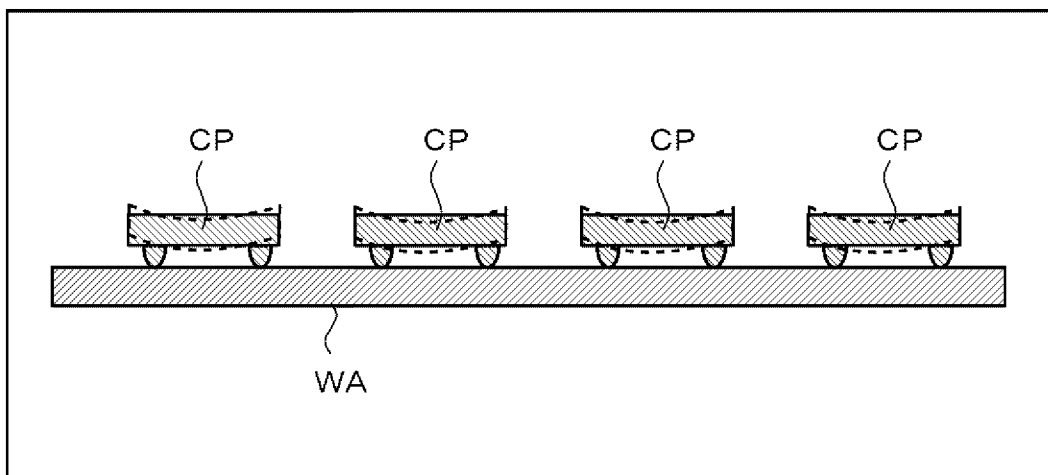
[図70]



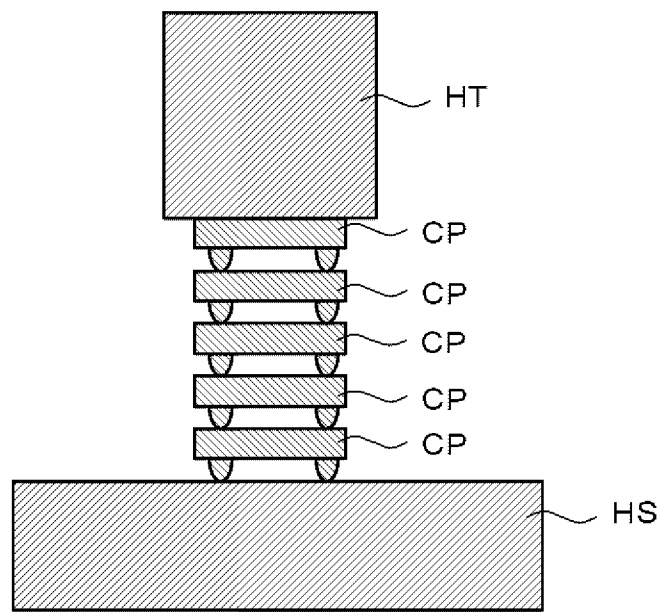
[図71]



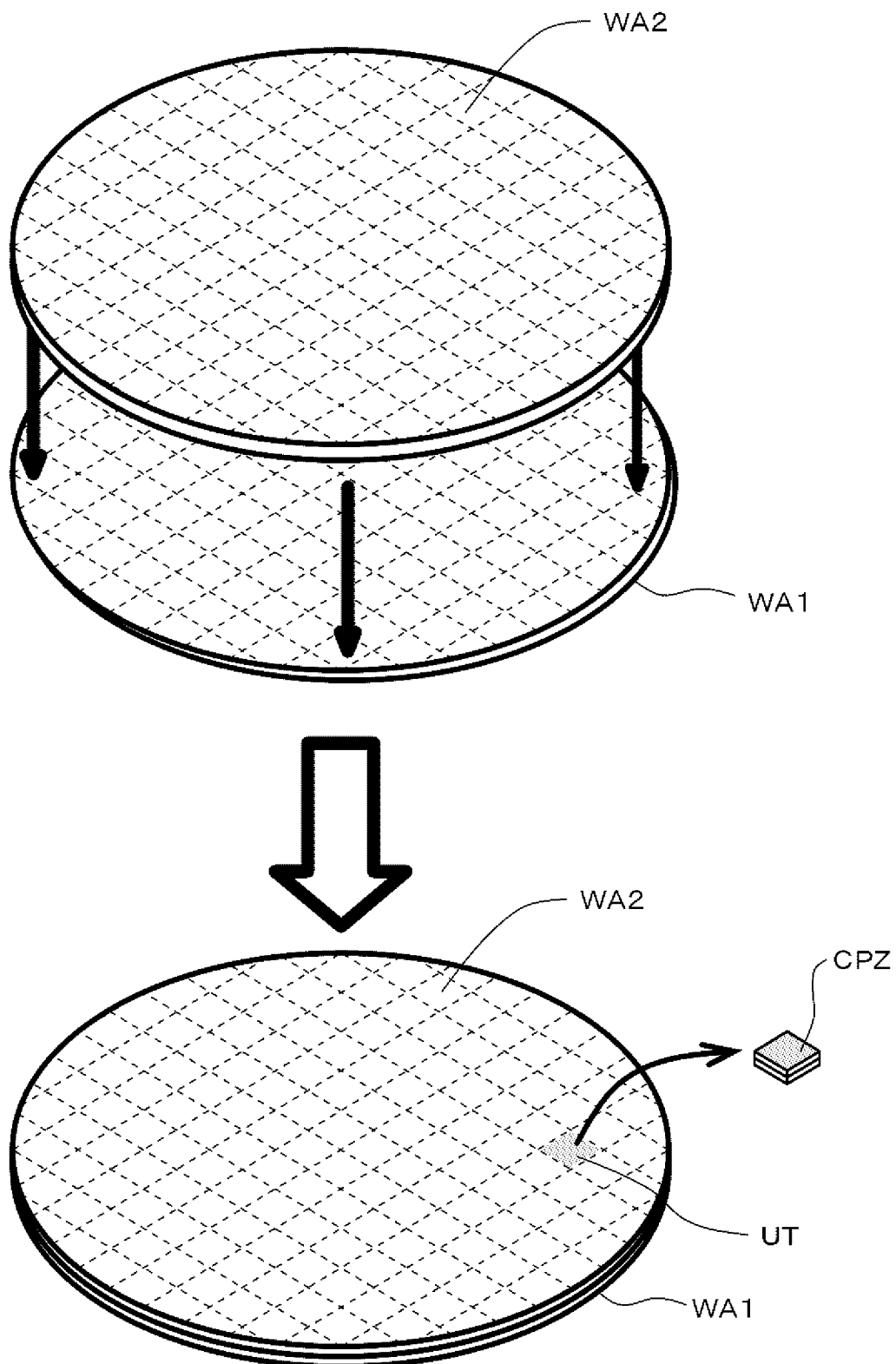
[図72]



[図73]



[図74]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/058567

## A. CLASSIFICATION OF SUBJECT MATTER

H01L25/10(2006.01)i, H01L25/065(2006.01)i, H01L25/07(2006.01)i, H01L25/11(2006.01)i, H01L25/18(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L25/10, H01L25/065, H01L25/07, H01L25/11, H01L25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|                           |           |                            |           |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho       | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2012 |
| Kokai Jitsuyo Shinan Koho | 1971-2012 | Toroku Jitsuyo Shinan Koho | 1994-2012 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                              | Relevant to claim No.                                                                               |
|-----------|-------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------------------------------------------------------------------------------------|
| X         | JP 2003-209140 A (Sony Corp.),<br>25 July 2003 (25.07.2003),<br>paragraphs [0003] to [0008], [0025] to [0041];<br>fig. 1 to 7<br>(Family: none) | 1, 3, 10-14,<br>24-26, 30-40,<br>47<br><u>2, 4-9, 15-23,</u><br><u>41-46, 48-50</u><br><u>27-29</u> |
| <u>Y</u>  |                                                                                                                                                 |                                                                                                     |
| <u>A</u>  |                                                                                                                                                 |                                                                                                     |
| X         | JP 2003-218507 A (Sony Corp.),<br>31 July 2003 (31.07.2003),<br>paragraphs [0003] to [0009]; fig. 4 to 5<br>(Family: none)                      | 1, 3, 10-14,<br>24-26, 30-40,<br>47<br><u>2, 4-9, 15-23,</u><br><u>41-46, 48-50</u><br><u>27-29</u> |
| <u>Y</u>  |                                                                                                                                                 |                                                                                                     |
| <u>A</u>  |                                                                                                                                                 |                                                                                                     |

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
20 June, 2012 (20.06.12)

Date of mailing of the international search report  
03 July, 2012 (03.07.12)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/058567

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                       | Relevant to claim No. |
|-----------|----------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| Y         | WO 2006/077739 A1 (Mitsumasa KOYANAGI),<br>27 July 2006 (27.07.2006),<br>paragraphs [0089], [0174] to [0280]; fig. 3,<br>8 to 27<br>& US 2009/0023243 A1 | 2, 4, 18, 46, 47      |
| Y         | JP 2003-204031 A (Sony Corp.),<br>18 July 2003 (18.07.2003),<br>paragraph [0050]; fig. 9<br>(Family: none)                                               | 5-9                   |
| Y         | JP 2002-299546 A (Sony Corp.),<br>11 October 2002 (11.10.2002),<br>paragraph [0080]; fig. 3<br>(Family: none)                                            | 5-9                   |
| Y         | JP 2008-227527 A (Sharp Corp.),<br>25 September 2008 (25.09.2008),<br>paragraphs [0081], [0088] to [0090]; fig. 4, 6<br>(Family: none)                   | 15-23, 48-50          |
| Y         | JP 2010-219101 A (Casio Computer Co., Ltd.),<br>30 September 2010 (30.09.2010),<br>paragraphs [0035] to [0038]<br>(Family: none)                         | 15-23, 48-50          |
| Y         | JP 2008-182008 A (Epson Imaging Devices Corp.),<br>07 August 2008 (07.08.2008),<br>paragraph [0062]<br>(Family: none)                                    | 15-23, 48-50          |
| Y         | JP 2008-218488 A (Toray Engineering Co., Ltd.),<br>18 September 2008 (18.09.2008),<br>paragraphs [0056] to [0066]<br>(Family: none)                      | 15-23, 48-50          |
| Y         | JP 11-274241 A (Matsushita Electronics Corp.),<br>08 October 1999 (08.10.1999),<br>paragraphs [0027] to [0036]; fig. 1<br>(Family: none)                 | 41-44                 |

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2012/058567

**Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)**

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:  
because they relate to subject matter not required to be searched by this Authority, namely:
  
2. ☐ Claims Nos.:  
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
  
3. ☐ Claims Nos.:  
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

**Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)**

This International Searching Authority found multiple inventions in this international application, as follows:  
See (extra sheet) .

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
  
4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

**Remark on Protest**

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2012/058567

Continuation of Box No.III of continuation of first sheet(2)

Document 1 (JP 2003-209140 A (Sony Corp.), 25 July 2003 (25.07.2003), paragraphs [0003] to [0008], [0025] to [0041], fig. 1 to 7) and Document 2 (JP 2003-218507 A (Sony Corp.), 31 July 2003 (31.07.2003), paragraphs [0003] to [0009], fig. 4 to 5) disclose an electronic part mounting method comprising: a) a step for forming an i resin layer on a first substrate as a temporary substrate; b) a step for arranging in a plane manner and temporarily fixing a plurality of electronic parts of a first layer in a face-up state that a bonding surface thereof faces upward to the first resin layer; c) a step for bonding a predetermined substrate and the plurality of electronic parts of the first layer by allowing the predetermined substrate and the plurality of electronic parts of the first layer to be relatively close to each other by allowing the predetermined substrate and the first substrate to be relatively close to each other in a state that the predetermined substrate and the plurality of electronic parts of the first layer arranged on the first substrate are opposite to each other; and d) a step for separating the first substrate from the plurality of electronic parts of the first layer while maintaining a state in which the plurality of electronic parts of the first layer are bonded to the predetermined substrate.

Therefore, the invention of claim 1 cannot be considered to be novel in the light of the inventions disclosed in the documents 1 and 2, and does not have a special technical feature.

Consequently, multiple inventions (invention groups) are involved in claims.

## A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L25/10(2006.01)i, H01L25/065(2006.01)i, H01L25/07(2006.01)i, H01L25/11(2006.01)i,  
H01L25/18(2006.01)i

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L25/10, H01L25/065, H01L25/07, H01L25/11, H01L25/18

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |                     |
|-------------|---------------------|
| 日本国実用新案公報   | 1 9 2 2 - 1 9 9 6 年 |
| 日本国公開実用新案公報 | 1 9 7 1 - 2 0 1 2 年 |
| 日本国実用新案登録公報 | 1 9 9 6 - 2 0 1 2 年 |
| 日本国登録実用新案公報 | 1 9 9 4 - 2 0 1 2 年 |

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                          | 関連する<br>請求項の番号                               |
|-----------------|------------------------------------------------------------------------------------------------------------|----------------------------------------------|
| X               | JP 2003-209140 A (ソニー株式会社) 2003. 07. 25,<br>【0003】 - 【0008】 , 【0025】 - 【0041】 , 【図 1】 - 【図 7】<br>(ファミリーなし) | 1, 3, 10-14,<br>24-26, 30-40,<br>47          |
| <u>Y</u>        |                                                                                                            | <u>2, 4-9, 15-23,</u><br><u>41-46, 48-50</u> |
| <u>A</u>        |                                                                                                            | <u>27-29</u>                                 |

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日

2 0 . 0 6 . 2 0 1 2

国際調査報告の発送日

0 3 . 0 7 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

今井 拓也

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 7 1

4 R

9 1 6 9

| C (続き) . 関連すると認められる文献 |                                                                                                              |                                     |
|-----------------------|--------------------------------------------------------------------------------------------------------------|-------------------------------------|
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                            | 関連する<br>請求項の番号                      |
| X                     | JP 2003-218507 A (ソニー株式会社) 2003. 07. 31,<br>【0003】 - 【0009】 , 【図 4】 - 【図 5】<br>(ファミリーなし)                     | 1, 3, 10-14,<br>24-26, 30-40,<br>47 |
| <u>Y</u>              |                                                                                                              | <u>2, 4-9, 15-23,</u>               |
| <u>A</u>              |                                                                                                              | <u>41-46, 48-50</u><br><u>27-29</u> |
| Y                     | WO 2006/077739 A1 (小柳光正) 2006. 07. 27,<br>[0089], [0174]-[0280]. [図 3], [図 8]-[図 27]<br>& US 2009/0023243 A1 | 2, 4, 18, 46, 47                    |
| Y                     | JP 2003-204031 A (ソニー株式会社) 2003. 07. 18,<br>【0050】 , 【図 9】 (ファミリーなし)                                         | 5-9                                 |
| Y                     | JP 2002-299546 A (ソニー株式会社) 2002. 10. 11,<br>【0080】 , 【図 3】 (ファミリーなし)                                         | 5-9                                 |
| Y                     | JP 2008-227527 A (シャープ株式会社) 2008. 09. 25,<br>【0081】 , 【0088】 - 【0090】 , 【図 4】 , 【図 6】 (ファミリーなし)              | 15-23, 48-50                        |
| Y                     | JP 2010-219101 A (カシオ計算機株式会社) 2010. 09. 30,<br>【0035】 - 【0038】 (ファミリーなし)                                     | 15-23, 48-50                        |
| Y                     | JP 2008-182008 A (エプソンイメージングデバイス株式会社)<br>2008. 08. 07, 【0062】 (ファミリーなし)                                      | 15-23, 48-50                        |
| Y                     | JP 2008-218488 A (東レエンジニアリング株式会社) 2008. 09. 18,<br>【0056】 - 【0066】 (ファミリーなし)                                 | 15-23, 48-50                        |
| Y                     | JP 11-274241 A (松下電子工業株式会社) 1999. 10. 08,<br>【0027】 - 【0036】 , 【図 1】 (ファミリーなし)                               | 41-44                               |

## 第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（P C T 17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 \_\_\_\_\_ は、この国際調査機関が調査をすることを要しない対象に係るものである。  
つまり、
2. ☐ 請求項 \_\_\_\_\_ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 \_\_\_\_\_ は、従属請求の範囲であってP C T規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

## 第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。  
（特別ページ）参照

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

## 追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。

文献 1 (JP 2003-209140 A (ソニー株式会社) 2003.07.25, 【0003】-【0008】、【0025】-【0041】、【図 1】-【図 7】)、文献 2 (JP 2003-218507 A (ソニー株式会社) 2003.07.31, 【0003】-【0009】、【図 4】-【図 5】)には、電子部品実装方法であって、a) 仮基板である第 1 の基板上に第 i の樹脂層を形成するステップと、b) 第 1 層の複数の電子部品をその接合面を上側に向けたフェイスアップ状態で前記第 1 の樹脂層に平面配置して仮固定するステップと、c) 所定の基板と前記第 1 の基板に配置された前記第 1 層の複数の電子部品とを対向させた状態で前記所定の基板と前記第 1 の基板とを相対的に接近させることによって、前記所定の基板と前記第 1 層の複数の電子部品とを相対的に接近させ、前記所定の基板と前記第 1 層の複数の電子部品とを接合するステップと、d) 前記第 1 層の複数の電子部品が前記所定の基板に対して接合された状態を維持しつつ、前記第 1 層の複数の電子部品から前記第 1 の基板を分離するステップと、を備える電子部品実装方法、が記載されている。したがって、請求項 1 に係る発明は文献 1、2 に記載された発明に対して新規性が認められず、特別な技術的特徴を有しない。よって、請求の範囲には複数の発明 (群) が含まれる。